



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201719835 A

(43) 公開日：中華民國 106 (2017) 年 06 月 01 日

(21) 申請案號：105129798

(22) 申請日：中華民國 105 (2016) 年 09 月 13 日

(51) Int. Cl. : *H01L23/48 (2006.01)*

(30) 優先權：2015/11/17 美國 62/256,590

2016/05/18 美國 15/158,500

(71) 申請人：三星電子股份有限公司 (南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)
南韓(72) 發明人：森古普塔 雷維基 SENGUPTA, RWIK (IN)；洪俊九 HONG, JOON GOO (KR)；
羅德爾 馬克 S. RODDER, MARK S. (US)

(74) 代理人：葉璟宗；鄭婷文；詹富閔

申請實體審查：無 申請專利範圍項數：20 項 圖式數：26 共 39 頁

(54) 名稱

具有埋入電源軌的半導體裝置及製造其的方法

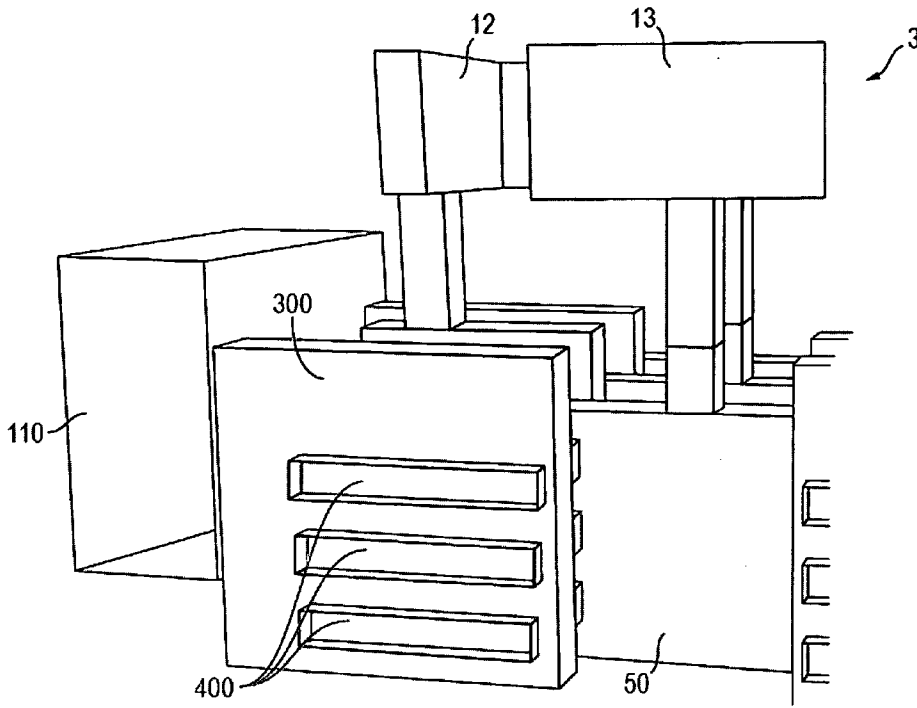
SEMICONDUCTOR DEVICE HAVING BURIED POWER RAIL AND METHOD OF
MANUFACTURING THE SAME

(57) 摘要

提供一種半導體裝置及製造其的方法。所述半導體裝置包含：基板；電源軌，其在所述基板上；作用層，其在所述基板上且與所述電源軌處於相同層；以及接觸件，其將所述電源軌電連接至所述作用層。所述作用層包含源極/汲極端子。在所述基板與所述電源軌之間與在所述基板與所述作用層之間存在相同數目個層。所述製造半導體裝置的方法包括在基板上形成作用層；在所述基板上形成多個接觸件，所述接觸件電連接至所述作用層；以及在所述基板上形成電源軌，所述電源軌藉由所述接觸件電耦接至所述作用層，且所述電源軌與所述接觸件處於相同位準。

A semiconductor device and a method of manufacturing the same are provided. The semiconductor device includes: a substrate; a power rail on the substrate; an active layer on the substrate and at same layer as the power rail; and a contact electrically connecting the power rail to the active layer. The active layer includes source/drain terminals. A same number of layers may be between the substrate and the power rail as between the substrate and the active layer. The method of manufacturing the semiconductor device includes: forming an active layer on a substrate; forming a plurality of contacts on the substrate, the contacts being electrically connected to the active layer; and forming a power rail on the substrate, the power rail being electrically coupled to the active layer by the contacts, and the power rail being at a same level as the contacts.

指定代表圖：



符號簡單說明：

3 . . . 標準單元

12、13 . . . 互連件

50 . . . 閘極電極

110 . . . 電源軌

300 . . . 接觸件

400 . . . 作用層

【圖3】



申請日: 105. 9. 13

IPC分類:

H01L 23/48 (2006.01)

201719835

【發明摘要】

【中文發明名稱】具有埋入電源軌的半導體裝置及製造其的方法

【英文發明名稱】 SEMICONDUCTOR DEVICE HAVING BURIED POWER RAIL AND METHOD OF MANUFACTURING THE SAME

【中文】提供一種半導體裝置及製造其的方法。所述半導體裝置包含：基板；電源軌，其在所述基板上；作用層，其在所述基板上且與所述電源軌處於相同層；以及接觸件，其將所述電源軌電連接至所述作用層。所述作用層包含源極/汲極端子。在所述基板與所述電源軌之間與在所述基板與所述作用層之間存在相同數目個層。所述製造半導體裝置的方法包括在基板上形成作用層；在所述基板上形成多個接觸件，所述接觸件電連接至所述作用層；以及在所述基板上形成電源軌，所述電源軌藉由所述接觸件電耦接至所述作用層，且所述電源軌與所述接觸件處於相同位準。

【英文】 A semiconductor device and a method of manufacturing the same are provided. The semiconductor device includes: a substrate; a power rail on the substrate; an active layer on the substrate and at same layer as the power rail; and a contact electrically connecting the power rail to the active layer. The active layer includes source/drain terminals. A same number of layers may be between the substrate and the power rail as between the substrate and the active layer. The method of manufacturing the semiconductor device includes: forming an active layer on a substrate; forming a plurality of contacts on the

substrate, the contacts being electrically connected to the active layer; and forming a power rail on the substrate, the power rail being electrically coupled to the active layer by the contacts, and the power rail being at a same level as the contacts.

【指定代表圖】圖3。

【代表圖之符號簡單說明】

3：標準單元

12、13：互連件

50：閘極電極

110：電源軌

300：接觸件

400：作用層

【特徵化學式】

無

【發明說明書】

【中文發明名稱】具有埋入電源軌的半導體裝置及製造其的方法

【英文發明名稱】SEMICONDUCTOR DEVICE HAVING BURIED POWER RAIL AND METHOD OF MANUFACTURING THE SAME

[相關申請案的交叉參考]

【0001】 本實用專利申請案主張 2015 年 11 月 17 日申請的美國臨時專利申請案第 62/256,590 號的優先權以及權益，以及 2016 年 5 月 18 日申請的美國臨時專利申請案第 15/158,500 號的權益，所述專利申請案的全部內容以引用方式併入本文中。

【技術領域】

【0002】 本發明的例示性實施例的態樣是關於一種具有埋入電源軌的半導體裝置及其製造方法。

【先前技術】

【0003】 在形成包含多個半導體裝置（諸如積體電路）的裝置時，標準單元可用作用於設計以及製造積體電路的基本單位。標準單元可用以形成一或多個功能電路，且每一標準單元可具有相同佔據面積（例如，可具有標準佔據面積）。在設計複雜電路以及組件時使用標準單元降低設計以及製造成本。

【0004】 在使用中，裝置的每一標準單元需要電力輸入（Vdd）以及接地（Vss）連接。為了對裝置的各種組件供電，每一標準單元

通常耦接至電源軌，電源軌電連接至標準單元的作用層以提供電力 (Vdd)。在一些情況下，可為每一標準單元提供多個電源軌以分別提供電力 (Vdd) 以及接地 (Vss)。

【0005】 另外，為了向每一電源軌提供電力，晶片級電力柵格包含於裝置中。晶片級電力柵格可延伸穿過各種標準單元或在各種標準單元之間延伸，且沿著電源軌的長度在各種點處電連接至電源軌。

【0006】 參看圖 1，標準單元 1 包含電源軌 10、接觸件 30 (例如，接觸層) 以及通路 20 (例如，分接頭)。通路 20 在電源軌 10 與接觸件 30 之間延伸且將電源軌 10 連接至接觸件 30，藉此向標準單元提供電力。

【0007】 標準單元 1 進一步包含作用層 40 (例如，鍍片或奈米薄片) (包含源極/汲極端子 (例如，源極/汲極電極))，以及閘極電極 50。儘管未繪示，但作用層 40 藉由閘極絕緣層與閘極電極分離。如在圖 1 中可見，電源軌 10 配置於接觸件 30 上方以及作用層 40 上方。

【0008】 大體而言，標準單元經設計具有含有各種金屬層 (例如，稱為 M1 至 Mx) 的堆疊結構。最低金屬層常常稱為 M1，且為有時稱為 M0 的互連層 (例如，金屬互連層) 上方的第一金屬層。

【0009】 金屬層 M1 至 Mx 各自包含佈線軌道，且各種互連件 12、13 形成於佈線軌道中以將標準單元的各種組件彼此連接以及連接至其他標準單元。大體而言，包含多個標準單元的設計可包含多至約八個金屬層 M1 至 M8。然而，半導體裝置可製造為具有更多或更少金屬層。

【0010】在圖 1 中，標準單元 1 的電源軌 10 配置於第一金屬層 M1 中、在互連層 M0 上方，互連層中配置有作用層 40 以及閘極電極 50。互連層 M0 可為基板上的第一金屬層，且藉由絕緣層（例如，電絕緣層）與第一金屬層 M1 電絕緣。

【0011】歸因於電源軌 10 配置於不同於作用層 40 的層中，因此包含通路 20。通路 20 延伸穿過第一金屬層 M1 與互連層 M0 之間的絕緣層，且將電源軌 10 電連接至接觸件 30，且因此電連接至作用層 40。

【0012】圖 5 為圖 1 中所說明的標準單元 1 的示意性側視圖。在圖 5 中，互連層 M0 由 1000 指示，且為接觸件 30 以及作用層 40 配置之處。第一金屬層 M1 由 1010 指示，且為電源軌 10 以及佈線軌道 90 配置之處。如可見，電源軌 10 在標準單元 1 中與佈線軌道 90 佔用相同位準，因此減小可供用於標準單元 1 中的佈線軌道 90 的空間。

【0013】此外，因為電源軌 10 包含於金屬層 M1 至 Mx 中的一者中，所以電源軌 10 佔用可另外用於佈線軌道 90 以及各種互連件的空間。此外，電源軌 10 藉由通路 20 連接至作用層 40，且在設計包含標準單元 1 的半導體裝置時必須考慮通路 20 上的電位降（IR drop）。

【發明內容】

【0014】本發明針對包含埋入電源軌的半導體裝置的各種實施例。在一個實施例中，所述半導體裝置包含多個金屬層（例如，

金屬佈線層)，所述金屬層配置於互連層上方，作用層以及電源軌配置於所述互連層上。

【0015】 根據一個實施例，一種半導體裝置包含：基板；電源軌，其在所述基板上；作用層，其在所述基板上且與所述電源軌處於相同層；以及接觸件，其將所述電源軌電連接至所述作用層。所述作用層包含源極/汲極端子。

【0016】 所述半導體裝置可進一步包含閘極電極，所述閘極電極與所述電源軌處於相同層。

【0017】 相比所述接觸件的底部表面，所述電源軌的底部表面可在所述基板上方更遠處。

【0018】 所述電源軌的上部表面可在所述接觸件的上部表面上方。

【0019】 所述半導體裝置可進一步包含多個金屬層，且所述金屬層中的每一者可包含多個互連件。所述電源軌可配置於多個所述金屬層下方。

【0020】 最接近所述基板的所述金屬層中的所述互連件中的一者可在垂直於所述基板的上部表面的方向中在所述電源軌上方。

【0021】 所述金屬層中的每一者中的所述互連件中的至少一者可在平行於所述基板的上部表面的方向中於所述電源軌上方延伸。

【0022】 所述接觸件與所述電源軌一體成型。

【0023】 所述電源軌的底部表面與所述接觸件的底部表面按相同距離在所述基板上方。

【0024】 所述電源軌可包含低電阻金屬。

【0025】 根據另一實施例，一種半導體裝置包含：基板；電源軌，

其在所述基板上；作用層，其在所述基板上且包含源極/汲極端子，在所述基板與所述電源軌之間與在所述基板與所述作用層之間存在相同數目個層；以及接觸件，其將所述電源軌電連接至所述作用層。

【0026】 所述半導體裝置可進一步包含多個閘極電極，所述閘極電極與所述電源軌處於相同層。

【0027】 相比所述接觸件的底部表面，所述電源軌的底部表面可離所述基板更遠。

【0028】 所述半導體裝置可進一步包含在所述電源軌上方的多個金屬層，且所述金屬層中的每一者可包含多個互連件。

【0029】 所述電源軌上方的所述金屬層中的第一金屬層中的所述互連件中的至少一者可在垂直於所述基板的上部表面的方向中於所述電源軌上方延伸。

【0030】 所述金屬層中的每一者中的至少一個互連件可在垂直於所述基板的上部表面的方向中於所述電源軌上方延伸。

【0031】 垂直於所述基板的上部表面延伸的虛線可延伸穿過所述電源軌以及所述電源軌上方的所述金屬層中的第一金屬層中的至少一個互連件。

【0032】 本發明亦針對製造半導體裝置的方法的各種實施例。在一個實施例中，一種製造半導體裝置的方法包含：在基板上形成作用層；在所述基板上形成多個接觸件；以及在所述基板上形成電源軌，所述電源軌與所述接觸件處於相同位準。所述接觸件電連接至所述作用層，且所述電源軌藉由所述接觸件電耦接至所述作用層。

【0033】 所述方法可進一步包含在所述作用層上形成絕緣層；在所述絕緣層中形成第一溝槽以界定第一區域；以及在所述絕緣層中形成第二溝槽以界定第二區域。所述形成所述電源軌以及形成所述接觸件可包含用導電材料填充所述絕緣層中的所述第一區域以及第二區域兩者。

【0034】 所述方法可進一步包含圖案化所述基板以在單元分離邊界處形成溝槽，且所述形成所述電源軌可包含在所述單元分離邊界處的所述溝槽上方形成所述電源軌。

【0035】 提供此[發明內容]以引入本發明的例示性實施例的一系列特徵以及概念，所述特徵以及概念將下文在詳細描述中進一步描述。此[發明內容]並不意欲識別所主張標的物之關鍵或基本特徵，亦不意欲用於限制所主張標的物之範疇。所描述特徵中的一或多者可與一或多個其他所描述特徵組合以提供可工作裝置。

【圖式簡單說明】

【0036】

圖 1 為標準單元的一部分的透視圖。

圖 2 為根據本發明的一實施例的標準單元的一部分的透視圖。

圖 3 為根據本發明的另一實施例的標準單元的一部分的透視圖。

圖 4 為根據本發明的另一實施例的標準單元的一部分的透視圖。

圖 5 為圖 1 中所說明的標準單元的態樣的示意性側視圖。

圖 6 為根據本發明的一實施例的標準單元的態樣的示意性側視圖。

圖 7 為根據本發明的另一實施例的標準單元的態樣的示意性側視圖。

圖 8 至圖 26 說明根據本發明的一實施例的製造標準單元的方法。

【實施方式】

【0037】 本發明針對包含埋入電源軌的半導體裝置的各種例示性實施例。在一個實施例中，一種半導體裝置包含電源軌，所述電源軌與半導體裝置的作用層處於相同層或實質上處於相同層（諸如在互連層中），且在其金屬層 M1 至 Mx（例如，金屬佈線層）下方。

【0038】 因此，可製造所述半導體裝置而不包含將電源軌連接至作用層的通路，因此減小由通路產生的電位降。在一個實施例中，在金屬層 M1 至 Mx 中可用的用於互連件的佈線軌道的數目增大，因此減小置放與佈線（place and route；PnR）擁擠。此外，可減小單元高度。在其他實施例中，可維持單元高度，但可加寬佈線軌道，因此減小互連件中的佈線電阻以及電容，以及改良設計效能。

【0039】 下文中，將參考附圖更詳細地描述實例實施例，在附圖中，相同參考數字始終指相同元件。然而，本發明可以各種不同

形式體現，且不應解釋為僅限於本文中的所說明實施例。確切而言，提供此等實施例作為實例，使得本發明將為透徹且完整的，且將向熟習此項技術者充分傳達本發明的態樣以及特徵。因此，可不描述對於彼等一般熟習此項技術者完整理解本發明的態樣以及特徵而言並非必需的程序、元件以及技術。除非另外指出，否則相同參考數字貫穿附圖以及書面描述指相同元件，且因此，可不重複其描述。

【0040】 在圖中，可為了清晰起見，放大及/或簡化元件、層以及區域的相對大小。空間相關術語，諸如「底下」、「下方」、「下部」、「下面」、「上方」、「上部」以及其類似者可為了易於解釋而在本文中用以描述一個元件或特徵與另一元件或特徵的關係，如圖式中所說明。應理解，空間相關術語意欲涵蓋除圖式中所描繪的定向之外的在使用中或在操作中的裝置的不同定向。舉例而言，若圖式中的裝置翻轉，則描述為「在」其他元件或特徵「下方」或「以下」或「下面」的元件將接著定向為「在」其他元件或特徵「上方」。因此，實例術語「下方」以及「下面」可涵蓋上方以及下方的定向兩者。裝置可以其他方式定向（例如，旋轉 90 度或處於其他定向），且本文中所使用的空間相關描述詞應相應地進行解釋。

【0041】 應理解，雖然本文中可使用術語「第一」、「第二」、「第三」等來描述各種元件、組件、區域、層及/或區段，但此等元件、組件、區域、層及/或區段不應受此等術語限制。此等術語用以區別一個元件、組件、區域、層或區段與另一元件、組件、區域、層或區段。因此，在不脫離本發明的精神以及範疇的情況下，下文所論述的第一元件、組件、區域、層或區段可被稱為第二元件、

組件、區域、層或區段。

【0042】 應理解，當元件或層被稱作「在另一元件或層上」、「連接至另一元件或層」或「耦接至另一元件或層」時，元件或層可直接在另一元件或層上、直接連接至另一元件或層或耦接至另一元件或層，或可能存在一或多個介入元件或層。另外，亦將理解當元件或層被稱作「在兩個元件或層之間」時，元件或層可為兩個元件或層之間的唯一元件或層，或亦可存在一或多個介入元件或層。

【0043】 本文中所使用的術語用於描述特定實施例的目的，且不意欲為本發明的限制。如本文所使用，除非上下文另外清晰地指示，否則單數形式「一」意欲亦包含複數形式。應進一步理解，術語「包括」以及「包含」在用於本說明書中時指定所陳述特徵、整體、步驟、操作、元件及/或組件的存在，但不排除一或多個其他特徵、整體、步驟、操作、元件、組件及/或其群組的存在或添加。如本文所使用，術語「及/或」包含相關聯所列項目中的一或多者的任何以及所有組合。當在元件清單之前時，諸如「……中的至少一者」的表達修飾元件的整個清單，且不修飾清單中的個別元件。

【0044】 如本文中所使用，術語「實質上」、「約」以及類似術語用作表示近似的術語且並不用作表示程度的術語，且意欲考慮將由一般熟習此項技術者辨識的量測值或計算值的固有偏差。另外，「可」在描述本發明的實施例時的使用指「本發明的一或多個實施例」。如本文中所使用，術語「使用」可分別被視為與術語「利用」同義。此外，術語「例示性」意欲指實例或說明。

【0045】 除非另外定義，否則本文所使用的所有術語（包含技術以及科學術語）具有與本發明所屬領域的一般技術者通常理解的同同意義。應進一步理解，術語（諸如，常用詞典中所定義的彼等術語）應被解釋為具有與其在相關技術及/或本發明的上下文中的含義一致的含義，且不應以理想化或過分正式意義進行來解釋，除非本文中明確地如此定義。

【0046】 圖 2 為根據本發明的一實施例的標準單元 2 的一部分的透視圖。標準單元 2 包含電源軌 100、接觸件 300（例如，接觸層）、作用層 400（例如，鱗片或奈米薄片）（包含源極/汲極端子（例如，源極/汲極電極）），以及閘極電極 50。儘管未繪示，但閘極電極 50 藉由閘極絕緣層與作用層 400 分離。標準單元 2 可為例如反相器。

【0047】 在標準單元 2 中，電源軌 100、接觸件 300、作用層 400 以及閘極電極 50 各自處於互連層 M0（例如，金屬互連層）。互連層 M0 在金屬層 M1 至 Mx（例如，金屬佈線層）下方，但在裝置連接層上方。單元級（cell level）電力柵格可在上部金屬層中，且經由標準通路互連件，電源軌 100 可沿著其長度按規則間隔（例如，每 10 至 20 微米）在各種點處電連接至單元級電力柵格。在圖 2 中，各種互連件 12、13 經說明在電源軌 100、接觸件 300、作用層 400 以及閘極電極 50 上方，且互連件 12、13 處於金屬層 M1。

【0048】 在標準單元 2 中，電源軌 100 鄰近於（例如，直接鄰近於）接觸件 300，而非如圖 1 中所說明地配置於金屬層 M1 中。舉例而言，電源軌 100 在平行於基板的上部表面的方向中鄰近於接觸件 300，此等組件配置在基板上。藉由在互連層 M0 處將電源軌

100 配置為鄰近於接觸件 300，先前由電源軌 10 佔用的金屬層 M1 中的區域（參見圖 1）現未佔用。因此，諸如電源軌 100 上方的金屬層 M1 至 Mx 的上部金屬層中的區域可用於佈線軌道，且因此用於信號互連（例如，信號選路）。

【0049】 電源軌 100 與閘極電極 50 間隔（例如，隔開）一定距離自以減小或防止其間的短路。舉例而言，電源軌 100 經配置以在平行於基板的上部表面的方向中與閘極電極 50 間隔，以防止短路在電源軌 100 與閘極電極 50 之間發生。

【0050】 電源軌 100 可直接電連接至接觸件 300。亦即，電源軌 100 直接連接至接觸件 300，而非當電源軌 10 在圖 1 中所說明的標準單元 1 中時，經由通路連接至接觸件 300。換言之，電源軌 100 直接電連接至接觸件 300，而非電源軌 10 經由通路 20 間接電連接至接觸件 30（參見圖 1）。因而，在電源軌 100 與接觸件 300 之間比在通路 20 與接觸件 30（參見圖 1）之間存在更大接觸區域。因此，可減小電源軌 100 與接觸件 300 之間的電位降，且歸因於電源軌 100 與接觸件 300 之間的較低寄生電阻可達成改良的直流優質（DC FOM）（例如，較高 I_{eff} ）及/或交流優質（AC FOM）。然而，本發明不限於此，且中間組件可存在於電源軌 100 與接觸件 300 之間且可將電源軌 100 電連接至接觸件 300。

【0051】 此外，電源軌 100 沿著接觸件 300 的整個或實質上整個長度直接電連接至接觸件 300，因此進一步減小電源軌 100 與接觸件 300 之間連接處的任何電位降。舉例而言，電源軌 100 具有與接觸件 300 相對大的接觸區域，而非受限於通路（例如，圖 1 中所說明的通路 20），因此當與利用通路的連接相比時，減小電源軌

與接觸件之間的連接處的電位降。

【0052】 藉由將電源軌 100 配置於互連層 M0 中，電源軌 100 的大小相較於電源軌 10（參見圖 1）可增大，因為電源軌 100 不限於金屬層 M1 中的佈線軌道的大小。舉例而言，電源軌 100 的高度可與接觸件 300 相同或基本上相同。在另一實施例中，如圖 4 中所繪示，電源軌 120 的高度可大於接觸件 300。此外，電源軌 100 的寬度相較於電源軌 10（參見圖 1）可減小，同時相較於電源軌 10 含有相同量或更大量的導電材料。藉由增大電源軌 100 的大小且因此增大電源軌的導電材料的量，電源軌 100 的電阻小於電源軌 10 的電阻，從而相較於標準單元 1 減小電位降。此外，即使當電源軌 100 的寬度相較於電源軌 10 減小時，電源軌 100 的總體大小亦大於電源軌 10 的大小，因此確保電位降減小。

【0053】 圖 3 為根據本發明的另一實施例的標準單元 3 的一部分的透視圖。標準單元 3 包含電源軌 110、接觸件 300、包含源極/汲極端子的作用層 400，以及閘極電極 50。參看圖 3，電源軌 110 以及接觸件 300 配置在與作用層 400 以及閘極電極 50 的位準相同的位準。可獨立地（例如，獨立於作用層 400）在基板上方修改電源軌 110 的高度及/或深度，以滿足各種所要電位降目標值。舉例而言，如圖 4 中所繪示，電源軌 120 的上部表面以及下部表面可延伸超出接觸件 300 的上部表面以及下部表面。然而，即使當電源軌 110 的高度略微地不同於作用層 400 以及閘極電極 50 時，電源軌 110 仍處於互連層 M0 中且在金屬層 M1 下方。舉例而言，電源軌 110 的上部表面在金屬層 M1 下方，使得上部金屬層 M1 至 Mx 中的電源軌 110 上方的區域可用於佈線軌道。

【0054】圖 6 為根據本發明的一實施例的標準單元的態樣的示意性側視圖。在圖 6 中，佈線軌道 90 處於由 1010 指示的金屬層 M1，且電源軌 100、接觸件 300 以及作用層 400 處於由 1000 指示的互連層 M0。如在圖中 6 可見，因為電源軌 100 配置於互連層 M0 中而非配置於金屬層 M1 中（參見圖 5 中的 10），所以在不減小佈線軌道 90 的數目的情況下，標準單元的總體大小或佔據面積減小。

【0055】圖 7 為根據本發明的另一實施例的標準單元的態樣的示意性側視圖。類似於圖 6，佈線軌道 91 處於由 1010 指示的金屬層 M1，且電源軌 100、接觸件 300 以及作用層 400 處於由 1000 指示的互連層 M0。在此實施例中，不同於圖 6 的實施例，所述標準單元的總體大小或佔據面積與圖 6 中所說明的標準單元 1 相比並不減小或實質上減小，但佈線軌道 91 中的每一者的大小增大。舉例而言，佈線軌道 91 中的每一者大於圖 5 以及圖 6 中所說明的佈線軌道 90。因而，形成於佈線軌道 91 中的互連件可大於形成於佈線軌道 90 中的互連件，藉此具有減小的電阻且使標準單元的效能增大。

【0056】在又一實施例中，可包含額外佈線軌道 90，同時停留在標準單元的佔據面積內。舉例而言，專用於圖 5 中的電源軌 10 的空間可取而代之為在不增大標準單元的佔據面積的情況下配置額外佈線軌道 90（參見圖 6）之處。

【0057】在另一實施例中，佈線軌道 90 可彼此相隔更遠而不增大標準單元的佔據面積。舉例而言，佈線軌道 90（參見圖 6）可相隔更遠而不增大標準單元的佔據面積（例如，佈線軌道間距可增大），而非增大佈線軌道（參見圖 7 中的佈線軌道 91）的大小。在

此實施例中，佈線軌道 90 之間的增大間距提供減小的佈線電容，佈線電容由存在於佈線軌道 90 中的鄰近者之間的絕緣材料產生。

【0058】另外，本發明不限於上文所描述的實施例，且在一個實施例中可將各種實施例的態樣組合在一起。舉例而言，在一個實施例中，佈線軌道中的一些可具有增大的大小（參見圖 7 中的佈線軌道 91），而佈線軌道中的其他者相隔更遠。在另一實施例中，一個金屬層上的佈線軌道可大於另一金屬層上的佈線軌道，或一個金屬層可包含較大佈線軌道，而另一金屬層比所述一個金屬層包含更多佈線軌道。

【0059】圖 8 至圖 26 說明根據本發明的一實施例的製造標準單元的方法。參看圖 14，例如藉由使用圖案罩幕來圖案化基板 600，以形成在單元分離邊界處所形成的多個溝槽（例如，凹槽）。形成於單元分離邊界處的溝槽可按重複圖案沿著基板 600 配置，以界定將形成標準單元的區域。

【0060】參看圖 15，可用導電材料 601（例如，電絕緣材料）填充形成於單元分離邊界處的溝槽。導電材料 601 可為金屬，例如，鎢（W）、銅（Cu）或鈷（Co）。然而，導電材料 601 不限於此。另外，在形成於單元分離邊界處的溝槽之間的基板 600 的上部表面上形成作用磊晶層 602。然而，本發明不限於此，且作用磊晶層 602 可實質上形成於基板 600 的整個上部表面上方。接著，可移除作用磊晶層 602 的在形成於單元分離邊界處的溝槽處的部分。此外，可在基板 600 上形成絕緣層（諸如氧化物層）及/或矽層，之後在基板 600 上形成作用磊晶層 602。

【0061】參看圖 16，藉由例如使用圖案罩幕來圖案化或蝕刻作用

磊晶層 602。舉例而言，可圖案化作用磊晶層 602，使得移除所述作用磊晶層的部分，從而暴露基板 600 的上部表面，或在其他實施例中，暴露下伏絕緣層。作用磊晶層 602 的剩餘部分可不同地形成源極電極以及汲極電極。

【0062】參看圖 17，於作用磊晶層 602 的剩餘部分之間形成作用層 400(例如，鱗片或奈米薄片)。儘管作用層 400 說明為鱗式 FET，但本發明不限於此。舉例而言，本發明的態樣可應用於奈米薄片場效電晶體(field effect transistor; FET)，諸如水平奈米薄片 FET。

【0063】參看圖 18，於基板 600 上方以及作用磊晶層 602 以及作用層 400 上方形成第一絕緣層 603(例如，第一氧化物層)。接著，參看圖 19，藉由例如使用圖案罩幕來圖案化或蝕刻第一絕緣層 603。舉例而言，圖案化或蝕刻第一絕緣層 603 在作用層 400 上方的部分，藉此經由第一絕緣層 603 暴露作用層 400。

【0064】參看圖 20，於第一絕緣層 603 中的開口中形成作用閘極電極 50 以及虛設閘極電極 50'。閘極電極 50 以及 50'可由金屬製成。圖 8 繪示圖 20 的閘極電極 50 以及 50'以及作用層 400 的俯視平面視圖，且圖 9 繪示圖 20 的閘極電極 50 以及閘極電極 50'以及作用層 400 的透視圖。為了清晰起見，在圖 8 至圖 13 中未說明作用磊晶層 602。

【0065】參看圖 21，於第一絕緣層 603 以及閘極電極 50 以及閘極電極 50'上方形成第二絕緣層 605(例如，第二氧化物層)。接著參看圖 22，藉由例如使用圖案罩幕來圖案化或蝕刻第一絕緣層 603 以及第二絕緣層 605，以移除所述絕緣層在閘極電極 50 以及閘極電極 50'的鄰近者之間的部分。第一絕緣層 603 以及第二絕緣層 605

的經圖案化區域（例如，其中的開口）形成局部互連線。接著，使用切割罩幕來修改局部互連線長度。

【0066】參看圖 23 以及圖 24，用犧牲材料 500 填充（例如，部分地填充）局部互連線。犧牲材料可為例如碳（C）或矽-有機物混合型（silicon-organic-hybrid；SOH）材料。圖 10 繪示圖 23 以及圖 24 的閘極電極 50 以及閘極電極 50'、作用層 400 以及犧牲材料 500 的俯視平面視圖，且圖 11 繪示圖 23 以及圖 24 的閘極電極 50 以及閘極電極 50'、作用層 400 以及犧牲材料 500 的透視圖。

【0067】接著，參看圖 25，在局部互連線處移除犧牲材料 500。參看圖 26，於局部互連線中填充諸如金屬的材料。金屬可為低電阻觸頭金屬，諸如鎢（W）或鈷（Co）。金屬材料形成電源軌 110 以及接觸件 300。如可見，電源軌 110 與接觸件 300 可一體成型。然而，本發明不限於此，且電源軌 110 可與接觸件 300 分開地形成且可為與接觸件不同的材料。圖 12 繪示圖 26 的閘極電極 50 以及閘極電極 50'、作用層 400、電源軌 110 以及接觸件 300 的俯視平面視圖，且圖 13 繪示圖 26 的閘極電極 50 以及閘極電極 50'、作用層 400、電源軌 110 以及接觸件 300 的透視圖。

【0068】圖 8 至圖 26 說明製造半導體裝置的方法，其中電源軌略微地在源極/汲極電極上方，諸如圖 3 中所說明的實施例。然而，製造方法不限於此，且可修改上述方法使得電源軌實質上與源極/汲極電極齊平，諸如圖 2 中所說明的實施例。

【0069】儘管已參考實例實施例描述本發明，但熟習此項技術者將認識到，可在完全不脫離本發明的精神以及範疇的情況下執行對所描述實施例的各種改變以及修改。另外，熟習各項技術者將

認識到，本文中所描述的本發明將建議其他任務的解決方案以及對其他應用的調適。申請人的目的為，在完全不脫離本發明的精神以及範疇的情況下，藉由本文中的申請專利範圍涵蓋本發明的所有此等用途，以及出於揭露的目的可對在本文中所選擇的本發明的實例實施例作出的彼等改變以及修改。因此，本發明的實例實施例應在所有方面被視為說明性以及非限定性的，其中本發明的精神以及範疇由所附申請專利範圍以及其等效物指示。

【符號說明】

【0070】

1、2、3：標準單元

10、100、110、120：電源軌

12、13：互連件

20：通路

30、300：接觸件

40、400：作用層

50、50'：閘極電極

90、91：佈線軌道

500：犧牲材料

600：基板

601：導電材料

602：作用磊晶層

603：第一絕緣層

605：第二絕緣層

1000：互連層 M0

1010：金屬層 M1

【發明申請專利範圍】

【第1項】 一種半導體裝置，其包括：

基板；

電源軌，其在所述基板上；

作用層，其在所述基板上且與所述電源軌處於相同層，所述作用層包括源極/汲極端子；以及

接觸件，其將所述電源軌電連接至所述作用層。

● 【第2項】 如申請專利範圍第 1 項所述的半導體裝置，其進一步包括閘極電極，所述閘極電極與所述電源軌處於相同層。

【第3項】 如申請專利範圍第 2 項所述的半導體裝置，其中相比所述接觸件的底部表面，所述電源軌的底部表面在所述基板上方更遠處。

【第4項】 如申請專利範圍第 3 項所述的半導體裝置，其中所述電源軌的上部表面在所述接觸件的上部表面上方。

● 【第5項】 如申請專利範圍第 1 項所述的半導體裝置，其進一步包括多個金屬層，所述金屬層中的每一者包括多個互連件，

其中所述電源軌配置於多個所述金屬層下方。

【第6項】 如申請專利範圍第 5 項所述的半導體裝置，其中最接近所述基板的所述金屬層中的所述互連件中的一者在垂直於所述基板的上部表面的方向中在所述電源軌上方。

【第7項】 如申請專利範圍第 5 項所述的半導體裝置，其中所述金屬層中的每一者中的所述互連件中的至少一者在平行於所述基板的上部表面的方向中於所述電源軌上方延伸。

【第8項】如申請專利範圍第1項所述的半導體裝置，其中所述接觸件與所述電源軌一體成型。

【第9項】如申請專利範圍第1項所述的半導體裝置，其中所述電源軌的底部表面與所述接觸件的底部表面按相同距離處於所述基板上方。

【第10項】如申請專利範圍第9項所述的半導體裝置，其中所述電源軌包括低電阻金屬。

【第11項】一種半導體裝置，其包括：

基板；

電源軌，其在所述基板上；

作用層，其在所述基板上且包括源極/汲極端子，在所述基板與所述電源軌之間與在所述基板與所述作用層之間存在相同數目個層；以及

接觸件，其將所述電源軌電連接至所述作用層。

【第12項】如申請專利範圍第11項所述的半導體裝置，其進一步包括多個閘極電極，所述閘極電極與所述電源軌處於相同層。

【第13項】如申請專利範圍第12項所述的半導體裝置，其中相比所述接觸件的底部表面，所述電源軌的底部表面離所述基板更遠。

【第14項】如申請專利範圍第11項所述的半導體裝置，其進一步包括在所述電源軌上方的多個金屬層，所述金屬層中的每一者包括多個互連件。

【第15項】如申請專利範圍第14項所述的半導體裝置，其中所述電源軌上方的所述金屬層中的第一金屬層中的所述互連件中的至

少一者在垂直於所述基板的上部表面的方向中於所述電源軌上方延伸。

【第16項】如申請專利範圍第 14 項所述的半導體裝置，其中所述金屬層中的每一者中的至少一個互連件在垂直於所述基板的上部表面的方向中於所述電源軌上方延伸。

【第17項】如申請專利範圍第 14 項所述的半導體裝置，其中垂直於所述基板的上部表面延伸的虛線延伸穿過所述電源軌以及所述電源軌上方的所述金屬層中的第一金屬層中的至少一個互連件。

【第18項】一種製造半導體裝置的方法，所述製造半導體裝置的方法包括：

在基板上形成作用層；

在所述基板上形成多個接觸件，所述接觸件電連接至所述作用層；以及

在所述基板上形成電源軌，所述電源軌藉由所述接觸件電耦接至所述作用層，且所述電源軌與所述接觸件處於相同位準。

【第19項】如申請專利範圍第 18 項所述的製造半導體裝置的方法，其進一步包括在所述作用層上形成絕緣層；

在所述絕緣層中形成第一溝槽以界定第一區域；以及

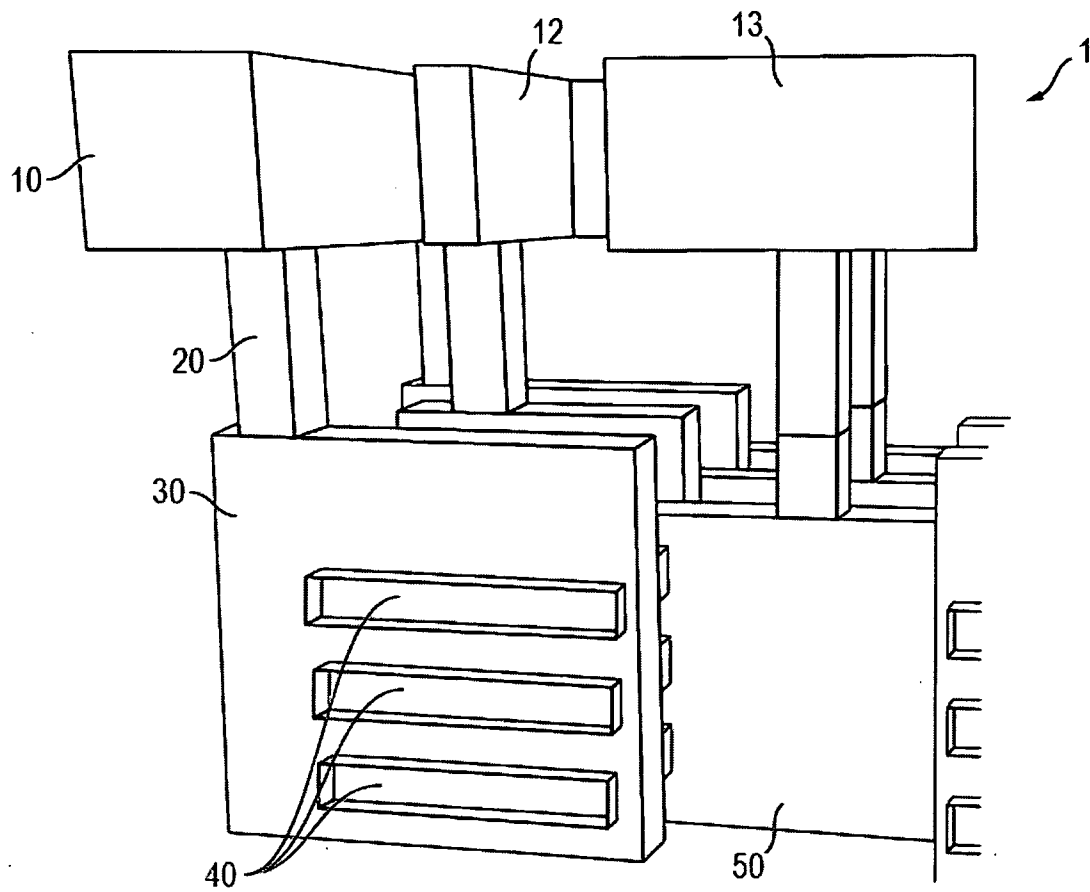
在所述絕緣層中形成第二溝槽以界定第二區域，

其中形成所述電源軌以及形成所述接觸件包括用導電材料填充所述絕緣層中的所述第一區域以及第二區域兩者。

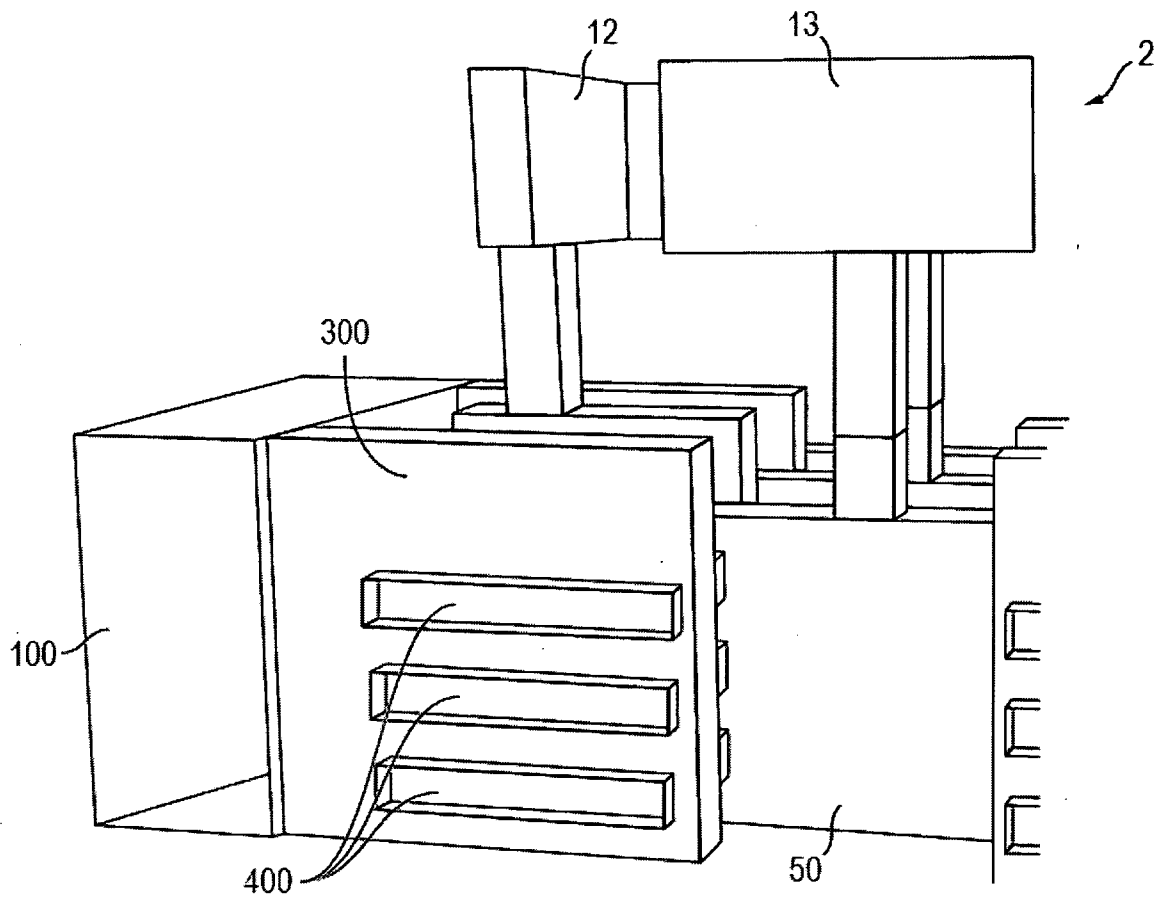
【第20項】如申請專利範圍第 19 項所述的製造半導體裝置的方法，其進一步包括圖案化所述基板以在單元分離邊界處形成溝槽，且

其中形成所述電源軌包括在所述單元分離邊界處的所述溝槽上方形成所述電源軌。

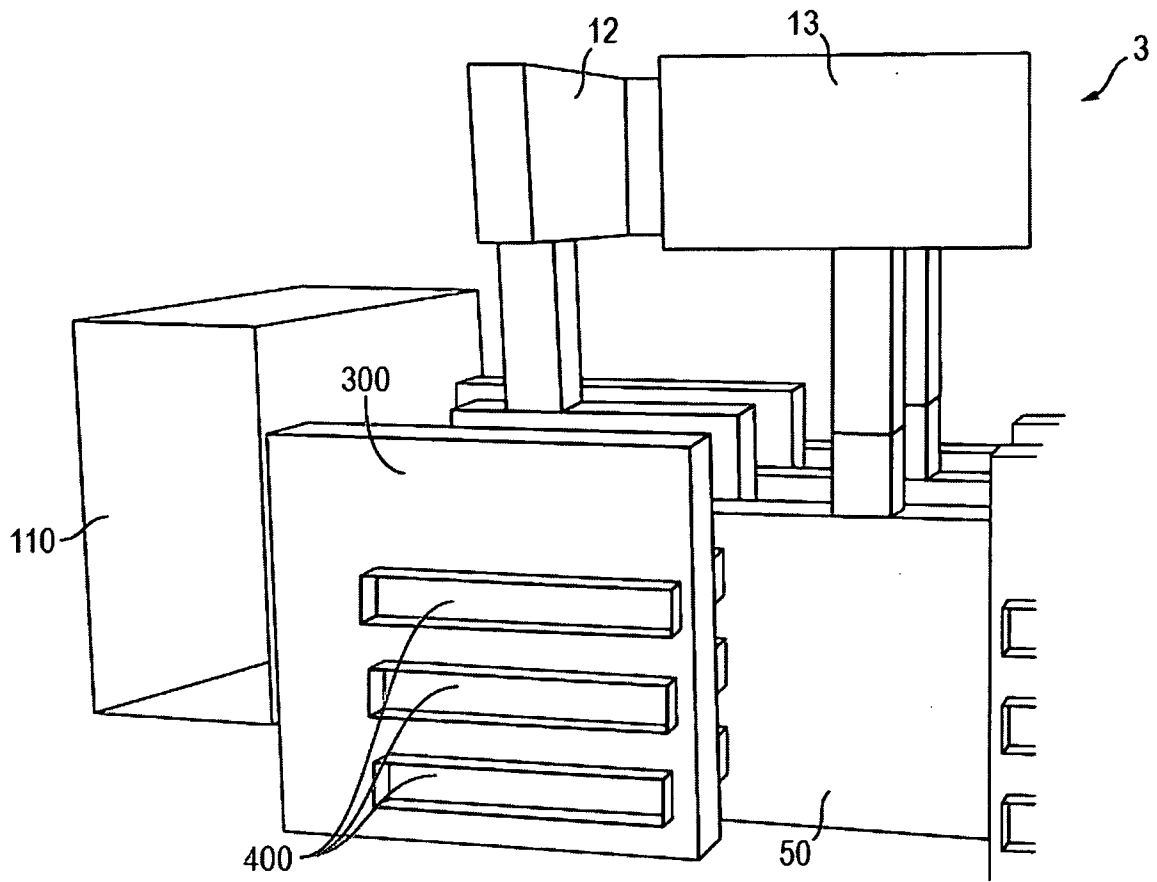
【發明圖式】



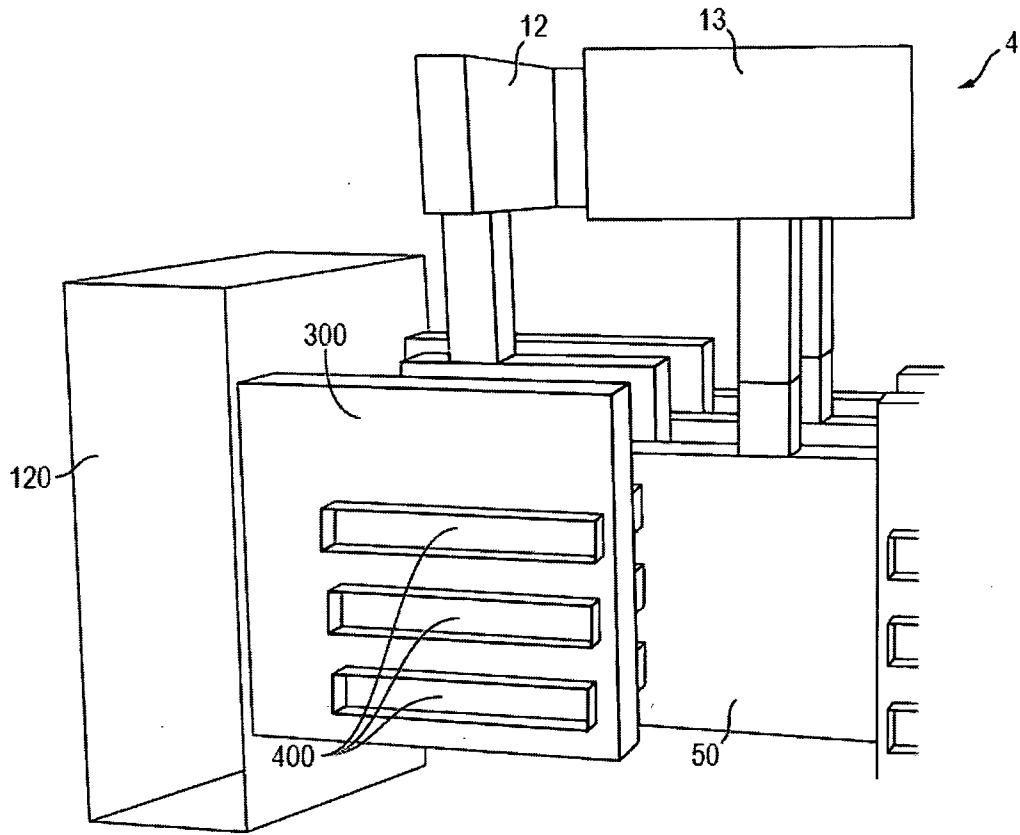
【圖1】



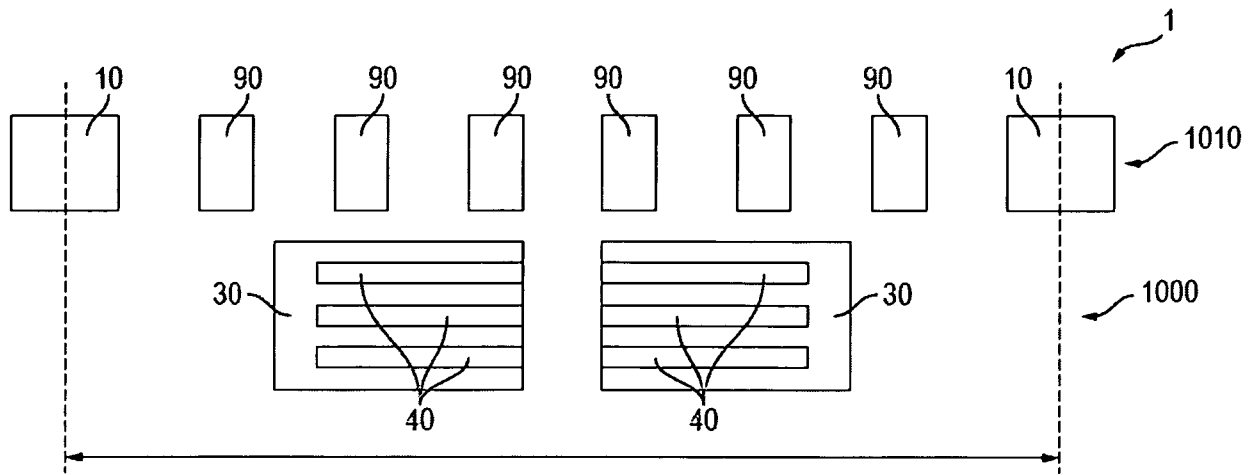
【圖2】



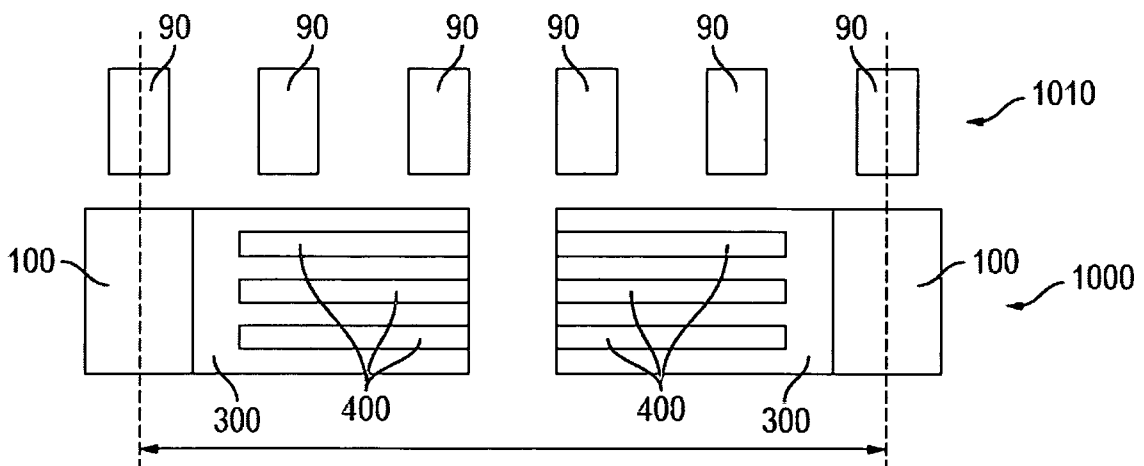
【圖3】



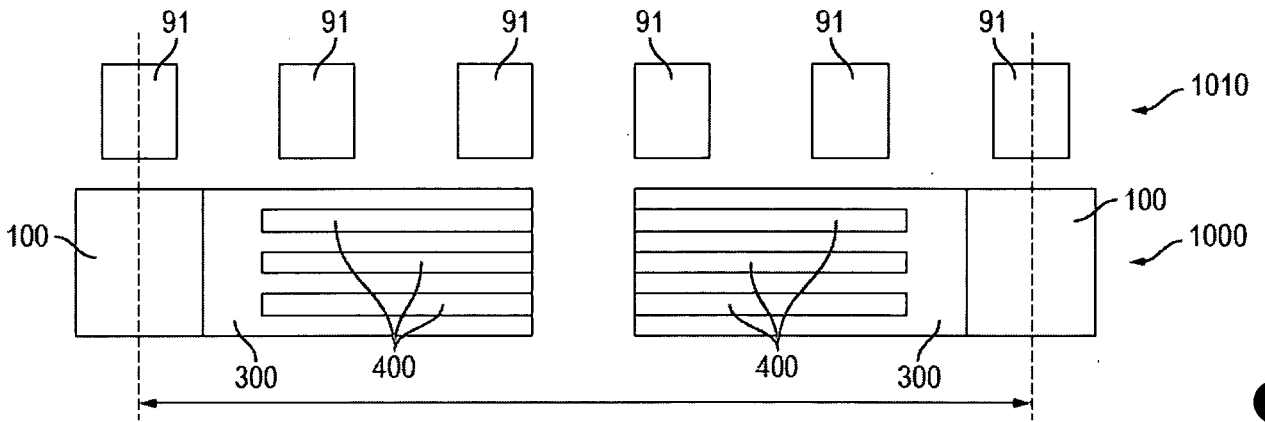
【圖4】



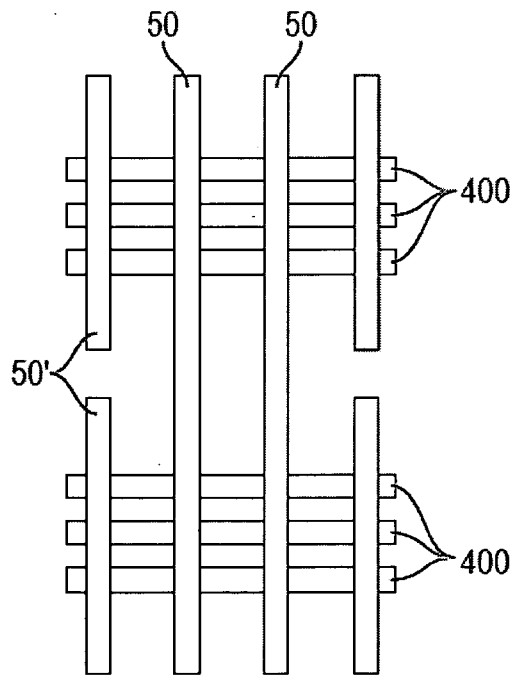
【圖5】



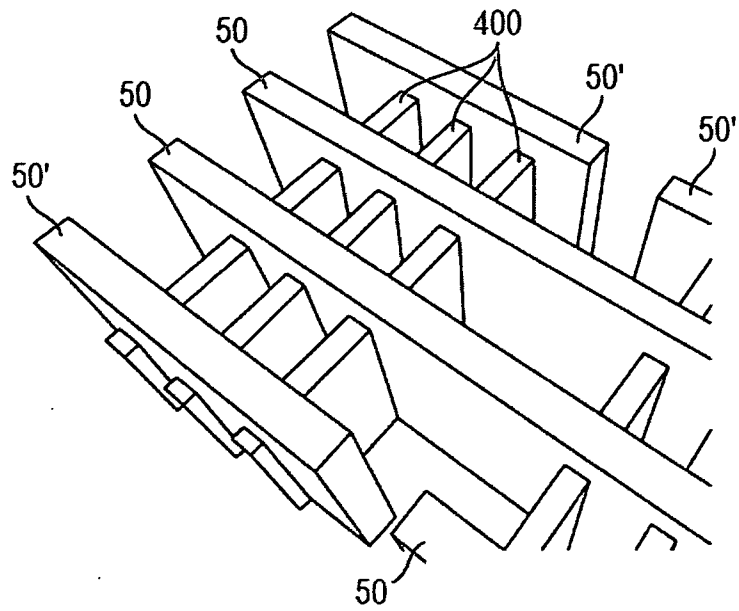
【圖6】



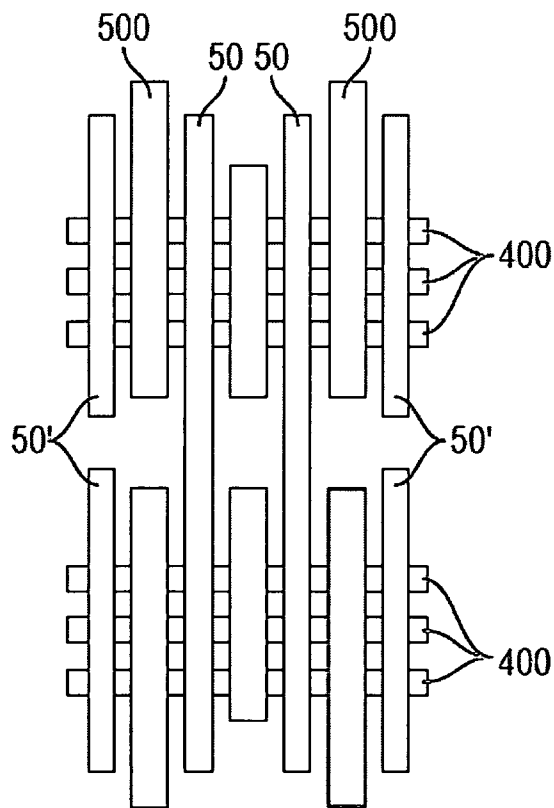
【圖7】



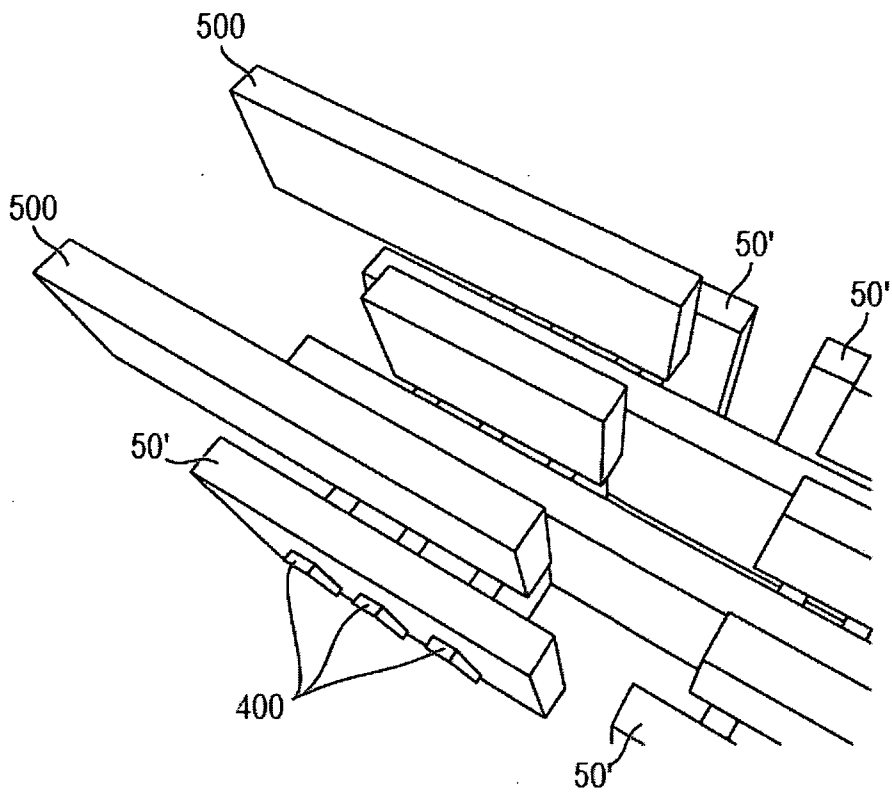
【圖8】



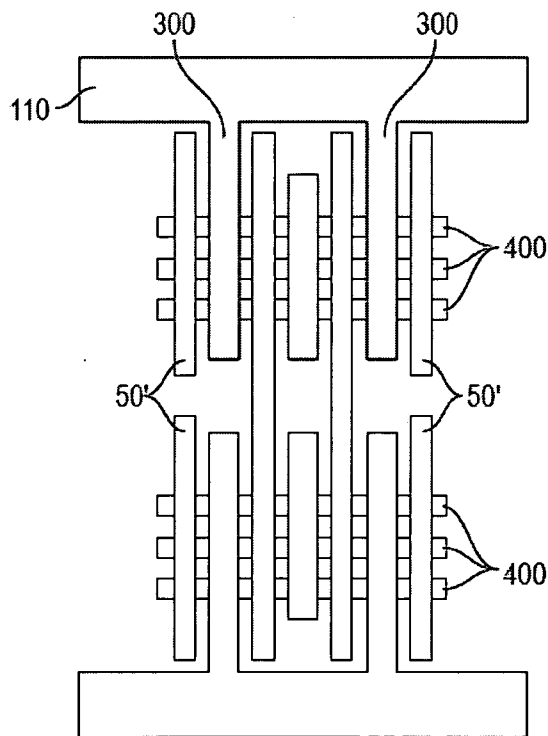
【圖9】



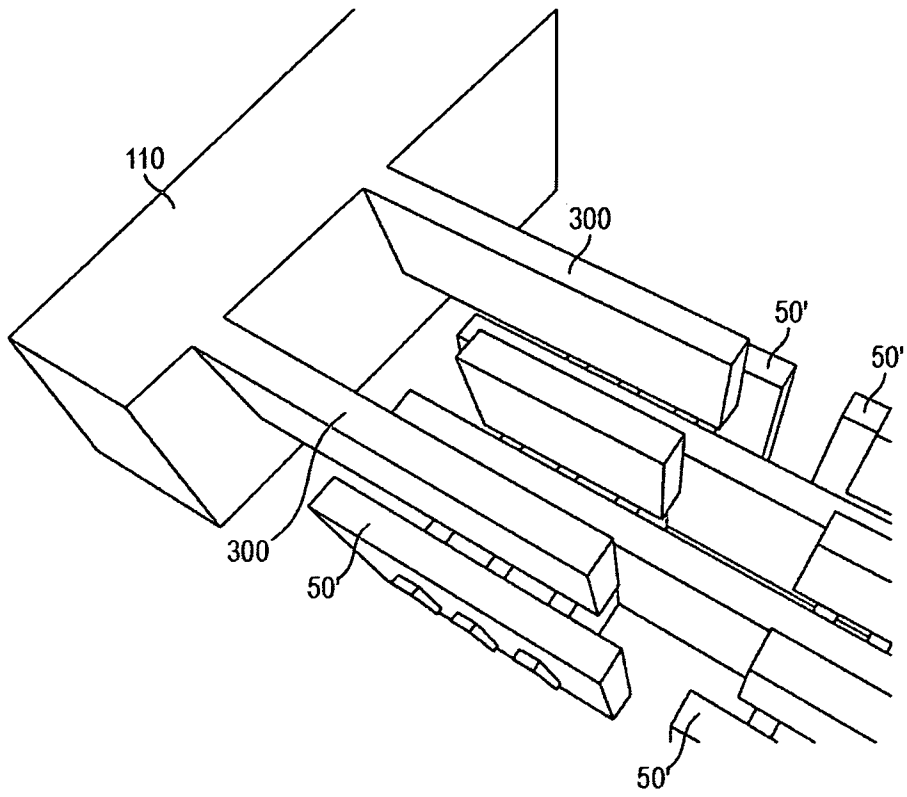
【圖10】



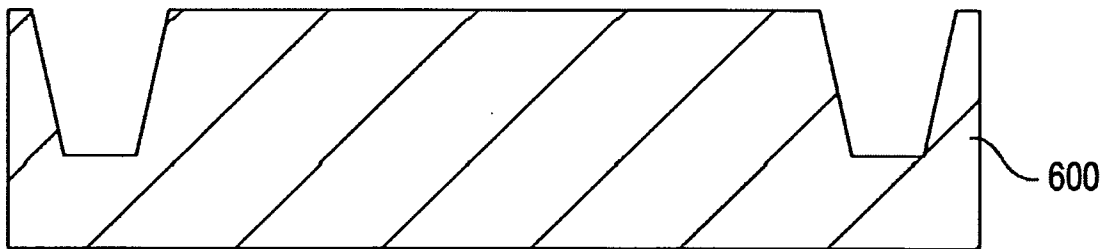
【圖11】



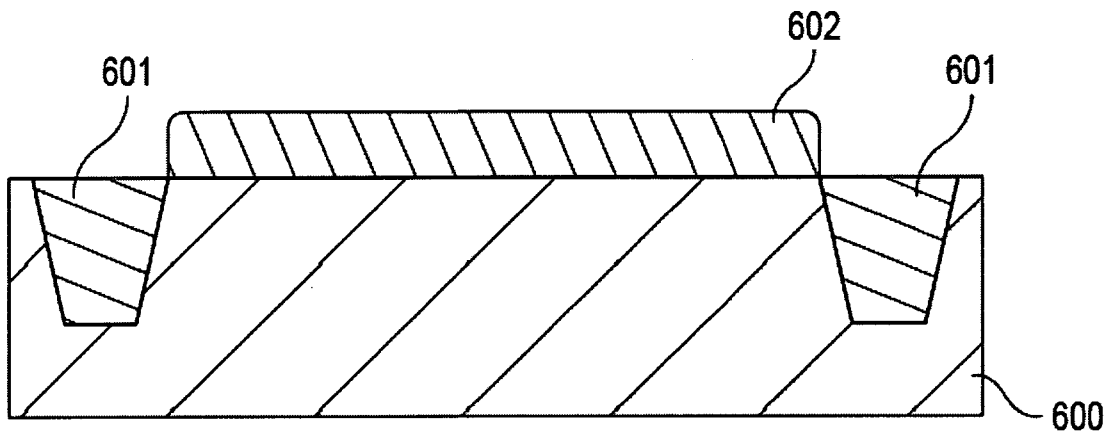
【圖12】



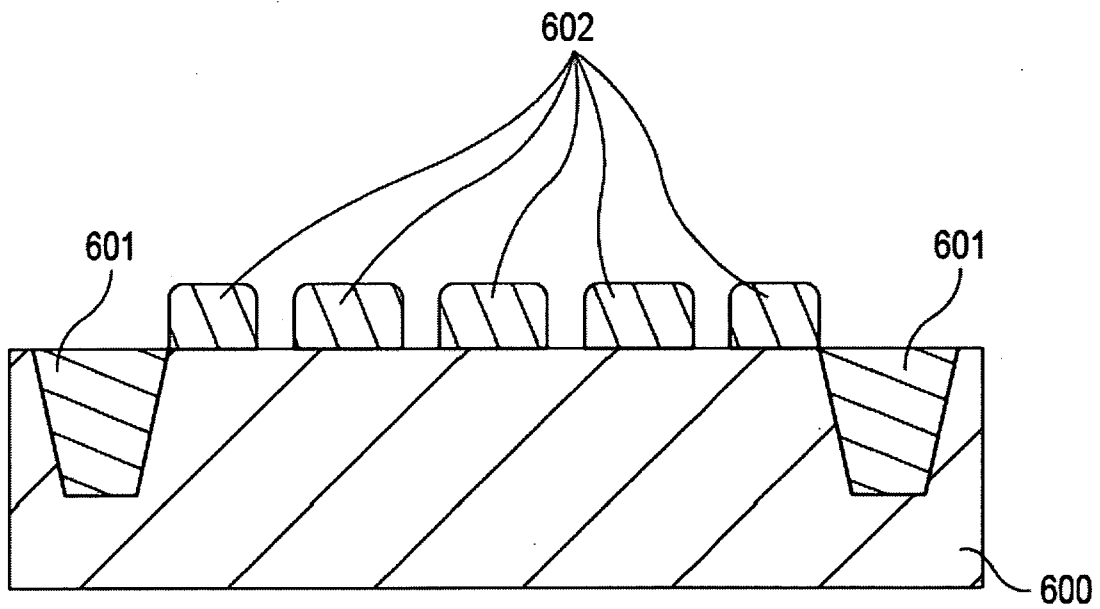
【圖13】



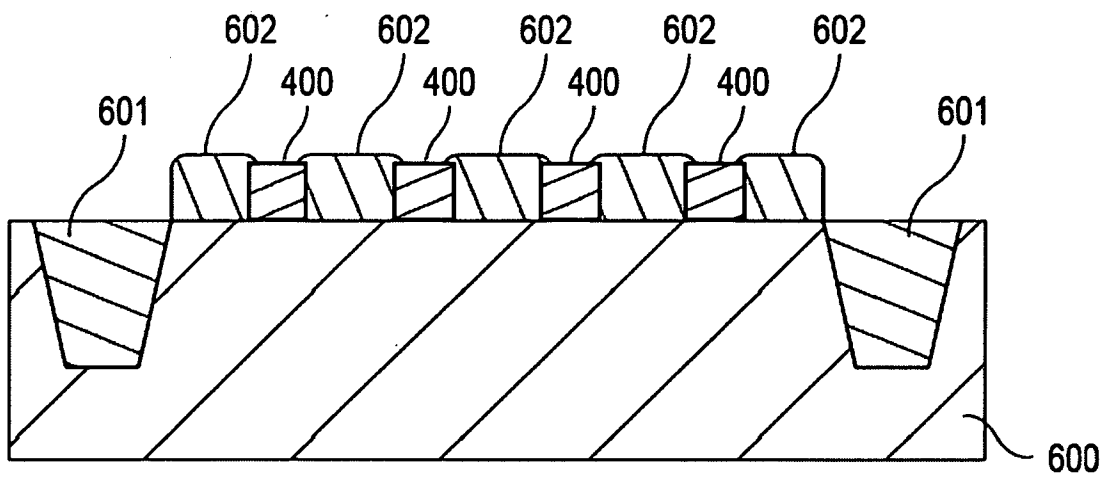
【圖14】



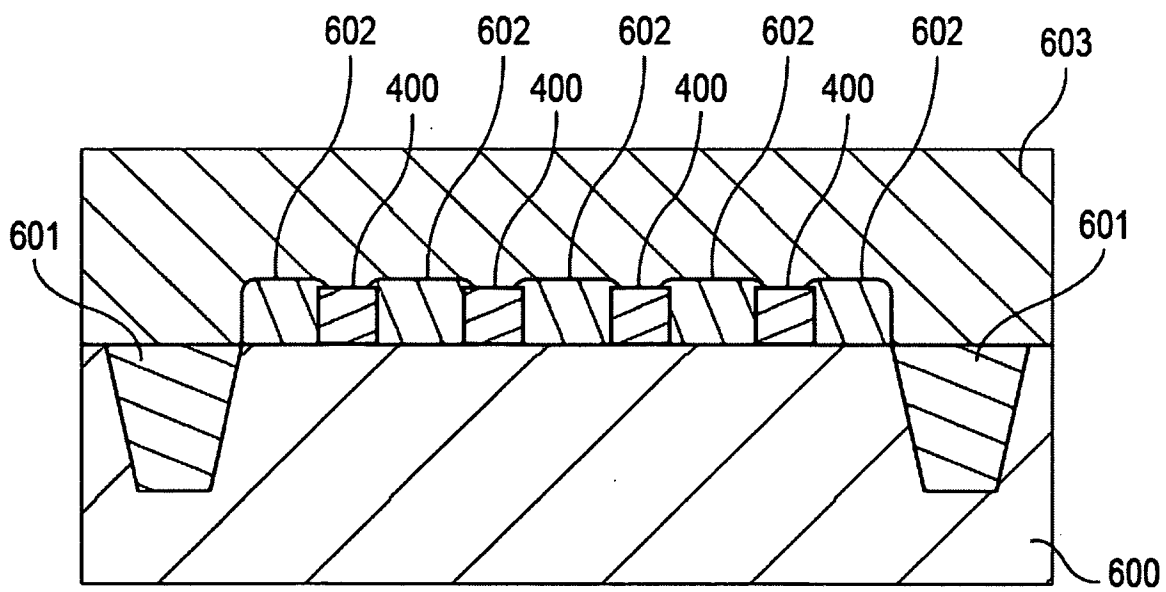
【圖15】



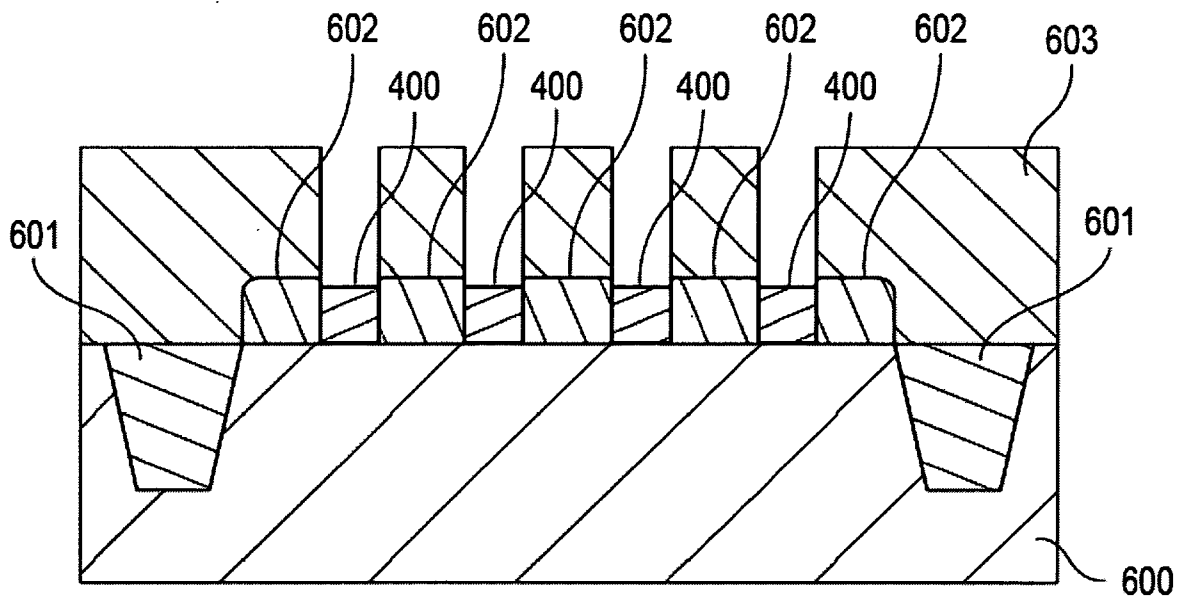
【圖16】



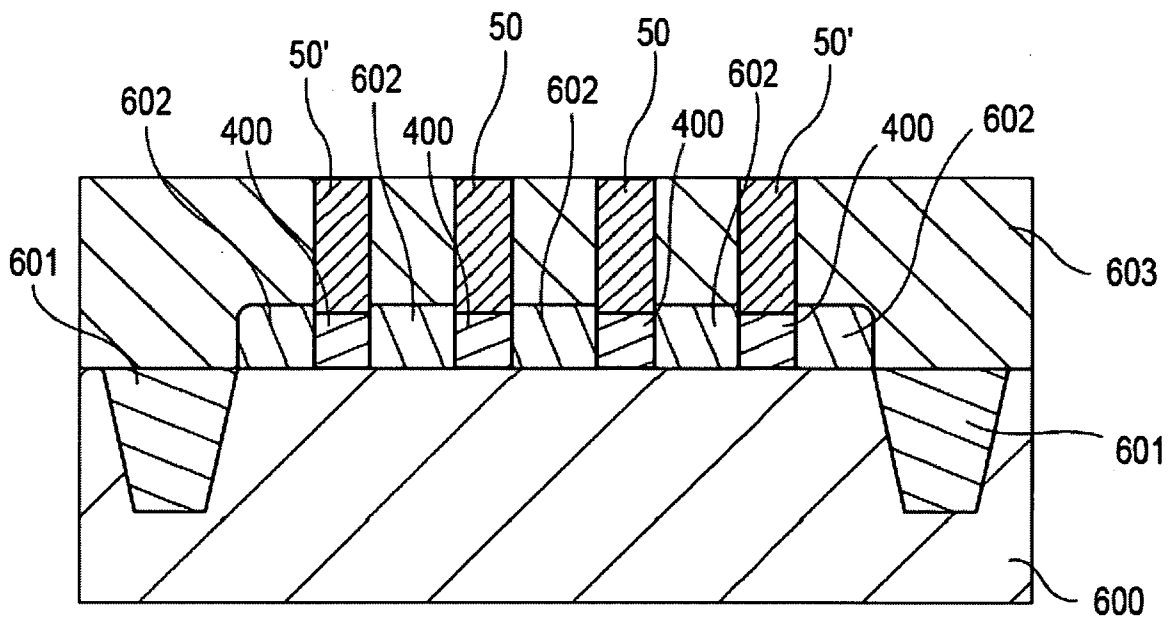
【圖17】



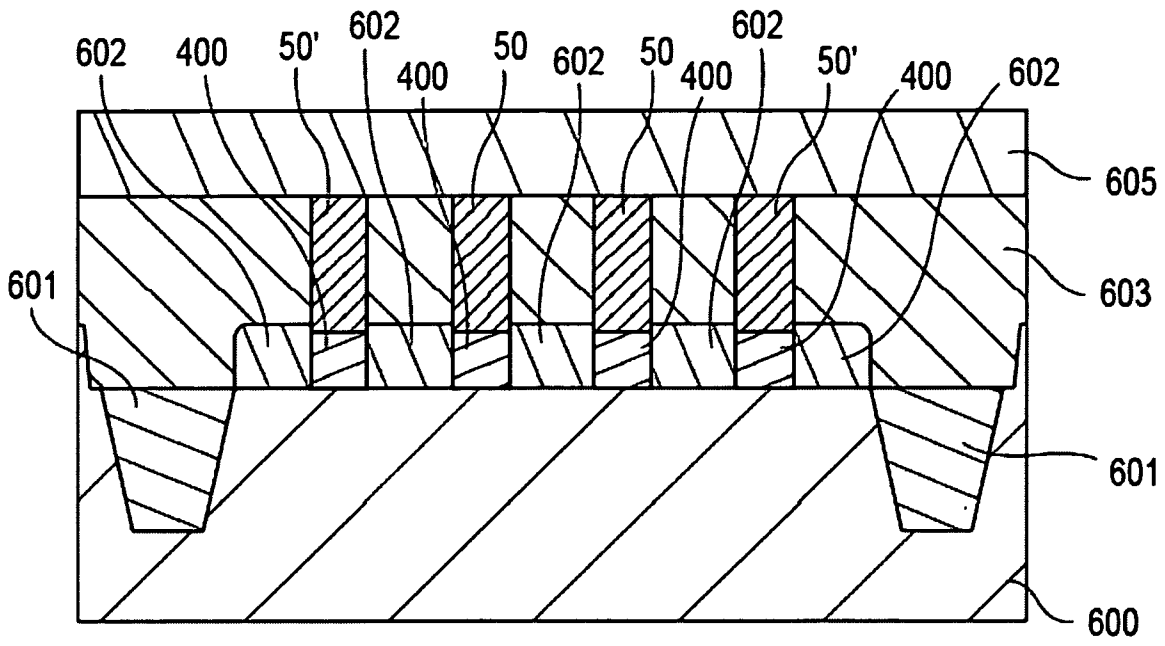
【圖18】



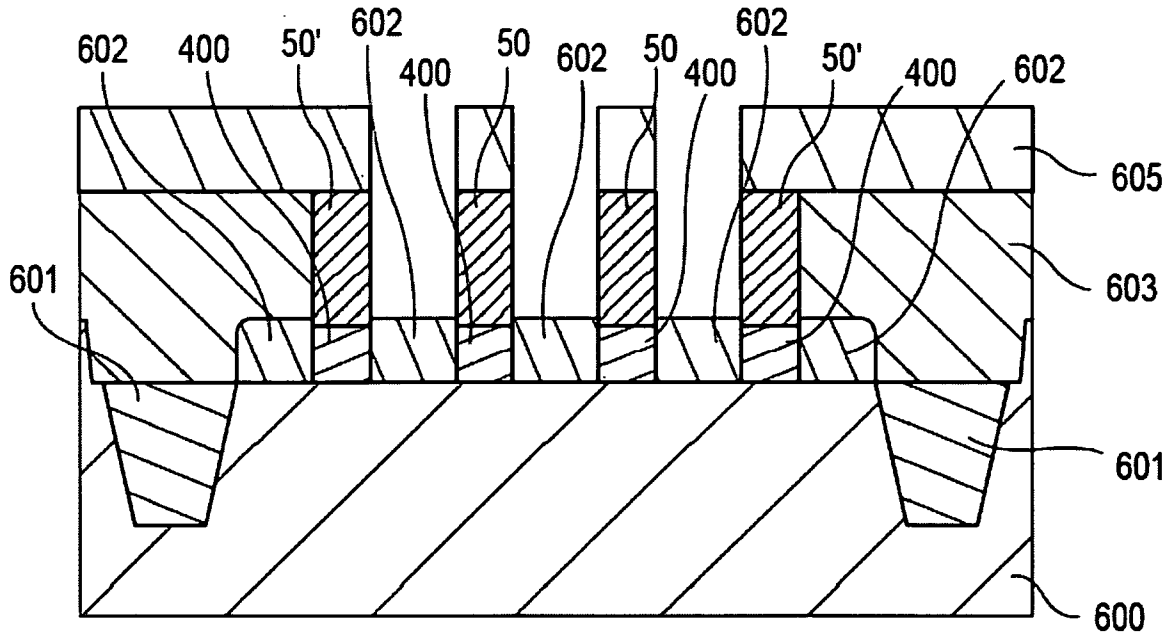
【圖19】



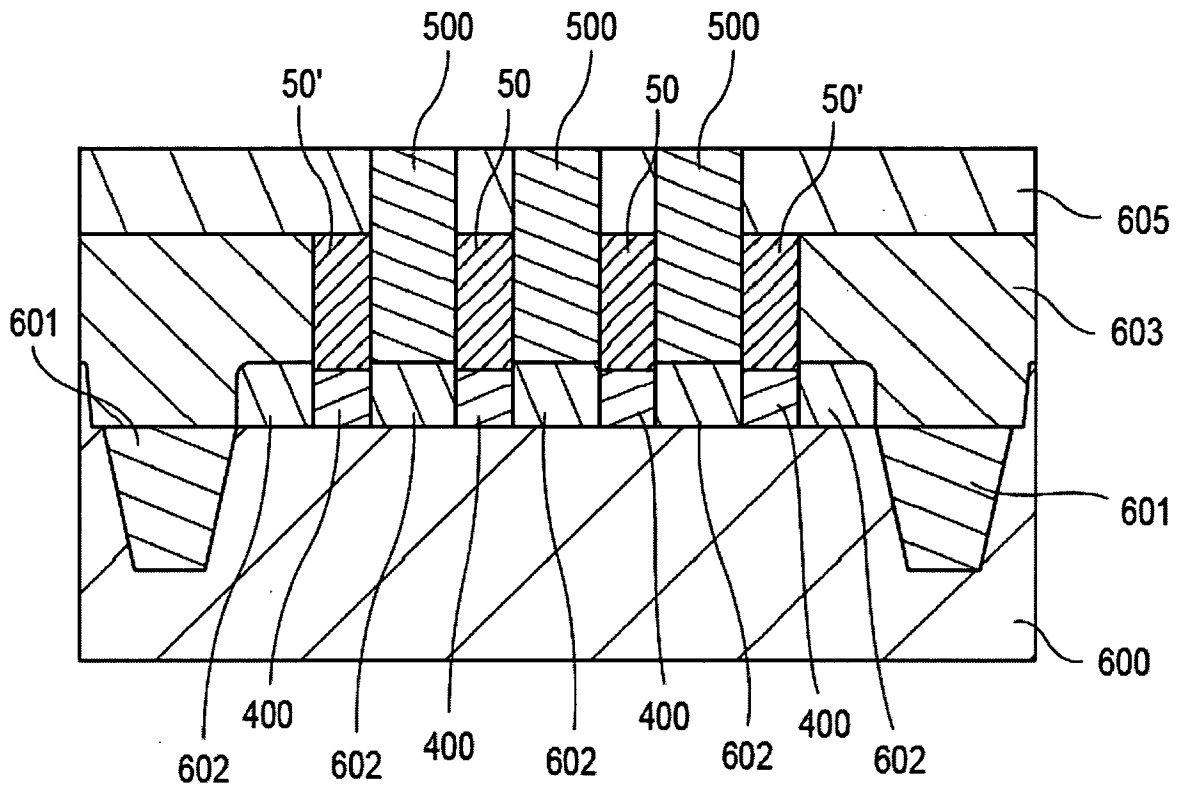
【圖20】



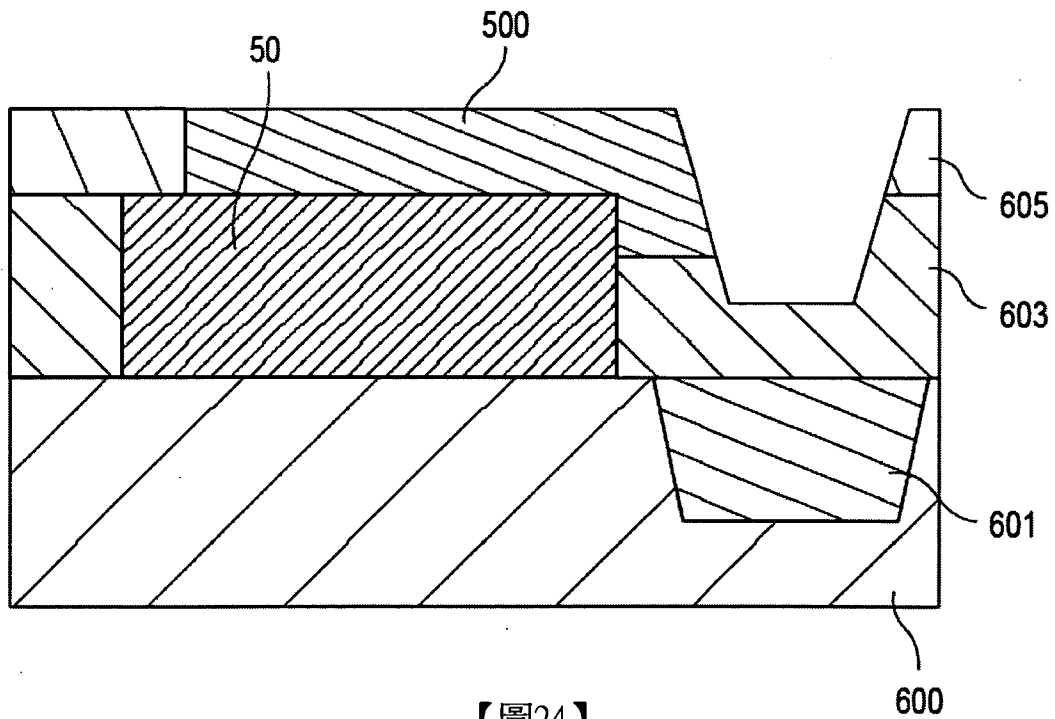
【圖21】



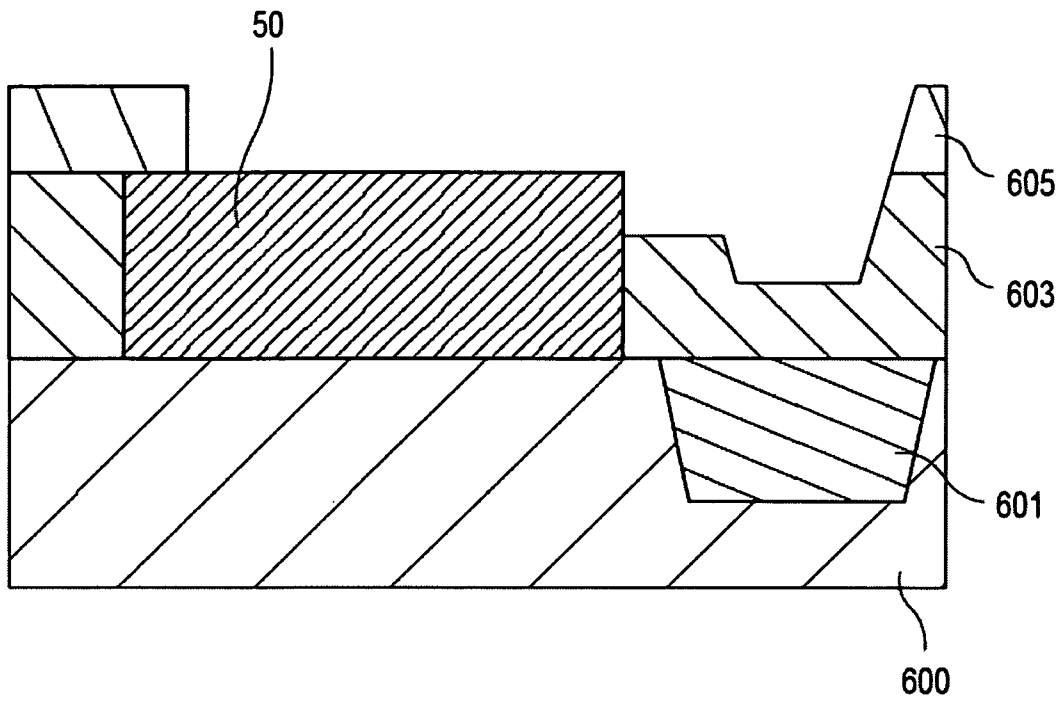
【圖22】



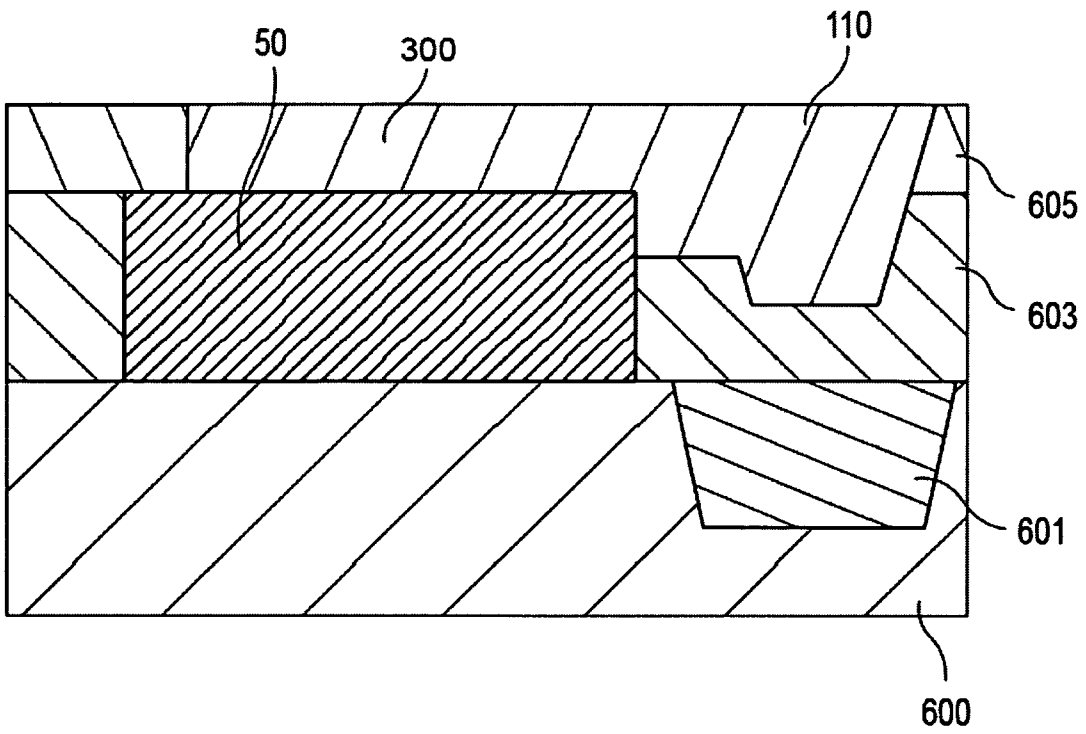
【圖23】



【圖24】



【圖25】



【圖26】