



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년05월26일
(11) 등록번호 10-1739911
(24) 등록일자 2017년05월19일

- | | |
|--|---|
| <p>(51) 국제특허분류(Int. Cl.)
H02P 6/10 (2016.01)</p> <p>(21) 출원번호 10-2011-0036187</p> <p>(22) 출원일자 2011년04월19일
심사청구일자 2016년01월26일</p> <p>(65) 공개번호 10-2012-0118672</p> <p>(43) 공개일자 2012년10월29일</p> <p>(56) 선행기술조사문헌
조경래 외 1명. 저속영역에서 교류전동기의 정확
학 자속추정을 위한 전류측정오차 보상.
2006.11.3. 공개.*
*는 심사관에 의하여 인용된 문헌</p> | <p>(73) 특허권자
한국전자통신연구원
대전광역시 유성구 가정로 218 (가정동)</p> <p>(72) 발명자
남재원
대전광역시 서구 둔산대로117번길 66, 골드벤처타
워 805호 (만년동)</p> <p>조영균
대전광역시 유성구 반석서로 98, 609동 1806호 (반석동, 반석마을6단지아파트)
(뒷면에 계속)</p> <p>(74) 대리인
특허법인 고려</p> |
|--|---|

전체 청구항 수 : 총 18 항

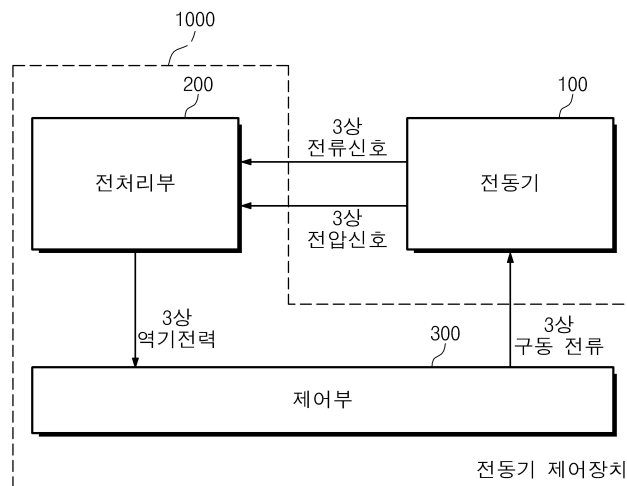
심사관 : 광태근

(54) 발명의 명칭 전동기 제어 장치 및 그것의 제어 방법

(57) 요약

아날로그 연산에 의해 역기전력을 계산하는 전처리부를 구비한 전동기 제어 장치가 제공된다. 그러한 전동기 제어 장치는 오프셋 보상부 및 역기전력 계측부를 포함할 수 있다. 오프셋 보상부는 전동기로부터 3상 전류신호를 수신하고, 그것의 오프셋을 보상한다. 역기전력 계측부는 상기 보상된 전류신호 및 전동기로부터의 3상 전압신호를 수신하고, 아날로그 연산에 의해 상기 수신된 전류신호 및 전압신호에 대응하는 역기전력을 계산하여 제공한다.

대표도 - 도1



(72) 발명자

이희동

대전광역시 유성구 가정로 218 (가정동, 한국전자통신연구원)

양일석

대전광역시 유성구 송강로42번길 61, 104동 704호 (송강동, 청솔아파트)

권중기

대전광역시 서구 신갈마로 46, 101동 706호 (내동, 롯데아파트)

김중대

대전광역시 유성구 배울1로 119, 우림필유아파트 1211동 1002호 (용산동)

이 발명을 지원한 국가연구개발사업

과제고유번호 10035171

부처명 정보통신산업원천기술개발사업

연구관리전문기관 한국산업기술평가관리원

연구사업명 지식경제부

연구과제명 BLDC 모터용 고전압/대전류 파워모듈 및 ESD기술개발

기 여 율 1/1

주관기관 한국전자통신연구원

연구기간 2010.03.01 ~ 2015.02.28

명세서

청구범위

청구항 1

전동기의 3상 전류신호 및 3상 전압신호로부터 각 상의 전류신호 및 각 상의 전압신호에 대응하는 역기전력을 아날로그 연산에 의해 계산하여 제공하는 전처리부; 및

상기 역기전력 및 정현파 신호들을 수신하고, 상기 역기전력 및 상기 정현파 신호의 각 주파수를 연산한 결과를 기반으로 역기전력 고조파 계수들을 생성하는 제어부를 포함하되,

상기 제어부는 상기 역기전력 고조파 계수들을 참조하여 상기 전동기를 구동하는 제어부를 포함하는 전동기 제어 장치.

청구항 2

제 1 항에 있어서,

상기 전처리부는,

상기 3상 전류신호를 수신하고, 상기 수신된 3상 전류신호의 오프셋을 보상하여 그 결과를 기준 전류신호로서 제공하는 오프셋 보상부; 및

기준 클럭 신호, 상기 3상 전압신호 및 상기 기준 전류신호를 참조하여, 상기 기준 전류신호 및 상기 3상 전압신호에 대응하는 역기전력을 아날로그 연산에 의해 계산하여 제공하는 역기전력 계측부를 포함하는 전동기 제어 장치.

청구항 3

제 2 항에 있어서,

상기 오프셋 보상부는,

상기 3상 전류신호를 수신하여 상기 아날로그 연산을 수행하기 위한 입력 신호로 변환하는 입력 변환부;

상기 입력 신호의 오프셋을 검출하여 제공하는 오프셋 검출부; 및

상기 입력 신호 및 상기 오프셋을 수신하고, 상기 입력 신호에서 상기 오프셋을 보상하여 그 결과를 제공하는 오프셋 제거부를 포함하는 전동기 제어 장치.

청구항 4

제 3 항에 있어서

상기 오프셋 제거부는 감산기를 포함하는 전동기 제어 장치.

청구항 5

제 3 항에 있어서,

상기 오프셋 검출부는,

상기 입력 신호의 양의 피크값 크기를 검출하는 제 1 피크값 검출부;

상기 입력 신호의 음의 피크값 크기를 검출하는 제 2 피크값 검출부; 및

상기 검출된 양의 피크값 크기에서 상기 음의 피크값 크기를 감산하는 감산기를 포함하는 전동기 제어 장치.

청구항 6

제 5 항에 있어서,

상기 제 1 피크값 검출부 및 상기 제 2 피크값 검출부 각각은,

제 1 입력단자, 제 2 입력단자 및 출력단자를 포함하고, 상기 제 1 입력단자는 상기 입력 신호를 수신하는 연산 증폭기;

캐소드는 상기 제 2 입력단자와 연결되고, 애노드는 상기 출력단자와 연결되는 다이오드; 및

제 1 단자 및 제 2 단자를 포함하고, 상기 제 1 단자는 상기 제 2 입력단자 및 상기 캐소드와 연결되고 상기 제 2 단자는 접지와 연결되는 커패시터를 포함하는 전동기 제어 장치.

청구항 7

제 2 항에 있어서,

상기 역기전력 계측부는,

상기 기준 전류신호를 수신하고, 일정한 주기마다 상기 기준 전류신호를 이전 주기의 기준 전류신호와 대비하여 그 차분값을 제공하는 샘플링부; 및

상기 3상 전압신호, 상기 기준 전류신호 및 상기 차분값을 수신하고, 상기 3상 전압신호, 상기 기준 전류신호 및 상기 차분값에 대응하는 역기전력을 아날로그 연산에 의해 계산하여 제공하는 연산부를 포함하는 전동기 제어 장치.

청구항 8

제 7 항에 있어서,

상기 역기전력 계측부는 상기 기준 클럭 신호를 수신하고, 제 1 클럭 신호 및 제 2 클럭 신호를 제공하는 클럭 신호 생성부를 더 포함하는 전동기 제어 장치.

청구항 9

제 8 항에 있어서,

상기 주기는 상기 제 1 클럭 신호 및 상기 제 2 클럭 신호의 사이클에 따라 결정되는 전동기 제어 장치.

청구항 10

제 9 항에 있어서,

상기 제 1 클럭 신호 및 상기 제 2 클럭 신호는 동시에 하이 값을 갖지 않는 전동기 제어 장치.

청구항 11

제 10 항에 있어서,

상기 샘플링부는,

제 1 커패시터;

제 2 커패시터;

버퍼;

상기 제 1 클럭신호에 동기화되어 동작하고, 한쪽 단자는 상기 기준 전류신호와 연결되고 다른 쪽 단자는 상기 제 1 커패시터의 입력단자와 연결되는 제 1 스위치;

상기 제 1 클럭신호에 동기화되어 동작하고, 한쪽 단자는 상기 제 1 커패시터의 출력단자와 연결되고 다른 쪽 단자는 접지와 연결되는 제 2 스위치;

상기 제 1 클럭신호에 동기화되어 동작하고, 한쪽 단자는 상기 제 2 커패시터의 출력단자와 연결되고 다른 쪽 단자는 상기 버퍼의 입력단자와 연결되는 제 3 스위치;

상기 제 2 클럭신호에 동기화되어 동작하고, 한쪽 단자는 상기 기준 전류신호와 연결되고 다른 쪽 단자는 상기 제 2 커패시터의 입력단자와 연결되는 제 4 스위치;

상기 제 2 클럭신호에 동기화되어 동작하고, 한쪽 단자는 상기 제 2 캐패시터의 출력단자와 연결되고 다른 쪽 단자는 접지와 연결되는 제 5 스위치; 및

상기 제 2 클럭신호에 동기화되어 동작하고, 한쪽 단자는 상기 제 1 캐패시터의 출력단자와 연결되고 다른 쪽 단자는 상기 버퍼의 입력단자와 연결되는 제 6 스위치를 포함하는 전동기 제어 장치.

청구항 12

제 7 항에 있어서,

상기 연산부는,

상기 차분값을 제 1 증폭배율로써 반전 증폭하여 제 1 반전출력으로서 제공하는 제 1 반전증폭기;

상기 기준 전류신호를 제 2 증폭배율로써 반전 증폭하여 제 2 반전출력으로서 제공하는 제 2 반전증폭기;

상기 제 1 반전출력과 상기 제 2 반전출력을 가산하여 출력하는 가산기; 및

상기 전압신호에서 상기 가산기의 출력을 감산하는 감산기를 포함하는 전동기 제어 장치.

청구항 13

제 12 항에 있어서,

상기 제 1 증폭배율 및 상기 제 2 증폭배율은 가변저항들을 이용하여 조절 가능한 전동기 제어 장치.

청구항 14

제 13 항에 있어서,

상기 제 1 증폭배율은 상기 전동기의 인덕턴스 값을 상기 주기로 나눈 값이고, 상기 제 2 증폭배율은 상기 전동기의 상 저항값인 전동기 제어 장치.

청구항 15

전동기를 제어하는 방법에 있어서,

각 주파수의 크기가 상기 전동기의 회전 각 주파수의 홀수 배인 정현파 신호들 및 역기전력을 수신하는 단계;

상기 역기전력을 상기 각 주파수로 나누는 연산을 하는 단계;

상기 수신된 정현파 신호들과 상기 나누기 연산이 된 역기전력 사이의 교차상관함수들을 구하는 단계;

상기 교차상관함수들의 최대값들을 구하여 역기전력 고조파 계수들로서 제공하는 단계를 포함하는 전동기 제어 방법.

청구항 16

제 15 항에 있어서,

상기 정현파 신호들은 상기 역기전력의 1차, 5차, 7차, 11차 및 13차 고조파에 해당하는 각 주파수를 갖는 전동기 제어 방법.

청구항 17

제 16 항에 있어서,

토크 리플이 발생하지 않도록 상기 역기전력 고조파 계수들을 참조하여 3상 보상전류를 제공하는 단계; 및

상기 3상 보상전류 및 외부에서 인가된 전류제어신호에 따라 PWM인버터의 온오프 비를 결정하는 단계를 더 포함하는 전동기 제어 방법.

청구항 18

제 17 항에 있어서,

상기 온오프 비를 결정하는 단계는 삼각파와 정현파를 비교하는 단계를 포함하되,

상기 삼각파는 상기 전동기의 3상 전류 오프셋 또는 상기 전류제어신호에 따라 기준점이 달라지는 전동기 제어 방법.

발명의 설명

기술 분야

본 발명은 전동기에 관한 것으로, 더욱 상세하게는 전동기 제어 장치 및 그 제어 방법에 관한 것이다.

배경 기술

전동기는 크게 직류전동기와 교류전동기의 두 종류로 구분된다. 교류전동기는 직류전동기에 비해 제어가 어려워서 일반적으로 정밀한 산업분야에서는 잘 사용되지 않았다. 그러나, 최근에는 제어기술이 진보함에 따라 교류전동기의 사용이 증가하고 있다. 교류전동기의 한 종류인 브러시리스 직류전동기는 일반적으로 다른 전동기에 비해 동작수명이 길고, 큰 토크를 발생시킬 수 있어 다양한 산업분야에서 이용된다.

전동기를 구동할 때에는 미세진동이나 소음이 발생한다. 일반적으로 진동이나 소음은 코깅 토크와 토크 리플에 의해 야기된다. 코깅 토크는 영구자석과 슬롯 사이의 상호작용과 같은 기계적 원인에 의해 발생한다. 토크 리플은 전기적 잡음 및 전기 제어의 불완전성과 같은 전기적 원인에 의해 발생한다. 전동기의 전기 제어를 어렵게 하는 요소 중 하나는 실제 발생한 토크가 외부에서 인가한 토크 명령을 정확히 추종하지 않는 것이다. 그러므로, 토크 리플을 감소시키기 위해서는 토크 명령과 실제 토크의 파형이 서로 일치하도록 하는 제어방법이 필요하다.

발명의 내용

해결하려는 과제

본 발명의 목적은 전동기의 토크 리플을 감소시키는 전동기 제어 장치를 제공함에 있다.

본 발명의 다른 목적은 디지털 프로세서의 연산량을 경감시키는 전동기 제어 장치를 제공함에 있다.

본 발명의 또 다른 목적은 전동기의 역기전력 고조파 계수를 산출하는 전동기 제어 방법을 제공함에 있다.

과제의 해결 수단

본 발명의 실시 예에 따른 전동기 제어 장치는 전동기에 인가되는 3상 전류신호 또는 3상 전압신호로부터 각 상 전류신호 또는 각 상 전압신호에 대응하는 역기전력을 아날로그 연산에 의해 계산하여 제공하는 전처리부 및 상기 역기전력을 참조하여 전동기를 구동하는 제어부를 포함한다.

본 발명의 실시 예에 따른 역기전력 고조파 계수를 계측하는 방법은 각 주파수의 크기가 전동기의 회전 각 주파수의 홀수 배인 정현파 신호들 및 역기전력을 수신하는 단계, 상기 역기전력을 상기 각 주파수로 나누는 연산을 하는 단계, 상기 수신된 정현파 신호들과 상기 나누기 연산이 된 역기전력 사이의 교차상관함수들을 구하는 단계, 상기 교차상관함수들의 최대값들을 계측하는 단계 및 상기 계측된 최대값들을 역기전력 고조파 계수들로서 제공하는 단계를 포함한다.

발명의 효과

위와 같은 본 발명의 실시 예적 구성들에 의하면, 전동기의 토크 리플이 감소될 수 있다.

전동기 제어를 위한 연산의 일부가 아날로그 신호처리에 의해 전처리부에서 수행되므로 디지털 프로세서의 연산량이 경감될 수 있다.

전동기의 역기전력 고조파 계수를 산출할 수 있다.

전동기의 진동소음이 감소될 수 있다.

도면의 간단한 설명

- 도 1은 본 발명의 실시 예에 따른 전동기 제어 장치를 나타내는 블록도이다.
- 도 2는 도 1에 도시된 전동기 제어 장치를 상세하게 보여주는 블록도이다.
- 도 3은 도 2에 도시된 오프셋 보상부를 예시적으로 보여주는 블록도이다.
- 도 4는 도 3에 도시된 오프셋 보상부의 구체적인 회로구성을 예시적으로 나타낸 회로도이다.
- 도 5는 도 2에 도시된 역기전력 계측부를 예시적으로 보여주는 블록도이다.
- 도 6은 도 5에 도시된 역기전력 계측부의 구체적인 회로구성을 예시적으로 나타낸 회로도이다.
- 도 7a는 도 6에 도시된 샘플링부의 $t=t_0$ 에서의 전류표본화 동작을 설명하기 위한 개념도이다.
- 도 7b는 도 6에 도시된 샘플링부의 $t=t_1$ 에서의 전류표본화 동작을 설명하기 위한 개념도이다.
- 도 7c는 도 6에 도시된 샘플링부의 $t=t_2$ 에서의 전류표본화 동작을 설명하기 위한 개념도이다.
- 도 7d는 도 6에 도시된 샘플링부의 샘플링 동작을 나타내는 파형도이다.
- 도 8은 도 7d에 도시된 파형도를 샘플링 주기를 고려하여 다시 표시한 파형도이다.
- 도 9는 도 2에 도시된 제어부를 예시적으로 보여주는 블록도이다.
- 도 10은 도 9에 도시된 고조파 계수 검출부의 동작을 설명하기 위한 예시적인 블록도이다.
- 도 11은 도 9에 도시된 비선형 보상부의 동작을 나타내는 블록도이다.
- 도 12는 도 9에 도시된 PWM 발생부를 예시적으로 보여주는 블록도이다.
- 도 13 및 도 14는 도 12에 도시된 PWM 발생부에서 전류제어신호에 의해 PWM 출력 펄스의 폭이 변화하는 것을 설명하기 위한 개념도이다.
- 도 15는 본 발명의 실시 예에 따른 전동기 제어 방법을 설명한 순서도이다.
- 도 16은 도 15에 도시된 S111 단계를 세분화하여 설명한 순서도이다.
- 도 17는 본 발명의 실시 예에 따른 전동기 제어 장치의 토크 특성에 대한 모의 시험 결과를 나타낸다.

발명을 실시하기 위한 구체적인 내용

앞의 일반적인 설명 및 다음의 상세한 설명들은 모두 청구된 발명의 부가적인 설명을 제공하기 위한 예시적인 것이다. 그러므로 본 발명은 여기서 설명되는 실시 예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 여기서 소개되는 실시 예는 개시된 내용이 철저하고 완전해 질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.

본 명세서에서, 어떤 부분이 어떤 구성요소를 포함한다고 언급되는 경우에, 이는 그 외의 다른 구성요소를 더 포함할 수도 있다는 것을 의미한다. 또한, 여기에서 설명되고 예시되는 각 실시 예는 그것의 상보적인 실시 예도 포함한다. 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있도록 상세히 설명하기 위하여, 본 발명의 실시 예를 첨부된 도면을 참조하여 설명한다.

토크 리플을 최소화하는 보상전류의 유도

이하에서는 전동기의 토크 리플을 최소화시키는 원리에 대한 설명이 제공된다. 전동기의 토크 리플은 전동기의 실제 토크가 인가된 토크 명령을 정확히 추종하지 않기 때문에 발생한다. 그 이유는 실제 토크가 전동기의 위치(θ)에 대한 함수를 포함하고 있기 때문이다. 즉, 실제 토크는 전동기의 위치에 의존적이다. 그러므로, 위치의 영향을 배제하지 못한다면, 실제 토크는 토크 명령을 정확히 추종하지 않을 것이다.

이하에서는 전동기의 위치(θ)에 독립적인 실제 토크를 생성하는 제어방법이 제공된다. 그러한 제어방법에서 실제 토크는 토크 명령에 비례할 것이므로, 파형이 서로 일치할 것이다. 즉, 실제 토크가 토크 명령을 잘 추종하므로, 토크 리플이 감소된다.

일반적인 브러시리스 직류 전동기의 동작 방정식을 유도하기 위하여 다음과 같은 가정을 한다.

- 1) 전동기가 선형 영역에서 동작하고 히스테리시스 손실은 무시된다.
 - 2) 회전자와 고정자 사이의 공극은 일정하다.
 - 3) 각 상간의 상호 인덕턴스는 회전자의 위치에 관계없이 일정하다.
- 전동기의 상 전압은 일반적으로 수학식 1과 같이 표현된다.

수학식 1

$$V_k = R_k \times I_k + \frac{d\lambda_k}{dt}, \quad (k = 1, 2, 3)$$

여기에서, V_k 는 상 전압이고, I_k 는 상 전류이고, R_k 는 상 저항이고, λ_k 는 상 자속 쇄교수이고, k 는 3상 전동기의 각 상을 의미한다. 전동기에서 상 자속 쇄교수(λ_k)은 자기인덕턴스에 의한 자속 쇄교수, 상호 인덕턴스에 의한 자속 쇄교수 및 회전자에 의한 자속 쇄교수를 포함한다. 따라서, 상 자속 쇄교수(λ_k)는 수학식 2로써 표현될 수 있다.

수학식 2

$$\lambda_k = \sum_{j=1}^3 L_{jk} I_j + \lambda_{mk}, \quad (k = 1, 2, 3)$$

여기에서, L_{jk} 는 상 j 와 상 k 사이의 상호 인덕턴스이고($j \neq k$), L_{kk} 는 상 k 의 자기 인덕턴스이고, λ_{mk} 는 회전자에 의한 상 k 의 자속 쇄교수이다. 수학식 2를 수학식 1에 대입하면, 수학식 3이 도출된다.

수학식 3

$$V_k = R_k \times I_k + \sum_{j=1}^3 L_{jk} \frac{dI_j}{dt} + \frac{d\lambda_{mk}}{d\theta} \times \frac{d\theta}{dt}, \quad (k = 1, 2, 3)$$

여기에서, θ 는 회전자의 위치이다. 수학식 3에서 우변의 세 번째 항은 전동기의 역기전력에 해당한다. 역기전력은 회전자 속도($w=d\theta/dt$)와 비례하므로, 전동기가 고속으로 동작할수록 역기전력은 커진다. 한편, 회전자에 의한 상의 자속 쇄교수(λ_{mk})를 회전자 위치(θ)로 미분한 값은 전동기의 고유 함수로 정의된다. 그 전동기의 고유 함수는 회전자 위치(θ)에 의존한다. 3상 전동기에 있어서, 각 상은 서로 $2/3\pi$ 만큼의 위치 차가 있다. 따라서, 전동기의 고유함수(이하, $g(\theta)$ 라 한다)는 수학식 4와 같이 정의된다.

수학식 4

$$\frac{d\lambda_{m1}}{d\theta} = g(\theta)$$

$$\frac{d\lambda_{m2}}{d\theta} = g(\theta - 2/3\pi)$$

$$\frac{d\lambda_{m3}}{d\theta} = g(\theta + 2/3\pi)$$

일반적으로, 한 상에 의하여 발생하는 토크는 상 전류(I_k)와 전동기 고유함수 $g(\theta)$ 의 곱으로 표시된다. 전체 발생 토크는 각 상에 의한 토크의 합이므로, 전체 토크는 수학식 5와 같다.

수학식 5

$$\begin{aligned} T &= T_1 + T_2 + T_3 \\ &= g(\theta) \times I_1 + g(\theta - 2/3\pi) \times I_2 + g(\theta + 2/3\pi) \times I_3 \end{aligned}$$

$g(\theta)$ 는 전동기 고유의 함수로서 사다리꼴 형태, 정현파 형태, 정현파와 유사한 형태가 될 수 있다. 수학식 5에서 보면 전체 토크는 위치(θ)에 대한 함수가 된다. 따라서, 전체 토크(T)는 전동기의 위치(θ)에 의존하는 토크 리플을 가질 수 있다. 그러므로, 토크 리플이 없는 발생 토크를 만들기 위해서는 전체 토크가 전동기 위치(θ)에 의존하지 않아야 한다.

수학식 5에 의하면 전체 토크의 위치(θ)의존성은 함수 $g(\theta)$ 에 의해 발생한 것이다. 그러므로 상 전류(I_k)가 위치(θ)에 따른 $g(\theta)$ 의 변화를 상쇄시킨다면, 전체 토크는 위치(θ)에 대해 독립적일 것이다. 즉, 전체 토크는 상 전류에 대한 함수이기도 하므로, 상 전류를 제어함으로써 위치에 따른 영향이 제거될 수 있다. 이때, 상 전류는 위치(θ)에 대한 함수가 되어야 한다.

한 편, 토크 리플을 발생시키지 않는 이상적인 전류 신호를 보상전류라 정의한다. 보상전류는 수학식 6과 같이 정의될 수 있다.

수학식 6

$$I_k = I_M \times f_k(\theta)$$

여기에서, I_k 는 보상전류이고, I_M 는 속도제어기에서 출력되는 토크명령이고, $f_k(\theta)$ 는 위치 의존성 토크리플을 발생시키지 않는 전류명령이다. 수학식 6을 수학식 5에 대입하면, 수학식 7과 같은 토크가 얻어진다.

수학식 7

$$T = I_M \times [g(\theta) \times f_1(\theta) + g(\theta - 2/3\pi) \times f_2(\theta) + g(\theta + 2/3\pi) \times f_3(\theta)]$$

만약, $[g(\theta)f_1(\theta) + g(\theta - 2/3\pi)f_2(\theta) + g(\theta + 2/3\pi)f_3(\theta)] = \text{상수}$ 이면, 토크(T)는 I_M 에 비례하므로 위치(θ)에 따른 토크 리플은 존재하지 않는다. 한편, 전동기의 각 상은 $2/3\pi$ 만큼 위치 차를 가지므로, $f_2(\theta) = f_1(\theta - 2/3\pi)$, $f_3(\theta) = f_1(\theta + 2/3\pi)$ 가 성립한다. 원하는 전류 명령을 구하기 위해서 아래 내용이 가정된다.

- 1) 전동기의 고정자 결선 형태가 대칭이다.
- 2) 회전자의 자속 분포가 극축에 대하여 대칭이다.

$g(\theta)$ 는 회전자의 위치에 대한 함수이므로, $g(\theta)$ 는 주기가 2π 인 주기 함수가 된다. $g(\theta)$ 는 주기 함수이므로 푸리에 급수 전개가 가능하다. 가정에 의하면, 짝수 번째의 조화항은 존재하지 않고, 기함수이므로 코사인 항도 존재하지 않는다. $g(\theta)$ 에 대한 푸리에 급수는 수학식 8과 같다.

수학식 8

$$g(\theta) = E_1 \sin\theta + E_3 \sin3\theta + E_5 \sin5\theta + \dots$$

이때, 계수 E_1, E_3, E_5, \dots 는 역기전력 고조파 계수로 정의된다. 한편, 전류 명령($f_k(\theta)$)도 주기함수이므로, 푸리에 급수 전개를 사용하면 수학식 6은 수학식 9와 같다. 이때, 3상 전류 합은 0이므로 $\sin(3n\theta)$ 항은 존재하지 않는다($n=1, 2, 3, \dots$).

수학식 9

$$\begin{aligned} I_1 &= I_M \times f_1(\theta) \\ &= I_M \times (D_1 \sin\theta + D_3 \sin5\theta + D_5 \sin7\theta + D_{11} \sin11\theta + \dots) \end{aligned}$$

한 상의 토크(T_1)은 $I_1 \times g(\theta)$ 이므로, 한 상의 토크는 수학식 8과 수학식 9를 곱한 결과와 같다(수학식 10).

수학식 10

$$\begin{aligned} T_1 &= I_M \times (D_1 \sin\theta + D_3 \sin5\theta + D_5 \sin7\theta + D_{11} \sin11\theta + \dots) \times (E_1 \sin\theta + E_3 \sin3\theta + E_5 \sin5\theta + \dots) \\ T_1 &= I_M \times (P_0 + P_2 \cos2\theta + P_4 \cos4\theta + P_6 \cos6\theta + \dots) \end{aligned}$$

한편, 3상 전동기의 각 상간에는 $2/3\pi$ 의 위상 차가 있으므로, T_2, T_3 는 수학식 11과 같이 표현된다.

수학식 11

$$T_2 = I_M \times (P_0 + P_2 \cos(2\theta + 2/3 \pi) + P_4 \cos(4\theta - 2/3 \pi) + P_6 \cos 6\theta + \dots)$$

$$T_3 = I_M \times (P_0 + P_2 \cos(2\theta - 2/3 \pi) + P_4 \cos(4\theta + 2/3 \pi) + P_6 \cos 6\theta + \dots)$$

이때, $\cos t + \cos(t - 2/3 \pi) + \cos(t + 2/3 \pi) = 0$ 이므로, 전체 토크 T는 수학식 12와 같다.

수학식 12

$$\begin{aligned} T &= T_1 + T_2 + T_3 \\ &= I_M \times (3P_0 + 3P_6 \cos 6\theta + 3P_{12} \cos 12\theta + \dots) \\ &= K_0 + K_6 \cos 6\theta + K_{12} \cos 12\theta + K_{18} \cos 18\theta + K_{24} \cos 24\theta + \dots \end{aligned}$$

여기에서, 각 조화항의 계수는 아래와 같다.

$$K_0 = 3I_M \times P_0 = 1.5I_M \times [E_1 D_1 + E_5 D_5 + E_7 D_7 + E_{11} D_{11} + \dots]$$

$$K_6 = 3I_M \times P_6 = 1.5I_M \times [D_1(E_7 - E_5) + D_5(E_{11} - E_1) + D_7(E_1 - E_{13}) + D_{11}(E_5 - E_7) + \dots]$$

$$K_{12} = 3I_M \times P_{12} = 1.5I_M \times [D_1(E_{13} - E_{11}) + D_5(E_{17} - E_7) + D_7(E_{19} - E_5) + D_{11}(E_{23} - E_1) + \dots]$$

$$K_{18} = 3I_M \times P_{18} = 1.5I_M \times [D_1(E_{19} - E_{17}) + D_5(E_{23} - E_{13}) + D_7(E_{25} - E_{11}) + D_{11}(E_{29} - E_7) + \dots]$$

$$K_{24} = 3I_M \times P_{24} = 1.5I_M \times [D_1(E_{25} - E_{23}) + D_5(E_{29} - E_{19}) + D_7(E_{31} - E_{17}) + D_{11}(E_{35} - E_{13}) + \dots]$$

식을 간단히 하기 위해, I_{11} 이상의 항은 크기가 작으므로 무시된다. 마찬가지로 이유로, E_{15} 이상의 항도 무시된다. 또한, 주파수가 큰 K_{18} 이상의 항은 전동기의 관성에 의해 로우 패스 필터링되므로 무시될 수 있다. 이때, 토크 (T)의 남아있는 조화항 K_6 및 K_{12} 를 0으로 만들기 위한 조건을 구한다(수학식13).

수학식 13

$$D_1(E_5 - E_7) = D_5(E_{11} - E_1) + D_7(E_1 - E_{13})$$

$$D_1(E_{13} - E_{11}) = D_5 E_7 + D_7 E_5$$

수학식 13을 만족하는 D_5 , D_7 은 수학식 14로 표현된다.

수학식 14

$$D_5 = \frac{D_1 [E_5(E_5 - E_7) - (E_1 + E_{13})(E_{13} - E_{11})]}{[E_5(E_{11} - E_1) - E_7(E_1 + E_{13})]}$$

$$D_7 = \frac{D_1 [E_7(E_5 - E_7) - (E_{11} + E_1)(E_{13} - E_{11})]}{[E_7(E_1 + E_{13}) - E_5(E_{11} - E_1)]}$$

수학식 15와 같이 보정 계수(G_5 , G_7)들이 정의된다.

수학식 15

$$G_5 = \frac{D_5}{D_1} = \frac{[E_5(E_5 - E_7) - (E_1 + E_{13})(E_{13} - E_{11})]}{[E_5(E_{11} - E_1) - E_7(E_1 + E_{13})]}$$

$$G_7 = \frac{D_7}{D_1} = \frac{[E_7(E_5 - E_7) - (E_{11} + E_1)(E_{13} - E_{11})]}{[E_7(E_1 + E_{13}) - E_5(E_{11} - E_1)]}$$

보정 계수(G_5 , G_7)들을 사용하여 상 전류를 다시 쓰면 상 전류 I_1 은 수학식 16과 같다.

수학식 16

$$I_1 = I_M \times D_1 (\sin \theta + G_5 \sin 5\theta + G_7 \sin 7\theta)$$

여기에서, D_1 은 $f_1(\theta)$ 를 푸리에 급수 전개한 식의 1차 항의 계수이다. 수학식 15와 수학식 16을 수학식 12에 대입하면, 최종 토크는 수학식 17과 같다.

수학식 17

$$T = 1.5 I_M \times D_1 (E_1 + G_5 E_5 + G_7 E_7)$$

수학식 17에서는 위치(θ)에 대한 항이 사라지고, 전체 토크는 I_M 에 비례한다. 즉, 수학식 16과 같은 보상전류(I_k)를 인가하면, 위치(θ)에 의존하는 토크 리플은 사라질 것이다. 이하에서는, 본 발명의 구체적인 구성 및 동작에 대해서 설명하기로 한다.

I. 전동기 제어 장치의 실시 예

도 1은 본 발명의 실시 예에 따른 전동기 제어 장치(1000)를 보여주는 블록도이다. 도 1을 참조하면, 전동기 제어 장치(1000)는 전처리부(200)와 제어부(300)를 포함한다. 전처리부(200)는 전동기(100)에 인가되는 3상 전류 신호 및 3상 전압신호를 수신하고, 수신된 3상 전류신호 및 3상 전압신호를 참조하여 역기전력을 산출한다. 전처리부(200)에서의 역기전력 산출은 아날로그 연산에 의해 수행된다. 산출된 역기전력은 제어부(300)로 제공된다. 제어부(300)는 전동기(100)에 구동전류를 출력한다. 이때, 제어부(300)는 전처리부(200)에서 제공된 역기전력을 참조하여 토크 리플을 발생시키지 않는 3상 구동전류를 제공한다.

도 2는 도 1에 도시된 전동기 제어 장치(1000)를 보다 상세하게 보여주는 블록도이다. 도 2를 참조하면, 전처리부(200)는 오프셋 보상부(210) 및 역기전력 계측부(220)을 포함한다. 제어부(300)는 AD 컨버터(301), 프로세서(310), 고조파 성분 검출부(320), 비선형 보상부(330), PWM 발생부(340) 및 3상 인버터(350)를 포함한다.

오프셋 보상부(210)는 3상 전류신호(I_U , I_V , I_W)를 수신한다. 오프셋 보상부(210)는 수신된 3상 전류신호(I_U , I_V , I_W)의 오프셋을 검출한다. 검출된 오프셋은 3상 전류 오프셋(I_{OFFSET})으로서 PWM 발생부(340)에 제공된다. 또한, 오프셋 보상부(210)는 수신된 3상 전류신호에서 오프셋을 보상한다. 오프셋이 보상된 3상 전류신호는 3상 기준 전류신호(I_{IN-OFF})로서 역기전력 계측부(220)에 제공된다.

역기전력 계측부(220)는 3상 전압신호(V_U , V_V , V_W), 3상 기준 전류신호(I_{IN-OFF}) 및 기준 클럭 신호를 수신한다. 기준 클럭 신호는 역기전력 계측부(220)가 프로세서(310)로부터 제공받는 클럭 신호이다. 역기전력 계측부(220)는 수신된 3상 전압신호(V_U , V_V , V_W), 3상 기준 전류신호(I_{IN-OFF}) 및 기준 클럭 신호를 참조하여 전동기의 3상 역기전력(EMF)을 계산한다. 이때, 3상 역기전력(EMF) 계산은 아날로그 연산에 의해 수행된다. 역기전력 계측부(200)는 계산된 3상 역기전력(EMF)을 AD 컨버터(301)에 제공한다.

AD컨버터(301)는 역기전력 계측부(220)로부터 3상 역기전력(EMF)을 수신한다. 역기전력 계측부(220)에서 제공된 3상 역기전력(EMF)은 아날로그 신호이므로, AD컨버터(301)는 수신된 3상 역기전력(EMF)을 디지털 신호로 변환한다. AD컨버터(301)에서 변환된 신호는 3상 변환신호로서 출력된다.

프로세서(310)는 3상 변환신호를 참조하여 통상적인 디지털 신호처리 과정에 의해 전동기의 각 주파수(ω) 및 위치(θ)를 산출한다. 단, 실시 예로서 프로세서(310)는 3상 변환신호를 참조하지 않고, 외부로부터 전동기의 각 주파수(ω) 및 위치(θ)를 직접 수신할 수 있다. 또한, 프로세서(310)는 기준 클럭 신호 및 전류 제어 신호(V_{CONT})를 제공한다. 전류 제어 신호(V_{CONT})를 생성할 때, 프로세서(310)는 외부 제어 신호를 참조할 수 있다.

고조파 성분 검출부(320)는 3상 변환신호를 참조하여 3상 역기전력 고조파 계수(E)를 계산한다. 비선형 보상부(330)는 역기전력 고조파 계수(E)를 참조하여 전동기의 토크 리플을 감소시키기 위한 비선형 보상을 수행한다.

비선형 보상부(330)는 보상된 결과를 3상 보상전류(I_{OUT})로서 제공한다. PWM 발생부(340)는 3상 보상전류(I_{OUT})를 참조하여 3상 PWM 펄스(PWM)를 발생시키고, 3상 인버터(350)는 3상 PWM 펄스(PWM)를 참조하여 전동기를 구동시키는 3상 구동전류를 제공한다.

이하에서는 상기 구성요소들 중, 오프셋 보상부(210), 역기전력 계측부(220), 고조파 성분 검출부(320), 비선형 보상부(330), PWM 발생부(340)의 구체적인 구성 및 자세한 동작을 설명한다.

프로세서(310)는 디지털 신호 처리에 사용되는 연산장치로서, 다양한 종류가 존재할 수 있다. AD 컨버터(301) 및 3상 인버터(350)는 그 기능 및 지칭하는 바가 명확하다. 프로세서(310), AD 컨버터(301) 및 3상 인버터(350)의 구체적인 구성은 당해 기술 분야에서 널리 알려져 있으므로, 그에 대한 별도의 설명은 생략된다. 한편, 이하에서 3상 회로의 각 상은 U, V, W를 병기하거나 또는 아래 첨자로 표기함으로써 표현될 것이다. 또한, (U), (V), (W)를 병기하거나 아래 첨자로 표기하는 것도 3상 회로의 각 상을 의미한다.

도 3은 도 2에 도시된 오프셋 보상부(210)를 예시적으로 보여주는 블록도이다. 도 3을 참조하면, 오프셋 보상부(210)는 입력 변환부(211)와 오프셋 검출부(212) 및 오프셋 제거부(213)를 포함한다.

입력 변환부(211)는 입력되는 3상 전류신호(I_U , I_V , I_W)를 아날로그 연산을 수행하기 위한 전압 신호(I_{IN})로 변환한다. 이 때, 전압 신호(I_{IN})는 3상 전류신호(I_U , I_V , I_W)의 크기 또는 부호를 나타낸다. 변환된 전압 신호(I_{IN})는 오프셋 검출부(212) 및 오프셋 제거부(213)에 제공된다.

오프셋 검출부(212)는 전압 신호(I_{IN})의 오프셋을 검출하고, 검출된 오프셋을 3상 전류 오프셋(I_{OFFSET})으로서 출력한다. 오프셋 제거부(213)는 전압신호(I_{IN})에서 3상 전류 오프셋(I_{OFFSET})을 제거한다. 오프셋 제거부(213)는 오프셋이 제거된 신호를 3상 기준 전류신호(I_{IN-OFF})로서 제공한다.

도 4는 오프셋 보상부(210)의 구체적인 회로구성을 예시적으로 나타낸 회로도이다. 오프셋 보상부(210)는 3상 신호를 입력 또는 출력으로서 갖지만, 각 상에서의 회로 구성이나 동작은 동일하다. 그러므로 이하에서는 예시적으로 하나의 상에 대한 설명이 제공된다.

도 4를 참조하면, 입력 변환부(211)는 입력으로서 상 전류 신호(I_U)를 수신한다. 변환 회로(211)에서 수신된 상 전류 신호(I_U)는 전압 신호($I_{IN(U)}$)로 변환된다. 변환 회로는 하나의 연산증폭기(A_0)와 하나의 접지 저항(R_{MES})으로 간단하게 구성될 수 있다. 상 전류 신호(I_U)가 접지 저항(R_{MES})에 흐르면, 연산증폭기(A_0)의 양의 단자에는 상 전류 신호(I_U)×접지 저항(R_{MES})과 크기 및 부호가 같은 전압 신호($I_{IN(U)}$)가 걸린다. 전압 신호($I_{IN(U)}$)는 입력 변환부(211)의 출력이 된다. 이때, $R_{MES}=1\Omega$ 이면 전압 신호($I_{IN(U)}$)의 크기는 상 전류 신호(I_U)의 크기와 같다. 입력 변환부(211)의 출력은 오프셋 검출부(212)에 전달된다.

오프셋 검출부(212)는 버퍼(212c), 반전증폭기(212a), 제 1 피크값 검출기(212b), 제 2 피크값 검출기(212d) 및 감산기(212e)를 포함한다. 오프셋 검출부(212)에 입력된 전압 신호($I_{IN(U)}$)는 두 개의 경로로 흐르게 된다. 두 개의 경로들 중 한 경로로 흐르는 신호는 반전증폭기(212a) 및 제 1 피크값 검출기(212b)를 거쳐 수신된 전압 신호($I_{IN(U)}$)의 음의 피크값을 나타내는 신호(Peak[- $I_{IN(U)}$])로 변환된다. 두 개의 경로들 중 다른 경로로 흐르는 신호는 버퍼(212c) 및 제 2 피크값 검출기(212d)를 거쳐 전압 신호($I_{IN(U)}$)의 양의 피크값을 나타내는 신호(Peak[$I_{IN(U)}$])로 변환된다.

제 1 및 제 2 피크값 검출기들(212c, 212d)에 포함된 연산증폭기들(A_2, A_4)은 다이오드 D_1 및 D_2 양단에서 발생하는 전압강하를 감소시키는 전압강하 저감회로로서 동작한다. 연산 증폭기의 출력과 음의 단자 사이에 다이오드를 배치함으로써, 다이오드 양단의 전압강하가 연산증폭기 이득의 배율로 감소한다. 예를 들어, 원래 다이오드 양단의 전압강하가 0.5[V]이고 연산증폭기의 이득이 A라고 가정한다. 이때, 도 4의 피크값 검출기들(212b, 212d)과 같은 회로를 구성하면, 다이오드 양단의 전압강하는 0.5/A[V]가 된다.

감산기(212e)는 양의 피크값 신호(Peak[$I_{IN(U)}$])에서 음의 피크값 신호(Peak[- $I_{IN(U)}$])를 감산한다. 감산기(212e)는 감산된 결과를 상 전류 오프셋($I_{OFFSET(U)}$)으로서 제공한다. 감산기(212e)는 도 4에 도시된 것과 같은 저항값들을 선택함으로써, 수학적 식 18과 같은 상 전류 오프셋($I_{OFFSET(U)}$)을 출력할 수 있다.

수학적 식 18

$$I_{OFFSET(U)} = \frac{Peak [+ I_{IN(U)}] - Peak [- I_{IN(U)}]}{2}$$

오프셋 제거부(213)는 입력 변환부(211)의 출력에서 상 전류 오프셋($I_{OFFSET(U)}$)을 감산한다. 감산된 결과는 오프셋이 제거된 상 전류 신호(I_U)와 같다. 오프셋 제거부(213)는 감산된 결과를 상 기준 전류신호($I_{IN-OFF(U)}$)로서 제공한다.

도 5는 도 2에 도시된 역기전력 계측부(220)를 예시적으로 보여주는 블록도이다. 도 5를 참조하면, 역기전력 계측부(220)는 샘플링부(222) 및 역기전력 연산부(223)을 포함한다. 역기전력 계측부(220)는 샘플링부(222)에 클럭 신호를 제공하는 클럭 신호 생성부(221)를 더 포함할 수 있다.

클럭 신호 생성부(221)는 기준 클럭 신호를 입력받고, 제 1 클럭 신호 및 제 2 클럭 신호를 출력한다. 제 1 클럭 신호 및 제 2 클럭 신호는 동시에 하이 값을 갖지 않는 클럭 신호들이다.

샘플링부(222)는 3상 기준 전류 신호(I_{IN-OFF})를 수신한다. 샘플링부(222)는 정해진 주기마다 3상 기준 전류 신호(I_{IN-OFF})를 표본화 한다. 샘플링부(222)는 표본화된 3상 기준 전류 신호(I_{IN-OFF})를 이전 주기에 표본화된 3상 기준 전류 신호와 대비하여 그 차를 3상 전류 차분 신호(ΔI)로서 출력한다.

역기전력 연산부(223)는 3상 기준 전류신호(I_{IN-OFF}), 3상 전류 차분 신호(ΔI) 및 3상 전압신호(V_U, V_V, V_W)를 참조하여, 3상 역기전력(EMF)을 계산한다. 이때, 역기전력 연산부(223)에서의 계산은 아날로그 연산에 의해 수행된다. 역기전력 연산부(223)는 계산된 3상 역기전력(EMF)을 출력한다.

도 6은 도 5에 도시된 역기전력 계측부(220)의 구체적인 회로구성을 예시적으로 보여주는 회로도이다. 역기전력

계측부(220)는 3상 신호를 입력 및 출력으로서 갖지만, 각 상에서의 회로 구성이나 동작은 동일하다. 그러므로 이하에서는 예시적으로 하나의 상에 대한 설명이 제공된다.

도 6을 참조하면, 클럭신호 생성부(221)는 기준 클럭 신호를 참조하여 샘플링부(222)에 제 1 클럭 신호(Q1) 및 제 2 클럭 신호(Q2)를 제공한다. 샘플링부(222)는 여섯 개의 스위치들(SW1, SW2, SW3, SW4, SW5, SW6)과 두 개의 커패시터들(C_{S1}, C_{S2})과 한 개의 연상증폭기(A₇)로 구성된다.

스위치들(SW1, SW2 및 SW3)은 제 1 클럭 신호(Q1)에 동기화되어 동작한다. 스위치들(SW1, SW2 및 SW3)은 제 1 클럭 신호(Q1)가 하이일 때 닫히고 제 1 클럭 신호(Q1)가 로우일 때 열린다. 스위치들(SW4, SW5 및 SW6)은 제 2 클럭 신호(Q2)에 동기화되어 동작한다. 스위치들(SW4, SW5 및 SW6)은 제 2 클럭 신호(Q2)가 하이일 때 닫히고 제 2 클럭 신호(Q2)가 로우일 때 열린다.

샘플링부(222)는 상 기준 전류 신호(I_{IN-OFF(U)})를 수신한다. 샘플링부(222)는 여섯 개의 스위치들(SW1, SW2, SW3, SW4, SW5, SW6)의 동작에 따라 상 기준 전류 신호(I_{IN-OFF(U)})를 표본화 한다. 샘플링부(222)는 표본화된 상 기준 전류 신호(I_{IN-OFF(U)})를 이전 주기에 표본화된 상 기준 전류 신호와 대비하여 그 차를 상 전류 차분 신호(ΔI_U)로서 출력한다. 즉, 한 주기를 T_S, 현재 시점을 t=t₀라 하면, 샘플링부(222)의 출력(ΔI_U)은 I_{IN-OFF(U)}(t₀) - I_{IN-OFF(U)}(t₀-T_S)가 된다. 샘플링부(222)의 동작원리는 뒤에서 도 7A, 7B, 7C 및 7D와 함께 더욱 구체적으로 설명될 것이다.

도 6을 참조하면, 역기전력 연산부(223)는 제 1 증폭기(223b), 제 2 증폭기(223c), 가산기(223d), 감산기(223e)를 포함한다. 역기전력 연산부(223)는 버퍼(223a)를 추가로 포함할 수 있다. 각 상의 저항이 R로서 동일하다고 가정할 때, 수학식 4를 및 수학식 3에 대입하면 수학식 19이 유도된다. 각 상에서의 동적 방정식은 동일하므로 단상에 대해서만 고려한다.

수학식 19

$$\begin{aligned}
 V_U &= R \times I_U + \sum_{j=U,V,W} L_{jU} \frac{dI_j}{dt} + g(\theta) \times \omega \\
 &= R \times I_U + L_{UU} \frac{dI_U}{dt} + L_{VU} \frac{dI_V}{dt} + L_{WU} \frac{dI_W}{dt} + g(\theta) \times \omega
 \end{aligned}$$

여기에서, $\omega = d\theta/dt$ 이다. 한편, 상 전동기에서 각 상 전류의 합(I_U+I_V+I_W)은 0 이다. 각 상의 자기인덕턴스는 L_S로서 동일하다고 가정한다(L_{UU}=L_S). 각 상간의 상호 인덕턴스는 회전자의 위치에 관계없이 일정하다고 가정한다(L_{VU} = L_{WU} = M). 위 가정들을 대입하여 수학식 19를 다시 쓰면, 수학식 20이 유도된다.

수학식 20

$$\begin{aligned}
 V_U &= R \times I_U + L_S \frac{dI_U}{dt} + M \frac{dI_V}{dt} + M \frac{dI_W}{dt} + g(\theta) \times \omega \\
 &= R \times I_U + L_S \frac{dI_U}{dt} + M \frac{d(I_V + I_W)}{dt} + g(\theta) \times \omega \\
 &= R \times I_U + L_S \frac{dI_U}{dt} - M \frac{dI_U}{dt} + g(\theta) \times \omega \\
 &= R \times I_U + L \frac{dI_U}{dt} + g(\theta) \times \omega
 \end{aligned}$$

여기에서 $L=L_S-M$ 이다. 수학식 20의 가장 오른쪽 항이 역기전력이므로, 전동기에서 발생하는 역기전력(EMF_U)은 수학식 21로 표현될 수 있다.

수학식 21

$$EMF_U = V_u - R \times I_U - L \frac{dI_U}{dt}$$

여기에서, V_U 는 전동기의 상 전압이고, I_U 는 전동기의 상 전류이고, R 은 전동기의 상 저항이고, L_S 는 전동기의 상 자기 인덕턴스이고, M 은 전동기 각 상간의 상호 인덕턴스이다.

수학식 21에 나타낸 바와 같이 전동기의 상 역기전력(EMF_U)은 전동기의 상 전압(V_U)에서 저항에 의한 전압 강하량($R \times I_U$)과 인덕턴스 L 에 의한 전압 강하량($L \times (dI_U/dT)$)을 감산한 결과와 같다. 수학식 21의 전동기 상 전류(I_U)는 오프셋을 고려하지 않은 이상적인 신호이다. 상 기준 전류신호($I_{IN-OFF(U)}$)는 상 전류신호(I_U)에서 상 전류 오프셋(I_{OFFSET})만을 제거한 것이다. 그러므로, 수학식 21의 전동기 상 전류(I_U)와 상 기준 전류신호($I_{IN-OFF(U)}$)는 동일한 것으로 간주 된다.

먼저, 수학식 21의 우변 두 번째 항($R \times I_U$)을 구하는 동작을 설명한다. 역기전력 연산부(223)로 입력된 상 기준 전류신호($I_{IN-OFF(U)}$)는 버퍼(223a) 및 제 1 증폭기(223b)를 거쳐 가산기(223d)로 출력된다. 제 1 증폭기(223b)에서의 증폭배율은 가변저항 R_{G22} 를 조정하면 가변할 수 있다. 따라서, $R = R_{G22}/R_{G21}$ (이하 제 1 증폭배율이라 한다)이 되도록 가변 저항 R_{G22} 값을 조정하면 제 1 증폭기(223b)의 출력(이하 제 1 반전출력이라 한다)은 $-R \times I_{IN-OFF(U)}$ 가 된다. 이 때 R 은 전동기의 저항성분이다. 제 1 증폭기(223b)에 포함된 캐패시터(C_{G2})는 로우 패스 필터링을 위해서 추가된 것이다.

다음으로 수학식 21의 우변 세 번째 항($L \times (dI_U/dT)$)을 구하는 동작을 설명한다. $I_U = I_{IN-OFF(U)}$ 이므로, 전동기 상 전류(I_U)의 도함수(dI_U /dT)는 수학식 22와 같이 근사화를 할 수 있다.

수학식 22

$$\begin{aligned}
 T_s \rightarrow 0 \text{ 일 때,} \\
 dI_U/dt & \doteq [I_{IN-OFF(U)}(t_0) - I_{IN-OFF(U)}(t_0 - T_s)] / T_s \\
 & = \Delta I_U / T_s
 \end{aligned}$$

위 식에서, T_s 는 샘플링부(222)가 기준 전류신호를 샘플링하는 주기이고, ΔI_U 는 샘플링부(222)의 출력이다. 역기전력 연산부(223)로 입력된 상 전류 차분 신호(ΔI_U)는 제 2 증폭기(223c)를 거쳐 가산기(223d)로 출력된다. 제 2 증폭기(223c)에서의 증폭배율은 가변저항 R_{G12} 를 조정하면 가변할 수 있다. $L / T_s = R_{G12} / R_{G11}$ (이하 제 2 증폭배율이라 한다)이 되도록 가변 저항 R_{G12} 값을 조정하면 제 2 증폭기(223c)의 출력(이하 제 2 반전출력이라 한다)은 $-L \times (\Delta I_U / T_s)$ 가 된다. 여기에서, L 은 전동기의 인덕터 성분이다. 제 2 증폭기(223c)에 포함된 캐패시터(C_{G1})는 로우 패스 필터링을 위해서 추가된 것이다.

가산기(223d)는 제 1 반전출력과 제 2 반전출력을 가산하여 감산기(223e)로 내보낸다. 이때, 가산기(223d)의 출력은 $R \times I_{IN-OFF(U)} + L \times (\Delta I_U / T_s)$ 가 된다. 감산기(223e)는 상 전압신호(V_U)에서 가산기(223d)의 출력을 감산한다. 이때, 감산기(223e)의 출력은 $V_U - R \times I_{IN-OFF(U)} + L \times (\Delta I_U / T_s)$ 가 된다. 상 전압신호(V_U)와 수학식 21의 상 전압(V_U)은 동일하므로, 수학식 21의 회로구성이 완성되었다.

역기전력 연산부(223)는 감산기(223e)의 출력을 상 역기전력(EMF_U)으로서 제공한다. 상기 구성들에 의해 역기전력을 구하는 연산이 전처리부(200)에서 아날로그 신호처리에 의해 수행된다. 그 결과 제어부 내의 디지털 프로세서가 수행할 연산량이 경감되고, 전동기 제어 시스템의 비용이 절감될 수 있다.

한편, 도 7A, 7B, 7C 및 7D에서는 샘플링부(222)의 동작이 보다 상세하게 나타난다. 도 7A는 $t=t_0$ 일 때의 샘플링부(222)의 회로도를 보여주고, 도 7B는 $t=t_1$ 일 때의 샘플링부(222)의 회로도를 보여주고, 도 7C는 $t=t_2$ 일 때의 샘플링부(222)의 회로도를 보여준다. 도 7D는 제 1 클럭 신호(Q1), 제 2 클럭 신호(Q2) 및 기준 전류신호의 파형도이다.

도 7A를 참조하면, $t=t_0$ 가 되기 직전에 제 1 클럭 신호(Q1)는 하이이고 제 2 클럭 신호(Q2)는 로우이므로, SW1, SW2 및 SW3은 닫히고 SW4, SW5 및 SW6은 열린다. 캐패시터에 축적되는 전하량은 캐패시터 양단의 전압과 캐패시터 용량의 곱이므로, $t=t_0$ 에서 캐패시터 C_{S1} 에 축적되는 전하량 $Q_{S1}(t_0)$ 은 수학식 23과 같다.

수학식 23

$$Q_{S1}(t_0) = C_{S1} \times [I_{IN-OFF(U)}(t_0) - 0]$$

한편, $t=t_0$ 가 된 후에는 제 1 클럭 신호(Q1)는 로우가 되고, SW1, SW2 및 SW3은 열린다. SW2가 열리면, 캐패시터 C_{S1} 의 출력단자는 연산증폭기(A_7)의 양의 단자와 연결되거나 개방된다. 그 결과, 캐패시터 C_{S1} 의 출력단자로부터는 전류가 흘러나가지 못다. 그러므로, $t=t_0$ 일 때 캐패시터 C_{S1} 에 축적된 전하량은 Q1이 다시 하이가 될 때까지 유지된다.

도 7B를 참조하면, $t=t_1$ 일 때 제 1 클럭 신호(Q1)는 로우이고 제 2 클럭 신호(Q2)는 하이이므로, SW1, SW2 및 SW3은 열리고 SW4, SW5 및 SW6은 닫힌다. 이때, $t=t_1$ 에서 캐패시터 C_{S1} 에 축적되는 전하량 $Q_{S1}(t_1)$ 및 C_{S2} 에 축적

되는 전하량 $Q_{S2}(t_1)$ 는 수학식 24와 같다.

수학식 24

$$Q_{S1}(t_1) = C_{S1} \times [I_{IN-OFF(U)}(t_1) - \Delta I_U(t_1)]$$

$$Q_{S2}(t_1) = C_{S2} \times [I_{IN-OFF(U)}(t_1) - 0]$$

이때, $t=t_0 \sim t=t_1$ 에서 캐패시터 C_{S1} 에 축적된 전하량은 일정하므로, 전하량 보존의 법칙에 의해 $Q_{S1}(t_0) = Q_{S1}(t_1)$ 이 된다. $\Delta I(t_1)$ 을 구하기 위해 수학식 23과 수학식 24를 연립하면, 수학식 25와 같은 결과를 얻는다.

수학식 25

$$Q_{S1}(t_0) = Q_{S1}(t_1) \text{ 이므로,}$$

$$C_{S1} \times [I_{IN-OFF(U)}(t_0) - 0] = C_{S1} \times [I_{IN-OFF(U)}(t_1) - \Delta I_U(t_1)]$$

$$\therefore \Delta I_U(t_1) = I_{IN-OFF(U)}(t_1) - I_{IN-OFF(U)}(t_0)$$

위 결과에 따르면, 샘플링부(222)의 출력은 $t=t_0$ 에서의 기준 전류신호($I_{IN-OFF(U)}(t_0)$)와 $t=t_1$ 에서의 기준 전류신호($I_{IN-OFF(U)}(t_1)$)의 차분값이 된다.

한편, $t=t_1$ 이 된 후에는 제 2 클럭 신호(Q2)는 로우가 되고, SW4, SW5 및 SW6은 열린다. SW5가 열리면, 캐패시터 C_{S2} 의 출력단자는 연산증폭기(A_7)의 양의 단자와 연결되거나 개방 된다. 그 결과, 캐패시터 C_{S2} 의 출력단자로부터는 전류가 흘러나가지 못다. 그러므로, $t=t_1$ 일 때 캐패시터 C_{S2} 에 축적된 전하량은 제 2 클럭 신호(Q2)가 다시 하이가 될 때까지 유지된다.

도 7C를 참조하면, $t=t_2$ 일 때 제 1 클럭 신호(Q1)는 하이이고 제 2 클럭 신호(Q2)는 로우이므로, SW1, SW2 및 SW3은 닫히고 SW4, SW5 및 SW6은 열린다. 따라서, $t=t_2$ 에서 캐패시터 C_{S1} 에 축적되는 전하량 $Q_{S1}(t_2)$ 및 C_{S2} 에 축적되는 전하량 $Q_{S2}(t_2)$ 는 수학식 26과 같다. 샘플링부(222)의 출력($\Delta I_U(t_2)$)은 수학식 27과 같다.

수학식 26

$$Q_{S1}(t_2) = C_{S1} \times [I_{IN-OFF(U)}(t_2) - 0]$$

$$Q_{S2}(t_2) = C_{S2} \times [I_{IN-OFF(U)}(t_2) - \Delta I_U(t_2)]$$

수학식 27

전하량 보존의 법칙에 의해

$$Q_{S2}(t_1) = Q_{S2}(t_2) \text{이므로,}$$

$$C_{S2} \times [I_{IN-OFF(U)}(t_1) - 0] = C_{S2} \times [I_{IN-OFF(U)}(t_2) - \Delta I_U(t_2)]$$

$$\therefore \Delta I_U(t_2) = I_{IN-OFF(U)}(t_2) - I_{IN-OFF(U)}(t_1)$$

마찬가지로, 샘플링부(222)의 출력은 $t=t_1$ 에서의 기준 전류신호($I_{IN-OFF(U)}(t_1)$)와 $t=t_2$ 에서의 기준 전류신호($I_{IN-OFF(U)}(t_2)$)의 차분값이 된다.

도 7D는 도 6에 도시된 샘플링부의 샘플링 동작을 예시적으로 나타내는 개념도이다. 도 7D를 참조하면, 제 1 클럭 신호(Q1)의 하강 엣지($t=t_0$ 또는 $t=t_2$) 또는 제 2 클럭 신호(Q2)의 하강 엣지($t=t_1$)에서, 기준 전류 신호($I_{IN-OFF(U)}$)를 샘플링한다.

도 8은 도 7D에 도시된 개념도를 샘플링 주기(T_S)를 고려하여 다시 표시한 파형도이다. 도 8에서는 제 1 클럭 신호(Q1)의 하강 엣지와 제 2 클럭 신호(Q2)의 하강 엣지 사이의 간격이 특정한 주기(T_S)를 갖도록 조정되었다. 그러한 조정을 거치면, 샘플링부(222)는 매 주기(T_S)마다 상 전류 차분 신호(ΔI_U)를 출력한다.

도 9는 도 2에 도시된 제어부를 예시적으로 보여주는 블록도이다. 도 9를 참조하면, 제어부(300)는 AD 컨버터(301), 프로세서(310), 고조파 성분 검출부(320), 비선형 보상부(330), PWM 발생부(340) 및 3상 인버터(350)를 포함한다.

AD컨버터(301)는 전처리부(200)로부터 3상 역기전력(EMF)을 수신하여 디지털 신호로 변환한다. AD컨버터(301)에서 변환된 신호는 3상 변환신호로서 출력된다.

프로세서(310)는 3상 변환신호를 참조하여 전동기 회전 각 주파수(w) 및 위치(θ)를 산출하여 제공한다. 또한, 프로세서(310)는 기준 클럭 신호 및 전류 제어 신호(V_{CONT})를 제공한다.

고조파 성분 검출부(320)는 3상 변환신호를 참조하여 3상 역기전력 고조파 계수(E_U, E_V, E_W)들을 계산한다.

비선형 보상부(330)는 3상 역기전력 고조파 계수(E_U, E_V, E_W)들을 참조하여 전동기의 토크 리플을 감소시키기 위한 비선형 보상을 수행한다. 비선형 보상부(330)는 보상된 결과를 3상 보상 전류 신호(I_{OUT})로서 제공한다.

PWM 발생부(340)는 3상 보상 전류 신호(I_{OUT}), 전류 제어 신호(V_{CONT}) 및 3상 전류 오프셋(I_{OFFSET})을 참조하여, 3상 PWM 펄스(PWM)를 발생시킨다. 3상 인버터(350)는 3상 PWM 펄스(PWM)를 참조하여 3상 구동전류를 제공한다. 3상 구동전류는 전동기를 구동시킨다.

도 10은 도 9에 도시된 고조파 계수 검출부의 동작을 설명하기 위한 예시적인 블록도이다. 고조파 계수 검출부(320)는 3상 신호를 입력 및 출력으로서 갖지만, 각 상의 구성 요소나 구성 요소가 갖는 기능들은 동일하다. 그러므로 이하에서는 예시적으로 하나의 상에 대한 설명이 제공된다.

도 10을 참조하면, 고조파 계수 검출부(320)는 계수 검출기(321) 및 주파수 합성기(322)를 포함한다. 주파수 합성기(322)는 프로세서(310)로부터 전동기 각 주파수(w)를 참조하여 전동기 각 주파수(w)의 1차, 3차, 5차, 7차, 11차, 13차 고조파 주파수를 갖는 정현파들을 합성한다. 주파수 합성기(322)는 합성된 정현파 들을 계수 검출기(321)로 출력한다.

계수 검출기(321)는 상 변환신호 및 합성된 정현파들을 참조하여 수학식 8에 기재된 $g(\theta)$ 의 각 조화항 계수들을 검출한다. 조화항 계수를 검출하는 과정에 대한 구체적인 설명을 위해, 이하의 내용을 가정한다.

- 1) 전동기는 정속 운행 한다.(w=상수)
- 2) 전동기의 초기 위치(θ_{INIT})는 0 이다.

전동기의 위치(θ) = $wt + \theta_{INIT}$ 이므로, 가정 2)에 의해 $\theta = wt$ 가 된다. 한편, 상 변환신호는 역기전력을 의미한다. 수학적 19 및 수학적 20을 참조하면, 상 변환신호 = $g(\theta) \times w$ 이다. 한편, 3상 전동기에서 각 상은 $2/3\pi$ 만큼의 위상 차가 있다. 따라서, U상의 초기 위치가 0(즉, $g(\theta) = g_U(\theta)$)이라고 가정하면, $g(\theta) = g_U(\theta) = g_V(\theta - 2/3\pi) = g_W(\theta + 2/3\pi)$ 일 수 있다. 수학적 8을 참조하여, 상 변환신호를 θ 에 대해 푸리에 급수 전개하면 수학적 28과 같다.

수학적 28

$$w \times g_U(\theta) = w \times g_U(wt) = w \times [E_1 \sin wt + E_3 \sin 3wt + E_5 \sin 5wt + \dots]$$

여기에서, 3상 전류 합은 0이므로 전체 3상 토크를 고려할 때 $\sin(3n*wt)$ 항은 소거될 수 있다($n=1, 2, 3, \dots$). 가정 1)에 의해 w 는 상수이므로, 필요한 조화항 계수 E_1, E_5, E_7 등의 검출을 위해 계수 검출기(321)는 상 변환신호를 w 로 나누는 연산을 한다. 실시 예로서 w 가 상수가 아니라면, 계수 검출기(321)는 DSP로부터 변화하는 w 값을 지속적으로 수신받을 수 있다. 이때, 계수 검출기(321)는 수신된 w 로써 상 변환신호를 나누는 연산을 한다. 나누어진 신호는 수학적 29와 같다.

수학적 29

$$g_U(wt) = [E_1 \sin wt + E_5 \sin 5wt + E_7 \sin 7wt \dots]$$

계수 검출기(321)는 $g_U(wt)$ 와 주파수 합성기(322)에서 출력된 정현파들 사이의 교차상관함수(Cross Correlation)들을 각각 구한다. 구해진 교차 상관함수의 계수들은 정현파의 차수에 따라 $g_U(wt)$ 의 각 조화항 계수를 포함한다. 예를 들면, 1차 고조파 주파수를 갖는 정현파를 교차상관 연산하여 구해진 함수의 계수는 E_1 이 된다. 마찬가지로, 5차 고조파 주파수를 갖는 정현파를 교차상관 연산하여 구해진 함수의 계수는 E_5 가 된다. 계수 검출기(321)는 구해진 교차상관함수들의 계수값들을 산출한다. 예시적으로 교차상관함수들의 계수값들은 각 교차상관함수들의 최대값들을 측정함으로써 얻어질 수 있다. 계수 검출기(321)는 교차상관함수의 계수값들을 상 역기전력 고조파 계수(E_U)로서 출력한다.

상 역기전력 고조파 계수(E_{ij})는 수학적 8에 기재된 $g(\theta)$ 의 각 조화항 계수들을 의미한다. 상 역기전력 고조파 계수(E_U)는 복수의 계수를 포함할 수 있다. 또한, 상 역기전력 고조파 계수(E_{ij})는 복수의 계수를 갖는 버스(BUS)형태일 수 있다. 실시 예에 따라, 상 역기전력 고조파 계수(E_{ij})는 1차, 5차, 7차, 11차, 13차 고조파 계수들($E_1, E_5, E_7, E_{11}, E_{13}$)을 포함할 수 있다. 상기 구성 및 과정들에 따라, 비선형 보상을 하기 위해 필요한 3상 역기전력 고조파 계수(E)를 구할 수 있다.

도 11은 도 9에 도시된 비선형 보상부의 동작을 나타낸다. 비선형 보상부(330)는 3상 신호를 입력 및 출력으로서 갖지만, 각 상의 구성 요소나 구성 요소가 갖는 기능들은 동일하다. 그러므로 이하에서는 예시적으로 하나의 상에 대한 설명이 제공된다. 한편, 비선형 보상부(330)의 구체적인 원리는 앞서 기재한 ‘토크 리플을 최소화하는 보상전류의 유도’ 부분 및 ‘전동기 제어장치의 실시 예’ 부분에 기재된 바와 같다.

도 11을 참조하면, 비선형 보상부(330)는 보정계수 추출기(331) 및 비선형 전류 보상기(332)를 포함한다. 보정계수 추출기(331)는 상 역기전력 고조파 계수(E_U)를 참조하여 앞서 설명한 수학적 15에 기재된 보정계수(G_5, G

γ)들을 계산한다. 계산된 보정계수는 비선형 전류 보상기(332)로 제공된다. 비선형 전류 보상기(332)는 전동기의 위치(θ), 토크 명령(I_M) 및 보정계수(G_5, G_7)들을 참조하여 수학식 16에서 계산된 보상전류를 산출한다. 이때 토크 명령(I_M)은 외부로부터 입력될 수도 있다.

도 11에는 비선형 전류 보상기(332)의 예시적인 알고리즘이 제시되어 있다. 한편, 3상 전동기에서 각 상은 $2/3\pi$ 만큼의 위상 차가 있다. 따라서, V상 와 W상에서의 전동기의 위치 및 토크 명령은 U상에서의 전동기의 위치(θ) 및 토크명령(I_M)과 $2/3\pi$ 및 $4/3\pi$ 의 위상 차를 가진다. 비선형 전류 보상기(332)에서 계산된 보상 전류는 3상 보상전류(I_{OUT})로서 제공된다. 앞서 ‘토크 리플을 최소화하는 보상전류의 유도’ 부분에서 설명한 바와 같이 3상 보상전류(I_{OUT})는 전동기 위치에 의존하는 토크 리플이 제거되도록 보상된 전류신호를 의미한다.

도 12는 도 9에 도시된 PWM 발생부를 예시적으로 보여주는 블록도이다. PWM 발생부(340)는 3상 신호를 입력 및 출력으로서 갖지만, 각 상의 구성 요소나 구성 요소가 갖는 기능들은 동일하다. 그러므로 이하에서는 예시적으로 하나의 상에 대한 설명이 제공된다.

PWM 발생부(340)는 정현파 발생기(341), 제 1 증폭기(342), 삼각파 생성기(343), 제 2 증폭기(344), 제 1 덧셈기(345), 제 2 덧셈기(346) 및 비교기(347)를 포함한다.

정현파 발생기(341)는 상 보상전류($I_{OUT(U)}$)를 아날로그 정현파 신호로 변환하여 출력한다. 정현파 발생기(341)는 DA컨버터들을 포함할 수 있다. 제 1 증폭기(342)는 정현파 발생기(341)에서 변환된 신호를 증폭한다. 이때, 고조파 성분을 제거하기 위해 제 1 증폭기(342)는 저역 통과 필터를 포함할 수 있다. 제 1 증폭기(342)는 증폭된 신호를 제 1 비교신호로서 출력된다.

삼각파 생성기(343)는 프로세서(310)로부터 제공된 참조신호(K)를 참조하여 삼각파를 발생한다. 삼각파 발생기(343)에서 발생된 신호는 제 2 증폭기(344)를 거쳐 증폭된다. 이 때, 고조파 성분을 제거하기 위해 제 2 증폭기(344)는 저역 통과 필터를 포함할 수 있다. 제 1 덧셈기(345) 및 제 2 덧셈기(346)에서는 제 2 증폭기에서 증폭된 신호와 전류 제어 신호(V_{CONT}) 및 상 전류 오프셋($I_{OFFSET(U)}$)을 모두 가산하여 제 2 비교신호로서 출력한다.

비교기(347)에서는 제 1 비교신호와 제 2 비교신호를 비교하고, 비교 로직에 따라 상 PWM 펄스(PWM_U)를 생성 및 출력한다. 실시 예로서, 비교 로직은 제 1 비교신호가 제 2 비교신호보다 높을 때 하이를 출력하고, 그렇지 않으면 로우를 출력 할 수 있다.

도 13 및 도 14는 도 12에 도시된 PWM 발생부에서 비교기가 PWM 펄스를 생성하는 동작을 설명하기 위한 개념도이다. 예시적으로, 비교기는 제 1 비교신호가 제 2 비교신호보다 높을 때만 하이를 출력하고, 그렇지 않으면 로우를 출력한다.

도 13에서 전류 제어 신호(V_{CONT})가 양의 값을 가지면, 제 2 비교신호는 중심선이 상승하고, 상대적으로 하이가 출력되는 구간이 짧아진다. 도 14에서 전류제어신호(V_{CONT})가 음의 값을 가지면 제 2 비교신호는 중심선이 하강하고, 상대적으로 하이가 출력되는 구간이 길어진다. 즉, PWM 발생부(340)는 전류제어신호(V_{CONT})를 통해 PWM 펄스의 폭을 조절할 수 있다.

도 17는 본 발명의 실시 예에 따른 전동기 제어 장치의 토크 특성에 대한 모의 시험 결과를 나타낸 파형도이다. 도 17의 (a)는 전동기에 본 발명을 적용하기 전의 토크 파형이다. 도 17의 (b)는 전동기에 본 발명을 적용한 후의 토크 파형이다. 본 발명을 적용했을 때 토크 리플 감소 효과가 크게 나타남을 확인할 수 있다.

본 발명의 실시 예에 따른 전동기 제어 장치는 전동기 구동시 토크 리플을 감소시키므로, 전동기의 진동소음을 감소시키는 효과가 있다. 또한, 역기전력 계산을 아날로그 연산에 의해 수행하므로, 디지털 신호처리를 수행하는 프로세서의 연산량이 감소되는 효과가 있다.

II. 전동기 제어 방법의 실시 예

도 15는 본 발명의 실시 예에 따른 전동기 제어 방법을 설명한 순서도이다. 도 15에서 S100 단계는 전동기의 3상 역기전력을 아날로그 연산에 의해 산출하는 전처리 단계이다. S110 단계는 전류신호의 비선형 보상 및 구동 전류 출력이 수행되는 후처리 단계이다. S100 단계는 전처리부(200, 도 1 및 도 2 참조)에서 수행된다. S110 단계는 제어부(300, 도 1 및 도 2 참조)에서 수행된다.

S100 단계를 참조하면, 3상 역기전력 산출은 다음과 같은 순서로 진행된다. S101 단계에서, 전처리부(200)는 전동기에 인가된 3상 전류신호(I_U, I_V, I_W) 및 3상 전압신호(V_U, V_V, V_W)를 수신한다.

S102 단계에서, 오프셋 보상부(210, 도 3 및 도 4 참조)는 수신된 3상 전류신호(I_U, I_V, I_W)의 오프셋을 보상한다. 오프셋 보상은 오프셋 검출과 오프셋 제거의 두 단계로 이루어질 수 있다.

S103 단계에서, 역기전력 계측부(220, 도 5 및 도 6 참조)는 3상 전압신호(V_U, V_V, V_W) 및 오프셋이 보상된 3상 전류신호(이하, 3상 기준 전류신호(I_{IN-OFF})라 한다)를 수신한다. 역기전력 계측부(220)는 수신된 3상 전압신호(V_U, V_V, V_W) 및 3상 기준 전류신호(I_{IN-OFF})에 대응하는 3상 역기전력(EMF)을 아날로그 연산에 의해 산출한다.

구체적으로, 샘플링부(222, 도 6 참조)는 3상 기준 전류신호(I_{IN-OFF})를 참조하여 정해진 주기마다 3상 기준 전류신호의 차분값(이하, 3상 전류 차분 신호(ΔI)라 한다)를 출력한다. 여기서 3상 전류 차분 신호(ΔI)는 현재 주기의 3상 기준 전류신호 값($I_{IN-OFF}(t_0)$)에서 이전 주기의 3상 기준 전류신호 값($I_{IN-OFF}(t_0-T_s)$)을 뺀 차를 의미한다(단, T_s 는 샘플링 주기를 의미한다). 샘플링부(222)의 구체적인 동작원리는 위에서 상술한 전동기 제어 장치의 설명 및 도 7A, 7B, 7C, 7D 및 도 8에 자세하게 나타나 있다.

역기전력 연산부(223, 도 6 참조)은 3상 기준 전류신호(I_{IN-OFF}) 및 3상 전류 차분 신호(ΔI)를 참조하여 3상 역기전력(EMF)을 산출한다. 3상 역기전력(EMF)의 계산은 아날로그 연산에 의해 구해진다. 이때, 아날로그 연산과 정은 연산증폭기를 이용한 가산기(223d, 도 6 참조), 감산기(223e, 도 6 참조) 및 증폭기들(223b, 223c, 도 6 참조)을 이용하여 구현될 수 있다.

S104 단계에서, 전처리부는 산출된 3상 역기전력(EMF)을 출력한다.

S110 단계를 참조하면, 전류신호의 비선형 보상 및 구동전류 출력은 다음과 같은 순서로 진행된다.

S111 단계에서, 전처리부로부터 입력된 3상 역기전력(EMF)은 AD컨버터(301, 도 9 참조)에 의해서 디지털 신호로 변환된다(이하 3상 변환신호라 한다). 고조파 계수 검출기(320, 도 9 및 도 10 참조)는 3상 변환신호를 참조하여 3상 역기전력 고조파 계수(E)들을 산출한다.

S112 단계에서, 비선형 보상부(330, 도 11 참조)는 3상 역기전력 고조파 계수들(E)을 참조하여 3상 보상전류(I_{OUT})를 출력한다. 3상 보상전류(I_{OUT})는 토크 리플을 감소시키도록 비선형 보상된 전류신호이다. 비선형 보상부(330)에서 수행되는 비선형 보상의 구체적인 방법 및 알고리즘은 전동기 제어 장치에서 바와 같다.

S113 단계에서, PWM 발생부(340, 도 12 참조)는 프로세서(310, 도 12 참조)로부터 생성된 참조신호(K)와 3상 보상전류(I_{OUT}) 및 전류 제어 신호(V_{CONT})를 참조하여 3상 PWM 펄스(PWM)를 출력한다. 이 때, 프로세서(310)로부터 입력되는 전류 제어 신호(V_{CONT})에 의하여 출력되는 PWM 펄스의 폭이 조정될 수 있다. 3상 인버터(350, 도 9 참조)는 3상 PWM 펄스(PWM)를 참조하여 대응되는 3상 구동전류를 전동기에 제공한다.

도 16은 도 15에 도시된 S111 단계를 세분화하여 설명한 순서도이다. 도 16을 참조하면, 역기전력 고조파 계수 산출은 다음과 같은 순서로 진행된다.

S210 단계에서 주파수 합성기(322, 도 10 참조)는 각 주파수의 크기가 전동기의 회전 각 주파수(w)의 홀수 배인 정현파 신호들을 생성한다. 이때, 생성되는 정현파 신호들은 $w, 5w, 7w, 9w, 11w, 13w$ 의 각 주파수를 가질 수 있다.

S220 단계에서 계수검출기(321, 도 10 참조)는 주파수 합성기(322)에서 생성된 정현파들과 전처리부(200, 도 1 및 도 2 참조)에서 산출된 3상 역기전력(EMF)을 수신한다. 역기전력은 AD컨버터(301, 도 9 참조)에 의해 디지털 신호로 변환되어 수신될 수 있다.

S230 단계에서, 3상 역기전력(EMF)을 각 주파수(w)로 나누는 연산을 한다.

S240 단계에서, 계수 검출기(321)는 수신된 정현파 신호들과 상기 나누기 연산이 된 3상 역기전력 사이의 교차상관함수(Cross Correlation)들을 각각 계산한다.

S250 단계에서, 계수 검출기(321)는 계산된 교차상관함수의 최대값을 검출한다.

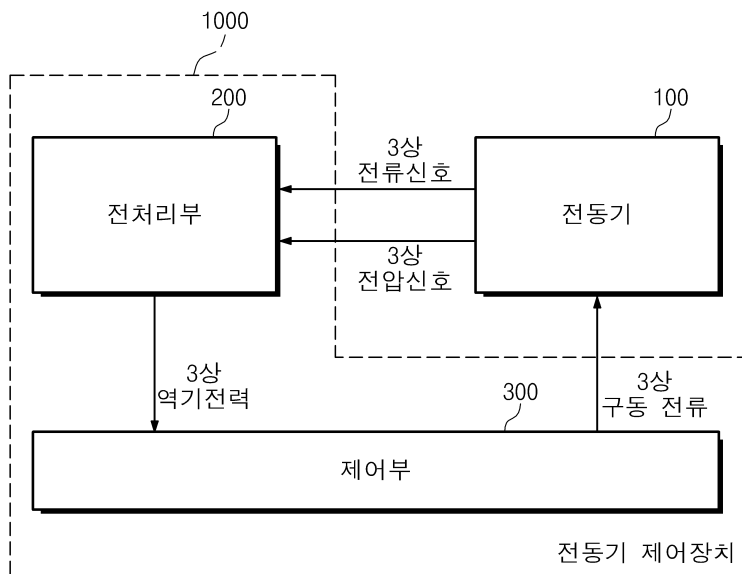
S260 단계에서, 계수 검출기(321)는 검출된 최대값을 3상 역기전력 고조파 계수(E)로서 출력한다.

상기 단계들을 통해, 역기전력 산출이 아날로그 연산에 의해 수행되므로 디지털 신호 처리를 수행하는 프로세서의 연산량이 감소할 수 있다. 또한, 전동기 제어 장치에 필요한 역기전력 고조파 계수를 산출하는 구체적인 방법이 제공된다. 또한, 전동기의 토크 리플이 감소하므로, 진동소음이 최소화 될 수 있다.

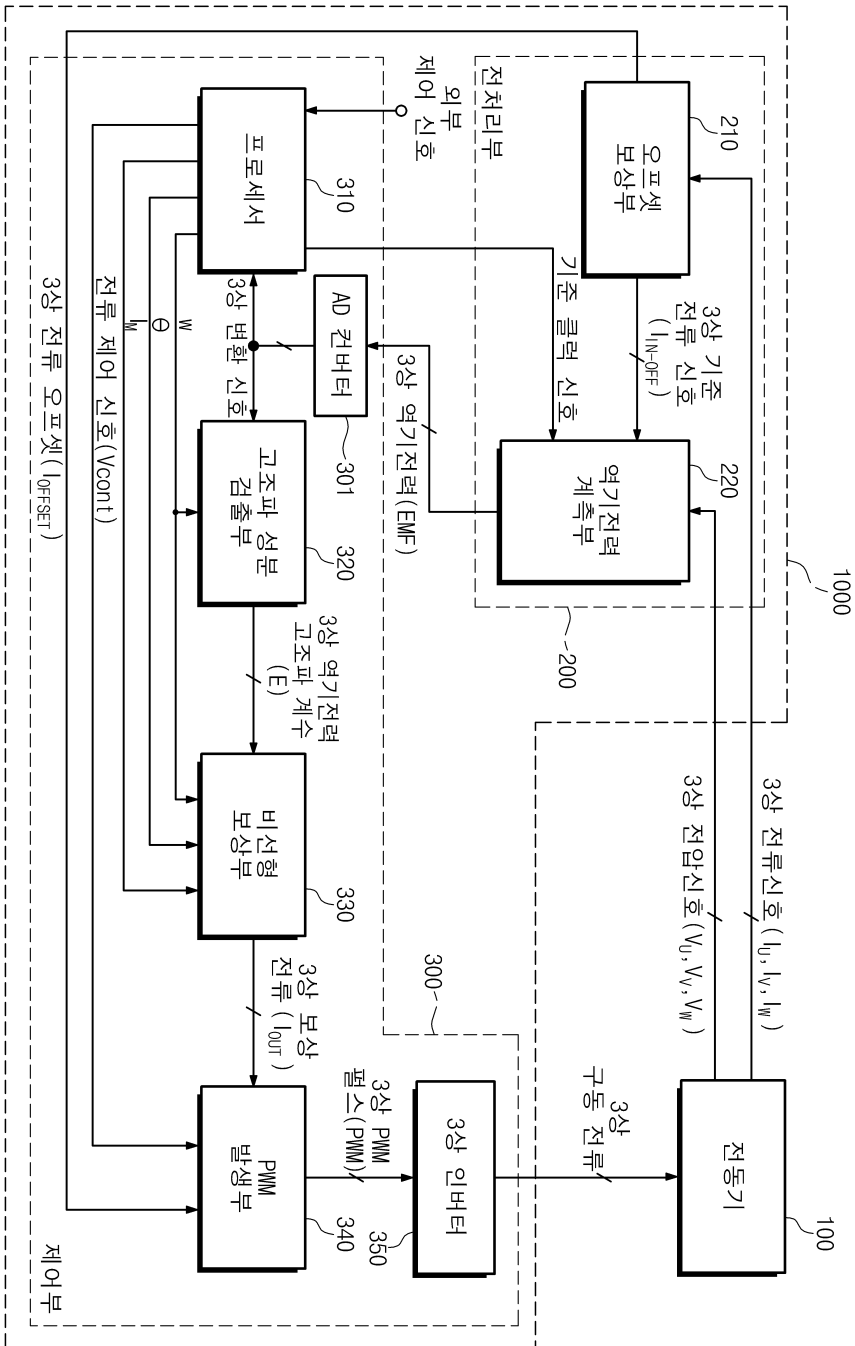
이상에서 사용한 특정한 용어들이나 구체적인 구성 및 도면의 기재 등은 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아님을 밝혀둔다. 따라서, 본 발명의 범위 또는 기술적 사상을 벗어나지 않고 본 발명의 구조가 다양하게 수정되거나 변경될 수 있음은 이 분야에 숙련된 자들에게 자명하다. 예를 들어, 가산기 및 증폭기의 소자 선택이나, 전처리부(200)의 세부적 회로 구성이나 전 후단의 연결 관계는 사용 환경이나 용도에 따라 다양하게 수정 또는 변경될 수 있다. 상술한 내용을 고려하여 볼 때, 본 발명의 범위는 상술한 실시 예에 국한되어 정해져서는 안 되며, 후술하는 특허청구범위 및 그 균등물에 의해 정해져야 한다.

도면

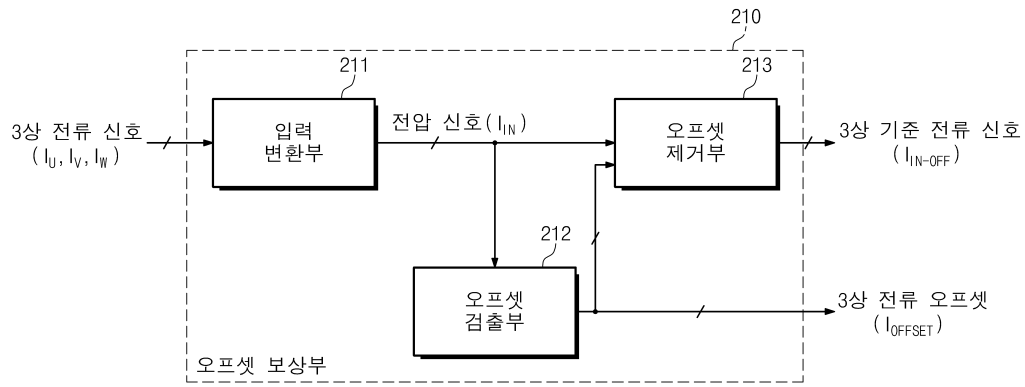
도면1



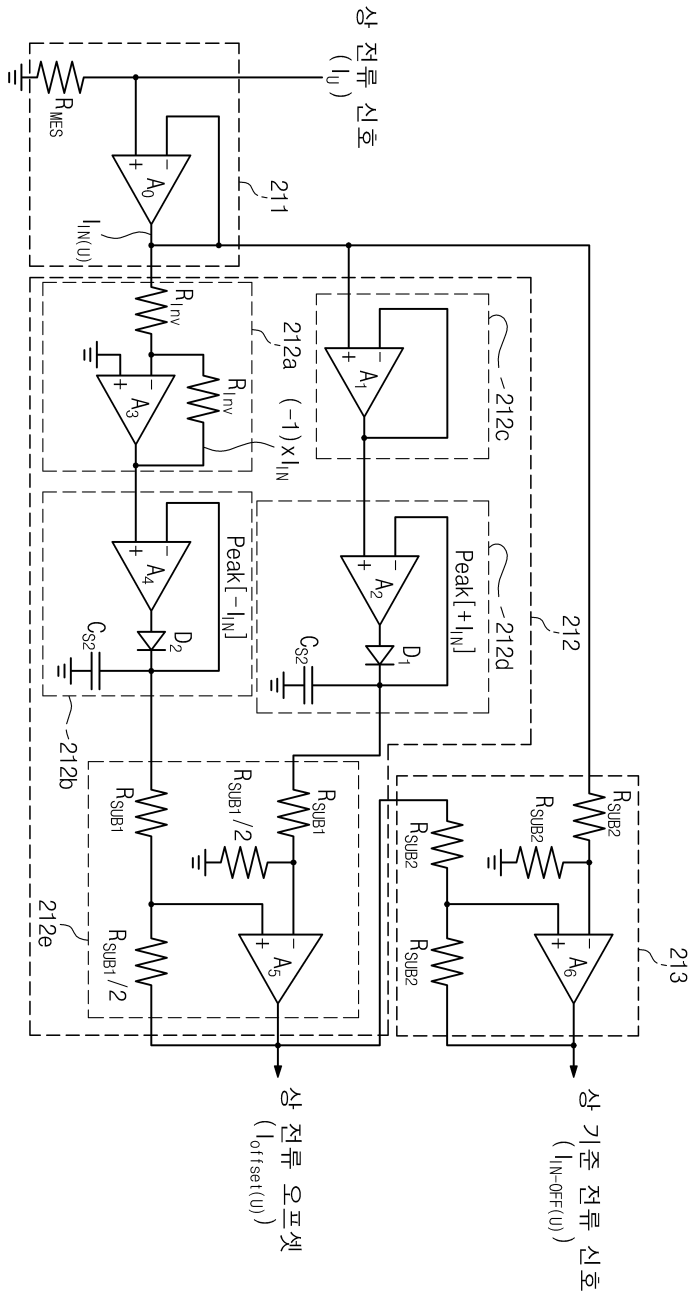
도면2



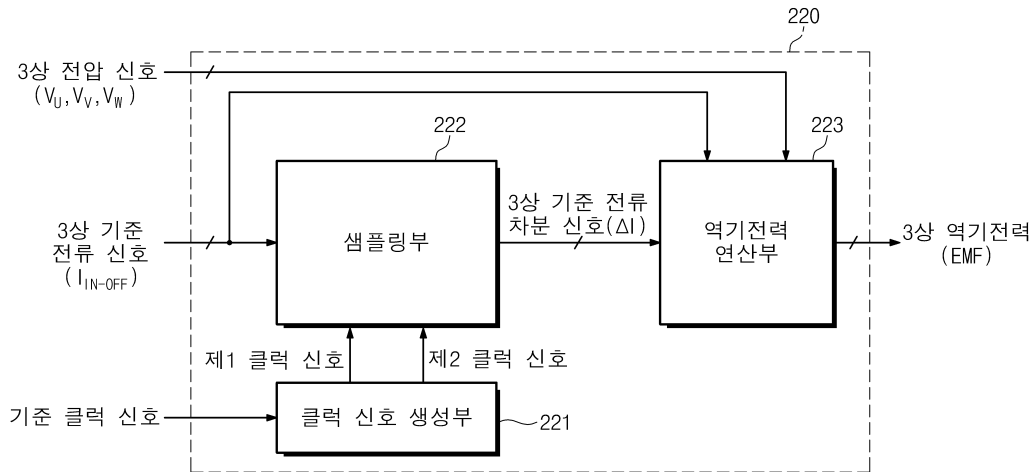
도면3



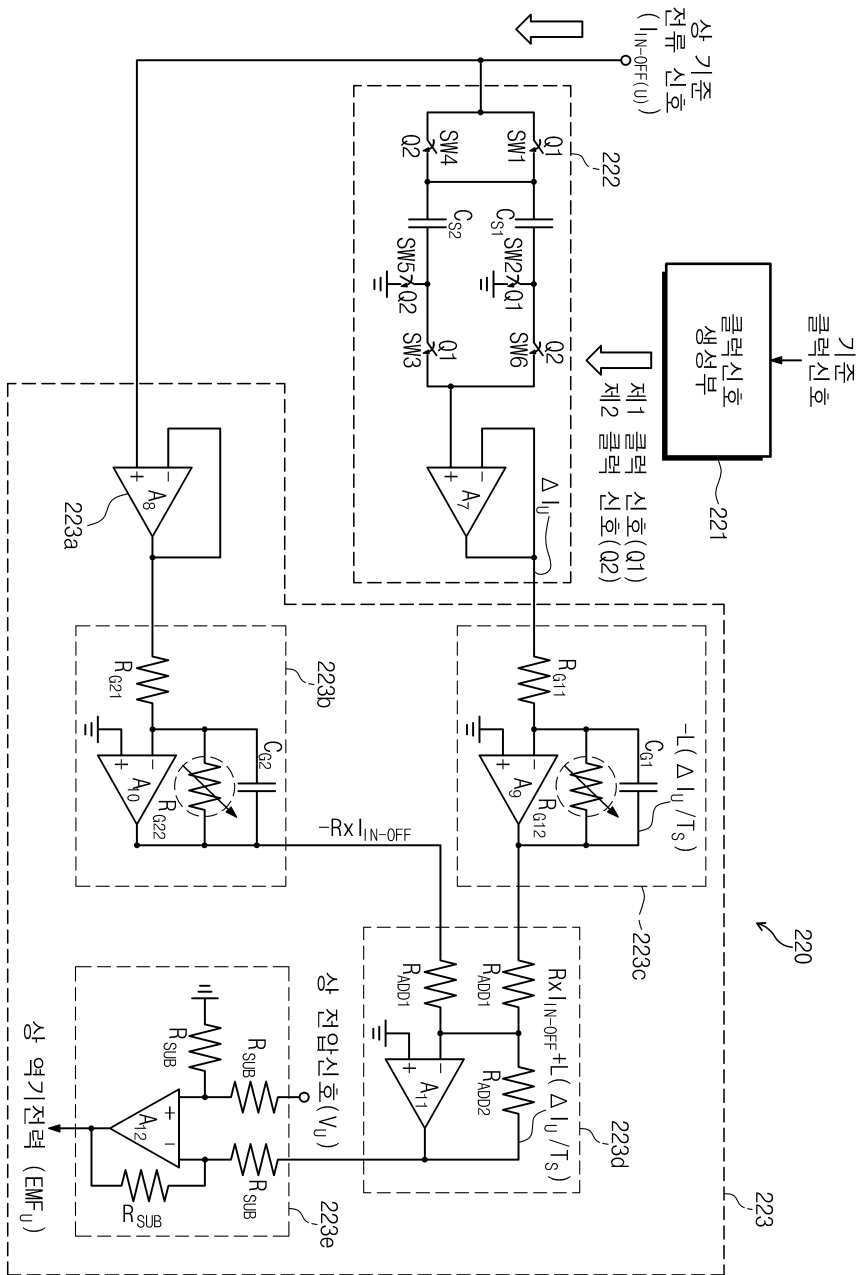
도면4



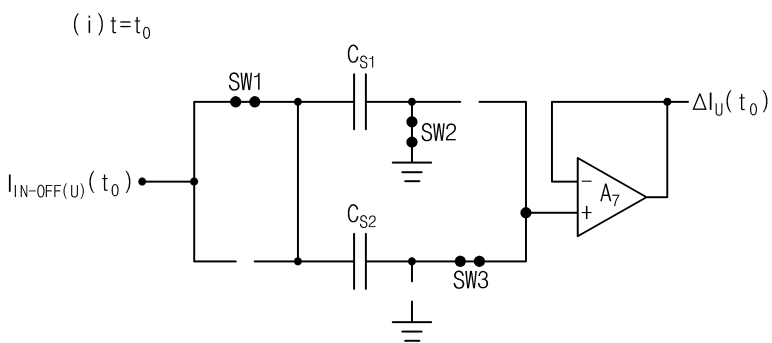
도면5



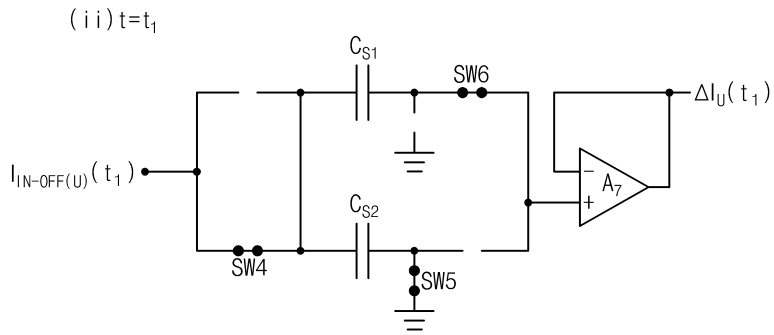
도면6



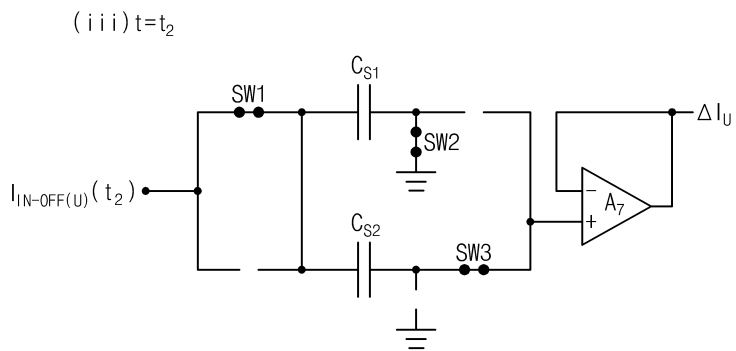
도면7a



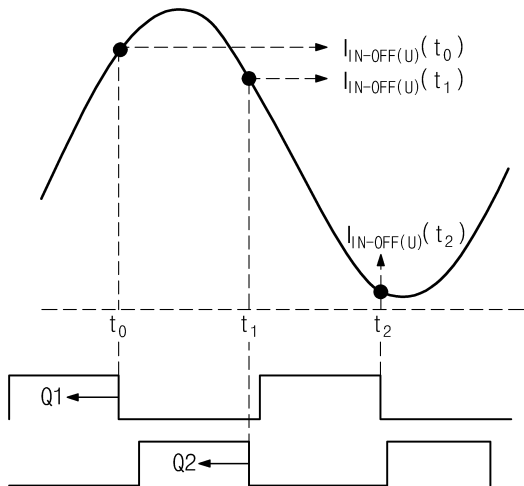
도면7b



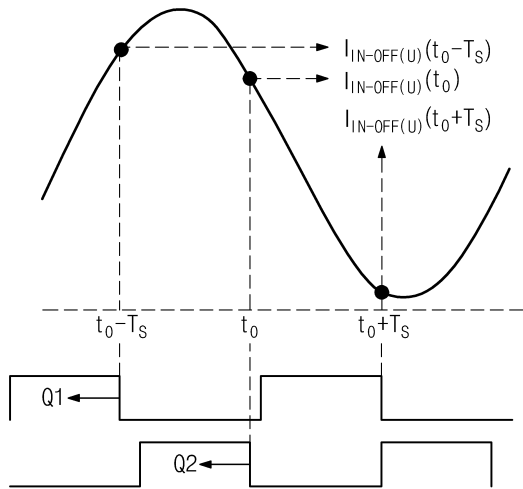
도면7c



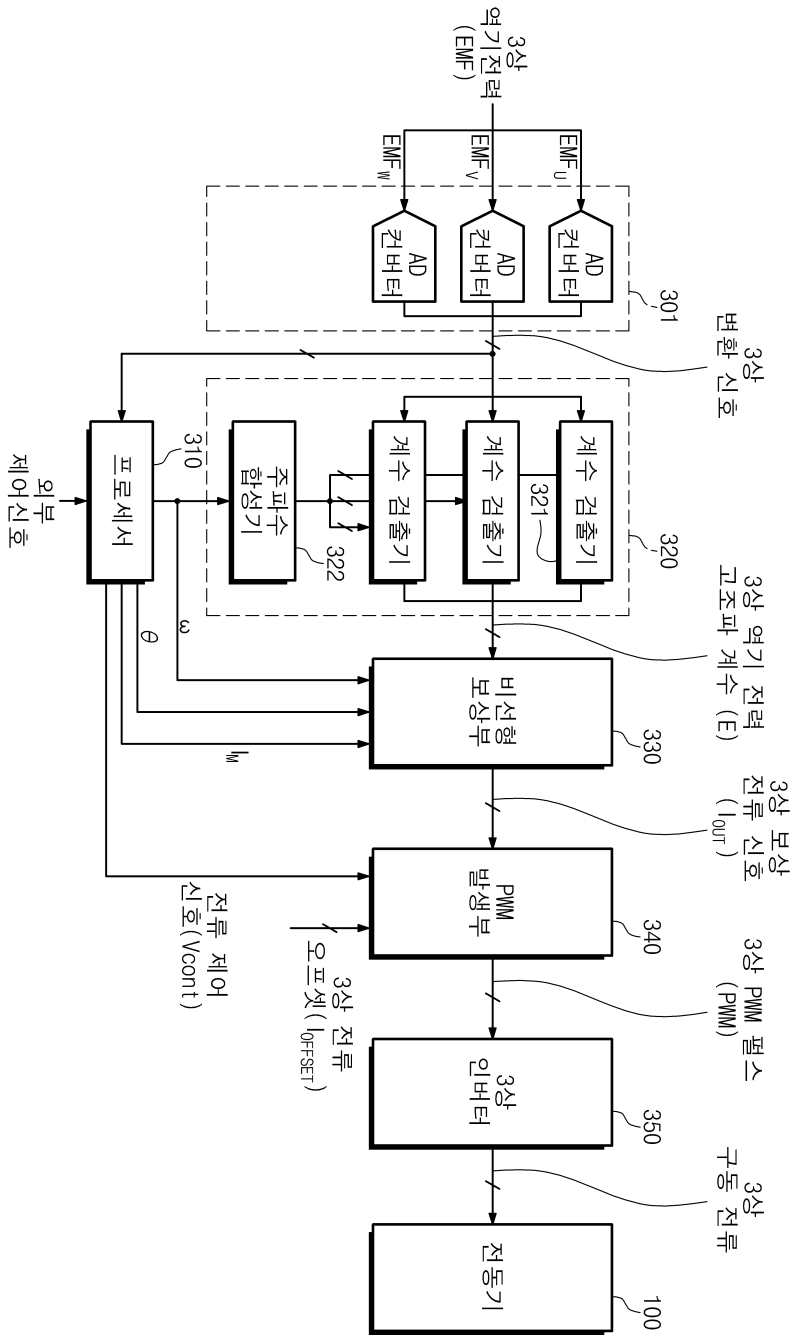
도면7d



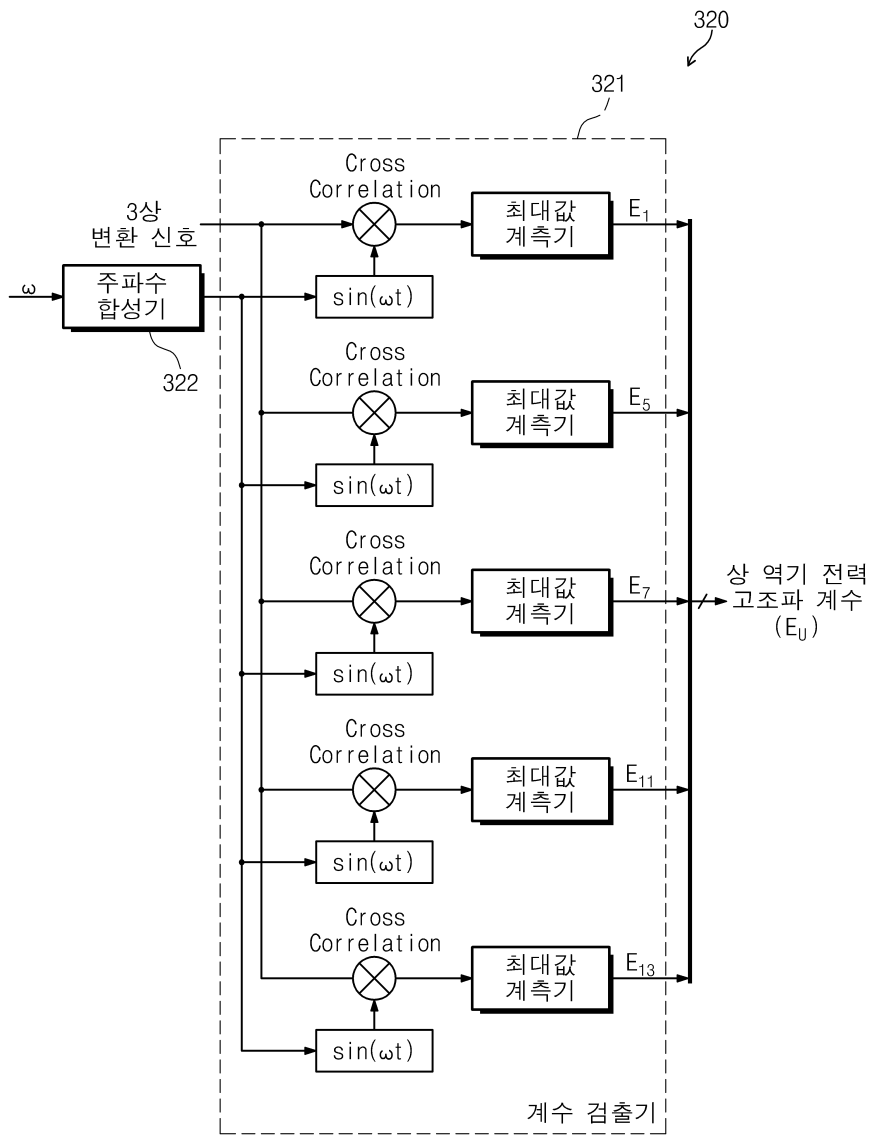
도면8



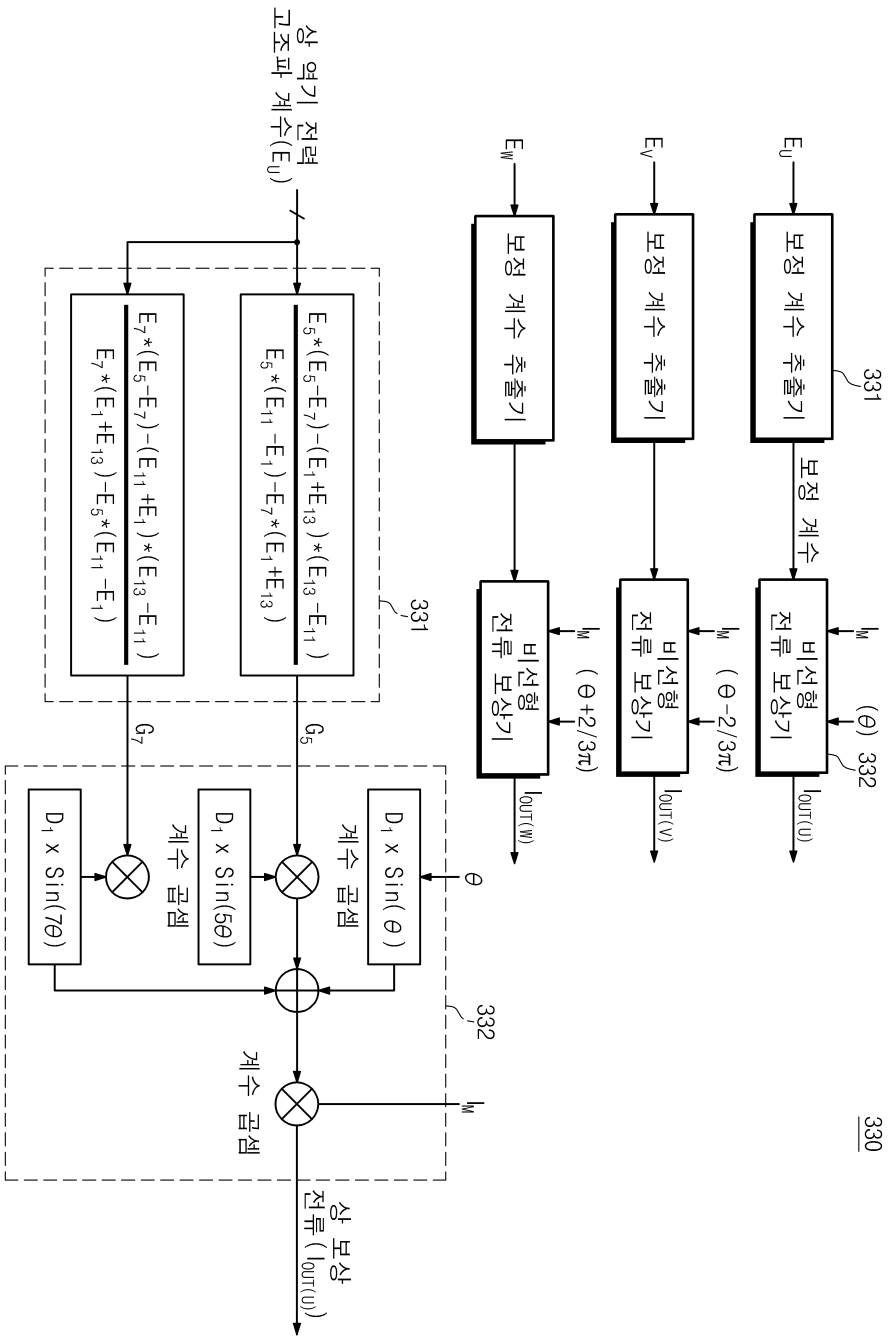
도면9



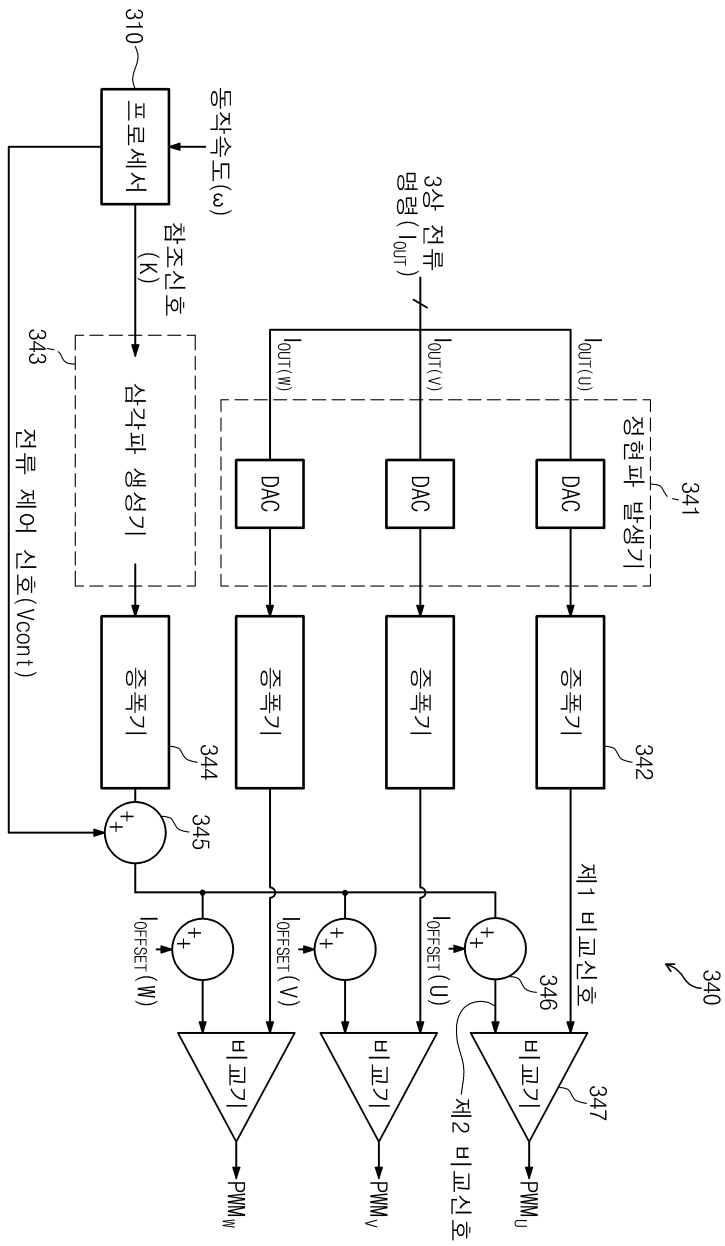
도면10



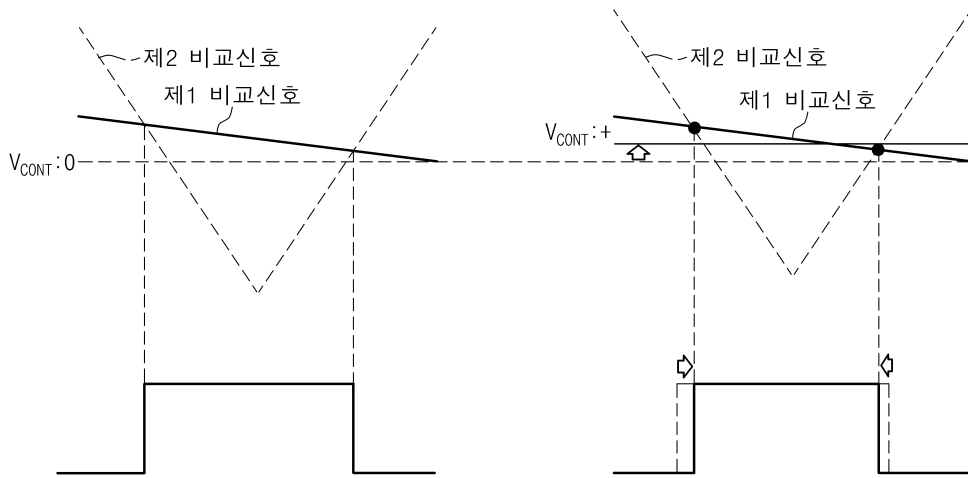
도면11



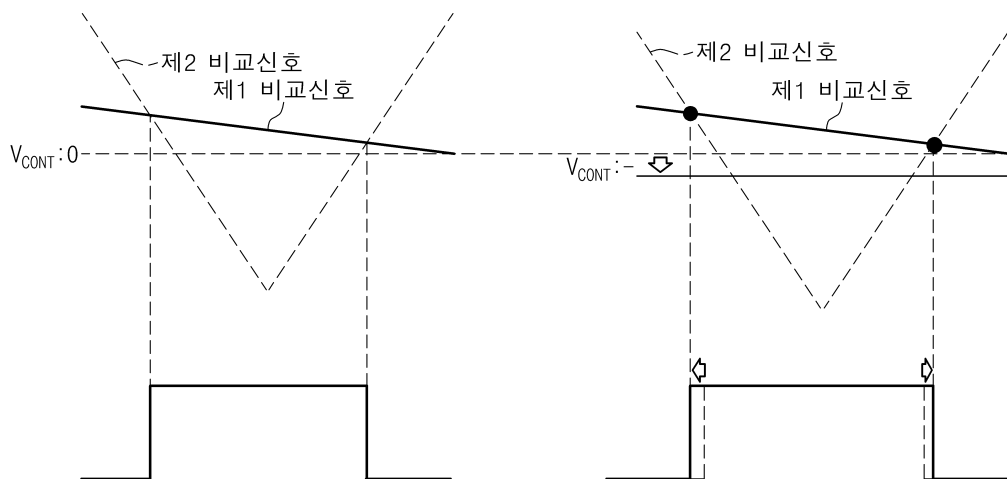
도면12



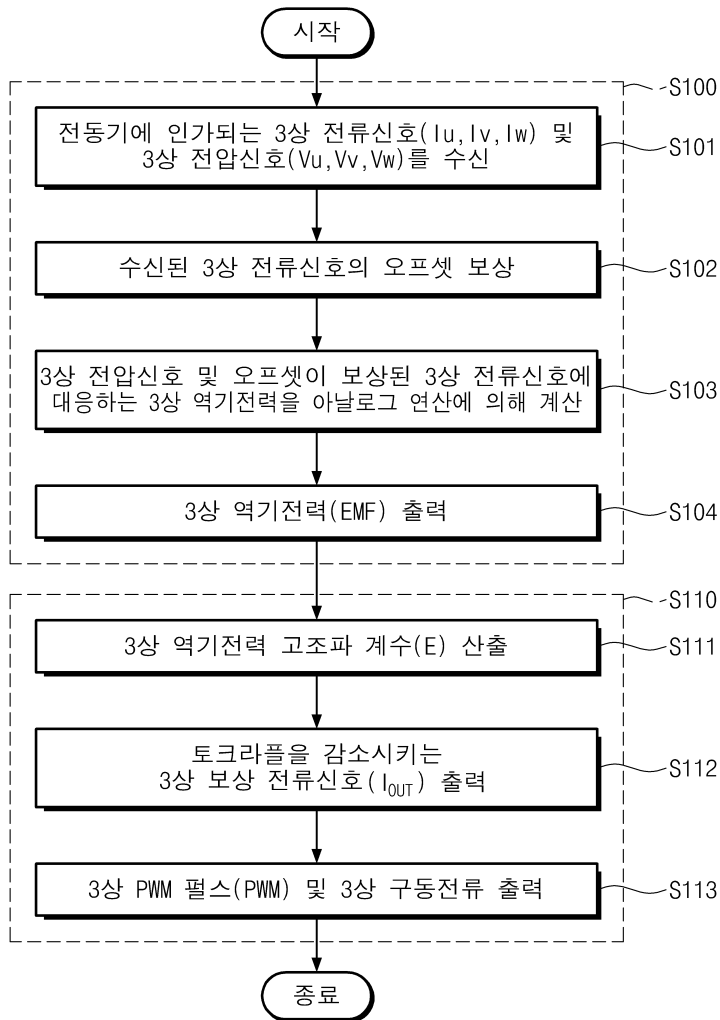
도면13



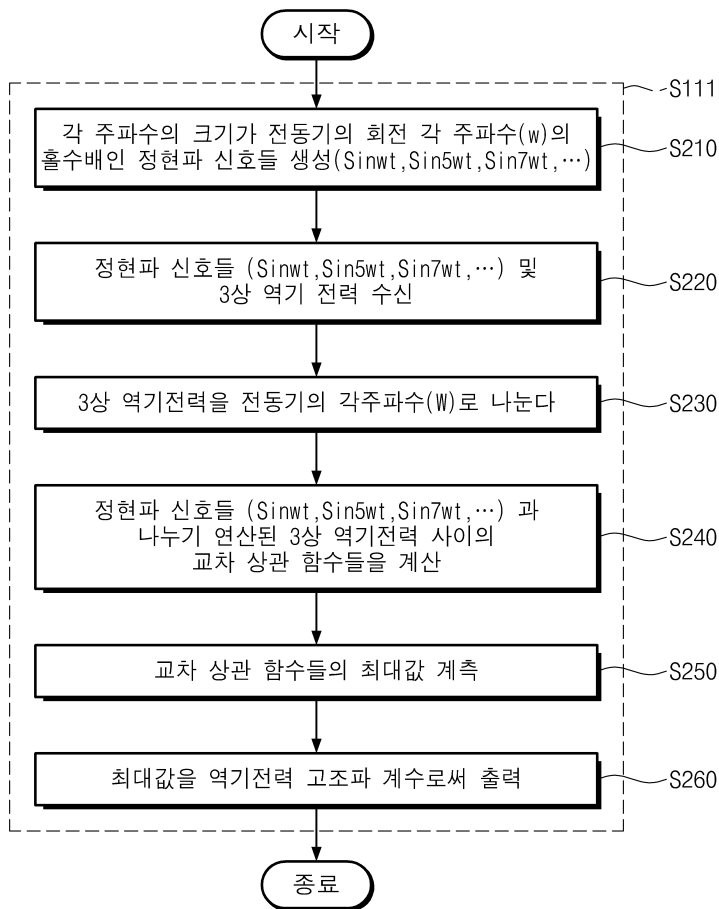
도면14



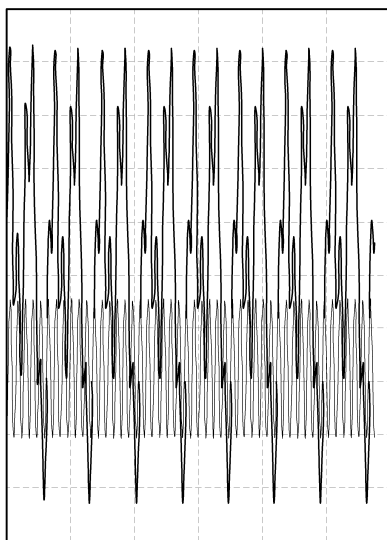
도면15



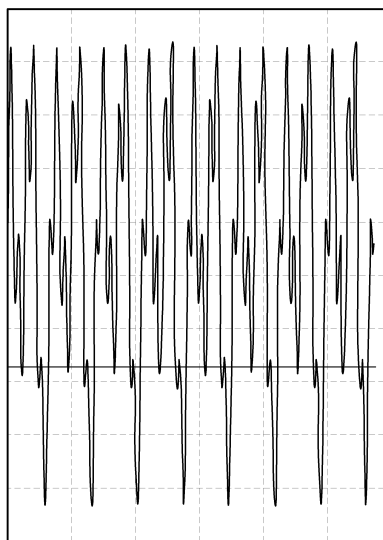
도면16



도면17



(a) 본 발명 적용전의 토크 파형



(b) 본 발명을 적용한 후의 토크 파형