

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年1月15日(15.01.2015)



(10) 国際公開番号
WO 2015/004863 A1

- (51) 国際特許分類:
G06G 7/186 (2006.01) H03H 19/00 (2006.01)
- (21) 国際出願番号: PCT/JP2014/003335
- (22) 国際出願日: 2014年6月20日(20.06.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-143994 2013年7月9日(09.07.2013) JP
- (71) 出願人: パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者: 徳永 祐介(TOKUNAGA, Yusuke).
- (74) 代理人: 新居 広守, 外(NII, Hiromori et al.); 〒5320011 大阪府大阪市淀川区西中島5丁目3番10号タナカ・イトーピア新大阪ビル6階新居国際特許事務所内 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

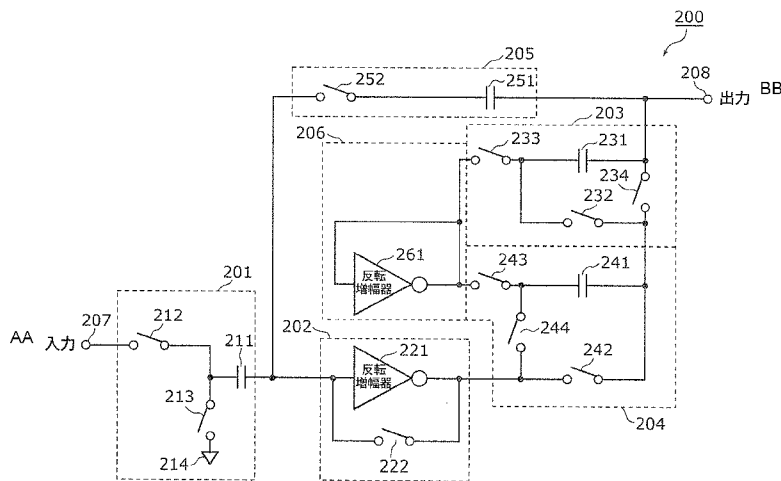
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))

(54) Title: SWITCHED CAPACITOR CIRCUIT AND METHOD FOR DRIVING SAME

(54) 発明の名称: スイッチトキャパシタ回路及びその駆動方法



221, 261 Inverting amplifier
AA Input
BB Output

(57) Abstract: A switched capacitor circuit (200) is provided with: a capacitor (211), which has a first terminal and a second terminal, and which is disposed such that an input voltage is applied to the first terminal; an inverting amplifier (221) having a second input terminal thereof connected to the second terminal; a capacitor (231), which has a third terminal, a fourth terminal, and a fifth terminal, and has the fifth terminal connected to an output terminal (208); a capacitor (241), which has a sixth terminal, a seventh terminal, and an eighth terminal, and which has the eighth terminal connected to the third terminal, and the sixth terminal connected to a second output terminal; a capacitor (251) connected in series between the second terminal and the output terminal (208); and an offset compensating section (206) that outputs an offset voltage to the fourth terminal and the seventh terminal, said offset voltage having a short-circuit voltage value of the inverting amplifier (221).

(57) 要約:

[続葉有]

WO 2015/004863 A1



スイッチトキャパシタ回路(200)は、第1端子と第2端子とを有し第1端子に入力電圧が印加されるように配置された容量(211)と、第2入力端子が第2端子と接続された反転増幅器(221)と、第3端子と第4端子と第5端子とを有し第5端子が出力端子(208)と接続された容量(231)と、第6端子と第7端子と第8端子とを有し第8端子が第3端子と接続され第6端子が第2出力端子と接続された容量(241)と、第2端子と出力端子(208)との間に直列接続された容量(251)と、反転増幅器(221)の短絡電圧値を有するオフセット電圧を第4端子及び第7端子に出力するオフセット補償部(206)とを備える。

明 細 書

発明の名称：スイッチトキャパシタ回路及びその駆動方法

技術分野

[0001] 本開示は、スイッチトキャパシタ回路及びその駆動方法に関し、特に、相関レベルシフト動作を行うスイッチトキャパシタ回路に関する。

背景技術

[0002] 従来のスイッチトキャパシタ回路を用いた積分器及びサンプルホールド回路においては、スイッチトキャパシタ回路の反転アンプのゲインにより、それらの精度が決定される。しかしながら、一般に、高ゲインアンプには大きな消費電流や遅い動作速度に難点があるため、上記積分器及びサンプルホールド回路を、高ゲインアンプを用いて高精度化する場合には、消費電力や速度の課題がある。

[0003] これに対して、高速動作を行う反転アンプとして、インバータをそのままアンプとして用いる手法が提案されている（非特許文献1）。インバータ型アンプは非線形動作時に大電流駆動を行うことができるため、高速反転アンプに適する。しかしながら、ゲインは高々30dB程度であり、積分器やサンプルホールド回路等に組み込んでも、それら単体では高精度を実現することは不可能である。

[0004] これを解決するために、相関レベルシフト（Correlated Level Shifting：以下、CLSと記す）技術が提案されている（非特許文献2）。このCLS技術を、例えば、積分回路やサンプルホールド回路に適用する場合、蓄積容量に並列に接続された補償容量が充電された後に、当該補償容量がアンプ出力端子と積分容量との間に直列に接続し直される。これにより、出力電圧の「上げ底」（レベルシフト）が実現される。この場合、「上げ底」（レベルシフト）の底の部分に位置するアンプ出力端の電圧を自己フィードバック状態とほぼ等しくできる。このため、出力変動による入力換算オフセットが最小化され、低いゲインのアンプを用いているに

もかわらず、あたかも高いゲインのアンプを用いたに等しい高精度積分器を実現することができる。

[0005] 図26は、非特許文献2に開示された従来のスイッチトキャパシタ回路の構成図である。同図に開示されたスイッチトキャパシタ回路は、CLS技術を組み込んでおり、2倍増幅器として動作する。このスイッチトキャパシタ回路は、容量1001、1002及び1004と、演算増幅器1003と、スイッチ1005、1006、1007及び1008と、基準電圧源1009と、入力端子1010と、出力端子1011とで構成される。動作にあたっては、各スイッチのオンオフ制御により、サンプリング期間、転送期間、及びCLS期間に順番に遷移する。なお、スイッチトキャパシタ回路であるため、各期間は同一時刻で互いに重なり合ってはならない。以下、上記スイッチトキャパシタ回路の動作を、上記期間ごとに説明する。

[0006] 図27A、図27B及び図27Cは、それぞれ、非特許文献2に開示されたスイッチトキャパシタ回路のサンプリング期間、転送期間、及びCLS期間における接続関係を表す回路図である。

[0007] まず、図27Aに示されるように、サンプリング期間では、スイッチ1005及び1006は入力端子1010と接続され、スイッチ1007は短絡され、スイッチ1008の一方により基準電圧源1009と容量1004とが接続され、他方により演算増幅器1003の出力端と出力端子1011とが接続される。このとき、入力端子1010の電圧を V_{in} [V]、基準電圧源1009の基準電圧を0 [V] とすると、容量1001には図中左側を正極として $C \cdot V_{in}$ [C] の電荷が蓄積される。一方、容量1002には図中右側を正極として $C \cdot V_{in}$ [C] の電荷が蓄積される。

[0008] 次に、図27Bに示されるように、転送期間では、スイッチ1005は基準電圧源1009と接続され、スイッチ1006は出力端子1011と接続され、スイッチ1007は開放され、スイッチ1008の接続関係は維持される。このとき、容量1001に蓄積された電荷は、全て容量1002に転送されようとする。つまり、容量1002の両端電圧は $2V_{in}$ [V] にな

ろうとする。また、容量1004も演算増幅器1003に駆動されて、その両端電圧は $2V_{in}$ [V] になろうとする。

[0009] しかしながら、演算増幅器1003のゲインが充分でない場合、演算増幅器1003の負入力端子の電圧（すなわち、システムの仮想接地電圧）が浮き上がってしまう。このため、容量1001の電荷は、完全には容量1002に転送されず、出力端子1011の電圧は正確に $2V_{in}$ [V] とはならない。これは、演算増幅器1003の出力端電圧が約 $2V_{in}$ [V] となり、仮想接地電圧（=基準電圧源1009の電圧）から大きくずれてしまうため生じる。

[0010] 次に、図27Cに示されるように、CLS期間では、スイッチ1005、1006及び1007の接続関係は維持され、スイッチ1008の一方により演算増幅器1003の出力端と容量1004とが接続され、他方は開放される。このとき、演算増幅器1003の出力端と出力端子1011との間に容量1004が挿入される。容量1004には約 $2V_{in}$ [V] の両端電圧があるため、これが「上げ底効果」（レベルシフト効果）となり、約 $2V_{in}$ [V] であった演算増幅器1003の出力端の電圧は基準電圧源1009の電圧（=0V）とほぼ等しい電圧になる。これにより、演算増幅器1003の負入力端電圧（=システムの仮想接地電圧）の浮き上がりが大きく抑制されるので、容量1001の電荷はほぼ完全に容量1002に転送される。よって、結果的に、容量1002の両端電圧は、ほとんど $2V_{in}$ と等しくなり、低いゲインの演算増幅器を用いているにもかかわらず、高精度な2倍増幅動作を達成できる。

先行技術文献

非特許文献

[0011] 非特許文献1: Y. Chae, et al., "A 2.1M Pixels, 120 Frames/s CMOS Image Sensor With Column-Parallel $\Delta\Sigma$ ADC Architecture", IEEE J. Solid-State Circuits,

vol. 46, no. 1, pp. 236–247, Jan. 2011.
非特許文献2: B. R. Gregoire, et al., “An Over-60dB True Rail-to-Rail Performance Using Correlated Level Shifting and an Opamp With Only 30dB Loop Gain”, IEEE J. Solid-State Circuits, vol. 43, no. 12, pp. 2620–2630, Dec. 2008.

発明の概要

発明が解決しようとする課題

[0012] しかしながら、前述した非特許文献2に開示されたスイッチトキャパシタ回路では、差動型の演算増幅器を用いているため、回路動作の高速化、低消費電力化及び回路の小面積化ができないという課題を有する。

[0013] そこで、本開示は、回路動作の高速化、低消費電力化及び小面積化が可能であり、かつ、高精度であるスイッチトキャパシタ回路及びその駆動方法を提供する。

課題を解決するための手段

[0014] 上記目的を達成するために、本開示の一形態に係るスイッチトキャパシタ回路は、入力電圧が入力される第1入力端子と、出力電圧が出力される第1出力端子と、第1端子と第2端子とを有し、前記第1端子に前記入力電圧が印加されるように配置されたサンプリング容量と、第2入力端子と第2出力端子とを有し、前記第2入力端子が前記第2端子と接続された反転増幅器と、一方の容量電極である第5端子と、他方の容量電極である第4端子と、前記第5端子及び前記第4端子のいずれかへの接続切替が可能な第3端子とを有し、前記第5端子が前記第1出力端子と接続された第1レベルシフト容量と、一方の容量電極である第8端子と、他方の容量電極である第7端子と、前記第8端子及び前記第7端子のいずれかへの接続切替が可能な第6端子とを有し、前記第8端子が前記第3端子と接続され、前記第6端子が前記第2

出力端子と接続された第2レベルシフト容量と、第9端子と第10端子とを有し、前記第9端子が前記第2端子と接続され、前記第10端子が前記第1出力端子と接続された蓄積容量と、第11端子を有し、前記第11端子と前記第4端子及び前記第7端子との短絡及び開放の切替が可能であり、前記第2入力端子と前記第2出力端子とが短絡された場合の前記反転増幅器の短絡電圧と同じ電圧値のオフセット電圧を前記第11端子から出力するオフセット補償回路とを備える。

発明の効果

[0015] 本開示に係るスイッチトキャパシタ回路及びその駆動方法によれば、差動型の演算増幅器でなく、シングルエンド型の反転増幅器を用いていることから、高速動作、低消費電力及び小面積を実現でき、かつ、出力電圧にオフセット電圧が印加されない高精度な積分動作及びサンプルホールド動作が可能となる。

図面の簡単な説明

[0016] [図1]図1は、2倍増幅器を有するスイッチトキャパシタを適用した積分器の一例を示す回路構成図である。

[図2A]図2Aは、2倍増幅器を有するスイッチトキャパシタを適用した積分器のサンプリング期間における接続関係を表す回路図である。

[図2B]図2Bは、2倍増幅器を有するスイッチトキャパシタを適用した積分器の転送期間における接続関係を表す回路図である。

[図2C]図2Cは、2倍増幅器を有するスイッチトキャパシタを適用した積分器のCL S期間における接続関係を表す回路図である。

[図3]図3は、実施の形態1に係るスイッチトキャパシタ回路の機能ブロック図である。

[図4]図4は、実施の形態1に係るスイッチトキャパシタ回路の回路構成図である。

[図5A]図5Aは、実施の形態1に係るスイッチトキャパシタ回路のサンプリング期間における接続関係を表す回路図である。

[図5B]図5 Bは、実施の形態1に係るスイッチトキャパシタ回路の転送期間における接続関係を表す回路図である。

[図5C]図5 Cは、実施の形態1に係るスイッチトキャパシタ回路のC L S期間における接続関係を表す回路図である。

[図5D]図5 Dは、実施の形態1に係るスイッチトキャパシタ回路の転送期間からC L S期間への過渡状態における電流パスの等価回路図である。

[図6A]図6 Aは、実施の形態2に係るスイッチトキャパシタ回路の第1 C L S期間における接続関係を表す回路図である。

[図6B]図6 Bは、実施の形態2に係るスイッチトキャパシタ回路の第2 C L S期間における接続関係を表す回路図である。

[図7]図7は、比較例に係るスイッチトキャパシタ回路の機能ブロック図である。

[図8]図8は、比較例に係るスイッチトキャパシタ回路の回路構成図である。

[図9A]図9 Aは、比較例に係るスイッチトキャパシタ回路のサンプリング期間における接続関係を表す回路図である。

[図9B]図9 Bは、比較例に係るスイッチトキャパシタ回路の転送期間における接続関係を表す回路図である。

[図9C]図9 Cは、比較例に係るスイッチトキャパシタ回路のC L S期間における接続関係を表す回路図である。

[図10A]図10 Aは、実施の形態1及び2に係るC L S技術を用いたスイッチトキャパシタ回路の積分特性を比較したグラフである。

[図10B]図10 Bは、実施の形態1及び2に係るC L S技術を用いたスイッチトキャパシタ回路の1積分あたりの出力電圧を比較したグラフである。

[図11]図11は、実施の形態3に係るスイッチトキャパシタ回路の機能ブロック図である。

[図12]図12は、実施の形態3に係るスイッチトキャパシタ回路の回路構成図である。

[図13A]図13 Aは、実施の形態3に係るスイッチトキャパシタ回路のサンプリング

リング期間における接続関係を表す回路図である。

[図13B]図13Bは、実施の形態3に係るスイッチトキャパシタ回路の転送期間における接続関係を表す回路図である。

[図13C]図13Cは、実施の形態3に係るスイッチトキャパシタ回路の第1CLS期間における接続関係を表す回路図である。

[図13D]図13Dは、実施の形態3に係るスイッチトキャパシタ回路の第2CLS期間における接続関係を表す回路図である。

[図14]図14は、実施の形態4に係るスイッチトキャパシタ回路の機能ブロック図である。

[図15]図15は、実施の形態4に係るスイッチトキャパシタ回路の回路構成図である。

[図16A]図16Aは、実施の形態4に係るスイッチトキャパシタ回路のサンプリング期間における接続関係を表す回路図である。

[図16B]図16Bは、実施の形態4に係るスイッチトキャパシタ回路の転送期間における接続関係を表す回路図である。

[図16C]図16Cは、実施の形態4に係るスイッチトキャパシタ回路の第1CLS期間における接続関係を表す回路図である。

[図16D]図16Dは、実施の形態4に係るスイッチトキャパシタ回路の第2CLS期間における接続関係を表す回路図である。

[図17]図17は、実施の形態5に係る反転増幅部の回路構成図である。

[図18]図18は、実施の形態5の変形例に係る反転増幅部の回路構成図である。

[図19A]図19Aは、実施の形態6及び実施の形態7に係る蓄積容量部の構成図である。

[図19B]図19Bは、実施の形態6の変形例及び実施の形態7の変形例に係る蓄積容量部の構成図である。

[図20A]図20Aは、実施の形態6に係る制御信号の第1のタイミングチャートである。

[図20B]図20Bは、実施の形態7に係る制御信号の第1のタイミングチャートである。

[図21A]図21Aは、実施の形態6に係る制御信号の第2のタイミングチャートである。

[図21B]図21Bは、実施の形態7に係る制御信号の第2のタイミングチャートである。

[図22]図22は、本開示の積分器を備える $\Delta\Sigma$ 変調器のブロック構成図である。

[図23]図23は、本開示の $\Delta\Sigma$ 変調器を備えるセンサ回路のブロック構成図である。

[図24]図24は、本開示のAD変換器を備える撮像素子のブロック構成図である。

[図25A]図25Aは、デジタルスチルカメラの一例を示す外観図である。

[図25B]図25Bは、本開示の撮像素子を備えるデジタルカメラのブロック構成図である。

[図26]図26は、非特許文献2に開示された従来のスイッチトキャパシタ回路の構成図である。

[図27A]図27Aは、非特許文献2に開示された従来のスイッチトキャパシタ回路のサンプリング期間における接続関係を表す回路図である。

[図27B]図27Bは、非特許文献2に開示された従来のスイッチトキャパシタ回路の転送期間における接続関係を表す回路図である。

[図27C]図27Cは、非特許文献2に開示された従来のスイッチトキャパシタ回路のCLS期間における接続関係を表す回路図である。

発明を実施するための形態

[0017] (発明の基礎となった知見)

本発明者は、以下の課題を見出した。

[0018] 非特許文献2に開示された従来のスイッチトキャパシタ回路では、2倍増幅の例のみが開示されている。そこで、まず、上記従来技術を積分回路に一

般化した上で、本発明にて解決する課題を説明する。

[0019] 図1は、2倍増幅器を有するスイッチトキャパシタを適用した積分器の一例を示す回路構成図である。同図に示された積分器100は、容量101、102及び104と、演算増幅器103と、スイッチ105、106、107、108及び109と、基準電圧源110と、入力端子111と、出力端子112とで構成される。積分器100の動作においては、各スイッチのオンオフ制御により、サンプリング期間、転送期間及びCLS期間に順番に遷移する。なお、スイッチトキャパシタ回路を基本動作とするため、各期間は同一時刻で互いに重なり合ってはならない。以下、上記積分器100の動作を、上記期間ごとに説明する。

[0020] 図2A、図2B及び図2Cは、それぞれ、2倍増幅器を有するスイッチトキャパシタを適用した積分器のサンプリング期間、転送期間、及びCLS期間における接続関係を表す回路図である。

[0021] まず、図2Aに示されるように、サンプリング期間では、スイッチ105及び109は短絡、スイッチ106及び108は開放、スイッチ107の一方により基準電圧源110と容量104とが接続され、スイッチ107の他方により演算増幅器103の出力端と出力端子112とが接続される。このとき、入力端子111の電圧を V_{in} [V]、基準電圧源110の基準電圧を0Vとすると、容量101には図中左側を正極として $C_s \cdot V_{in}$ [C]の電荷が蓄積される。一方、容量102は、過去の状態を保持している。ここでは、説明を簡単にするため、容量102の初期電荷を0 [C]とする。

[0022] 次に、図2Bに示されるように、転送期間では、スイッチ105及び109は開放、スイッチ106及び108は短絡、スイッチ107は接続を維持する。このとき、容量101に蓄積された電荷は、全て容量102に転送されようとする。つまり、容量102の両端電圧は、 $C_s \cdot V_{in} / C_i$ [V]になろうとする。また、容量104も演算増幅器103に駆動され、その両端電圧は $C_s \cdot V_{in} / C_i$ [V]になろうとする。

[0023] しかしながら、演算増幅器103のゲインが充分でない場合、演算増幅器

103の負入力端子の電圧（すなわち、システムの仮想接地電圧）が浮き上がってしまう。このため、容量101の電荷は、完全には容量102に転送されず、出力端子112の電圧は、正確に $C_s \cdot V_{in} / C_i$ [V]とはならない。これは、演算増幅器103の出力端の電圧が約 $C_s \cdot V_{in} / C_i$ [V]となり、演算増幅器103の負入力端子の電圧が基準電圧源110の電圧から大きくずれてしまうため生じる。

[0024] 次に、図2Cに示されるように、CLS期間では、スイッチ105及び109は開放を維持、スイッチ106及び108は短絡を維持、スイッチ107の一方により演算増幅器103の出力端と容量104とが接続され、スイッチ107の他方は開放される。このとき、演算増幅器103の出力端と出力端子112との間に容量104が挿入される。容量104には約 $C_s \cdot V_{in} / C_i$ [V]の両端電圧があるため、これが「上げ底効果」（レベルシフト効果）となり、約 $C_s \cdot V_{in} / C_i$ [V]であった演算増幅器103の出力端の電圧は基準電圧源110の基準電圧（=0V）とほぼ等しい電圧になる。これにより、演算増幅器103の負入力端電圧（=システムの仮想接地電圧）の浮き上がりが大きく抑制されるので、容量101の電荷は、ほぼ完全に容量102に転送される。よって、結果的に、容量102の両端電圧は、ほとんど $C_s \cdot V_{in} / C_i$ [V]と等しくなり、低いゲインの演算増幅器を用いているにもかかわらず、高精度な電荷転送を達成できる。

[0025] 以降、上記サンプリング期間から上記CLS期間を繰り返すことで、低いゲインの演算増幅器を用いているにもかかわらず、高精度な積分動作を達成できる。

[0026] しかしながら、図1に示された積分器100では、差動型の演算増幅器103が用いられているため、高速動作、低消費電力及び小面積という観点からは十分でない。やはり、シングルエンド型の反転増幅器を用いる方が上記観点では優れている。

[0027] そこで、本開示は、上記課題を解決するものであり、高速動作、低消費電力、小面積が可能であり、かつ、高精度であるスイッチトキャパシタ回路及

びその駆動方法、さらには、当該スイッチトキャパシタ回路を適用した積分器を提供することを目的とする。

[0028] 上記目的を達成するために、本開示の一形態に係るスイッチトキャパシタ回路は、入力電圧が入力される第1入力端子と、出力電圧が出力される第1出力端子と、第1端子と第2端子とを有し、前記第1端子に前記入力電圧が印加されるように配置されたサンプリング容量と、第2入力端子と第2出力端子とを有し、前記第2入力端子が前記第2端子と接続された反転増幅器と、一方の容量電極である第5端子と、他方の容量電極である第4端子と、前記第5端子及び前記第4端子のいずれかへの接続切替が可能な第3端子とを有し、前記第5端子が前記第1出力端子と接続された第1レベルシフト容量と、一方の容量電極である第8端子と、他方の容量電極である第7端子と、前記第8端子及び前記第7端子のいずれかへの接続切替が可能な第6端子とを有し、前記第8端子が前記第3端子と接続され、前記第6端子が前記第2出力端子と接続された第2レベルシフト容量と、第9端子と第10端子とを有し、前記第9端子が前記第2端子と接続され、前記第10端子が前記第1出力端子と接続された蓄積容量と、第11端子を有し、前記第11端子と前記第4端子及び前記第7端子との短絡及び開放の切替が可能であり、前記第2入力端子と前記第2出力端子とが短絡された場合の前記反転増幅器の短絡電圧と同じ電圧値のオフセット電圧を前記第11端子から出力するオフセット補償回路とを備える。

[0029] この構成によれば、差動型の演算増幅器でなく、シングルエンド型の反転増幅器を用いていることから、高速動作、低消費電力及び小面積を実現しつつ、出力電圧にオフセット電圧が印加されない高精度なスイッチトキャパシタ回路を実現できる。

[0030] また、サンプリング期間において、前記反転増幅器は、前記第2入力端子と前記第2出力端子とが短絡されて前記短絡電圧を生成し、前記サンプリング容量は、前記入力電圧と前記短絡電圧との電位差をサンプリングし、前記サンプリング容量に蓄積された電荷が転送される転送期間において、前記第

2 入力端子と前記第 2 出力端子とが開放されることにより前記電荷が前記蓄積容量に転送され、前記第 3 端子と前記第 5 端子とが短絡され前記第 6 端子と前記第 8 端子とが短絡されることにより、前記第 1 レベルシフト容量と前記第 2 レベルシフト容量とは、それぞれ、前記第 1 1 端子と前記第 1 出力端子との間の電位差をサンプリングする。

[0031] また、前記第 2 出力端子の電圧レベルがシフトするレベルシフト期間において、前記第 3 端子と前記第 5 端子とが開放され、前記第 6 端子と前記第 8 端子とが開放され、前記第 1 レベルシフト容量が前記第 3 端子及び前記第 4 端子と前記第 5 端子との間に電氣的に直列挿入され、前記第 2 レベルシフト容量が前記第 6 端子及び前記第 7 端子と前記第 8 端子との間に電氣的に直列挿入されることにより、前記第 1 レベルシフト容量と前記第 2 レベルシフト容量とは、前記第 1 出力端子と前記第 2 出力端子との間に直列容量を構成する。

[0032] 上記構成によれば、レベルシフト期間において、第 1 出力端子と第 2 出力端子との間に、第 1 レベルシフト容量と第 2 レベルシフト容量とが電氣的に直列挿入される。このとき、回路全体が新たな平衡状態に向かう過程で、反転増幅器の第 2 出力端子の電圧レベルは必ず仮想接地電圧を跨ぐ。この現象を利用して、蓄積容量、第 1 レベルシフト容量及び第 2 レベルシフト容量を調整することにより、反転増幅器の第 2 入力端子電圧と第 2 出力端子電圧とが仮想接地電圧と等しくなるポイントで平衡状態を作ることが可能となる。これにより、システムの仮想接地電圧の浮き上がりが大きく抑制されるので、サンプリング 1 1 の電荷は、ほぼ完全に蓄積容量に転送される。よって、低いゲインの反転増幅器を用いた場合でも、高精度な電荷転送を達成できる。

[0033] また、前記第 2 出力端子の電圧レベルがシフトするレベルシフト期間は、第 1 レベルシフト期間と第 2 レベルシフト期間とに分割され、前記第 1 レベルシフト期間において、前記第 3 端子と前記第 5 端子とが開放され、前記第 1 レベルシフト容量が前記第 3 端子及び前記第 4 端子と前記第 5 端子との間

に電氣的に直列挿入され、前記第2レベルシフト期間において、前記第6端子と前記第8端子とが開放され、前記第2レベルシフト容量が前記第6端子及び前記第7端子と前記第8端子との間に電氣的に直列挿入される。

[0034] これにより、第1レベルシフト期間では、第1レベルシフト容量に保持されている電圧が「上げ底効果」（レベルシフト効果）となり、反転増幅器の第2出力端子の電圧が第2レベルシフト容量の両端電圧とほぼ等しい電圧になる。これにより、反転増幅器の第2入力端子の電圧（＝システムの仮想接地電圧）の浮き上がりが抑制される。さらに、第2レベルシフト期間では、第2レベルシフト容量に保持されている電圧が「上げ底効果」となり、反転増幅器の第2出力端子の電圧が、第2レベルシフト容量の両端電圧よりもさらに小さい電圧となる。よって、反転増幅器の第2入力端子の電圧（＝システムの仮想接地電圧）の浮き上がりが抑制される。よって、低いゲインの反転増幅器を用いた場合でも、高精度な電荷転送を達成できる。

[0035] また、本開示の一形態に係るスイッチトキャパシタ回路は、入力電圧が入力される第1入力端子と、出力電圧が出力される第1出力端子と、第1端子と第2端子とを有し、前記第1端子に前記入力電圧が印加されるように配置されたサンプリング容量と、第3端子と第4端子とを有し、前記第3端子が前記第2端子と接続された第1クランプ容量と、第2入力端子と第2出力端子とを有し、前記第2入力端子が前記第4端子と接続された反転増幅器と、第5端子と第6端子とを有し、前記第5端子が前記第2出力端子と接続された第2クランプ容量と、一方の容量電極である第7端子と、前記第7端子及び他方の電極のいずれかへの接続切替が可能な第8端子とを有し、前記第7端子が前記第1出力端子と接続された第1レベルシフト容量と、一方の容量電極である第9端子と、前記第9端子及び他方の電極のいずれかへの接続切替が可能な第10端子とを有し、前記第9端子が前記第8端子と接続され、前記第10端子が前記第6端子との接続及び開放の切替が可能な第2レベルシフト容量と、第11端子と第12端子とを有し、前記第11端子が前記第2端子と接続され、前記第12端子が前記第1出力端子と接続された蓄積容

量とを備える。

[0036] この構成によれば、差動型の演算増幅器でなく、1つのシングルエンド型の反転増幅器を用いていることから、高速動作、低消費電力及び小面積を実現しつつ、出力電圧にオフセット電圧が印加されない高精度なスイッチトキヤパシタ回路を実現できる。

[0037] また、サンプリング期間において、前記反転増幅器は、前記第2入力端子と前記第2出力端子とが短絡されて前記短絡電圧を生成し、前記第1クランプ容量と前記第2クランプ容量とは、前記短絡電圧と基準電圧との電位差をサンプリングし、前記サンプリング容量に蓄積された電荷が転送される転送期間において、前記第2入力端子と前記第2出力端子とが開放されることにより前記電荷が前記蓄積容量に転送され、前記第1クランプ容量は、前記第2端子と前記第2入力端子との間に電氣的に直列挿入され、前記第2クランプ容量は、前記第5端子または前記第6端子が開放され、前記第7端子と前記第8端子とが短絡され前記第9端子と前記第10端子とが短絡されることにより、前記第1レベルシフト容量は、前記基準電圧と前記第1出力端子との間の電位差をサンプリングし、前記第2出力端子の電圧レベルがシフトする第1レベルシフト期間において、前記第2クランプ容量が前記第2出力端子と前記第10端子の間に電氣的に直列挿入され、前記第7端子と前記第8端子とが開放され、前記第1レベルシフト容量が前記第8端子と前記第1出力端子との間に電氣的に直列挿入されると同時に、前記第2レベルシフト容量が前記第9端子と前記基準電圧との間の電位差をサンプリングし、前記第2出力端子の電圧レベルがシフトする第2レベルシフト期間において、前記第9端子と前記第10端子が開放され、前記第2レベルシフト容量が前記第9端子と前記第6端子との間に電氣的に直列挿入される。

[0038] これにより、第1レベルシフト期間では、第1レベルシフト容量に保持されている電圧が「上げ底効果」となり、反転増幅器の第2出力端子の電圧が第2レベルシフト容量の両端電圧とほぼ等しい電圧になる。これにより、反転増幅器の第2入力端子の電圧の浮き上がりが抑制される。さらに、第2レ

ベルシフト期間では、第2レベルシフト容量に保持されている電圧が「上げ底効果」となり、反転増幅器の第2出力端子の電圧が、第2レベルシフト容量の両端電圧よりもさらに小さい電圧となる。よって、反転増幅器の第2入力端子の電圧の浮き上がりが抑制される。よって、低いゲインの反転増幅器を用いた場合でも、高精度な電荷転送を達成できる。

[0039] また、さらに、第13端子と第14端子とを有し、前記第13端子が前記第2出力端子と接続され、前記第14端子が前記第6端子及び前記第10端子との接続及び開放の切替が可能な第3クランプ容量を備える。

[0040] また、サンプリング期間において、前記反転増幅器は、前記第2入力端子と前記第2出力端子とが短絡されて前記短絡電圧を生成し、前記第1クランプ容量と前記第2クランプ容量と前記第3クランプ容量とは、前記短絡電圧と基準電圧との電位差をサンプリングし、前記サンプリング容量に蓄積された電荷が転送される転送期間において、前記第2入力端子と前記第2出力端子とが開放されることにより前記電荷が前記蓄積容量に転送され、前記第1クランプ容量は、前記第2端子と前記第2入力端子との間に電氣的に直列挿入され、前記第2クランプ容量は、前記第5端子または前記第6端子が開放され、前記第3クランプ容量は、前記第13端子または前記第14端子が開放され、前記第7端子と前記第8端子とが短絡され前記第9端子と前記第10端子とが短絡されることにより、前記第1レベルシフト容量は、前記基準電圧と前記第1出力端子との間の電位差をサンプリングし、前記第2出力端子の電圧レベルがシフトする第1レベルシフト期間において、前記第2クランプ容量が前記第2出力端子と前記第10端子との間に電氣的に直列挿入され、前記第7端子と前記第8端子とが開放され、前記第1レベルシフト容量が前記第8端子と前記第1出力端子の間に電氣的に直列挿入されると同時に、前記第2レベルシフト容量が前記第9端子と前記基準電圧との間の電位差をサンプリングし、前記第2出力端子の電圧レベルがシフトする第2レベルシフト期間において、前記第2クランプ容量は、前記第5端子または前記第6端子が開放され、前記第3クランプ容量が前記第2出力端子と前記第10

端子との間に電氣的に直列挿入され、前記第7端子と前記第8端子とが開放され、前記第2レベルシフト容量が前記第9端子と前記第6端子の間に電氣的に直列挿入される。

[0041] 第2レベルシフト期間では、反転増幅器の出力電圧のクランプ動作については、第1レベルシフト期間にて蓄積電荷が変動した第2のクランプ容量に替わり、電荷変動の無い第3のクランプ容量に機能させる。これにより、第2レベルシフト期間において第2のクランプ容量を機能させた構成と比較して、反転増幅器の第2入力端子の電圧がより小さくなる。よって、低いゲインの反転増幅器を用いた場合でも、より高精度な電荷転送を達成できる。

[0042] また、前記反転増幅器は、インバータ回路を含む。

[0043] これにより、反転増幅器を、低ゲインではあるが1入力1出力型の素子により構成できるので、回路の高速動作、低消費電力及び小面積が可能となる。

[0044] また、前記インバータ回路は、スイッチトカレント型のバイアス回路を備える。

[0045] これにより、反転増幅器の電流のばらつきを抑制することが可能となる。

[0046] また、前記インバータ回路は、ダイナミック電流型回路である。

[0047] これにより、反転増幅器に流れ込む電流を、時間によって増減させることができ、セトリング初期の大電流が必要な期間であるサンプリング期間の初期及び転送期間でのみ、大電流を印加し、それ以後は徐々に電流を少なくするというインバータ動作をすることが可能となる。よって、セトリング速度を維持しつつ消費電力を低減することが可能となる。

[0048] また、本発明は、このようなスイッチトキャパシタ回路を備える各種機器として実現できる。例えば、本発明は、上記スイッチトキャパシタ回路を備える積分器、サンプルホールド回路、センサ回路、アナログデジタル変換器、当該アナログデジタル変換器を備える撮像素子、及び、当該撮像素子を備えるデジタルカメラとして実現できる。

[0049] さらに、本発明は、このようなスイッチトキャパシタ回路として実現でき

るだけでなく、スイッチトキャパシタ回路に含まれる特徴的な手段をステップとするスイッチトキャパシタ回路の駆動方法として実現できる。

[0050] 以下、本発明の実施の形態を、図面を参照して詳しく説明する。なお、図中の同一又は相当部分には同一の符号を付しその説明は繰り返さない。

[0051] なお、以下で説明する実施の形態は、いずれも本発明の一具体例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置位置及び接続形態、ステップ、ステップの順序などは、一例であり、本発明を限定する主旨ではない。本発明は、請求の範囲によって特定される。よって、以下の実施の形態における構成要素のうち、本発明の最上位概念を示す独立請求項に記載されていない構成要素については、本発明の課題を達成するのに必ずしも必要ではないが、より好ましい形態を構成するものとして説明される。

[0052] (実施の形態1)

図3は、実施の形態1に係るスイッチトキャパシタ回路の機能ブロック図である。同図に記載されたスイッチトキャパシタ回路200は、サンプリング容量部201と、反転増幅部202と、第1のCLS部203と、第2のCLS部204と、蓄積容量部205と、オフセット補償部206と、入力端子207と、出力端子208と、駆動部209とを備える。スイッチトキャパシタ回路200の動作は、駆動部209が各部を制御することにより、サンプリング期間、転送期間及びCLS期間に順番に遷移する。なお、スイッチトキャパシタ回路200は、各期間が同一時刻で互いに重なり合っていない。

[0053] サンプリング容量部201は入力端及び出力端を有し、サンプリング期間では、入力端が入力端子207と接続され、入力端子207に印加される入力電圧と第1の基準電圧との電位差をサンプリングする。また、サンプリング容量部201は、転送期間及びCLS期間では、入力端が入力端子207と非接続となり、基準電圧源214と接続され、第1の基準電圧が印加される。

- [0054] 反転増幅部202は入力端及び出力端を有し、サンプリング期間では、入力端と出力端とが短絡され、転送期間及びC L S期間では、当該短絡が解放される。
- [0055] オフセット補償部206は、入力端と出力端とが短絡され、サンプリング期間及び転送期間では、当該短絡電圧が第1のC L S部203及び第2のC L S部204に印加される。
- [0056] 第1のC L S部203は入力端及び出力端を有し、サンプリング期間及び転送期間では、オフセット補償部206の短絡電圧と反転増幅部202の出力端の電圧との電位差をサンプリングする。また、C L S期間では、上記電位差を保持した容量が、第2のC L S部204の出力端と出力端子208との間に挿入される。
- [0057] 第2のC L S部204は入力端及び出力端を有し、サンプリング期間及び転送期間では、オフセット補償部206の短絡電圧と反転増幅部202の出力端の電圧との電位差をサンプリングする。また、C L S期間では、上記電位差を保持した容量が、反転増幅部202の出力端と第1のC L S部203の入力端との間に挿入される。
- [0058] また、サンプリング期間では、蓄積容量部205を含んだ、サンプリング容量部201の出力端から出力端子208に至る経路が開放され、転送期間およびC L S期間では、当該経路が接続される。
- [0059] 駆動部209は、上述した各端子間の接続及び開放、ならびに、容量の挿入を制御する。
- [0060] 図4は、実施の形態1に係るスイッチトキャパシタ回路の回路構成図である。同図に示されたスイッチトキャパシタ回路200は、図3に示されたスイッチトキャパシタ回路200を構成する各部（駆動部209を除く）の回路構成を例示したものである。ここで、入力端子207は第1入力端子であり、出力端子208は第1出力端子である。
- [0061] サンプリング容量部201は、容量211と、入力端子207及び容量211の第1電極を接続または開放するスイッチ212と、容量211の第1

電極及び基準電圧源 214 を接続または開放するスイッチ 213 とで構成される。なお、基準電圧源 214 は、基準電圧が設定されており、本実施の形態では、基準電圧は 0V である。容量 211 は、第 1 端子と第 2 端子とを有し、第 1 端子に入力電圧が印加されるように配置されたサンプリング容量である。

[0062] 反転増幅部 202 は、シングルエンド型の反転増幅器 221 と、反転増幅器 221 の入力端及び出力端を接続または開放するスイッチ 222 とで構成される。反転増幅器 221 は、第 2 入力端子と第 2 出力端子とを有し、第 2 入力端子が第 2 端子と接続された反転増幅器である。

[0063] 第 1 の C L S 部 203 は、容量 231 と、容量 231 の第 1 電極と第 2 の C L S 部 204 の出力端とを接続または開放するスイッチ 232 と、容量 231 の第 1 電極とオフセット補償部 206 の出力端とを接続または開放するスイッチ 233 と、第 1 の C L S 部 203 の入力端と出力端とを接続または開放するスイッチ 234 とで構成される。第 1 の C L S 部 203 は、第 2 電極である第 5 端子と、第 1 電極である第 4 端子と、第 5 端子及び第 4 端子のいずれかへの接続切替が可能な第 3 端子とを有し、第 5 端子が第 1 出力端子と接続された第 1 レベルシフト容量である。

[0064] 第 2 の C L S 部 204 は、容量 241 と、容量 241 の第 2 電極と反転増幅器 221 の出力端とを接続または開放するスイッチ 242 と、容量 241 の第 1 電極とオフセット補償部 206 の出力端とを接続または開放するスイッチ 243 と、容量 241 の第 1 電極と反転増幅器 221 の出力端とを接続または開放するスイッチ 244 とで構成される。第 2 の C L S 部 204 は、第 2 電極である第 8 端子と、第 1 電極である第 7 端子と、第 8 端子及び第 7 端子のいずれかへの接続切替が可能な第 6 端子とを有し、第 8 端子が第 3 端子と接続され、第 6 端子が第 2 出力端子と接続された第 2 レベルシフト容量である。容量 231 と容量 241 との直列接続が反転増幅器 221 の出力端と出力端子 208 との間の電気経路上に配置されたときに、第 2 出力端子の電圧レベルをシフトする。

- [0065] 蓄積容量部205は、容量251と、容量251の第1電極及び反転増幅器221の入力端を接続または開放するスイッチ252とで構成される。蓄積容量部205は、第9端子と第10端子とを有し、第9端子が第2端子に接続されるよう、かつ、第10端子が第1出力端子に接続されるように配置された蓄積容量である。
- [0066] オフセット補償部206は、反転増幅器221と同様の自己フィードバック電圧を出力する反転増幅器261で構成される。具体的には、入力端と出力端とが短絡接続されることにより自己フィードバック電圧を出力する。オフセット補償部206は、第11端子を有し、当該第11端子と第4端子及び第7端子との短絡及び開放の切替が可能であり、第2入力端子と第2出力端子とが短絡された場合の反転増幅器221の短絡電圧と同じ電圧値のオフセット電圧を第11端子から出力するオフセット補償回路である。
- [0067] また、図3に示された駆動部209は、図4の回路構成としては図示していないが、各部のスイッチ212、213、222、232-234、242-244、及び252の動作を制御する。
- [0068] スイッチトキャパシタ回路200の動作においては、各スイッチのオンオフ制御により、サンプリング期間、転送期間及びCLS期間に順番に遷移する。なお、スイッチトキャパシタ回路であるため、各期間は同一時刻で互いに重なり合ってはならない。以下、上記スイッチトキャパシタ回路200の動作を、上記期間ごとに説明する。なお、反転増幅器261は、反転増幅器221のレプリカであり、入力端と出力端とが短絡され、その短絡電圧 $V \times [V]$ は、容量231及び容量241のバイアス電圧となる。また、短絡電圧 $V \times [V]$ は、反転増幅器221の仮想接地電圧でもあるため、出力端子208の電圧は、 $V \times [V]$ のオフセットが付加された電圧となる。以下、上記スイッチトキャパシタ回路200の動作を、上記期間ごとに説明する。
- [0069] 図5A、図5B及び図5Cは、それぞれ、実施の形態1に係るスイッチトキャパシタ回路のサンプリング期間、転送期間、及びCLS期間における接続関係を表す回路図である。

- [0070] まず、図5 Aに示されるように、サンプリング期間では、スイッチ212、222、233、234、242及び243は短絡され、スイッチ213、232、244及び252は開放される。
- [0071] このとき、反転増幅器221は入力端と出力端とが短絡されており、その短絡電圧は仮想接地電圧 V_x [V] に等しい。このとき、入力端子207の電圧を V_{in} [V] とすると、容量211には左側をプラスとして $C_s (V_{in} - V_x)$ [C] の電荷が蓄積される。なお、容量211の静電容量値を C_s としている。一方、容量251の電荷は過去の状態が保持されている。ここでは、説明を簡単にするために容量251の初期電荷を0 [C] とする。なお、このとき、スイッチ233、234、242及び243は、短絡及び開放のいずれでも良いが、容量231及び241の初期化を確実に実施する観点から、短絡する方がより好ましい。
- [0072] 次に、図5 Bに示されるように、転送期間では、スイッチ212、222、232及び244は開放され、スイッチ213、233、234、242、243及び252は短絡される。
- [0073] このとき、基準電圧源214の電圧を0 [V] とすると、反転増幅器221によって、容量211から $C_s V_{in}$ [C] に相当する電荷が容量251に転送されようとする。ここで、反転増幅器221のゲインを A とし、反転増幅器221の出力電圧の仮想接地電圧からの変動電圧を ΔV とすると、反転増幅器221の入力端電圧は $-\Delta V / A$ となる。従って、容量251の両端電位差は、第2電極（右側）を正として $\Delta V + \Delta V / A$ となり、容量231及び241の両端電位差は、各々第2電極（右側）を正として ΔV となる。
- [0074] 次に、図5 Cに示されるように、CLS期間では、スイッチ212、222、233、234、242及び243は開放され、スイッチ213、232、244及び252は短絡される。この接続関係となった瞬間には反転増幅器221は応答できないため、反転増幅器221の出力電圧は瞬間的に $-\Delta V$ にシフトする。したがって、反転増幅器221の入力電圧は、新たな仮

想接地電圧 $+\Delta V/A$ に近づくように状態遷移を始める。このとき、図5Cに示した電流パスの向きに流れる電流は、容量251の両端電圧を増加させ、容量231及び241の両端電圧を減少させる。

[0075] このことは重要なことを示唆している。すなわち、回路全体が新たな平衡状態に向かう過程で必ず仮想接地電圧を跨ぐため、容量251、231及び241を上手く調整することで、ちょうど反転増幅器221の入力端電圧と出力端電圧とが仮想接地電圧と等しくなるポイントで平衡状態を作ることができることを示している。

[0076] 図5Dは、実施の形態1に係るスイッチトキャパシタ回路の転送期間からCLS期間への過渡状態における電流パスの等価回路図である。なお、説明を容易にするため、同図には必要最小限の回路素子のみが表されている。

[0077] 反転増幅器221の入力端が仮想接地電圧と等しいとき（すなわち、仮想接地電圧との誤差が0のとき）、容量251の両端電圧は、第2電極（右側）を正として、 $\Delta V + \Delta V/A + C_s \Delta V / (AC_i)$ の両端電圧が保持される。ここで、容量211の静電容量値を C_s とし、容量251の静電容量値を C_i とする。

[0078] また、容量231には、第2電極（上側）を正として $\Delta V - C_s \Delta V / (AC_{ls_1})$ 、容量241には、第2電極（上側）を正として $\Delta V - C_s \Delta V / (AC_{ls_2})$ の両端電圧がそれぞれ保持される。ここで、容量231の静電容量値を C_{ls_1} とし、容量241の静電容量値を C_{ls_2} とする。このとき、反転増幅器221の出力電圧の仮想接地電圧からの誤差も0となる条件は、容量251の電圧と、容量231の電圧及び容量241の電圧の和とが等しいことであるから以下の式1のように表される。

[0079] [数1]

$$\Delta V + \frac{\Delta V}{A} + \frac{C_s}{AC_i} \Delta V = \Delta V - \frac{C_s}{AC_{ls_1}} \Delta V + \Delta V - \frac{C_s}{AC_{ls_2}} \Delta V \quad (\text{式1})$$

[0080] 上記式1を展開してまとめると、以下の式2のように表される。

[0081] [数2]

$$\frac{1}{A} + \frac{C_s}{AC_i} + \frac{C_s}{A} \left(\frac{1}{C_{ls_1}} + \frac{1}{C_{ls_2}} \right) = 1 \quad (\text{式2})$$

[0082] 以上のように、反転増幅器 221 の出力端の電圧レベルを ΔV から $-\Delta V$ へシフトさせる C L S 期間では、駆動部 209 は、出力端子 208 と反転増幅器 221 の出力端との間に、容量 231 と容量 241 とを電氣的に直列挿入する。このとき、回路全体が新たな平衡状態に向かう過程で、反転増幅器 221 の出力端の電圧レベルは必ず仮想接地電圧を跨ぐ。これに着目して、容量 251、231 及び 241 を上記式 2 の条件となるよう調整することにより、反転増幅器 221 の入力端電圧と出力端電圧とが仮想接地電圧 $V \times [V]$ と等しくなるポイントで平衡状態を作ることが可能となる。これにより、システムの仮想接地電圧の浮き上がりが大きく抑制されるので、容量 211 の電荷は、ほぼ完全に容量 251 に転送される。よって、結果的に、容量 251 の両端電圧は、ほとんど $C_s \cdot V_{in} / C_i [V]$ と等しくなり、低いゲインの反転増幅器を用いているにもかかわらず、高精度な電荷転送を達成できる。

[0083] 上記構成によれば、差動型の演算増幅器でなく、1 個のシングルエンド型の反転増幅器を用いていることから、高速動作、低消費電力及び小面積を実現しつつ、出力電圧にオフセット電圧が印加されない高精度なスイッチトキャパシタ回路を実現できる。

[0084] なお、本実施の形態において、駆動部 209 は、図 4 に示されたスイッチトキャパシタ回路 200 が有する各部に対して各期間で同期的に制御信号を供給することにより、サンプリング期間、転送期間及び C L S 期間に遷移するとしたが、この制御方式に限られない。例えば、各部が備えるスイッチのオンオフの切り換えタイミングを受けて、または、当該タイミングに連動してその他のスイッチが非同期的かつ自律的に切り換え動作を実行してもよい。

[0085] (実施の形態 2)

本実施の形態では、実施の形態1に係るスイッチトキャパシタ回路200の回路構成を用い、実施の形態1と異なる制御方法により、高精度な電荷転送を達成するものである。つまり、スイッチトキャパシタ回路200における駆動部209が実行する各スイッチの開閉タイミングが、実施の形態1と比較して異なる。本実施の形態における駆動部209の動作にあたっては、サンプリング期間、転送期間、第1CLS期間及び第2CLS期間を有する。なお、実施の形態1と同様、各期間は同一時刻で互いに重なり合っていない。

[0086] まず、サンプリング期間では、実施の形態1におけるサンプリング期間と同様の動作が実行される。すなわち、図5Aに示されるように、スイッチ212、222、233、234、242及び243は短絡され、スイッチ213、232、244及び252は開放される。

[0087] このとき、反転増幅器221は入力端と出力端とが短絡されており、その短絡電圧は仮想接地電圧 V_x [V] に等しい。このとき、容量211には左側をプラスとして $C_s (V_{in} - V_x)$ [C] の電荷が蓄積される。一方、容量251の電荷は過去の状態が保持されている。ここでは、説明を簡単にするために容量251の初期電荷を0 [C] とする。なお、このとき、スイッチ233、234、242及び243は、容量231及び241の初期化を確実に実施する観点から、短絡されている。

[0088] 次に、転送期間では、実施の形態1における転送期間と同様の動作が実行される。すなわち、図5Bに示されるように、スイッチ212、222、232及び244は開放され、スイッチ213、233、234、242、243及び252は短絡される。

[0089] このとき、反転増幅器221によって、容量211から $C_s V_{in}$ [C] に相当する電荷が容量251に転送されようとする。ここで、反転増幅器221のゲインを A とし、反転増幅器221の出力電圧の仮想接地電圧からの変動電圧を ΔV とすると、反転増幅器221の入力端電圧は $-\Delta V / A$ となる。従って、容量251の両端電位差は、第2電極（右側）を正として ΔV

+ $\Delta V/A$ となり、容量231及び241の両端電位差は、各々第2電極（右側）を正として ΔV となる。

[0090] この場合、反転増幅器221のゲインが充分でない場合、反転増幅器221の入力端の電圧（すなわち、システムの仮想接地電圧）が $V_x [V]$ から浮き上がってしまう。このため、容量211の電荷は、完全には容量251に転送されず、出力端子208の電圧は、正確に $C_s \cdot V_{in} / C_i + V_x [V]$ とはならない。これは、反転増幅器221の出力端の電圧が、仮想接地電圧 $V_x [V]$ から大きくずれてしまうため生じる。

[0091] 図6A及び図6Bは、それぞれ、実施の形態2に係るスイッチトキャパシタ回路の第1CLS期間及び第2CLS期間における接続関係を表す回路図である。

[0092] 次に、第1CLS期間では、スイッチ212、222、233、234及び244は開放され、スイッチ213、232、242、243及び252は短絡される。

[0093] このとき、反転増幅器221の出力端と出力端子208との間に、容量231が挿入される。容量231には、 ΔV の両端電圧が保持されているため、これが「上げ底効果」（レベルシフト効果）となり、 ΔV であった反転増幅器221の出力端の電圧が、容量241の両端電圧 $\Delta V_p (\ll \Delta V)$ とほぼ等しい電圧になる。これにより、反転増幅器221の入力端の電圧（＝システムの仮想接地電圧）の浮き上がりが抑制される。

[0094] 次に、第2CLS期間では、スイッチ212、222、233、234、242及び243は開放され、スイッチ213、232、244及び252は短絡される。

[0095] このとき、第1CLS期間と比較して、さらに、容量231の第1電極と反転増幅器221の出力端との間に、容量241が挿入される。容量241には、 ΔV_p の両端電圧が保持されているため、これが「上げ底効果」（レベルシフト効果）となり、 ΔV_p であった反転増幅器221の出力端の電圧が、さらに小さい $\Delta V_{pp} (\ll \Delta V_p)$ となる。このときの反転増幅器2

21の入力端の電圧は $-\Delta V_{pp}/A$ となり、 $-V_p/A$ よりも充分に小さくなる。これにより、後述する比較例のCLS技術よりもさらに高精度を達成できる。これにより、反転増幅器221の入力端の電圧(=システムの仮想接地電圧)の浮き上がりが抑制される。

[0096] また、サンプリング期間～第2CLS期間が繰り返されることにより、低いゲインの演算増幅器を用いているにもかかわらず、高精度な積分動作を達成できる。

[0097] 上記構成によれば、差動型の演算増幅器でなく、シングルエンド型の反転増幅器を用いていることから、高速動作を実現しつつ高精度なスイッチトキャパシタ回路を実現できる。

[0098] なお、容量231及び241と同様の接続関係を有する容量がさらに多段接続された回路構成において、第2CLS期間に後続する第3CLS期間、第4CLS期間などを実行することにより、より高精度なCLS技術が可能となる。

[0099] (比較例)

ここで、上記実施の形態1及び2に係るスイッチトキャパシタ回路の性能を比較するため、比較例に係るスイッチトキャパシタ回路を示しておく。

[0100] 図7は、比較例に係るスイッチトキャパシタ回路の機能ブロック図である。同図に記載されたスイッチトキャパシタ回路800は、サンプリング容量部801と、反転増幅部802と、CLS部803と、蓄積容量部804と、オフセット補償部805と、入力端子807と、出力端子808と、駆動部806とを備える。スイッチトキャパシタ回路800の動作は、駆動部806が各部を制御することにより、サンプリング期間、転送期間及びCLS期間に順番に遷移する。

[0101] 図8は、比較例に係るスイッチトキャパシタ回路の回路構成図である。同図に示されたスイッチトキャパシタ回路900は、図7に示されたスイッチトキャパシタ回路800を構成する各部(駆動部806を除く)の回路構成を例示したものである。スイッチトキャパシタ回路900は、容量911、

932及び941と、反転増幅器923及び951と、スイッチ912、913、921、932及び942と、基準電圧源914と、入力端子807と、出力端子808とで構成される。

[0102] サンプリング容量部801は、容量911と、入力端子807及び容量911の第1電極を接続または開放するスイッチ912と、容量911の第1電極及び基準電圧源914を接続または開放するスイッチ913とで構成される。

[0103] 反転増幅部802は、シングルエンド型の反転増幅器923と、反転増幅器923の入力端及び出力端子808を接続または開放するスイッチ921とで構成される。

[0104] CLS部803は、容量931と、容量931の第1電極と反転増幅器923及び951の出力端とを接続または開放するスイッチ932とで構成される。

[0105] 蓄積容量部804は、容量941と、容量941の第2電極及び出力端子808を接続または開放するスイッチ942とで構成される。

[0106] オフセット補償部805は、反転増幅器923と同様の自己フィードバック電圧を出力する反転増幅器951で構成される。具体的には、入力端と出力端とが短絡接続されることにより自己フィードバック電圧を出力する。

[0107] また、図7に示された駆動部806は、図8の回路構成としては図示していないが、各部のスイッチ912、913、921、932及び942の動作を制御する。

[0108] スイッチトキャパシタ回路900の動作においては、各スイッチのオンオフ制御により、サンプリング期間、転送期間及びCLS期間に順番に遷移する。以下、上記スイッチトキャパシタ回路900の動作を、上記期間ごとに説明する。

[0109] 図9A、図9B及び図9Cは、それぞれ、比較例に係るスイッチトキャパシタ回路のサンプリング期間、転送期間、及びCLS期間における接続関係を表す回路図である。

[0110] まず、図9Aに示されるように、サンプリング期間では、スイッチ912及び921は短絡され、スイッチ913及び942は開放され、スイッチ932の一方により反転増幅器951の出力端と容量931とが接続され、スイッチ932の他方により反転増幅器923の第2出力端子と出力端子808とが接続される。このとき、反転増幅器923は入力端子と出力端子とが短絡されており、その短絡電圧は $V_x [V]$ に等しい。ここで、入力端子807の電圧を $V_{in} [V]$ とし、基準電圧源914の基準電圧を $0 [V]$ とすると、容量911の第1端子（図中左側）を正極として $C_s (V_{in} - V_x) [C]$ の電荷が蓄積される。一方、容量941は過去の状態を保持している。ここでは、説明を簡単にするために容量941の初期電荷を $0 [C]$ とする。

[0111] 次に、図9Bに示されるように、転送期間では、スイッチ912及び921は開放され、スイッチ913及び942は短絡され、スイッチ932は接続を維持する。このとき、容量911に蓄積された $C_s \cdot V_{in} [C]$ に相当する電荷は、全て容量941に転送されようとする。つまり、容量941の両端電圧は $C_s \cdot V_{in} / C_i [V]$ になろうとする。また、容量931も反転増幅器923に駆動されて、その両端電圧は $C_s \cdot V_{in} / C_i [V]$ になろうとする。

[0112] しかしながら、反転増幅器923のゲインが充分でない場合、反転増幅器923の入力端子の電圧（すなわち、システムの仮想接地電圧）が $V_x [V]$ から浮き上がってしまう。このため、容量911の電荷は、完全には容量941に転送されず、出力端子808の電圧は、正確に $C_s \cdot V_{in} / C_i + V_x [V]$ とはならない。これは、反転増幅器923の出力端子の電圧が約 $C_s \cdot V_{in} / C_i + V_x [V]$ となり、仮想接地電圧 $V_x [V]$ から大きくずれてしまうため生じる。

[0113] 次に、図9Cに示されるように、CLS期間では、スイッチ912及び921は開放を維持し、スイッチ913及び942は短絡を維持し、スイッチ932の一方により反転増幅器923の出力端と容量931とが接続され、

スイッチ932の他方は開放される。このとき、反転増幅器923の出力端子と出力端子808との間に、容量931が挿入される。容量931には、約 $C_s \cdot V_{in} / C_i$ [V]の両端電圧が保持されているため、これが「上げ底効果」（レベルシフト効果）となり、約 $C_s \cdot V_{in} / C_i + V_x$ [V]であった反転増幅器923の出力端子の電圧が、仮想接地電圧 V_x [V]とほぼ等しい電圧になる。これにより、反転増幅器923の入力端子の電圧（＝システムの仮想接地電圧）の浮き上がりが大きく抑制されるので、容量911の電荷は、ほぼ完全に容量941に転送される。よって、結果的に、容量941の両端電圧は、ほとんど $C_s \cdot V_{in} / C_i$ [V]と等しくなり、低いゲインの反転増幅器を用いているにもかかわらず、高精度な電荷転送を達成できる。

[0114] （性能比較）

以下、実施の形態1に係るスイッチトキャパシタ回路200を用いた積分器（以下CLS1.0と記す場合がある）、実施の形態2に係るスイッチトキャパシタ回路200を用いた積分器（以下CLS2.0と記す場合がある）、及び比較例に係るスイッチトキャパシタ回路900を用いた積分器の性能を比較する。

[0115] 図10Aは、実施の形態1及び2に係るCLS技術を用いたスイッチトキャパシタ回路の積分特性を比較したグラフである。また、図10Bは、実施の形態1及び2に係るCLS技術を用いたスイッチトキャパシタ回路の1積分あたりの出力電圧を比較したグラフである。

[0116] 図10A及び図10Bに表された従来の積分器（反転増幅器ゲイン：60dB）では、1回の積分動作ごとに高精度な積分値が得られており、積分回数と積分値とはほぼ線形の関係となっている。これに対して、従来の積分器（反転増幅器ゲイン：20dB）では、積分回数と積分値との線形特性は崩れ、積分を18回実行した場合の積分値が目標積分電圧（1.8V）から逸脱している。

[0117] これに対して、実施の形態1に係るCLS技術を用いたスイッチトキャパ

シタ回路200 (CLS1.0) では、反転増幅器のゲインが20 dBである場合には、1回の積分動作ごとに高精度な積分値が得られており、積分回数と積分値とはほぼ線形の関係となっている。同じ低ゲインの反転増幅器を有する従来の積分器と比較して、30 dB以下の低いゲインの反転増幅器を用いても、特性が大幅に改善されている。

[0118] また、実施の形態2に係るCLS技術を用いたスイッチトキャパシタ回路200 (CLS2.0) では、反転増幅器のゲインが20 dBである場合には、CLS1.0よりも積分特性は劣る。これは、反転増幅器221の出力端の電圧を0とはできない (ΔV_{pp}) ため、高精度化という観点では、原理的にCLS1.0に及ばない。しかしながら、従来の積分器 (反転増幅器ゲイン: 20 dB) 及び比較例に係るCLS技術を用いたスイッチトキャパシタ回路900よりも高精度な積分値が得られており、積分回数と積分値とはほぼ線形の関係となっている。CLS1.0においても、同じ低ゲインの反転増幅器を有する従来の積分器と比較して、30 dB以下の低いゲインの反転増幅器を用いても、特性が大幅に改善されている。

[0119] 実施の形態2に係るCLS2.0の場合、駆動部209は、サンプリング期間、転送期間、第1CLS期間及び第2CLS期間におけるスイッチの開閉を制御するため、四相クロックを必要とする。これに対して、実施の形態1に係るCLS1.0の場合、駆動部209は、サンプリング期間、転送期間及びCLS期間におけるスイッチの開閉を制御するため三相クロックでよい。よって、実施の形態1に係るCLS1.0の方が消費電力を抑制できる。

[0120] 一方、実施の形態1に係るCLS1.0の場合、上記式2に反転増幅器のゲインAが含まれているため、最適条件の設定が厳しく、スイッチトキャパシタ回路200の製造プロセスのバラツキの影響を受け易い。これに対して、実施の形態2に係るCLS2.0の場合、CLS技術を実行するにあたり、反転増幅器のゲインAの調整は含まれていないため、CLS1.0よりも量産性に優れている。

[0121] (実施の形態3)

本実施の形態では、実施の形態2に係るスイッチトキャパシタ回路200に対して、オフセット補償部のかわりに第1及び第2のクランプ回路が配置されている点が構成として異なる。これにより、実施の形態1及び2と同様に、従来の課題を解決することが可能となる。

[0122] 図11は、実施の形態3に係るスイッチトキャパシタ回路の機能ブロック図である。同図に記載されたスイッチトキャパシタ回路300は、サンプリング容量部301と、第1のクランプ容量部302と、反転増幅部303と、第2のクランプ容量部304と、第1のCLS部305と、第2のCLS部306と、蓄積容量部307と、入力端子308と、出力端子309と、駆動部310とを備える。スイッチトキャパシタ回路300の動作は、駆動部310が各部を制御することにより、サンプリング期間、転送期間、第1CLS期間及び第2CLS期間に順番に遷移する。なお、スイッチトキャパシタ回路300では、各期間が同一時刻で互いに重なり合ってはならない。

[0123] サンプリング容量部301は入力端及び出力端を有し、サンプリング期間では、入力端が入力端子308と接続され、入力端子308に印加される入力電圧と第1の基準電圧との電位差をサンプリングする。また、サンプリング容量部301は、転送期間、第1CLS期間及び第2CLS期間では、入力端が入力端子308と非接続となり、入力端には第1の基準電圧が印加される。

[0124] 第1のクランプ容量部302は、サンプリング期間では、第1の基準電圧と反転増幅部303の入力端の電圧との電位差をサンプリングする。また、転送期間、第1CLS期間及び第2CLS期間では、上記電位差を保持する容量が、サンプリング容量部301の出力端と反転増幅部303の入力端との間に直列挿入される。

[0125] 反転増幅部303は入力端及び出力端を有し、サンプリング期間では、入力端と出力端とが短絡され、転送期間、第1CLS期間及び第2CLS期間では、当該短絡が解放される。

- [0126] 第2のクランプ容量部304は、サンプリング期間では、反転増幅部303の出力端と第1の基準電圧との電位差をサンプリングする。また、第2のクランプ容量部304は、転送期間では、反転増幅部303の出力端と第2のCL S部306の入力端とを短絡すると同時に上記電位差を保持する。また、第1CL S期間では、上記電位差が保持された容量が、反転増幅部303の出力端と第1のCL S部305の入力端との間に直列挿入される。また、第2CL S期間では、上記容量が、反転増幅部303の出力端と第2のCL S部306の入力端との間に直列挿入される。
- [0127] 第1のCL S部305は入力端及び出力端を有し、サンプリング期間及び転送期間では、反転増幅部303の出力端の電圧と第1の基準電圧との電位差をサンプリングする。また、第1CL S期間では、上記電位差を保持した容量が、第2のCL S部306の出力端と出力端子309との間に挿入される。
- [0128] 第2のCL S部306は入力端及び出力端を有し、サンプリング期間及び転送期間では、反転増幅部202の出力端の電圧と第1の基準電圧との電位差をサンプリングする。また、第2CL S期間では、上記電位差を保持した容量が、反転増幅部303の出力端と第1のCL S部305の入力端との間に挿入される。
- [0129] また、サンプリング期間では、蓄積容量部307を含んだ、サンプリング容量部301の出力端から出力端子309に至る経路が開放され、転送期間、第1CL S期間及び第2CL S期間では、当該経路が接続される。
- [0130] 駆動部310は、上述した各端子間の接続及び開放、ならびに、容量の挿入を制御する。
- [0131] 図12は、実施の形態3に係るスイッチトキャパシタ回路の回路構成図である。同図に示されたスイッチトキャパシタ回路300は、図11に示されたスイッチトキャパシタ回路300を構成する各部（駆動部310を除く）の回路構成を例示したものである。ここで、入力端子308は第1入力端子であり、出力端子309は第1出力端子である。

- [0132] サンプリング容量部301は、容量311と、入力端子308及び容量311の第1電極を接続または開放するスイッチ312と、容量311の第1電極及び基準電圧源314を接続または開放するスイッチ313とで構成される。なお、基準電圧源314は、基準電圧が設定されており、本実施の形態では、基準電圧は0Vである。容量311は、第1端子と第2端子とを有し、第1端子に入力電圧が印加されるように配置されたサンプリング容量である。
- [0133] 第1のクランプ容量部302は、容量321と、容量321の第1電極及び基準電圧源314を接続または開放するスイッチ322とで構成される。容量321は、第3端子と第4端子とを有し、第3端子が第2端子と接続された第1クランプ容量である。
- [0134] 反転増幅部303は、シングルエンド型の反転増幅器331と、反転増幅器331の入力端及び出力端を接続または開放するスイッチ332とで構成される。反転増幅器331は、第2入力端子と第2出力端子とを有し、第2入力端子が第4端子と接続された反転増幅器である。
- [0135] 第2のクランプ容量部304は、容量341と、容量341の第2電極及び第2のCLS部306の入力端を接続または開放するスイッチ342及び343と、第2のCLS部306の入力端及び基準電圧源314を接続または開放するスイッチ344とで構成される。容量341は、第5端子と第6端子とを有し、第5端子が第2出力端子と接続された第2クランプ容量である。容量341は、第2入力端子と第2出力端子とが接続された短絡状態であるときに、反転増幅器331の短絡電圧と基準電圧との電位差をサンプリングする。
- [0136] 第1のCLS部305は、容量351と、容量351の第1電極及び第2のCLS部306の出力端を接続または開放するスイッチ352と、容量351の第1電極及び基準電圧源314を接続または開放するスイッチ353と、第2のCLS部306の出力端及び出力端子309を接続または開放するスイッチ354とで構成される。第1のCLS部305は、第2電極第あ

る第7端子と、当該第7端子及び第1電極のいずれかへの接続切替が可能な第8端子とを有し、第7端子が第1出力端子と接続された第1レベルシフト容量である。容量351は、容量361の第2電極と第1出力端子との間に電氣的に直列挿入されたときに、第2出力端子の電圧レベルをシフトする。

[0137] 第2のCLS部306は、容量361と、第2のクランプ容量部304の出力端及び第1のCLS部305の入力端を接続または開放するスイッチ362と、容量361の第1電極及び基準電圧源314を接続または開放するスイッチ363と、容量361の第1電極及び第2のクランプ容量部304の出力端を接続または開放するスイッチ364とで構成される。第2のCLS部306は、第2電極である第9端子と、当該第9端子及び第1電極のいずれかへの接続切替が可能な第10端子とを有し、第9端子が第8端子と接続され、第10端子が第6端子との接続及び開放の切替が可能な第2レベルシフト容量である。容量361は、容量351の第8端子と第6端子との間に電氣的に直列挿入されたときに、第2出力端子の電圧レベルをシフトする。

[0138] 蓄積容量部307は、容量371と、容量371の第1電極及び容量321の第1電極を接続または開放するスイッチ372とで構成される。容量371は、第11端子と第12端子とを有し、第11端子が第2端子に接続されるよう、かつ、第12端子が第1出力端子に接続されるように配置された蓄積容量である。

[0139] また、図11に示された駆動部310は、図12の回路構成としては図示していないが、各部のスイッチ312、313、322、332、342-344、352-354、362-364及び372の動作を制御する。

[0140] スイッチトキャパシタ回路300の動作においては、各スイッチのオンオフ制御により、サンプリング期間、転送期間、第1CLS期間及び第2CLS期間に順番に遷移する。以下、上記スイッチトキャパシタ回路300の動作を、上記期間ごとに説明する。

[0141] 図13A、図13B、図13C及び図13Dは、それぞれ、実施の形態3

に係るスイッチトキャパシタ回路のサンプリング期間、転送期間、第1CLS期間及び第2CLS期間における接続関係を表す回路図である。

[0142] まず、図13Aに示されるように、サンプリング期間では、スイッチ312、322、332、343、353、354、362及び363は短絡され、スイッチ313、342、352、364及び372は開放される。

[0143] このとき、反転増幅器331は入力端と出力端とが短絡されており、その短絡電圧は仮想接地電圧 V_x [V] に等しい。そのため、基準電圧源314の電圧を0 [V] とすると、容量321は右側を正として V_x [V] の両端電圧がかかる。一方、容量341は左側を正として V_x [V] の両端電圧がかかる。また、入力端子308の電圧を V_{in} [V] とすると、容量311には左側をプラスとして $C_s (V_{in} - V_x)$ [C] の電荷が蓄積される。なお、容量311の静電容量値を C_s としている。一方、容量371の電荷は過去の状態が保持されている。ここでは、説明を簡単にするために容量371の初期電荷を0 [C] とする。なお、このとき、スイッチ353、354、362及び363は、短絡及び開放のいずれでも良いが、容量351及び361の初期化を確実に実施する観点から、短絡する方がより好ましい。

[0144] 次に、図13Bに示されるように、転送期間では、スイッチ312、322、332、343、344、352及び364は開放され、スイッチ313、342、353、354、362、363及び372は短絡される。

[0145] このとき、基準電圧源314の電圧を0 [V] とすると、反転増幅器331によって、容量311から $C_s V_{in}$ [C] に相当する電荷が容量371に転送されようとする。ここで、反転増幅器331のゲインを A とし、反転増幅器331の出力電圧の仮想接地電圧からの変動電圧を ΔV とすると、反転増幅器331の入力端電圧は $-\Delta V / A$ となる。従って、容量371の両端電位差は、第2電極（右側）を正として $\Delta V + \Delta V / A$ となり、容量351及び361の両端電位差は、各々第2電極（右側）を正として ΔV となる。

[0146] 次に、図13Cに示されるように、第1CLS期間では、スイッチ312

、 3 2 2、 3 4 2、 3 4 4、 3 5 3、 3 5 4 及び 3 6 4 は開放され、スイッチ 3 1 3、 3 4 3、 3 5 2、 3 6 2、 3 6 3 及び 3 7 2 は短絡される。

[0147] このとき、反転増幅器 3 3 1 の出力端と出力端子 3 0 9 との間に、容量 3 5 1 が挿入される。容量 3 5 1 には、 ΔV の両端電圧が保持されているため、これが「上げ底効果」（レベルシフト効果）となり、 ΔV であった反転増幅器 3 3 1 の出力端の電圧が、容量 3 6 1 の両端電圧 ΔV_p ($\ll \Delta V$) とほぼ等しい電圧になる。これにより、反転増幅器 3 3 1 の入力端の電圧（＝システムの仮想接地電圧）の浮き上がりが抑制される。このときの C L S 精度は、比較例に係る C L S 精度と同程度である。

[0148] 次に、第 2 C L S 期間では、スイッチ 3 1 2、 3 2 2、 3 3 2、 3 4 2、 3 4 4、 3 5 3、 3 5 4、 3 6 2 及び 3 6 3 は開放され、スイッチ 3 1 3、 3 4 3、 3 5 2、 3 6 4 及び 3 7 2 は短絡される。

[0149] このとき、第 1 C L S 期間と比較して、さらに、容量 3 5 1 の第 1 電極と反転増幅器 3 3 1 の出力端との間に、容量 3 6 1 が挿入される。容量 3 6 1 には、 ΔV_p の両端電圧が保持されているため、これが「上げ底効果」（レベルシフト効果）となり、 ΔV_p であった反転増幅器 3 3 1 の出力端の電圧が、さらに小さい ΔV_{pp} ($\ll \Delta V_p$) となる。このときの反転増幅器 3 3 1 の入力端の電圧は $-\Delta V_{pp}/A$ となり、 $-V_p/A$ よりも充分に小さくなる。これにより、比較例の C L S 技術よりもさらに高精度を達成できる。よって、反転増幅器 3 3 1 の入力端の電圧（＝システムの仮想接地電圧）の浮き上がりが抑制される。

[0150] また、上記サンプリング期間から上記第 2 C L S 期間が繰り返されることにより、低いゲインの演算増幅器を用いているにもかかわらず、高精度な積分動作を達成できる。

[0151] 上記構成によれば、差動型の演算増幅器でなく、シングルエンド型の反転増幅器を用いていることから、高速動作を実現しつつ高精度なスイッチトキャパシタ回路を実現できる。

[0152] なお、容量 3 5 1 及び 3 6 1 と同様の接続関係を有する容量がさらに多段

接続された回路構成において、第2 C L S 期間に後続する第3 C L S 期間、第4 C L S 期間、を実行することにより、より高精度な C L S 技術が可能となる。

[0153] (実施の形態4)

本実施の形態では、実施の形態3に係るスイッチトキャパシタ回路300に対して、さらに、第3のクランプ容量部を付加する点が構成として異なる。これにより、実施の形態3と比較して、より高精度に従来の課題を解決することが可能となる。

[0154] 図14は、実施の形態4に係るスイッチトキャパシタ回路の機能ブロック図である。同図に記載されたスイッチトキャパシタ回路400は、サンプリング容量部401と、第1のクランプ容量部402と、反転増幅部403と、第2のクランプ容量部404と、第1の C L S 部405と、第2の C L S 部406と、第3のクランプ容量部407と、蓄積容量部408と、入力端子409と、出力端子410と、駆動部420とを備える。スイッチトキャパシタ回路400の動作は、駆動部420が各部を制御することにより、サンプリング期間、転送期間、第1 C L S 期間及び第2 C L S 期間に順番に遷移する。なお、スイッチトキャパシタ回路400では、各期間が同一時刻で互いに重なり合ってはならない。

[0155] サンプリング容量部401、第1のクランプ容量部402、反転増幅部403、第2のクランプ容量部404、第1の C L S 部405、第2の C L S 部406、及び蓄積容量部408は、それぞれ、実施の形態3に係るサンプリング容量部301、第1のクランプ容量部302、反転増幅部303、第2のクランプ容量部304、第1の C L S 部305、第2の C L S 部306、及び蓄積容量部307と同様の構成である。

[0156] 第3のクランプ容量部407は、サンプリング期間では、反転増幅部403の出力端と第1の基準電圧との電位差をサンプリングする。また、第3のクランプ容量部407は、転送期間では、上記電位差を保持する。また、第1 C L S 期間では、上記電位差を保持する。また、第2 C L S 期間では、上

記容量が、反転増幅部403の出力端と第2のCLS部406の入力端との間に直列挿入される。

[0157] 駆動部420は、上述した各端子間の接続及び開放、ならびに、容量の挿入を制御する。

[0158] 図15は、実施の形態4に係るスイッチトキャパシタ回路の回路構成図である。同図に示されたスイッチトキャパシタ回路400は、図14に示されたスイッチトキャパシタ回路400を構成する各部（駆動部420を除く）の回路構成を例示したものである。ここで、入力端子409は第1入力端子であり、出力端子410は第1出力端子である。

[0159] なお、サンプリング容量部401、第1のクランプ容量部402、反転増幅部403、第2のクランプ容量部404、第1のCLS部405、第2のCLS部406、及び蓄積容量部408の、具体的な回路構成については、説明を省略する。

[0160] 第3のクランプ容量部407は、容量471と、容量471の第2電極及び第2のCLS部406の入力端を接続または開放するスイッチ472とで構成される。第3のクランプ容量部407は、第13端子と第14端子とを有し、第13端子が第2出力端子と接続され、第14端子が第6端子及び第10端子との接続及び開放の切替が可能な第3クランプ容量である。容量471は、第2入力端子と第2出力端子とが接続された短絡状態であるときに、反転増幅器431の短絡電圧と基準電圧との電位差をサンプリングする。

[0161] また、図14に示された駆動部420は、図15の回路構成としては図示していないが、各部のスイッチ412、413、422、432、442-444、452-454、462-464、472及び482の動作を制御する。

[0162] スwitchトキャパシタ回路400の動作においては、各スイッチのオンオフ制御により、サンプリング期間、転送期間、第1CLS期間及び第2CLS期間に順番に遷移する。以下、上記スイッチトキャパシタ回路400の動作を、上記期間ごとに説明する。

[0163] 図16A、図16B、図16C及び図16Dは、それぞれ、実施の形態4に係るスイッチトキャパシタ回路のサンプリング期間、転送期間、第1CLS期間及び第2CLS期間における接続関係を表す回路図である。

[0164] まず、図16Aに示されるように、サンプリング期間では、スイッチ412、422、432、443、453、454、462、463及び472は短絡され、スイッチ413、442、452、464及び482は開放される。

[0165] このとき、反転増幅器431は入力端と出力端とが短絡されており、その短絡電圧は仮想接地電圧 V_x [V] に等しい。そのため、基準電圧源414の電圧を0 [V] とすると、容量421は右側を正として V_x [V] の両端電圧がかかる。一方、容量441は左側を正として V_x [V] の両端電圧がかかる。また、入力端子409の電圧を V_{in} [V] とすると、容量411には左側をプラスとして $C_s (V_{in} - V_x)$ [C] の電荷が蓄積される。なお、容量411の静電容量値を C_s としている。一方、容量481の電荷は過去の状態が保持されている。ここでは、説明を簡単にするために容量481の初期電荷を0 [C] とする。なお、このとき、スイッチ453、454、462及び463は、短絡及び開放のいずれでも良いが、容量451及び461の初期化を確実に実施する観点から、短絡する方がより好ましい。

[0166] 次に、図16Bに示されるように、転送期間では、スイッチ412、422、432、443、444、452、464及び472は開放され、スイッチ413、442、453、454、462、463及び482は短絡される。

[0167] このとき、基準電圧源414の電圧を0 [V] とすると、反転増幅器431によって、容量411から $C_s V_{in}$ [C] に相当する電荷が容量481に転送されようとする。ここで、反転増幅器431のゲインを A とし、反転増幅器431の出力電圧の仮想接地電圧からの変動電圧を ΔV とすると、反転増幅器431の入力端電圧は $-\Delta V / A$ となる。従って、容量481の両端電位差は、第2電極（右側）を正として $\Delta V + \Delta V / A$ となり、容量45

1及び461の両端電位差は、各々第2電極（右側）を正として ΔV となる。

[0168] 次に、図16Cに示されるように、第1CLS期間では、スイッチ412、422、442、444、453、454、464及び472は開放され、スイッチ413、443、452、462、463及び482は短絡される。

[0169] このとき、反転増幅器431の出力端と出力端子410との間に、容量451が挿入される。容量451には、 ΔV の両端電圧が保持されているため、これが「上げ底効果」（レベルシフト効果）となり、 ΔV であった反転増幅器431の出力端の電圧が、容量461の両端電圧 ΔV_p ($\ll \Delta V$)とほぼ等しい電圧になる。これにより、反転増幅器431の入力端の電圧（＝システムの仮想接地電圧）の浮き上がりが抑制される。このときのCLS精度は、比較例に係るCLS精度と同程度である。

[0170] 次に、図16Dに示されるように、第2CLS期間では、スイッチ412、422、432、442、444、453、454、462及び463は開放され、スイッチ413、443、452、464、472及び482は短絡される。

[0171] このとき、反転増幅器431の出力電圧のクランプ動作については、第1のCLS期間にて $\Delta V \rightarrow \Delta V_p$ の仮想接地変動に対応して蓄積電荷が変動した第2のクランプ容量部404の容量441に替わり、電荷変動の無い第3のクランプ容量部407の容量471に機能させる。第2CLS期間では、第1CLS期間と比較して、さらに、容量451の第1電極と反転増幅器431の出力端との間に、容量461が挿入される。容量461には、 ΔV_p の両端電圧が保持されているため、これが「上げ底効果」（レベルシフト効果）となり、 ΔV_p であった反転増幅器431の出力端の電圧が、さらに小さい ΔV_{ppp} ($\ll \Delta V_p$)となる。このときの反転増幅器431の入力端の電圧は $-\Delta V_{ppp}/A$ となり、 $-V_p/A$ よりも充分に小さくなる。これにより、比較例のCLS技術よりもさらに高精度を達成できる。なお、

第2のCL S期間において第3のクランプ容量部407を用いているため、 $\Delta V_{pp} < \Delta V_{pp}$ となり、実施の形態3に係るCL S技術よりも、より高精度を達成できる。

[0172] よって、反転増幅器431の入力端の電圧（＝システムの仮想接地電圧）の浮き上がりが抑制される。

[0173] また、上記サンプリング期間から上記第2CL S期間が繰り返されることにより、低いゲインの演算増幅器を用いているにもかかわらず、高精度な積分動作を達成できる。

[0174] 上記構成によれば、差動型の演算増幅器でなく、シングルエンド型の反転増幅器を用いていることから、高速動作を実現しつつ高精度なスイッチトキャパシタ回路を実現できる。

[0175] なお、容量451及び461と同様の接続関係を有する容量がさらに多段接続された回路構成において、第2CL S期間に後続する第3CL S期間及び第4CL S期間に対応させて第4のクランプ容量部及び第5のクランプ容量部を配置することにより、より高精度なCL S技術が可能となる。

[0176] （実施の形態5）

本実施の形態では、低消費電力化と高速化とを実現する反転増幅部の構成について説明する。実施の形態1～4に係る反転増幅器は、例えば、インバータ回路で構成される。上記反転増幅器を構成するインバータ回路は、例えば、スイッチトカレント型のバイアス回路が挙げられる。

[0177] 図17は、実施の形態5に係る反転増幅部の回路構成図である。以下、同図に示すように、実施の形態3に係る反転増幅器331及びスイッチ332で構成される反転増幅部303を用いて説明する。

[0178] 反転増幅部303は、定電流源502と、NMOSトランジスタ503、504A、504B及び506と、PMOSトランジスタ505と、容量507とで構成される。ここで、スイッチ332を構成するNMOSトランジスタ504A及び504Bは、制御信号501で制御され、サンプリング期間 ϕ_1 の期間だけオンされ、それ以外の期間ではオフされる。サンプリング

期間 $\phi 1$ では、NMOSトランジスタ503と506とで構成されるカレントミラーによって、定電流源502から流れる電流と等しい電流がダイオード接続されたPMOSトランジスタ505に流れる。そして、このときのNMOSトランジスタ506及びPMOSトランジスタ505のゲート電圧が、容量507の両端電圧として保存される。このときの容量507の両端電圧は、短絡電圧 $V \times [V]$ に相当する。つまり、サンプリング期間では、定電流源502から流れる電流により、PMOSトランジスタ505及びNMOSトランジスタ506に流れる電流が常に一定に保たれるため、プロセス、温度および電源電圧の変動に依存しない安定した特性、特に安定した消費電流を実現できる。よって、1個のシングルエンド型のインバータ回路を用いていることから、高速動作、低消費電力及び小面積を実現できる。

[0179] また、サンプリング期間 $\phi 1$ 以外の期間では、PMOSトランジスタ505及びNMOSトランジスタ506のゲート電圧が容量507でバイアスされたインバータ動作が実行される。

[0180] 上述したスイッチトカレント型のバイアス回路の利点は、定電流源502によって直流電流を固定しつつ、PMOSトランジスタ505及びNMOSトランジスタ506の W/L 比を大きくすることで、低消費電力化と高速化とを両立できる点である。

[0181] また、さらなる低消費電力化のためには、反転増幅器に流れ込む電流を、時間によって増減させることが効果的である。すなわち、セトリング初期の大電流が必要な期間であるサンプリング期間の初期及び転送期間でのみ、大電流を印加し、それ以後は徐々に電流を少なくするというダイナミック電流型のインバータ動作をすることで、セトリング速度を維持しつつ消費電力を低減することが可能となる。

[0182] 図18は、実施の形態5の変形例に係る反転増幅部の回路構成図である。同図において、反転増幅部303は、定電流源502と、NMOSトランジスタ503、552-554、556、558及び560-575と、PMOSトランジスタ555、557及び559と、容量507とで構成される

。スイッチ332を構成するNMOSトランジスタ552-554及び561-575は、サンプリング期間が3等分された制御信号551で制御される。具体的には、 $\phi 1$ 及び $\phi 4$ の期間は、それぞれ、4個のPMOS及びNMOSトランジスタで駆動され、 $\phi 2$ 及び $\phi 5$ の期間は、それぞれ、2個のPMOS及びNMOSトランジスタで駆動され、 $\phi 3$ 及び $\phi 6$ の期間は、それぞれ、1個のPMOS及びNMOSトランジスタで駆動される。本実施の形態5においては、 $\phi 3$ と $\phi 6$ の位相で動作するトランジスタ（最後段のPMOSトランジスタ559とNMOSトランジスタ560）は全ての位相で常に駆動されているため、特にスイッチで制御する必要はなく、図18では制御スイッチを省略したが、制御スイッチを用いてもよい。

[0183] なお、図18の例では、サンプリング期間の駆動能力を3段階に分けているが、その数の限定はしない。2段階であっても4段階であっても、それ以上であっても良い。

[0184] （実施の形態6）

実施の形態1~4に係るスイッチトキャパシタ回路を積分器に適用する場合、図19Aに示されるように蓄積容量部を構成することができる。

[0185] 図19Aは、実施の形態6に係る蓄積容量部の構成図である。同図に示された蓄積容量部205は、容量253と、容量253に並列に配置されたスイッチ254とを備える。スイッチ254は、駆動部209からのリセット信号591によって短絡または開放される。

[0186] リセット信号591がHighの時に、スイッチ254が短絡され、リセット信号591がLowの時に、スイッチ254が開放されるとすると、リセット信号591の起動タイミングは、図20Aのタイミングチャート511または図21Aのタイミングチャート521に表されたタイミングとなる。

[0187] 図20Aは、実施の形態6に係る制御信号の第1のタイミングチャートである。図20Aに示された第1のタイミングチャートは、実施の形態1に係るスイッチトキャパシタ回路200を積分器として適用する場合のものである。

る。

[0188] 一方、図21Aは、実施の形態6に係る制御信号の第2のタイミングチャートである。図21Aに示された第1のタイミングチャートは、実施の形態2に係るスイッチトキャパシタ回路200、実施の形態3に係るスイッチトキャパシタ回路300、及び実施の形態4に係るスイッチトキャパシタ回路400を積分器として適用する場合のものである。

[0189] 図20A及び図21Aに表されたように、積分動作の開始前に、一回だけリセット信号591をHighにし、それ以後はLowを維持すればよい。リセット信号591をHighにすることにより、リセット時に容量253の電荷が0[C]に初期化される。

[0190] また、実施の形態1～4に係るスイッチトキャパシタ回路を積分器に適用する場合、図19Bに示されるように、蓄積容量部を構成することも可能である。

[0191] 図19Bは、実施の形態6の変形例に係る蓄積容量部の構成図である。同図に示された蓄積容量部205は、容量253と、容量253の一方の端子と基準電圧源598とを接続するスイッチ254aと、容量253の他方の端子と基準電圧源599とを接続するスイッチ254bとを備える。スイッチ254a及び254bは、駆動部209からのリセット信号591により短絡または開放される。リセット信号591の起動タイミングは、図20Aのタイミングチャート511または図21Aのタイミングチャート521に表されたタイミングとなる。蓄積容量部205の上記構成及びリセット信号591の上記起動タイミングにより、リセット時に容量253の電圧が、基準電圧源598及び599で規定される一定電圧に初期化される。

[0192] (実施の形態7)

実施の形態1～4に係るスイッチトキャパシタ回路をサンプルホールド回路に適用する場合、図19Aに示されるように蓄積容量部を構成することができる。

[0193] リセット信号591がHighの時に、スイッチ254が短絡され、リセ

ット信号591がLowの時に、スイッチ254が開放されるとすると、リセット信号591の起動タイミングは、図20Bのタイミングチャート512または図21Bのタイミングチャート522に表されたタイミングとなる。

[0194] 図20Bは、実施の形態7に係る制御信号の第1のタイミングチャートである。図20Bに示された第1のタイミングチャートは、実施の形態1に係るスイッチトキャパシタ回路200をサンプルホールド回路として適用する場合のものである。

[0195] 一方、図21Bは、実施の形態7に係る制御信号の第2のタイミングチャートである。図21Bに示された第1のタイミングチャートは、実施の形態2に係るスイッチトキャパシタ回路200、実施の形態3に係るスイッチトキャパシタ回路300、及び実施の形態4に係るスイッチトキャパシタ回路400をサンプルホールド回路として適用する場合のものである。

[0196] 図20B及び図21Bに表されたように、初期化時、ならびに、CLS期間とサンプリング期間との間にリセット期間が必要となる。

[0197] また、実施の形態1～4に係るスイッチトキャパシタ回路をサンプルホールド回路に適用する場合、図19Bに示されるように蓄積容量部を構成することができる。

[0198] スイッチ254a及び254bは、駆動部209からのリセット信号591により短絡または開放される。リセット信号591の起動タイミングは、図20Bのタイミングチャート512または図21Bのタイミングチャート522に表されたタイミングとなる。蓄積容量部205の上記構成及びリセット信号591の上記起動タイミングにより、リセット時に容量253の電圧が、基準電圧源598及び599で規定される一定電圧に初期化される。

[0199] (実施の形態8)

本実施の形態では、上記実施の形態1～7で説明したスイッチトキャパシタ回路、積分器及びサンプルホールド回路のいずれかを用いた機器について説明する。

[0200] 図22は、本開示の積分器を備える $\Delta\Sigma$ 変調器のブロック構成図である。実施の形態6及びその変形例に係る積分器を、図22に示された $\Delta\Sigma$ 変調器600に適用することができる。図22に開示された $\Delta\Sigma$ 変調器の構成は、例えば、非特許文献3 (M. A. P. Pertijs, et al., “A CMOS Smart Temperature Sensor With a 3σ Inaccuracy of $\pm 0.1^\circ\text{C}$ From -5°C to 125°C ”, IEEE J. Solid-State Circuits, vol. 40, no. 12, pp. 2805–2815, Dec. 2005.)に記載された $\Delta\Sigma$ 変調器の積分器を、本開示の積分器に置き換えたものである。 $\Delta\Sigma$ 変調器600は、本開示の積分器601と、クロック同期型コンパレータ602とを備える。本開示の積分器601により、低消費電流を維持しつつ高速かつ高精度な積分動作を実現できるため、 $\Delta\Sigma$ 変調器600全体を高精度化することが可能となる。

[0201] さらに、図22に示された $\Delta\Sigma$ 変調器600をAD変換器に用いることで、温度センサを実現できる。

[0202] 図23は、本開示の $\Delta\Sigma$ 変調器を備えるセンサ回路のブロック構成図である。図23に開示された温度センサ回路は、非特許文献3で提案されている温度センサ回路のAD変換器を、本開示のAD変換器700に置き換えたものである。同図に記載された温度センサ回路は、AD変換器700と、バイアス回路701と、バイポーラコア702とを備える。AD変換器700は、本開示の $\Delta\Sigma$ 変調器600と、デシメーションフィルタ711とを備える。上記構成の温度センサ回路において、システム全体の精度はAD変換器700によって決定される。本開示のスイッチトキャパシタ回路による積分器601を組み込んだAD変換器700を用いることで、低消費電流を維持しつつ高速かつ高精度な温度センサ回路を実現できる。

[0203] (実施の形態9)

本実施の形態では、上記実施の形態8で説明したAD変換器を用いた撮像素子及びデジタルカメラについて説明する。図23に示されたAD変換器7

00を撮像素子に適用することが可能である。

[0204] 図24は、本開示のAD変換器を備える撮像素子のブロック構成図である。同図に示された撮像素子720は、AD変換器アレイ721及び722と、複数の受光素子が行列状に配置された受光素子アレイ723と、コントローラ724と、周辺回路725とを備える。

[0205] 一般にCMOSイメージセンサに搭載される撮像素子の画素数は受光素子の感度で決まるが、AD変換器の消費電力も重要な要素である。一般的なカラム並列型のAD変換器の場合、受光素子アレイ723の上下にAD変換器アレイ721及び722が配置される。また、各AD変換器アレイ721及び722には、数千個のオーダーで、AD変換器が配置されている。これにより、これらのAD変換器での合計消費電力は大きく、熱及びバッテリー寿命の問題で画素数の拡大が難しい。

[0206] これに対して、上述したAD変換器700を用いることで、消費電流を必要最小限度まで絞ることができる。これにより、画素数の拡大、発熱の低減及びバッテリー寿命の延長を実現できる。また、小面積化に貢献できる。このように、本開示のスイッチトキャパシタ回路による積分器を組み込んだAD変換器700を用いることで、低消費電流を維持しつつ高速かつ高精度な撮像素子を実現できる。

[0207] さらに、本開示は、上記撮像素子720を備える、デジタルスチルカメラ又はデジタルビデオカメラ等のデジタルカメラ又は携帯電話として実現してもよい。撮像素子720は、図25Aに示されたデジタルスチルカメラ、さらには、携帯電話等のモバイル機器向けカメラモジュール等の撮像装置において、その撮像デバイスとして用いて好適なものである。

[0208] 図25Bは、本開示の撮像素子を備えるデジタルカメラのブロック構成図である。同図に示されたように、本実施の形態に係るデジタルカメラ750は、レンズ790を含む光学系、撮像デバイス760、カメラ信号処理回路770及びシステムコントローラ780等によって構成されている。レンズ790は、被写体からの像光を撮像デバイス760の撮像面に結像する。撮

像デバイス760は、レンズ790によって撮像面に結像された像光を画素単位で電気信号に変換して得られる画像信号を出力する。この撮像デバイス760として、本実施の形態に係る撮像素子720が用いられる。

[0209] カメラ信号処理回路770は、撮像デバイス760から出力される画像信号に対して種々の信号処理を行う。システムコントローラ780は、撮像デバイス760やカメラ信号処理回路770に対する制御を行う。

[0210] 上記構成により、低消費電力の特性が反映されたバッテリー寿命の延長、かつ高精度なデジタルカメラ750を実現できる。

[0211] 以上、上記実施の形態1～9及びそれらの変形例に係るスイッチトキャパシタ回路及びその駆動方法、ならびに当該スイッチトキャパシタ回路を用いた機器について説明したが、本発明は、この実施の形態に限定されるものではない。

[0212] また、上記実施の形態に係るAD変換器及び撮像素子に含まれる各処理部は典型的には集積回路であるシステムLSIとして実現される。これらは個別に1チップ化されてもよいし、一部又は全てを含むように1チップ化されてもよい。

[0213] また、集積回路化はLSIに限るものではなく、専用回路又は汎用プロセッサで実現してもよい。LSI製造後にプログラムすることが可能なFPGA(Field Programmable Gate Array)、又はLSI内部の回路セルの接続や設定を再構成可能なリプログラマブル・プロセッサを利用してもよい。

[0214] また、上記各実施の形態1～9及びそれらの変形例に係る、スイッチトキャパシタ回路、AD変換器、及びそれらの変形例の機能又は構成のうち少なくとも一部を組み合わせてもよい。

[0215] また、上記で用いた数字は、全て本発明を具体的に説明するために例示するものであり、本発明は例示された数字に制限されない。さらに、High/Lowにより表されるスイッチング状態は、本発明を具体的に説明するために例示するものであり、例示されたスイッチング状態の異なる組み合わせ

により、同等な結果を得ることも可能である。また、トランジスタ等のn型及びp型等は、本発明を具体的に説明するために例示するものであり、これらを反転させることで、同等の結果を得ることも可能である。また、構成要素間の接続関係は、本発明を具体的に説明するために例示するものであり、本発明の機能を実現する接続関係はこれに限定されない。

[0216] また、ブロック図における機能ブロックの分割は一例であり、複数の機能ブロックを一つの機能ブロックとして実現したり、一つの機能ブロックを複数に分割したり、一部の機能を他の機能ブロックに移してもよい。また、類似する機能を有する複数の機能ブロックの機能を単一のハードウェア又はソフトウェアが並列又は時分割に処理してもよい。

[0217] また、上記説明では、MOSトランジスタを用いた例を示したが、他の種類のトランジスタを用いてもよい。

[0218] また、上記回路図に示す回路構成は、一例であり、本発明は上記回路構成に限定されない。つまり、上記回路構成と同様に、本発明の特徴的な機能を実現できる回路も本発明に含まれる。例えば、上記回路構成と同様の機能を実現できる範囲で、ある素子に対して、直列又は並列に、スイッチング素子（トランジスタ）、抵抗素子、又は容量素子等の素子を接続したのも本発明に含まれる。言い換えると、上記実施の形態における「接続される」とは、2つの端子（ノード）が直接接続される場合に限定されるものではなく、同様の機能が実現できる範囲において、当該2つの端子（ノード）が、素子を介して接続される場合も含む。

[0219] 更に、本発明の主旨を逸脱しない限り、上記実施の形態1～9及びそれらの変形例に対して当業者が思いつく範囲内の変更を施した各種変形例も本発明に含まれる。

産業上の利用可能性

[0220] 本発明は、低消費電力かつ高精度が要求されるAD変換器、温度センサ、撮像素子、デジタルカメラ、及び電池等に有用である。

符号の説明

[0221] 100 積分器
101、102、104、211、231、241、251、253、3
11、321、341、351、361、371、411、421、441
、451、461、471、481、507、911、931、941、1
001、1002、1004 容量
103、1003 演算増幅器
105、106、107、108、109、212、213、222、2
32、233、234、242、243、244、252、254、254
a、254b、312、313、322、332、342、343、344
、352、353、354、362、363、364、372、412、4
13、422、432、442、443、444、452、453、454
、462、463、464、472、482、912、913、921、9
32、942、1005、1006、1007、1008 スイッチ
110、214、314、414、598、599、914、1009
基準電圧源
111、207、308、409、807、1010 入力端子
112、208、309、410、808、1011 出力端子
200、300、400、800、900 スイッチトキャパシタ回路
201、301、401、801 サンプル容量部
202、303、403、802 反転増幅部
203、405、305 第1のCLS部
204、406、306 第2のCLS部
205、307、408、804 蓄積容量部
206、805 オフセット補償部
209、310、420、806 駆動部
221、261、331、431、923、951 反転増幅器
302、402 第1のクランプ容量部
304、404 第2のクランプ容量部

- 407 第3のクランプ容量部
- 501、551 制御信号
- 502 定電流源
- 503、504A、504B、506、552、553、554、556、558、560、561、562、563、564、565、566、567、568、569、570、571、572、573、574、575
- NMOSトランジスタ
- 505、555、557、559 PMOSトランジスタ
- 511、512、521、522 タイミングチャート
- 591 リセット信号
- 592 サンプリング信号
- 593 転送信号
- 594 C L S 信号
- 594 a 第1 C L S 信号
- 594 b 第2 C L S 信号
- 600 $\Delta\Sigma$ 変調器
- 601 積分器
- 602 クロック同期型コンパレータ
- 700 A D 変換器
- 701 バイアス回路
- 702 バイポーラコア
- 711 デシメーションフィルタ
- 720 撮像素子
- 721、722 A D 変換器アレイ
- 723 受光素子アレイ
- 724 コントローラ
- 725 周辺回路
- 750 デジタルカメラ

- 760 撮像デバイス
- 770 カメラ信号処理回路
- 780 システムコントローラ
- 790 レンズ
- 803 C L S 部

請求の範囲

[請求項1]

入力電圧が入力される第1入力端子と、
出力電圧が出力される第1出力端子と、
第1端子と第2端子とを有し、前記第1端子に前記入力電圧が印加されるように配置されたサンプリング容量と、
第2入力端子と第2出力端子とを有し、前記第2入力端子が前記第2端子と接続された反転増幅器と、
一方の容量電極である第5端子と、他方の容量電極である第4端子と、前記第5端子及び前記第4端子のいずれかへの接続切替が可能な第3端子とを有し、前記第5端子が前記第1出力端子と接続された第1レベルシフト容量と、
一方の容量電極である第8端子と、他方の容量電極である第7端子と、前記第8端子及び前記第7端子のいずれかへの接続切替が可能な第6端子とを有し、前記第8端子が前記第3端子と接続され、前記第6端子が前記第2出力端子と接続された第2レベルシフト容量と、
第9端子と第10端子とを有し、前記第9端子が前記第2端子と接続され、前記第10端子が前記第1出力端子と接続された蓄積容量と、
第11端子を有し、前記第11端子と前記第4端子及び前記第7端子との短絡及び開放の切替が可能であり、前記第2入力端子と前記第2出力端子とが短絡された場合の前記反転増幅器の短絡電圧と同じ電圧値のオフセット電圧を前記第11端子から出力するオフセット補償回路とを備える

スイッチトキャパシタ回路。

[請求項2]

サンプリング期間において、
前記反転増幅器は、前記第2入力端子と前記第2出力端子とが短絡されて前記短絡電圧を生成し、
前記サンプリング容量は、前記入力電圧と前記短絡電圧との電位差

をサンプリングし、

前記サンプリング容量に蓄積された電荷が転送される転送期間において、

前記第2入力端子と前記第2出力端子とが開放されることにより前記電荷が前記蓄積容量に転送され、

前記第3端子と前記第5端子とが短絡され前記第6端子と前記第8端子とが短絡されることにより、前記第1レベルシフト容量と前記第2レベルシフト容量とは、それぞれ、前記第11端子と前記第1出力端子との間の電位差をサンプリングする

請求項1に記載のスイッチトキャパシタ回路。

[請求項3]

前記第2出力端子の電圧レベルがシフトするレベルシフト期間において、

前記第3端子と前記第5端子とが開放され、前記第6端子と前記第8端子とが開放され、前記第1レベルシフト容量が前記第3端子及び前記第4端子と前記第5端子との間に電氣的に直列挿入され、前記第2レベルシフト容量が前記第6端子及び前記第7端子と前記第8端子との間に電氣的に直列挿入されることにより、前記第1レベルシフト容量と前記第2レベルシフト容量とは、前記第1出力端子と前記第2出力端子との間に直列容量を構成する

請求項1または2に記載のスイッチトキャパシタ回路。

[請求項4]

前記第2出力端子の電圧レベルがシフトするレベルシフト期間は、第1レベルシフト期間と第2レベルシフト期間とに分割され、

前記第1レベルシフト期間において、

前記第3端子と前記第5端子とが開放され、前記第1レベルシフト容量が前記第3端子及び前記第4端子と前記第5端子との間に電氣的に直列挿入され、

前記第2レベルシフト期間において、

前記第6端子と前記第8端子とが開放され、前記第2レベルシフト

容量が前記第 6 端子及び前記第 7 端子と前記第 8 端子との間に電氣的に直列挿入される

請求項 1 または 2 に記載のスイッチトキャパシタ回路。

[請求項 5]

入力電圧が入力される第 1 入力端子と、

出力電圧が出力される第 1 出力端子と、

第 1 端子と第 2 端子とを有し、前記第 1 端子に前記入力電圧が印加されるように配置されたサンプリング容量と、

第 3 端子と第 4 端子とを有し、前記第 3 端子が前記第 2 端子と接続された第 1 クランプ容量と、

第 2 入力端子と第 2 出力端子とを有し、前記第 2 入力端子が前記第 4 端子と接続された反転増幅器と、

第 5 端子と第 6 端子とを有し、前記第 5 端子が前記第 2 出力端子と接続された第 2 クランプ容量と、

一方の容量電極である第 7 端子と、前記第 7 端子及び他方の電極のいずれかへの接続切替が可能な第 8 端子とを有し、前記第 7 端子が前記第 1 出力端子と接続された第 1 レベルシフト容量と、

一方の容量電極である第 9 端子と、前記第 9 端子及び他方の電極のいずれかへの接続切替が可能な第 10 端子とを有し、前記第 9 端子が前記第 8 端子と接続され、前記第 10 端子が前記第 6 端子との接続及び開放の切替が可能な第 2 レベルシフト容量と、

第 11 端子と第 12 端子とを有し、前記第 11 端子が前記第 2 端子と接続され、前記第 12 端子が前記第 1 出力端子と接続された蓄積容量とを備える

スイッチトキャパシタ回路。

[請求項 6]

サンプリング期間において、

前記反転増幅器は、前記第 2 入力端子と前記第 2 出力端子とが短絡されて前記短絡電圧を生成し、

前記第 1 クランプ容量と前記第 2 クランプ容量とは、前記短絡電圧

と基準電圧との電位差をサンプリングし、

前記サンプリング容量に蓄積された電荷が転送される転送期間において、

前記第2入力端子と前記第2出力端子とが開放されることにより前記電荷が前記蓄積容量に転送され、

前記第1クランプ容量は、前記第2端子と前記第2入力端子との間に電氣的に直列挿入され、

前記第2クランプ容量は、前記第5端子または前記第6端子が開放され、

前記第7端子と前記第8端子とが短絡され前記第9端子と前記第10端子とが短絡されることにより、前記第1レベルシフト容量は、前記基準電圧と前記第1出力端子との間の電位差をサンプリングし、

前記第2出力端子の電圧レベルがシフトする第1レベルシフト期間において、

前記第2クランプ容量が前記第2出力端子と前記第10端子の間に電氣的に直列挿入され、

前記第7端子と前記第8端子とが開放され、前記第1レベルシフト容量が前記第8端子と前記第1出力端子との間に電氣的に直列挿入されると同時に、前記第2レベルシフト容量が前記第9端子と前記基準電圧との間の電位差をサンプリングし、

前記第2出力端子の電圧レベルがシフトする第2レベルシフト期間において、

前記第9端子と前記第10端子が開放され、前記第2レベルシフト容量が前記第9端子と前記第6端子との間に電氣的に直列挿入される請求項5に記載のスイッチトキャパシタ回路。

[請求項7]

さらに、

第13端子と第14端子とを有し、前記第13端子が前記第2出力端子と接続され、前記第14端子が前記第6端子及び前記第10端子

との接続及び開放の切替が可能な第3クランプ容量を備える

請求項5に記載のスイッチトキャパシタ回路。

[請求項8]

サンプリング期間において、

前記反転増幅器は、前記第2入力端子と前記第2出力端子とが短絡されて前記短絡電圧を生成し、

前記第1クランプ容量と前記第2クランプ容量と前記第3クランプ容量とは、前記短絡電圧と基準電圧との電位差をサンプリングし、

前記サンプリング容量に蓄積された電荷が転送される転送期間において、

前記第2入力端子と前記第2出力端子とが開放されることにより前記電荷が前記蓄積容量に転送され、

前記第1クランプ容量は、前記第2端子と前記第2入力端子との間に電氣的に直列挿入され、

前記第2クランプ容量は、前記第5端子または前記第6端子が開放され、

前記第3クランプ容量は、前記第13端子または前記第14端子が開放され、

前記第7端子と前記第8端子とが短絡され前記第9端子と前記第10端子とが短絡されることにより、前記第1レベルシフト容量は、前記基準電圧と前記第1出力端子との間の電位差をサンプリングし、

前記第2出力端子の電圧レベルがシフトする第1レベルシフト期間において、

前記第2クランプ容量が前記第2出力端子と前記第10端子との間に電氣的に直列挿入され、

前記第7端子と前記第8端子とが開放され、前記第1レベルシフト容量が前記第8端子と前記第1出力端子の間に電氣的に直列挿入されると同時に、前記第2レベルシフト容量が前記第9端子と前記基準電圧との間の電位差をサンプリングし、

前記第2出力端子の電圧レベルがシフトする第2レベルシフト期間において、

前記第2クランプ容量は、前記第5端子または前記第6端子が開放され、

前記第3クランプ容量が前記第2出力端子と前記第10端子との間に電氣的に直列挿入され、

前記第7端子と前記第8端子とが開放され、前記第2レベルシフト容量が前記第9端子と前記第6端子の間に電氣的に直列挿入される

請求項7に記載のスイッチトキャパシタ回路。

[請求項9] 前記反転増幅器は、インバータ回路を含む

請求項1～8のいずれか1項に記載のスイッチトキャパシタ回路。

[請求項10] 前記インバータ回路は、スイッチトカレント型のバイアス回路を備える

請求項9に記載のスイッチトキャパシタ回路。

[請求項11] 前記インバータ回路は、ダイナミック電流型回路である

請求項9または10に記載のスイッチトキャパシタ回路。

[請求項12] 請求項1～3及び9～11のいずれか1項に記載のスイッチトキャパシタ回路を備える積分器であって、

さらに、前記蓄積容量に蓄えられた電荷を放電する初期化機構を具備し、

サンプリング期間、前記サンプリング期間においてサンプリングされた電圧が転送される転送期間、及び、前記第2出力端子の電圧レベルがシフトするレベルシフト期間が、前記サンプリング期間、前記転送期間及び前記レベルシフト期間の順に繰り返し実行され、

前記初期化機構は、最初の前記サンプリング期間が開始される前に作動する

積分器。

[請求項13] 請求項1、2及び4～11のいずれか1項に記載のスイッチトキャ

パシタ回路を備える積分器であって、

さらに、前記蓄積容量に蓄えられた電荷を放電する初期化機構を具備し、

サンプリング期間、前記サンプリング期間においてサンプリングされた電圧が転送される転送期間、ならびに、前記第2出力端子の電圧レベルがシフトする第1レベルシフト期間及び第2レベルシフト期間が、前記サンプリング期間、前記転送期間、前記第1レベルシフト期間及び前記第2レベルシフト期間の順に繰り返し実行され、

前記初期化機構は、最初の前記サンプリング期間が開始される前のみに作動する

積分器。

[請求項14]

請求項1～3及び9～11のいずれか1項に記載のスイッチトキャパシタ回路を備えるサンプルホールド回路であって、

さらに、前記蓄積容量に蓄えられた電荷を放電する初期化機構を具備し、

サンプリング期間、前記サンプリング期間においてサンプリングされた電圧が転送される転送期間、及び、前記第2出力端子の電圧レベルがシフトするレベルシフト期間が、前記サンプリング期間、前記転送期間及び前記レベルシフト期間の順に実行され、

前記レベルシフト期間と前記サンプリング期間との間において、前記初期化機構が作動する

サンプルホールド回路。

[請求項15]

請求項1、2及び4～11のいずれか1項に記載のスイッチトキャパシタ回路を備えるサンプルホールド回路であって、

さらに、前記蓄積容量に蓄えられた電荷を放電する初期化機構を具備し、

サンプリング期間、前記サンプリング期間においてサンプリングされた電圧が転送される転送期間、ならびに、前記第2出力端子の電圧

レベルがシフトする第1レベルシフト期間及び第2レベルシフト期間が、前記サンプリング期間、前記転送期間、前記第1レベルシフト期間及び前記第2レベルシフト期間の順に繰り返し実行され、

前記第2レベルシフト期間と前記サンプリング期間との間において、前記初期化機構が作動するサンプルホールド回路。

[請求項16] 請求項12に記載の積分器、請求項13に記載の積分器、請求項14に記載のサンプルホールド回路、及び請求項15に記載のサンプルホールド回路のうちいずれかを具備するセンサ回路。

[請求項17] 請求項12に記載の積分器、請求項13に記載の積分器、請求項14に記載のサンプルホールド回路、及び請求項15に記載のサンプルホールド回路のうちいずれかを具備するアナログデジタル変換器。

[請求項18] 請求項17に記載のアナログデジタル変換器を具備する撮像素子。

[請求項19] 請求項18に記載の撮像素子を具備するデジタルカメラ。

[請求項20] 入力電圧端子から入力された入力電圧の電圧レベルを変換し、当該変換された電圧を出力電圧端子から出力するスイッチトキャパシタ回路の駆動方法であって、

前記入力電圧の印加が可能なサンプリング容量と前記出力電圧端子との間に配置された蓄積容量を介した電気経路を開放した状態で、前記反転増幅器の入力端子と出力端子とが短絡された状態の前記反転増幅器の短絡電圧と前記入力電圧との電位差を前記サンプリング容量によりサンプリングするサンプリングステップと、

前記サンプリングステップの後、(1)前記反転増幅器の入力端子と出力端子とを開放し、かつ、前記電気経路を接続して前記サンプリ

ング容量から前記蓄積容量へ電荷を転送し、(2) 第1レベルシフト容量の第1端子及び第2レベルシフト容量の第1端子と前記反転増幅器の出力端子とを接続し、第1レベルシフト容量の第2端子及び第2レベルシフト容量の第2端子と前記短絡電圧を出力するオフセット補償回路とを接続して、前記出力電圧端子と前記オフセット補償回路との間の電位差をサンプリングする転送ステップと、

前記転送ステップの後、前記電気経路を接続した状態で、(1) 前記出力電圧端子と前記第2レベルシフト容量の第1端子とを接続し、前記第2レベルシフト容量の第2端子と前記オフセット補償回路とを開放して当該第2端子と前記第2レベルシフト容量の第1端子とを接続し、かつ、(2) 前記第2レベルシフト容量の第2端子と前記オフセット補償回路とを開放して当該第2端子と前記反転増幅器の出力端子とを接続して、前記反転増幅器の出力端子の電圧をレベルシフトするレベルシフトステップとを含む

スイッチトキャパシタ回路の駆動方法。

[請求項21]

入力電圧端子から入力された入力電圧の電圧レベルを変換し、当該変換された電圧を出力電圧端子から出力するスイッチトキャパシタ回路の駆動方法であって、

前記入力電圧の印加が可能なサンプリング容量と前記出力電圧端子との間に配置された蓄積容量を介した電気経路を開放した状態で、前記反転増幅器の入力端子と出力端子とが短絡された状態の前記反転増幅器の短絡電圧と前記入力電圧との電位差を前記サンプリング容量によりサンプリングするサンプリングステップと、

前記サンプリングステップの後、(1) 前記反転増幅器の入力端子と出力端子とを開放し、かつ、前記電気経路を接続して前記サンプリング容量から前記蓄積容量へ電荷を転送し、(2) 第1レベルシフト容量の第1端子及び第2レベルシフト容量の第1端子と前記反転増幅器の出力端子とを接続し、第1レベルシフト容量の第2端子及び第2

レベルシフト容量の第2端子と前記短絡電圧を出力するオフセット補償回路とを接続して、前記出力電圧端子と前記オフセット補償回路との間の電位差をサンプリングする転送ステップと、

前記転送ステップの後、前記電気経路を接続した状態で、前記第1レベルシフト容量の第2端子と前記オフセット補償回路とを開放し、前記出力電圧端子と前記反転増幅器の出力端子との間に前記第1レベルシフト容量を電氣的に直列挿入することにより、前記反転増幅器の出力端子の電圧をレベルシフトする第1レベルシフトステップと、

前記第1レベルシフトステップの後、前記電気経路を接続した状態で、前記第2レベルシフト容量の第2端子と前記オフセット補償回路とを開放し、前記第1レベルシフト容量の第2端子と前記反転増幅器の出力端子との間に前記第2レベルシフト容量を電氣的に直列挿入することにより、前記反転増幅器の出力端子の電圧をレベルシフトする第2レベルシフトステップとを含む

スイッチトキャパシタ回路の駆動方法。

[請求項22]

入力電圧端子から入力された入力電圧の電圧レベルを変換し、当該変換された電圧を出力電圧端子から出力するスイッチトキャパシタ回路の駆動方法であって、

(1) 前記出力電圧端子に接続され、反転増幅器の出力端子の電圧レベルをシフトするための第1レベルシフト容量の両端子及び第2レベルシフト容量の両端子を短絡し、かつ、(2) 前記入力電圧の印加が可能なサンプリング容量と前記出力電圧端子との間に配置された蓄積容量を介した電気経路を開放した状態で、前記入力電圧と基準電圧との電位差を前記サンプリング容量によりサンプリングし、かつ、前記反転増幅器の入力端子と出力端子とが短絡された状態の前記反転増幅器の短絡電圧と前記基準電圧との電位差を、それぞれ、第1クランプ容量及び第2クランプ容量によりサンプリングするサンプリングステップと、

前記サンプリングステップの後、前記サンプリング容量の両端子のうち前記入力電圧の印加が可能な入力印加端子を前記基準電圧に設定し、前記第1クランプ容量を前記反転増幅器の入力端子と前記サンプリング容量の両端子のうち前記入力印加端子と異なる端子との間に電氣的に直列挿入し、前記電気経路を接続して前記サンプリング容量から前記蓄積容量へ電荷を転送し、前記第1レベルシフト容量及び前記第2レベルシフト容量のそれぞれに前記基準電圧と前記反転増幅器の出力端子の電圧との電位差を保持する転送ステップと、

前記転送ステップの後、前記第1レベルシフト容量の第2端子と基準電圧端子とを開放し、前記出力電圧端子と前記第2のクランプ容量の他方の端子との間に前記第1レベルシフト容量を電氣的に直列挿入することにより、前記反転増幅器の出力端子の電圧をレベルシフトする第1レベルシフトステップと、

前記第1レベルシフトステップの後、前記第2レベルシフト容量の第2端子と基準電圧端子とを開放し、前記第1レベルシフト容量の第2端子と前記第2のクランプ容量の他方の端子との間に前記第2レベルシフト容量を電氣的に直列挿入することにより、前記反転増幅器の出力端子の電圧をレベルシフトする第2レベルシフトステップとを含む

スイッチトキャパシタ回路の駆動方法。

[請求項23]

入力電圧端子から入力された入力電圧の電圧レベルを変換し、当該変換された電圧を出力電圧端子から出力するスイッチトキャパシタ回路の駆動方法であって、

(1) 前記出力電圧端子に接続され、反転増幅器の出力端子の電圧レベルをシフトするための第1レベルシフト容量の両端子及び第2レベルシフト容量の両端子を短絡し、かつ、(2) 前記入力電圧の印加が可能なサンプリング容量と前記出力電圧端子との間に配置された蓄積容量を介した電気経路を開放した状態で、前記入力電圧と基準電圧

との電位差を前記サンプリング容量によりサンプリングし、かつ、前記反転増幅器の入力端子と出力端子とが短絡された状態の前記反転増幅器の短絡電圧と前記基準電圧との電位差を、それぞれ、第1クランプ容量、第2クランプ容量及び第3クランプ容量によりサンプリングするサンプリングステップと、

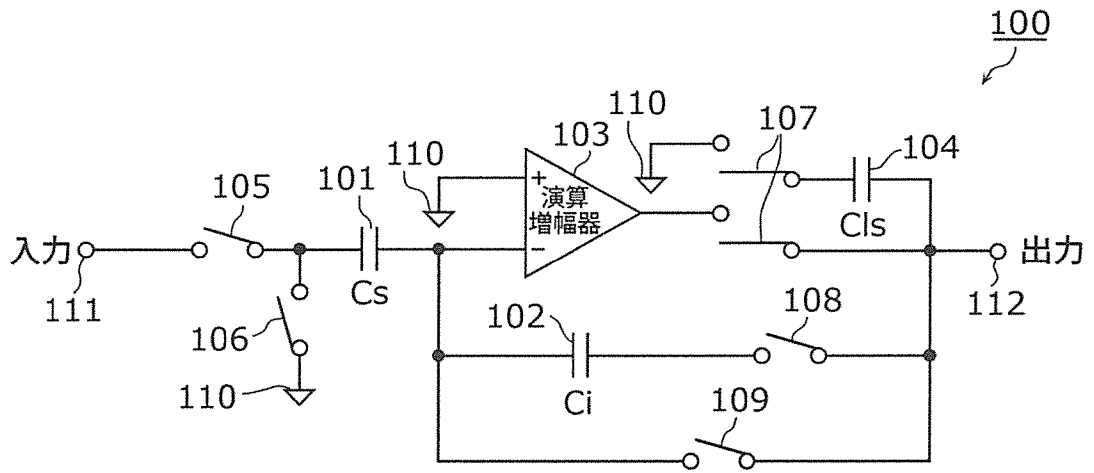
前記サンプリングステップの後、前記サンプリング容量の両端子のうち前記入力電圧の印加が可能な入力印加端子を前記基準電圧に設定し、前記第1クランプ容量を前記反転増幅器の入力端子と前記サンプリング容量の両端子のうち前記入力印加端子と異なる端子との間に電氣的に直列挿入し、前記電気経路を接続して前記サンプリング容量から前記蓄積容量へ電荷を転送し、前記第1レベルシフト容量及び前記第2レベルシフト容量のそれぞれに前記基準電圧と前記反転増幅器の出力端子の電圧との電位差を保持する転送ステップと、

前記転送ステップの後、前記第1レベルシフト容量の第2端子と基準電圧端子とを開放し、前記出力電圧端子と前記第2のクランプ容量の他方の端子との間に前記第1レベルシフト容量を電氣的に直列挿入することにより、前記反転増幅器の出力端子の電圧をレベルシフトする第1レベルシフトステップと、

前記第1レベルシフトステップの後、前記第2レベルシフト容量の第2端子と基準電圧端子とを開放し、前記第1レベルシフト容量の第2端子と前記第3のクランプ容量の他方の端子との間に前記第2レベルシフト容量を電氣的に直列挿入することにより、前記反転増幅器の出力端子の電圧をレベルシフトする第2レベルシフトステップとを含む

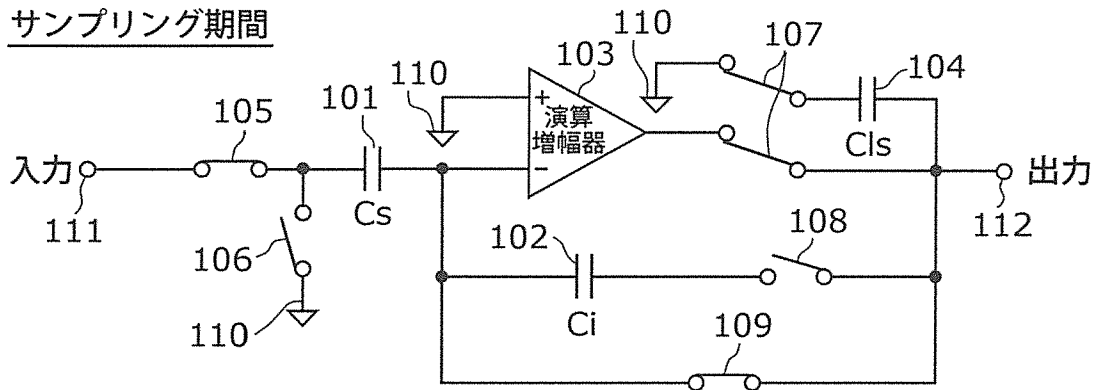
スイッチトキャパシタ回路の駆動方法。

[図1]



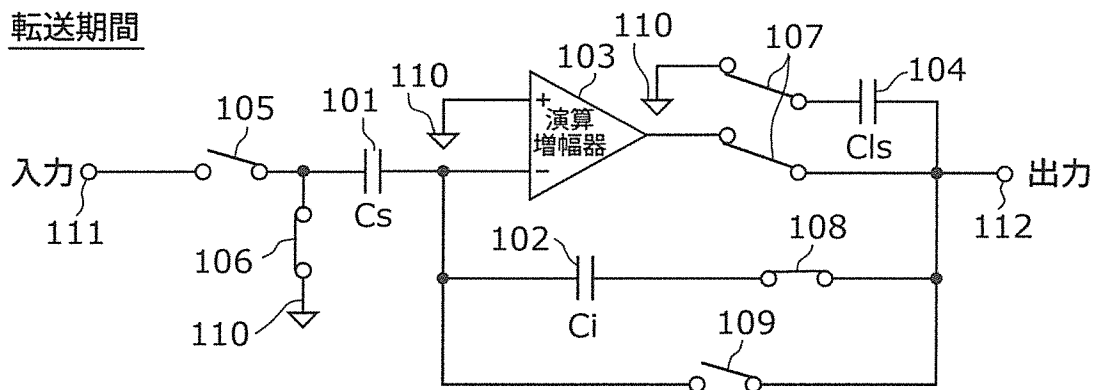
[図2A]

サンプリング期間



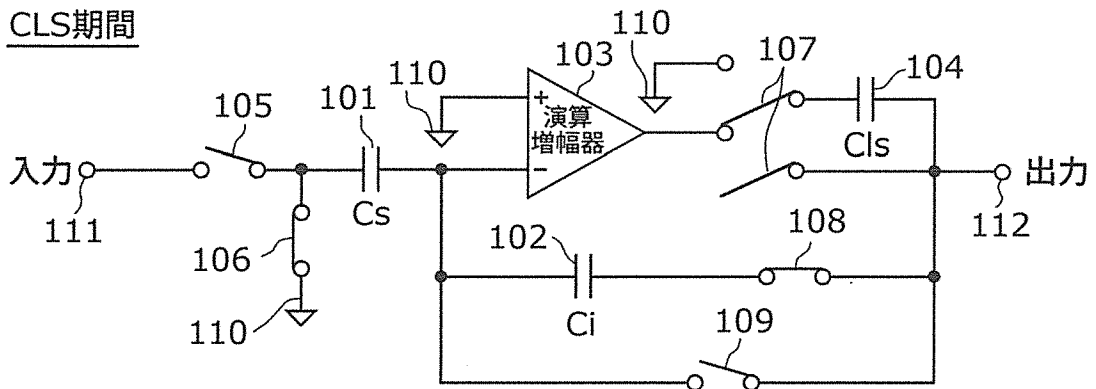
[図2B]

転送期間

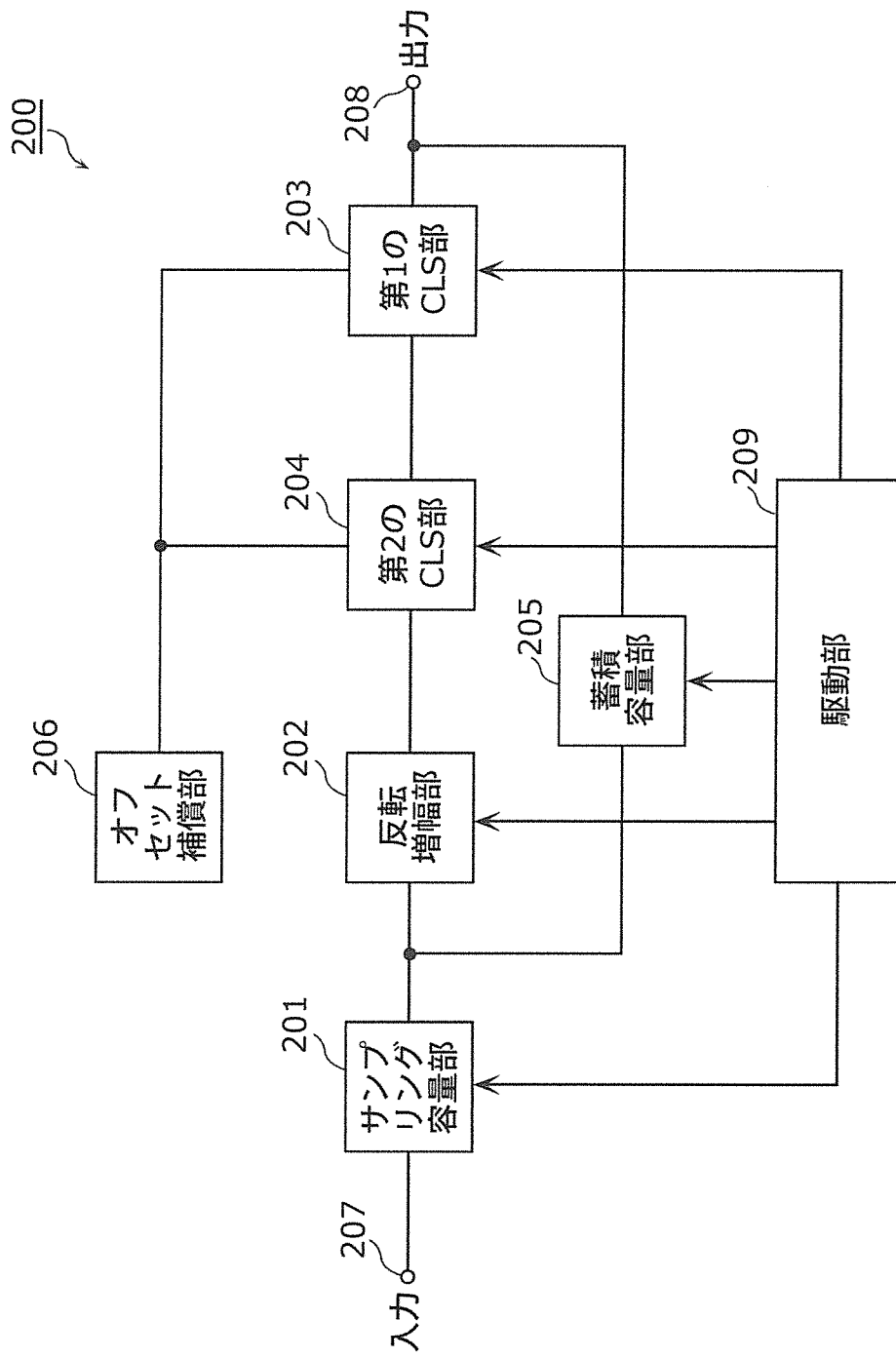


[図2C]

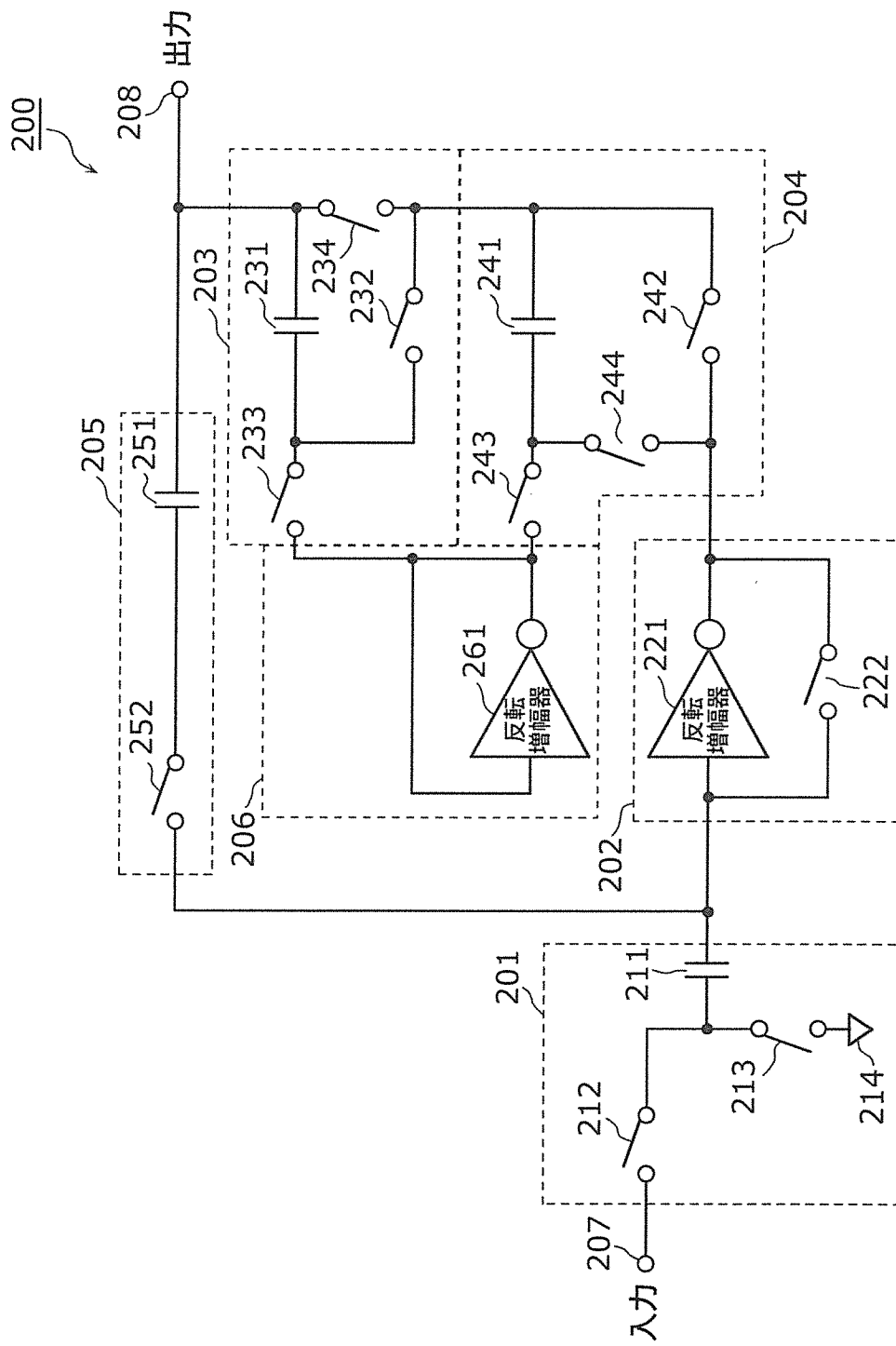
CLS期間



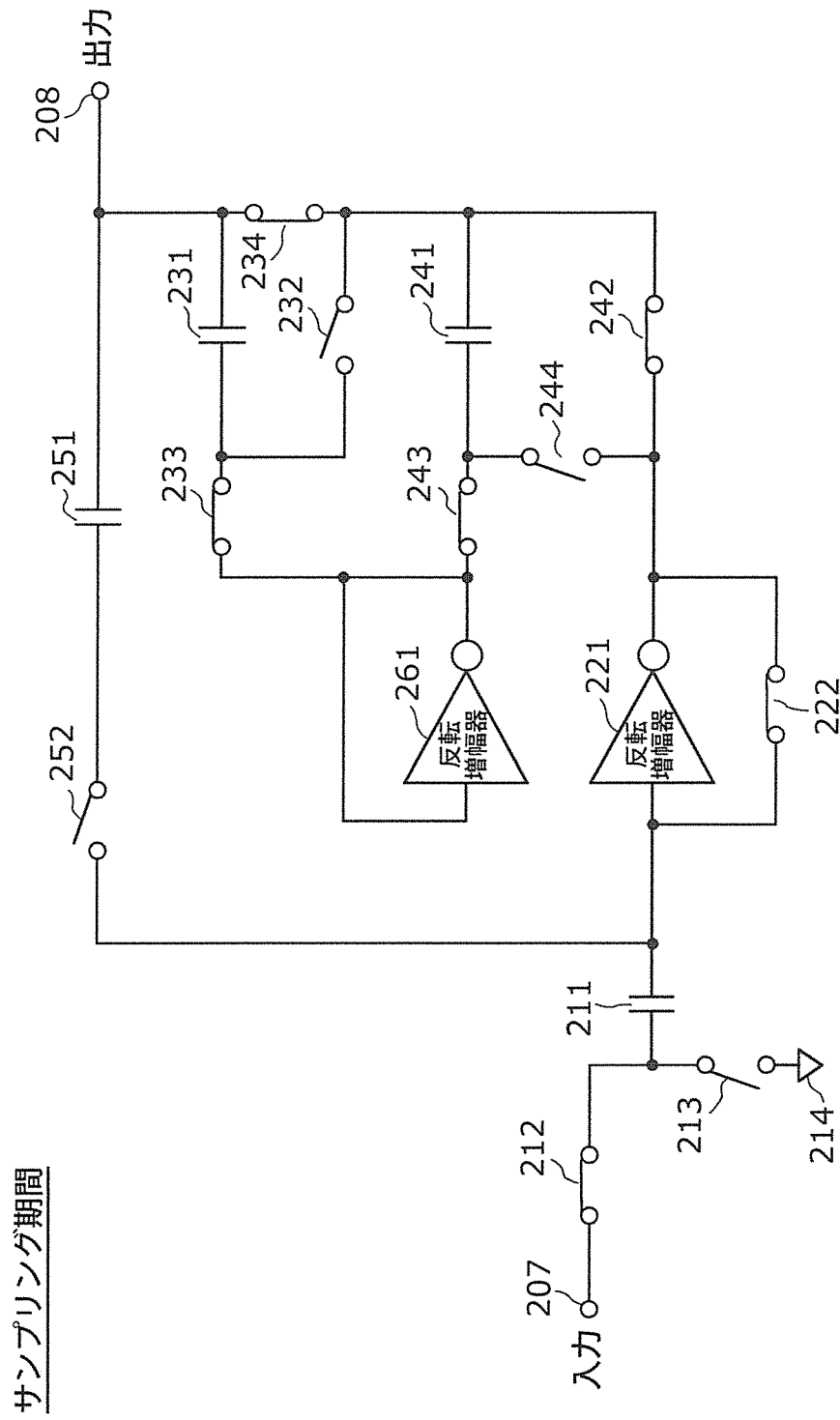
[図3]



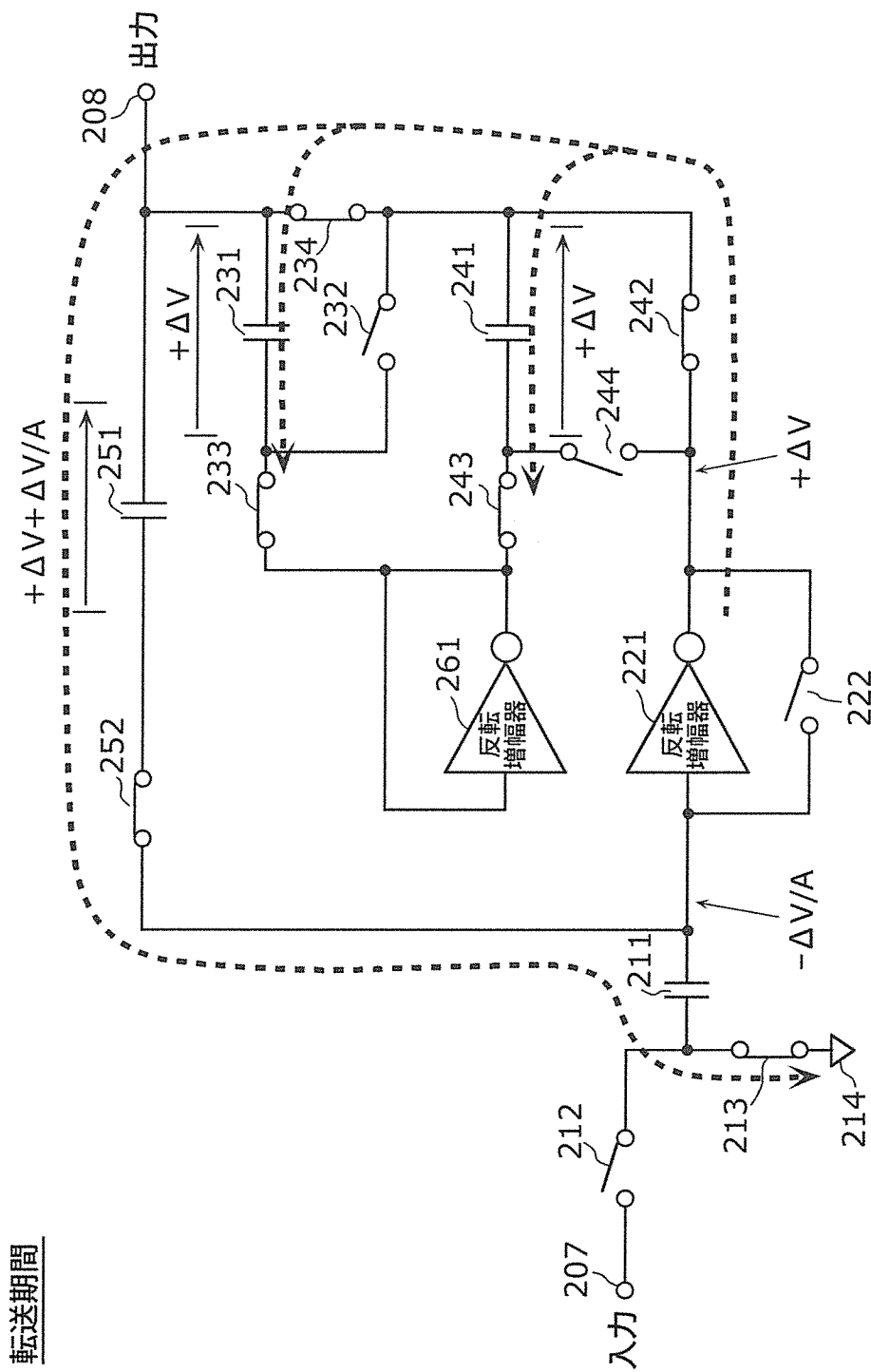
[図4]



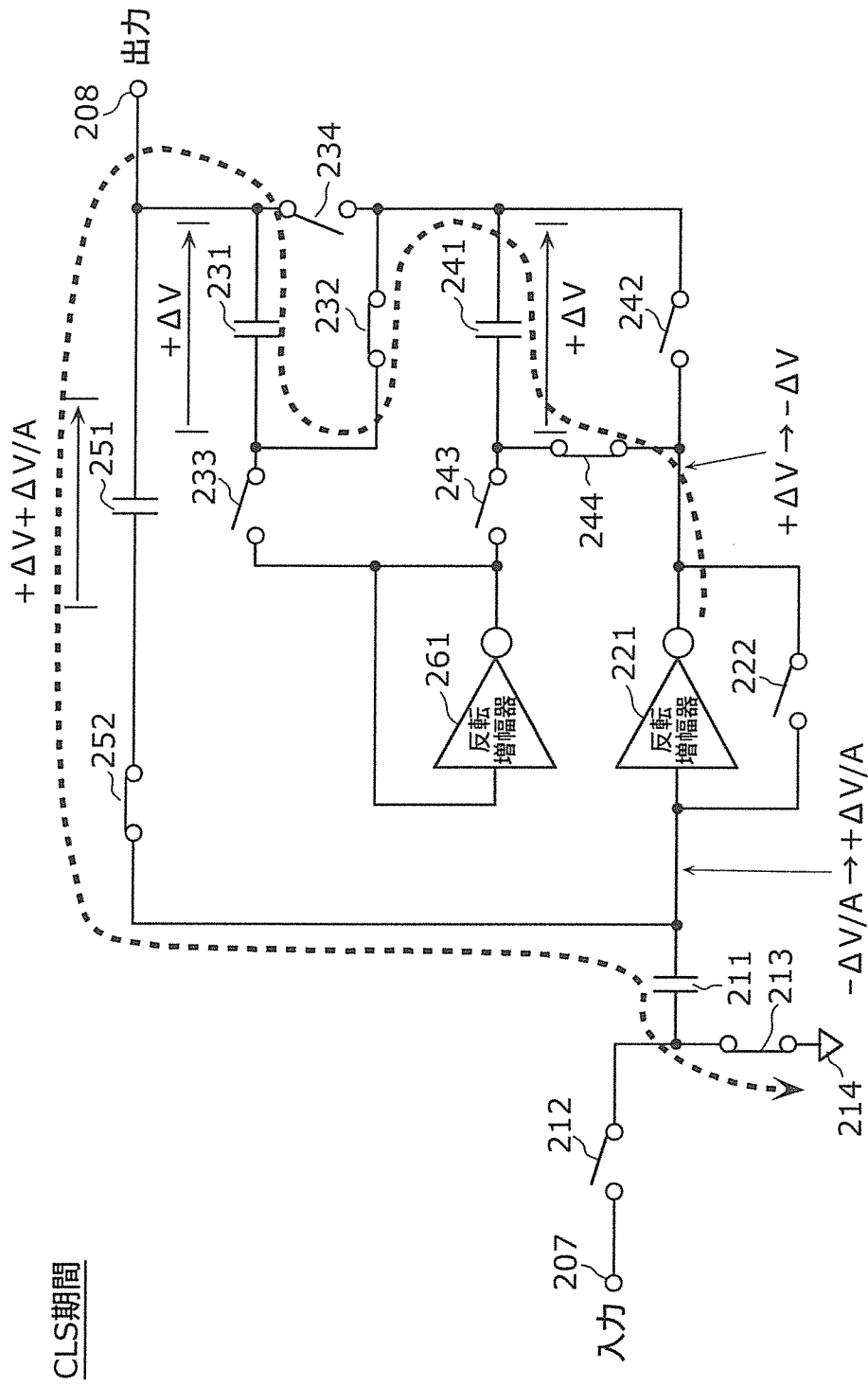
[図5A]



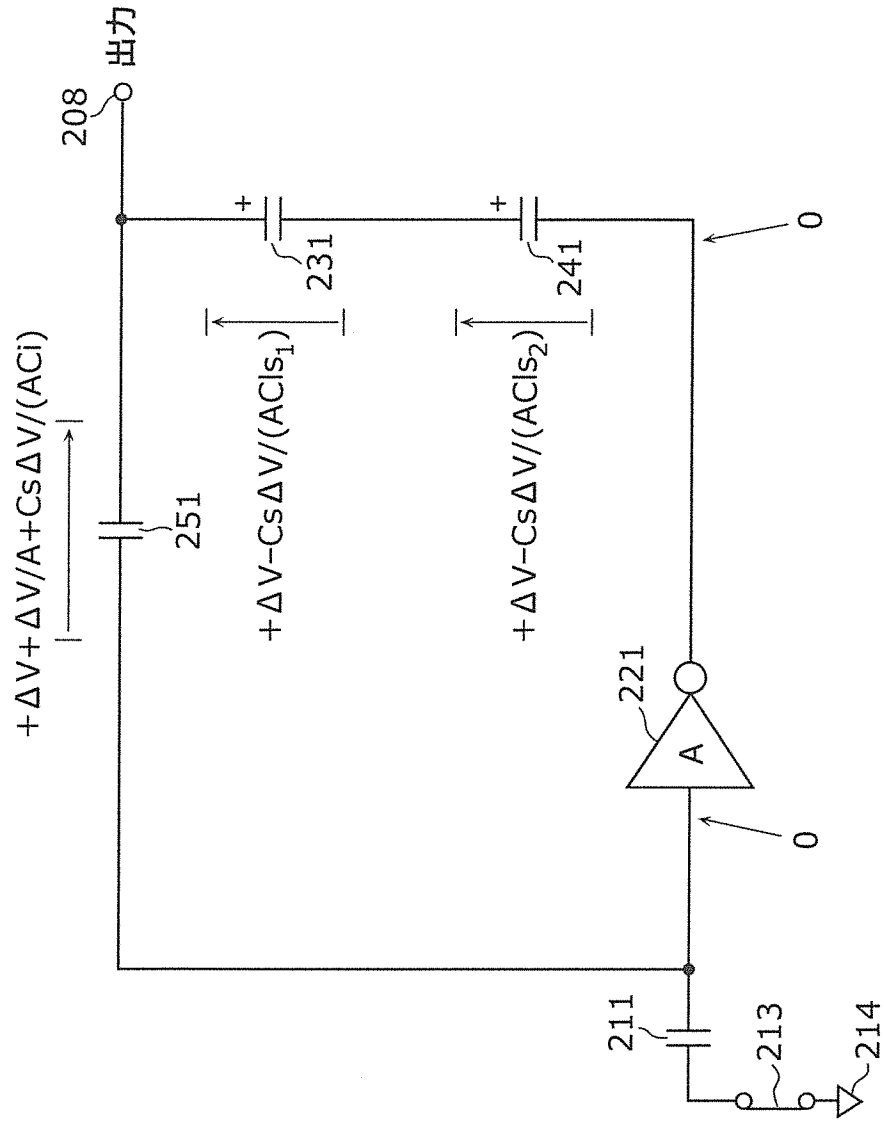
[図5B]



[図5C]



[図5D]

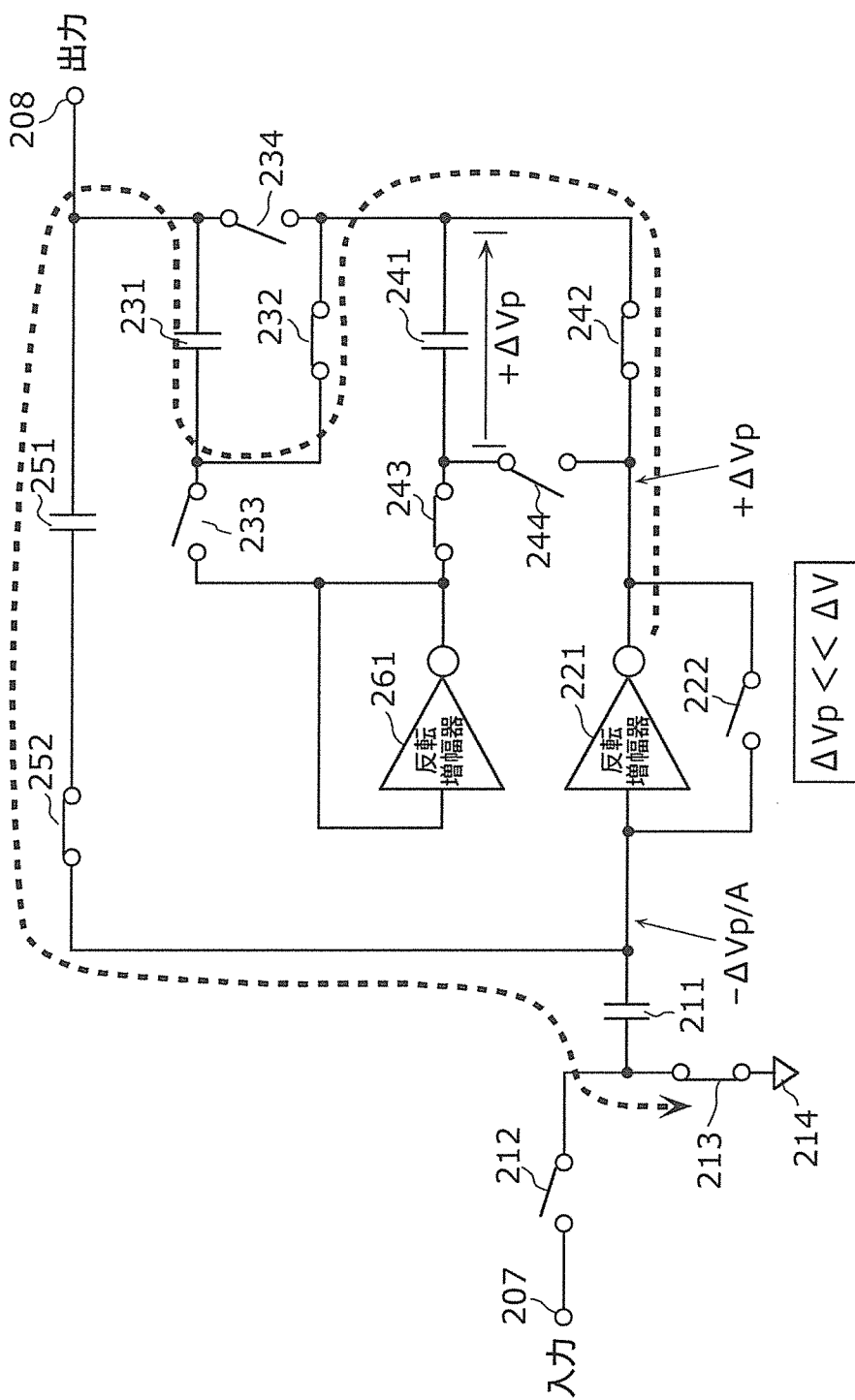


必要条件: $1/A + Cs/(ACIs) + Cs/Ax(1/CIs_1 + 1/CIs_2) = 1$

CLS期間

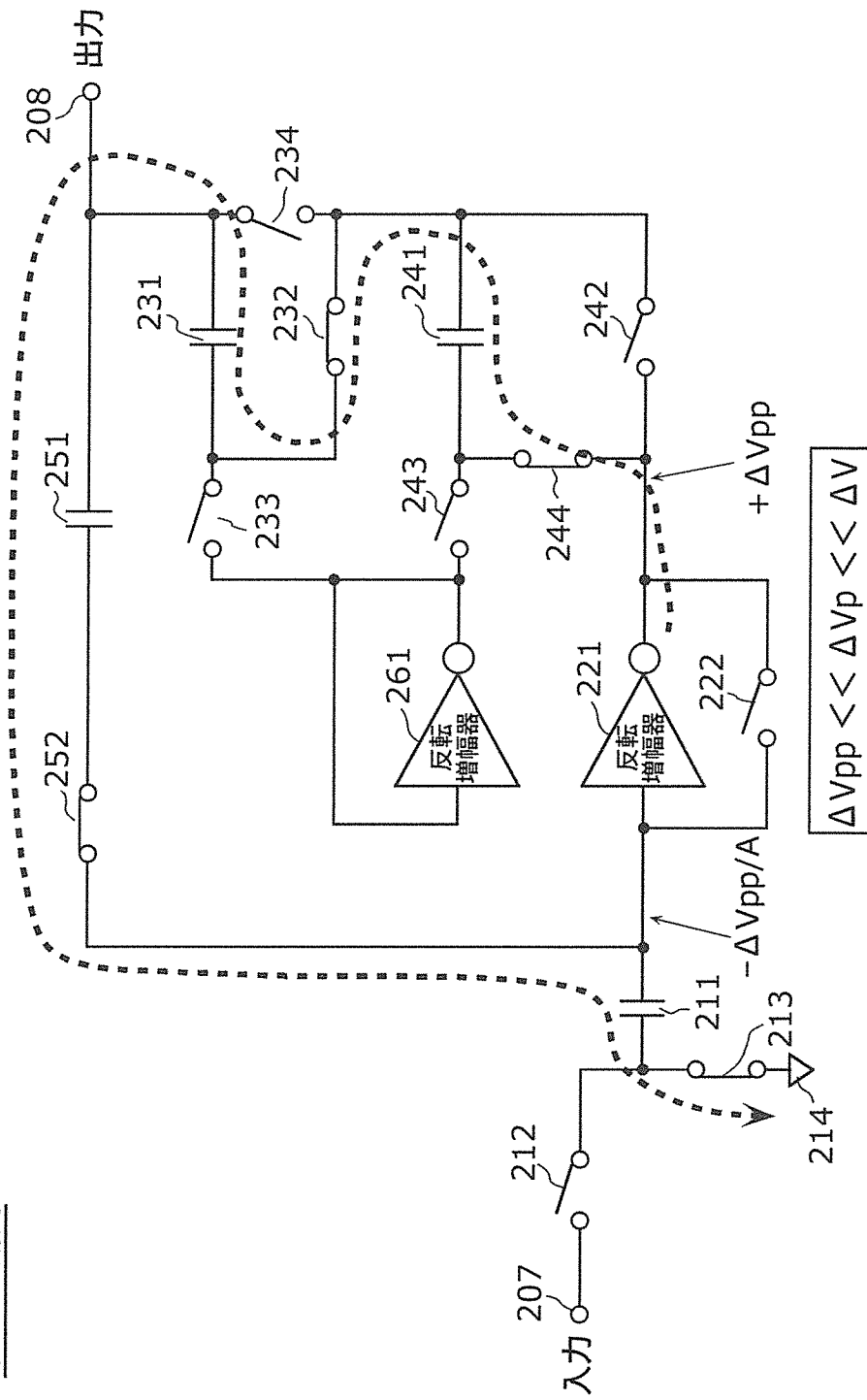
[図6A]

第1CLS期間

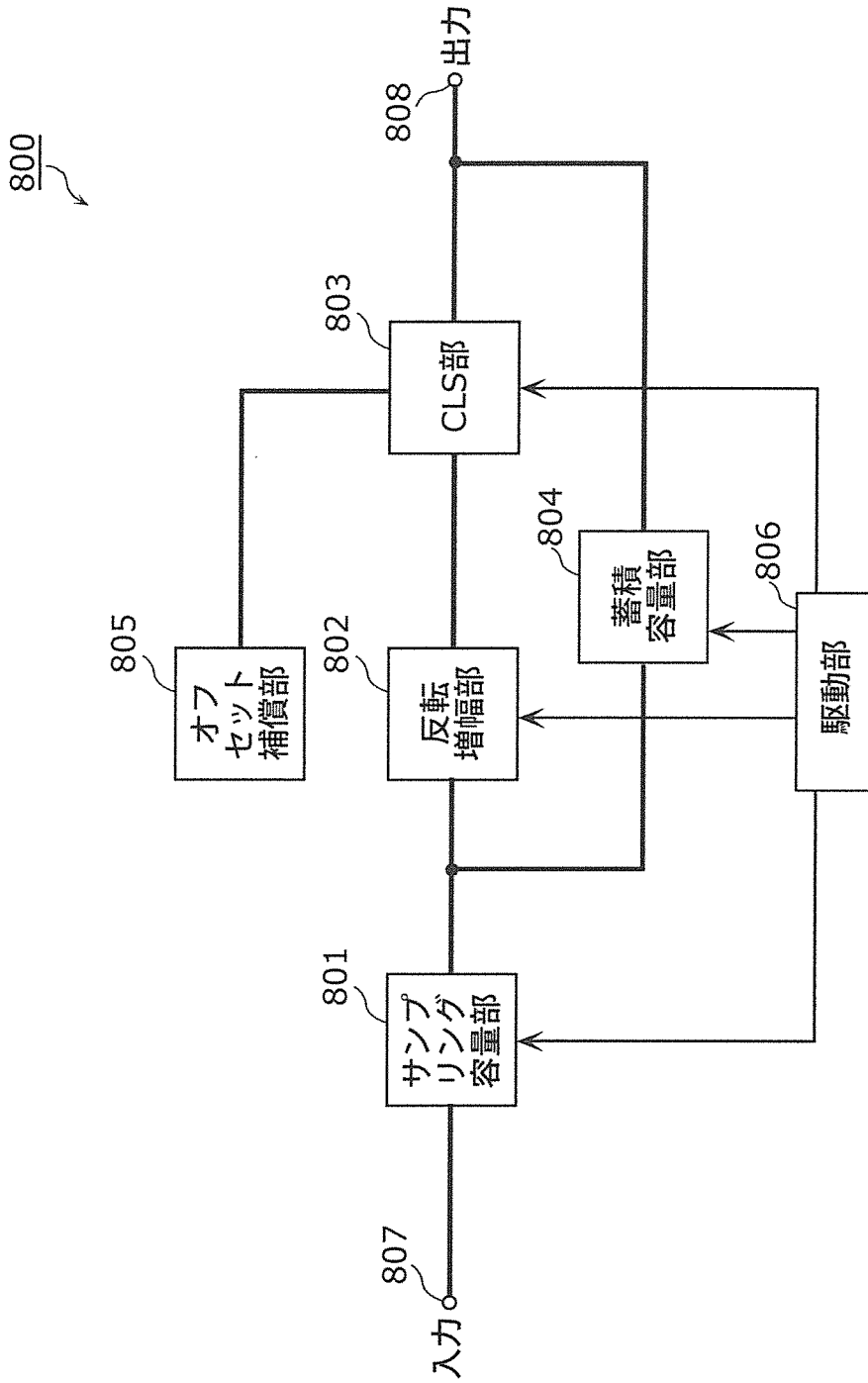


[図6B]

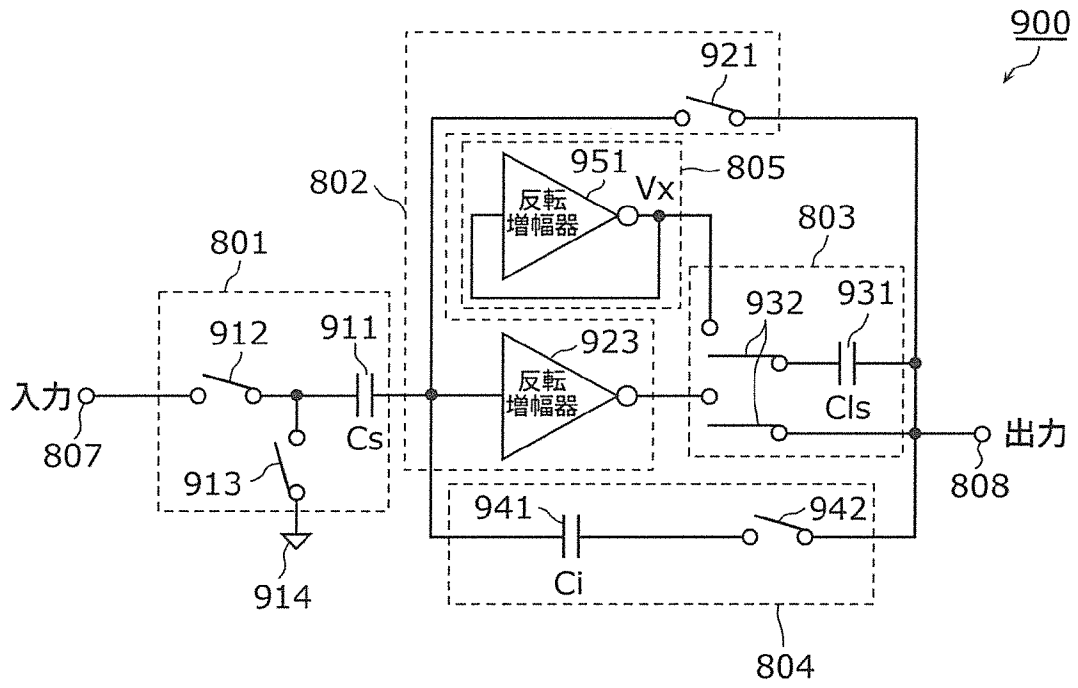
第2CLS期間



[図7]

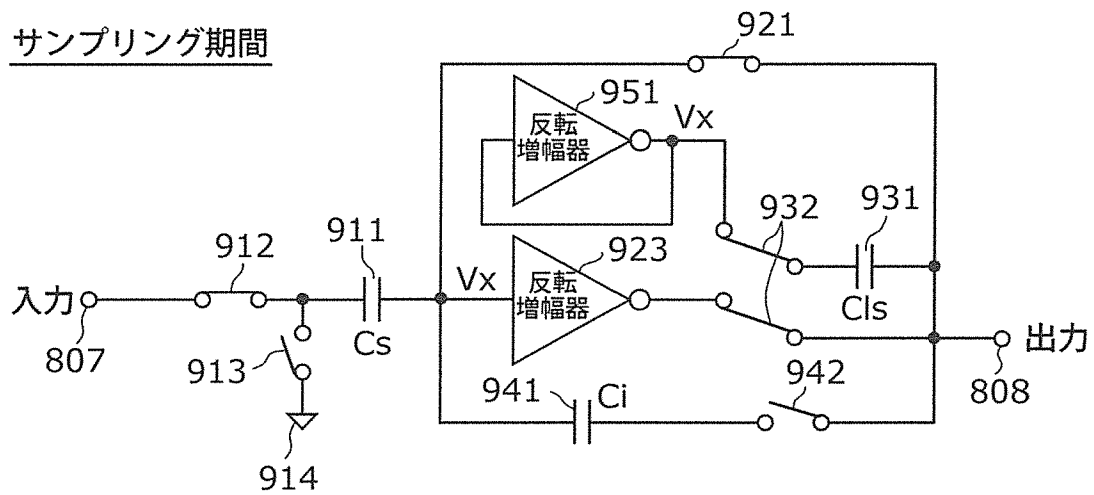


[図8]



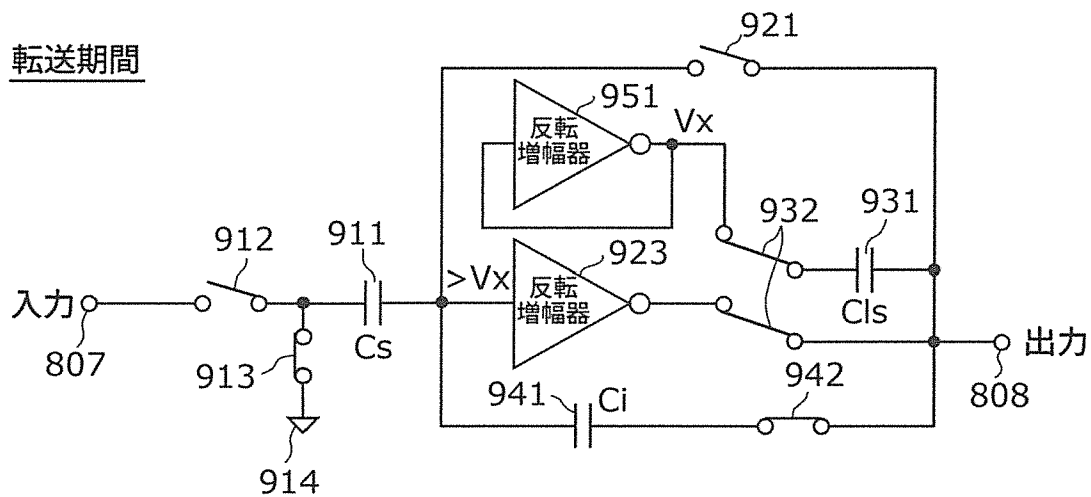
[図9A]

サンプリング期間



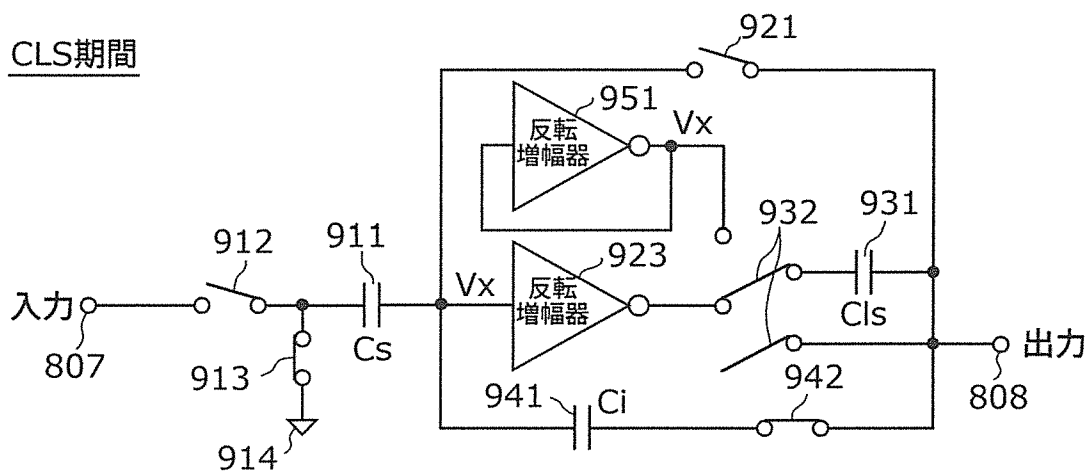
[図9B]

転送期間

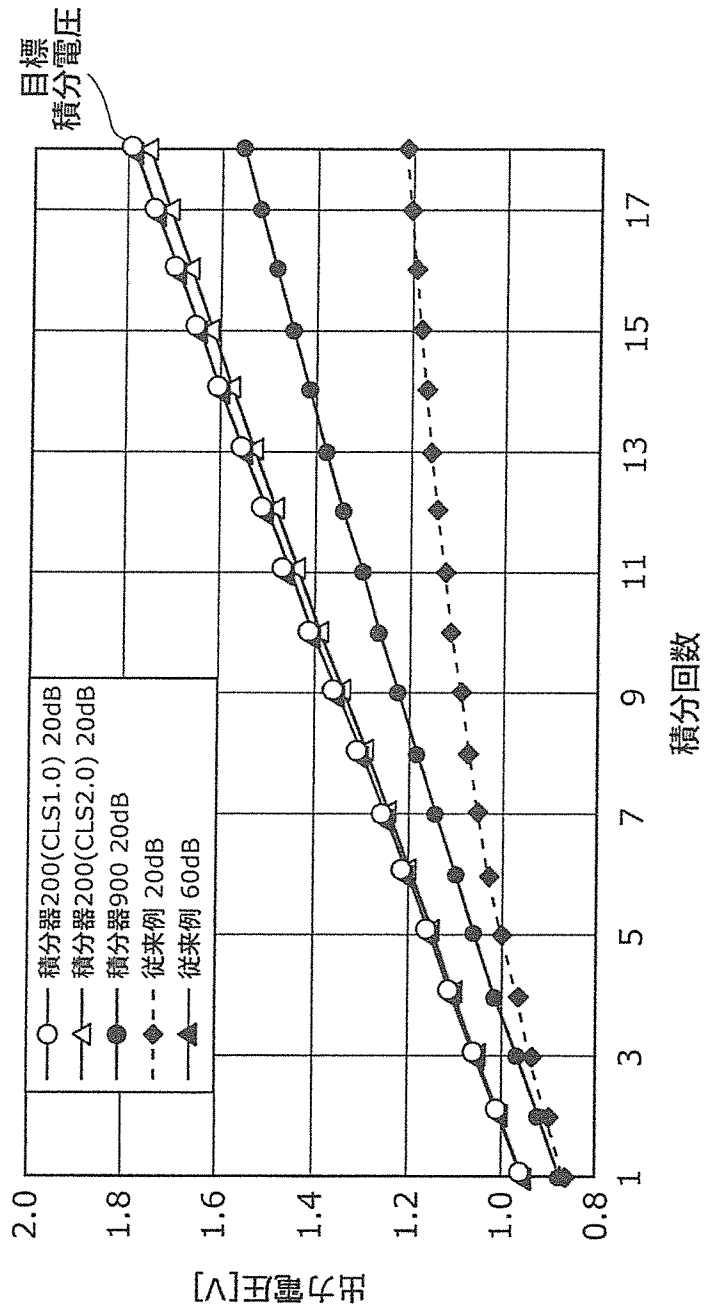


[図9C]

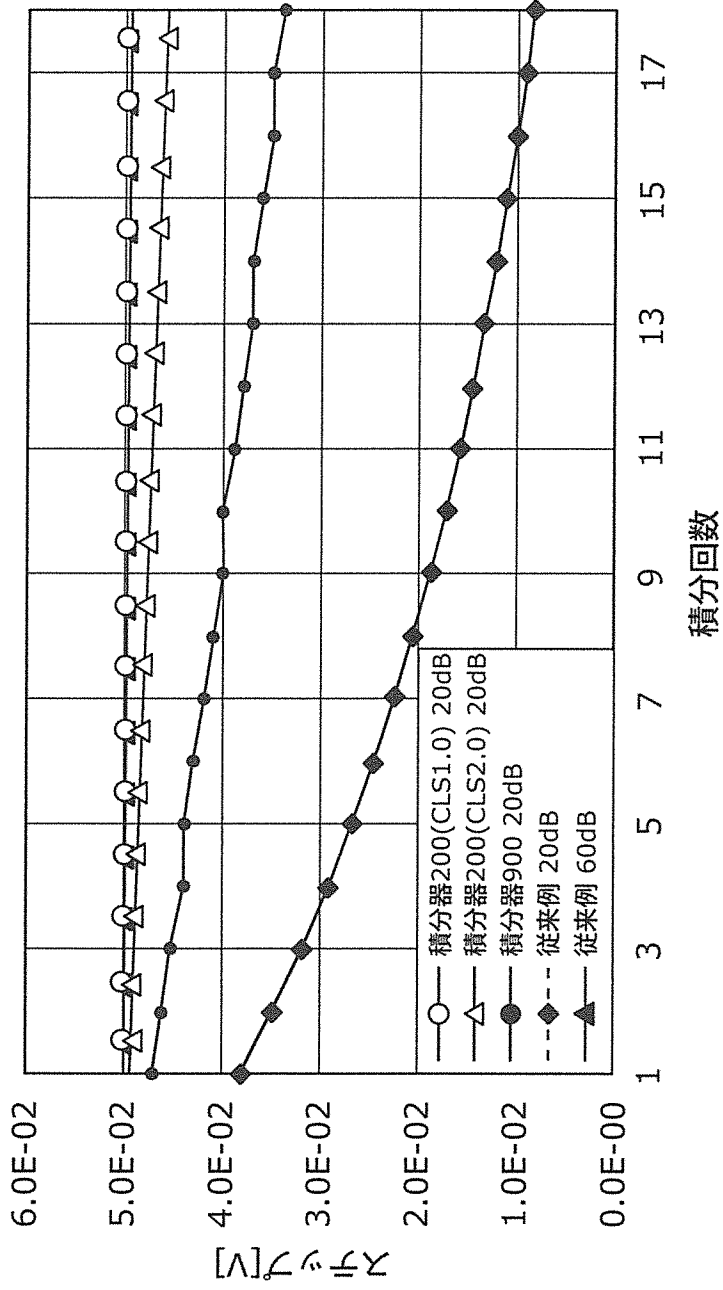
CLS期間



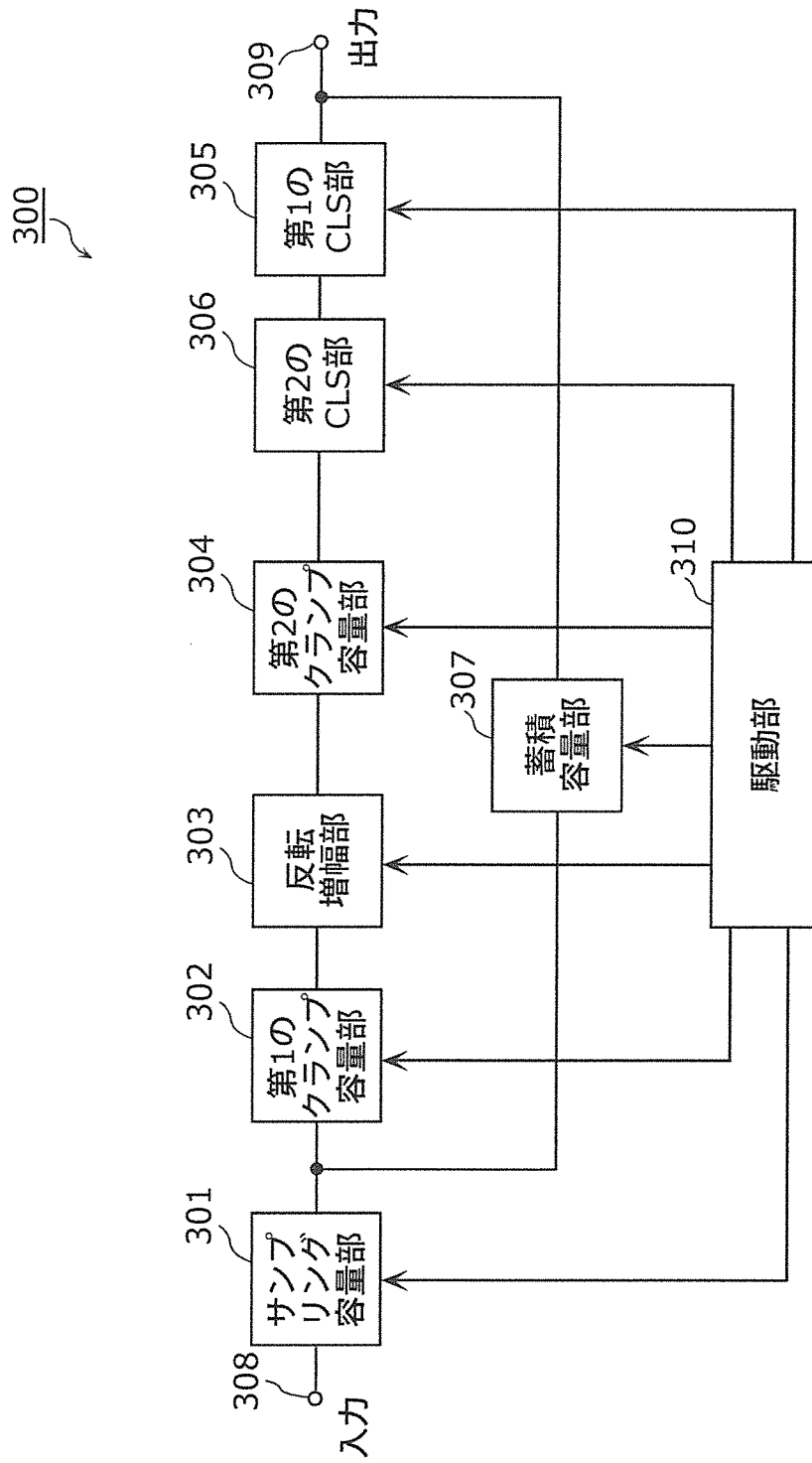
[図10A]



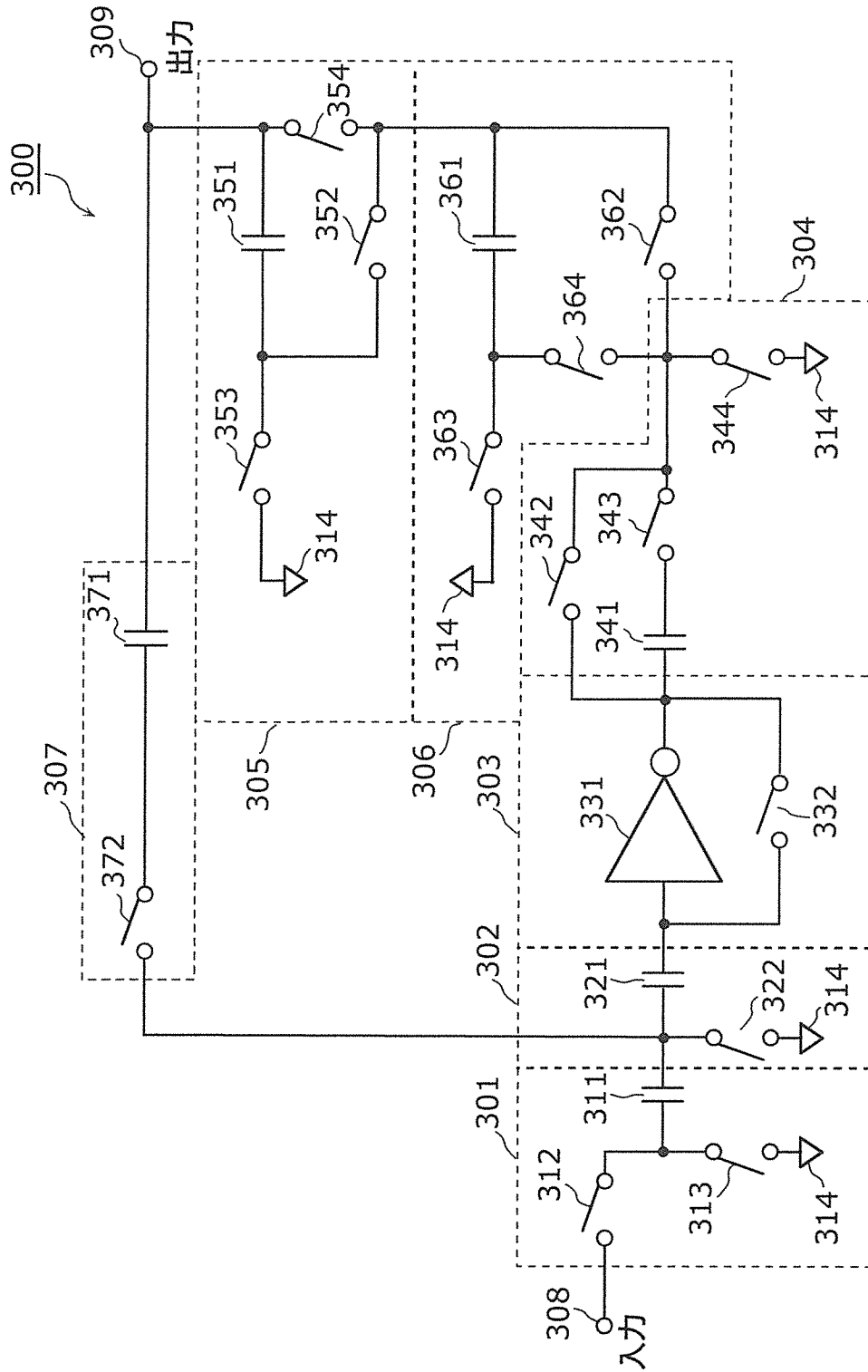
[図10B]



[図11]

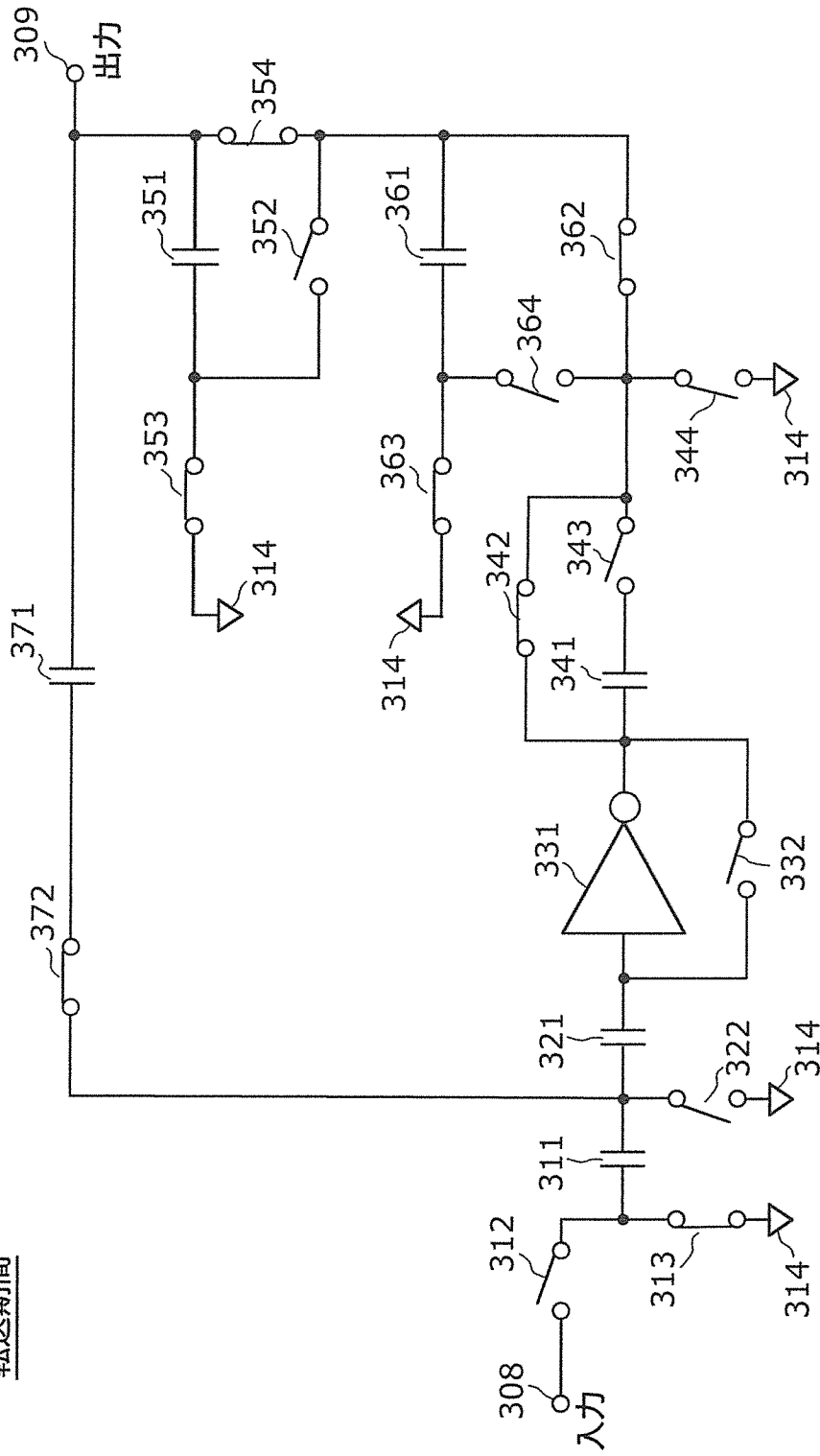


[図12]



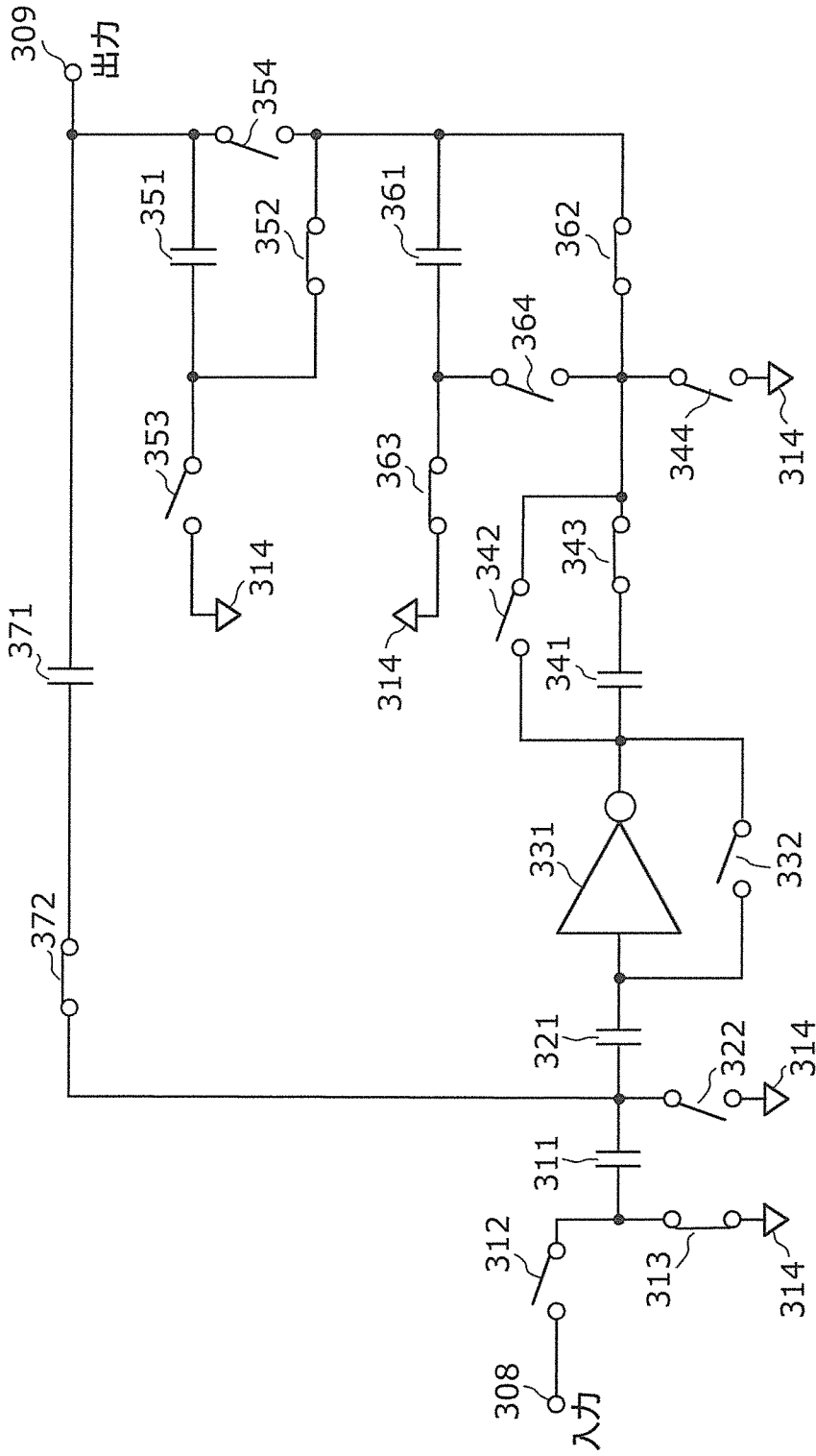
[図13B]

転送期間



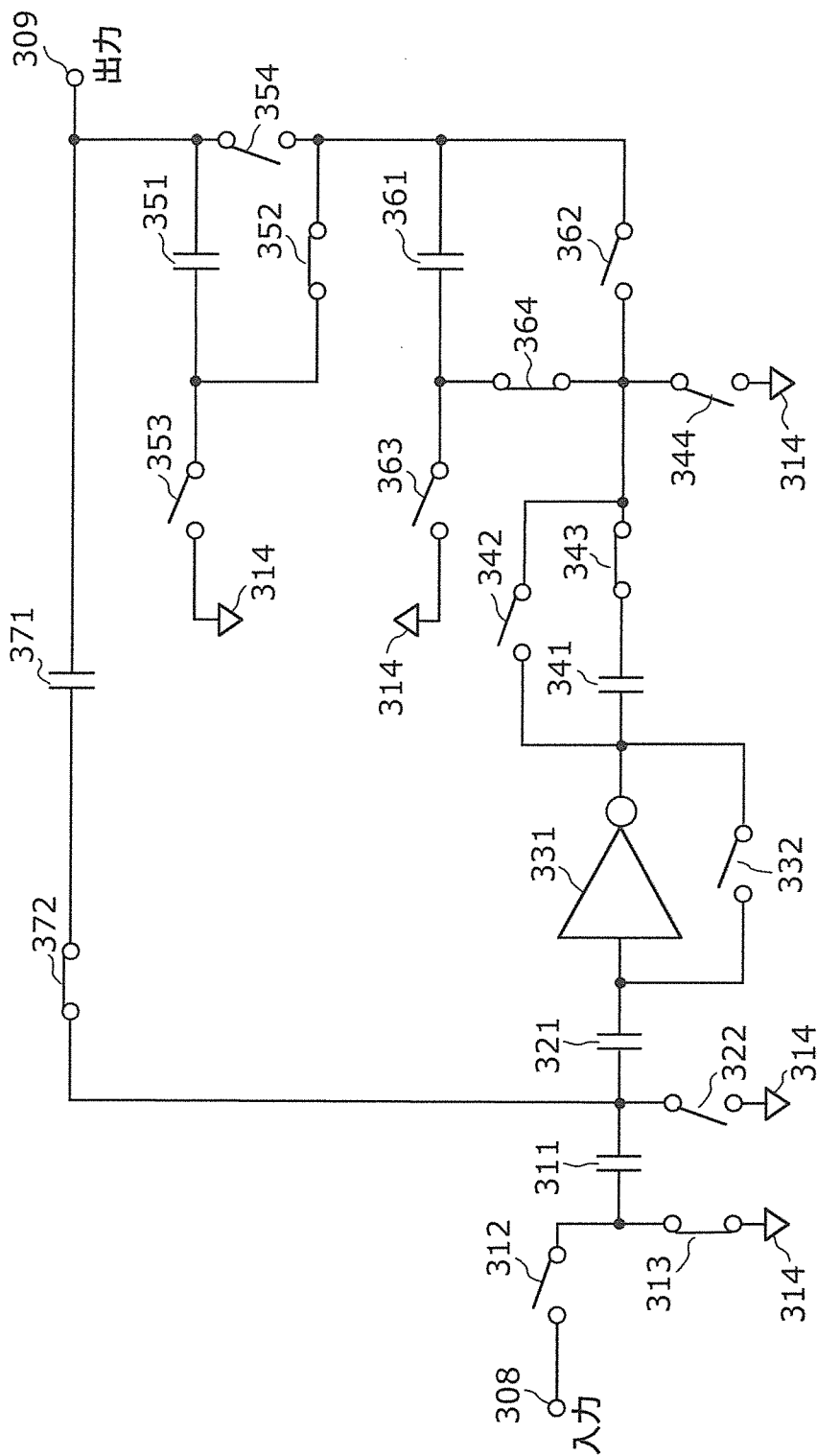
[図13C]

第1CLS期間

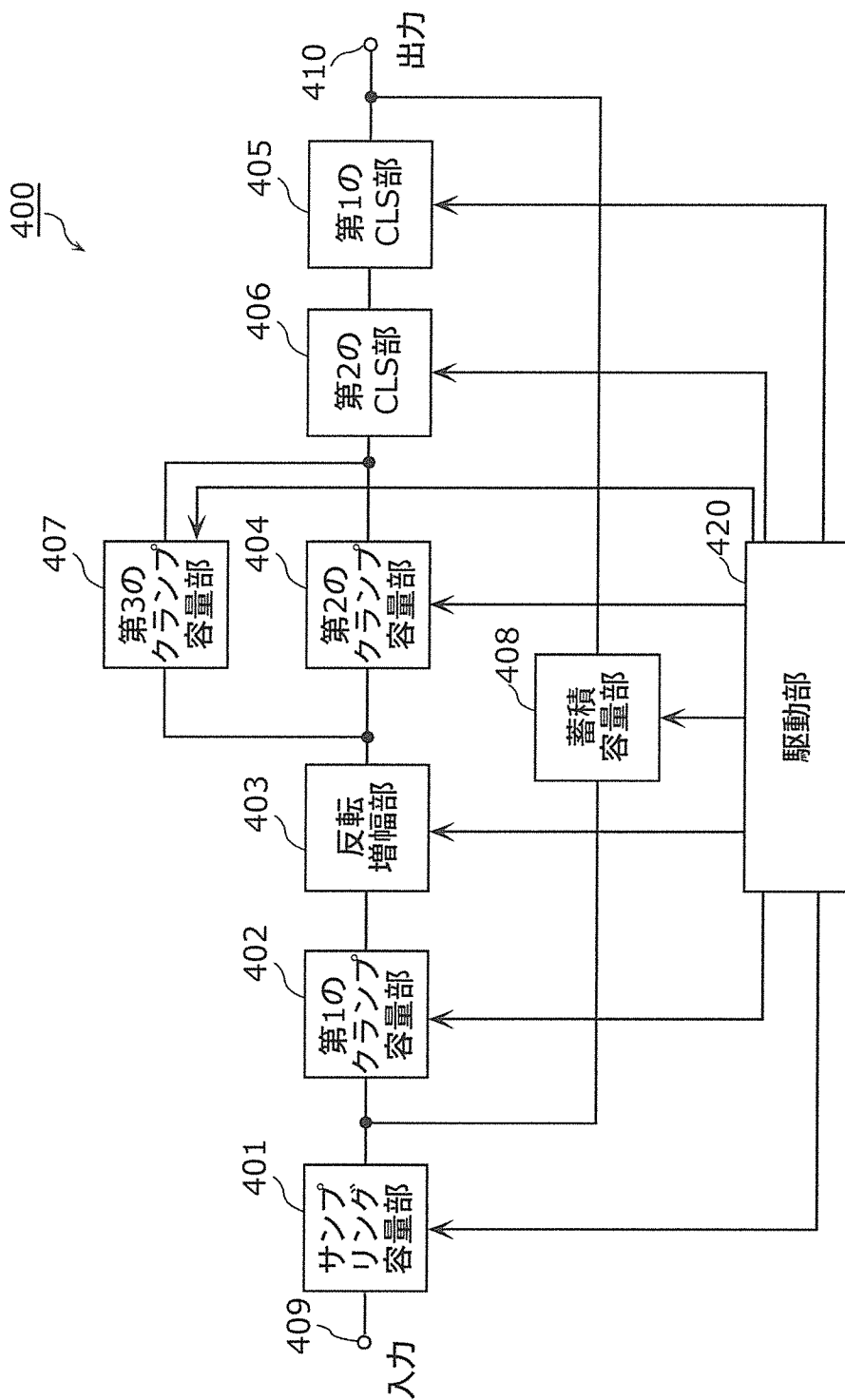


[図13D]

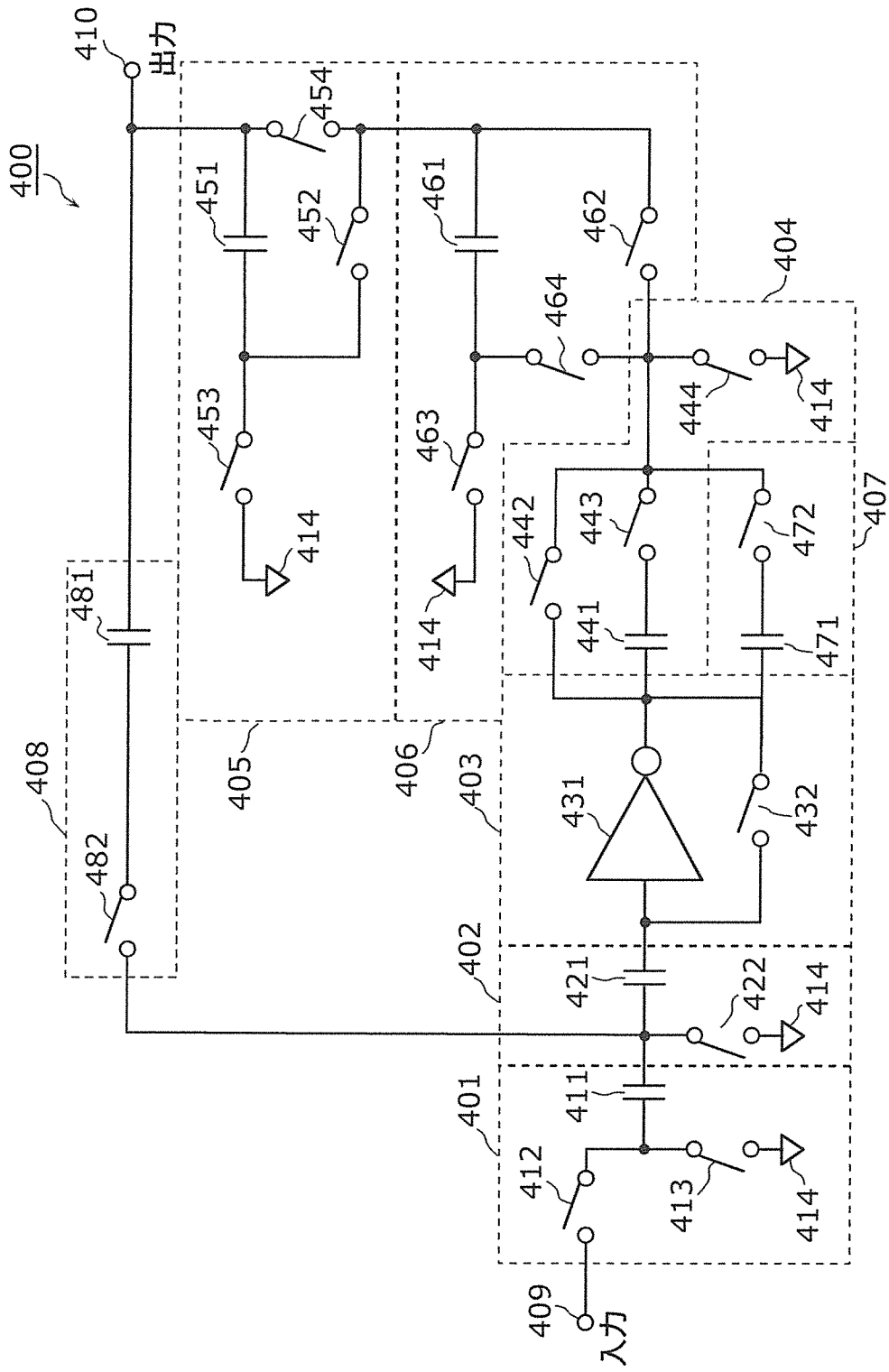
第2CLS期間



[図14]

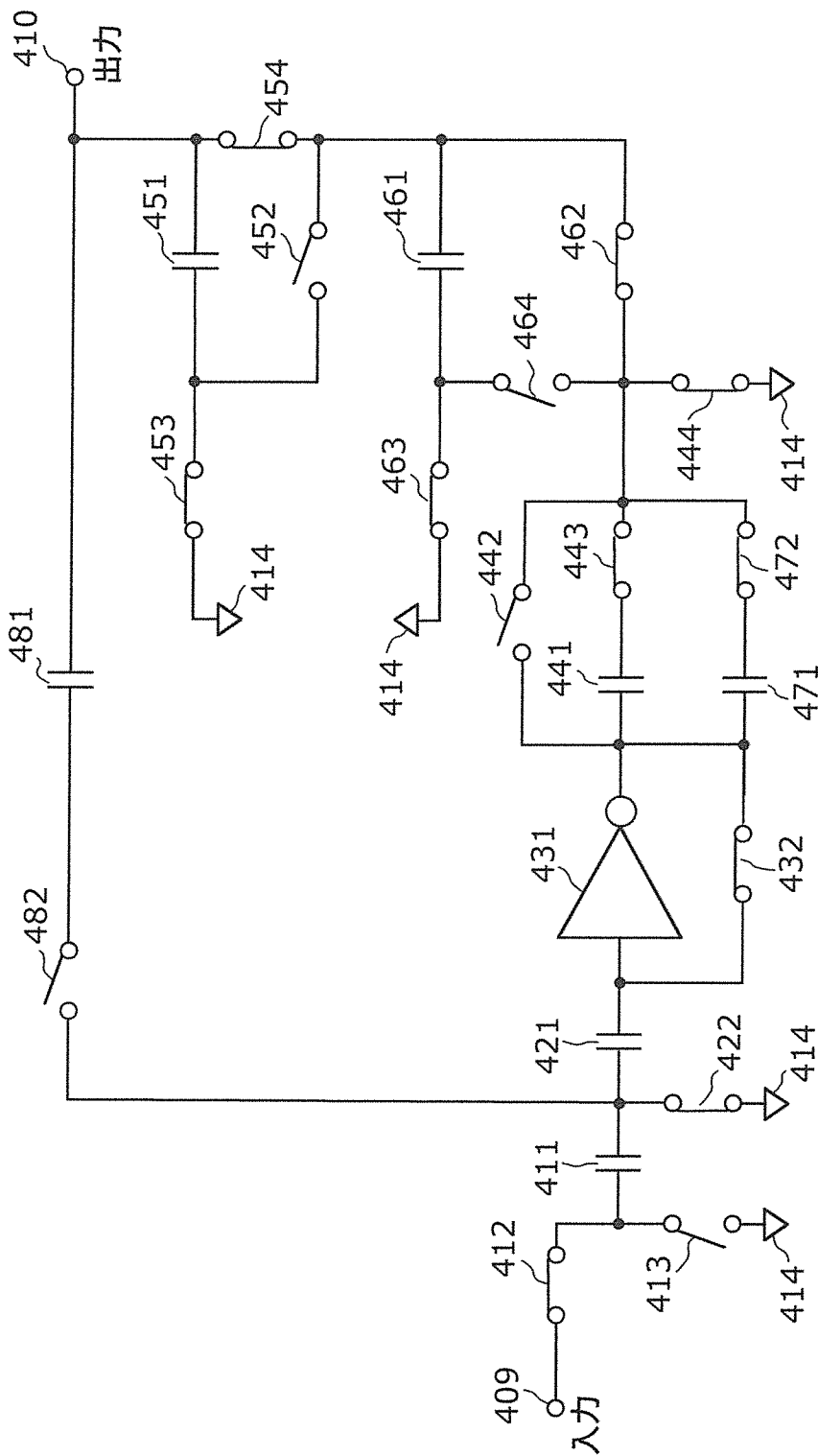


[図15]

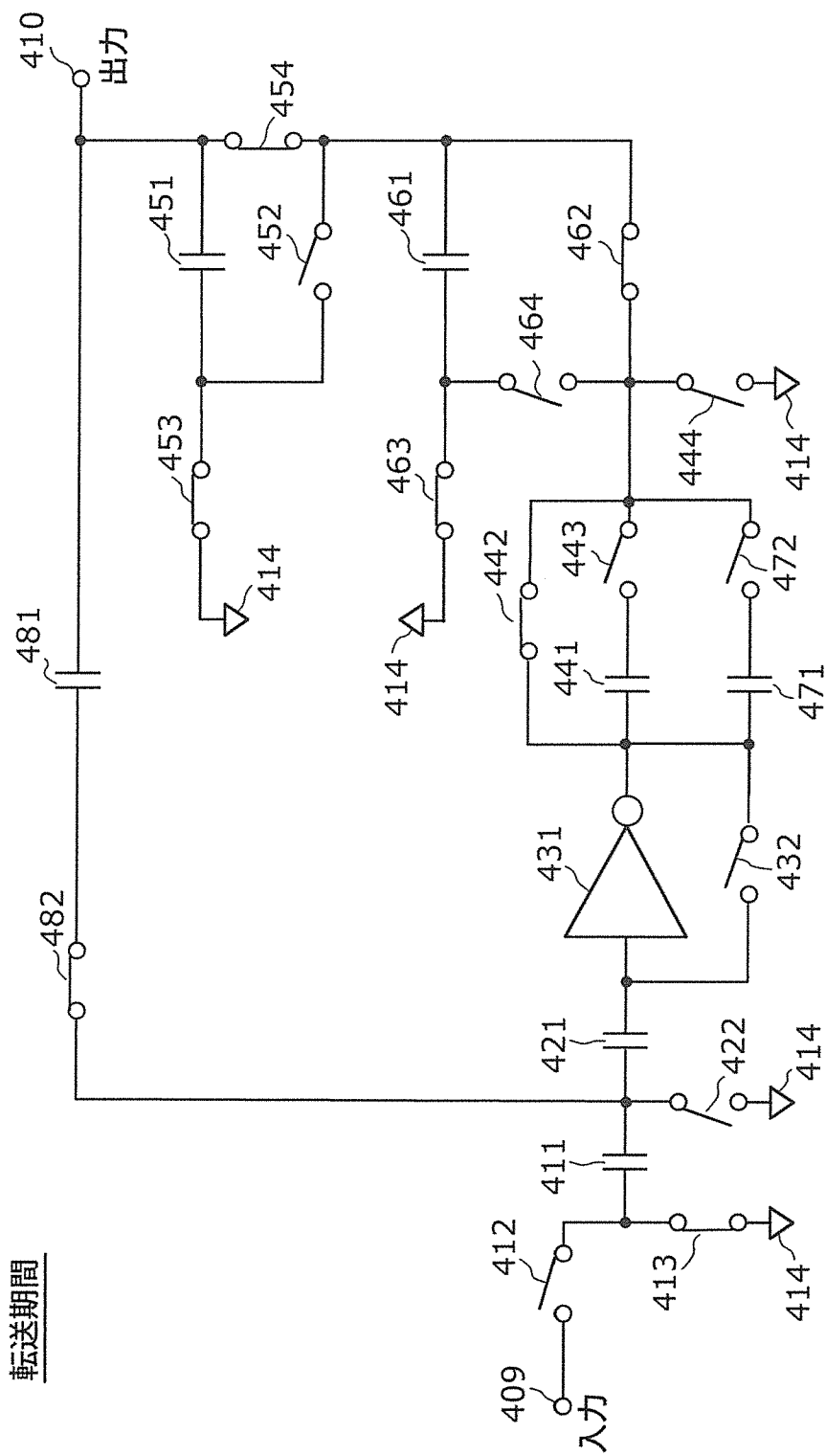


[図16A]

サンプリング期間

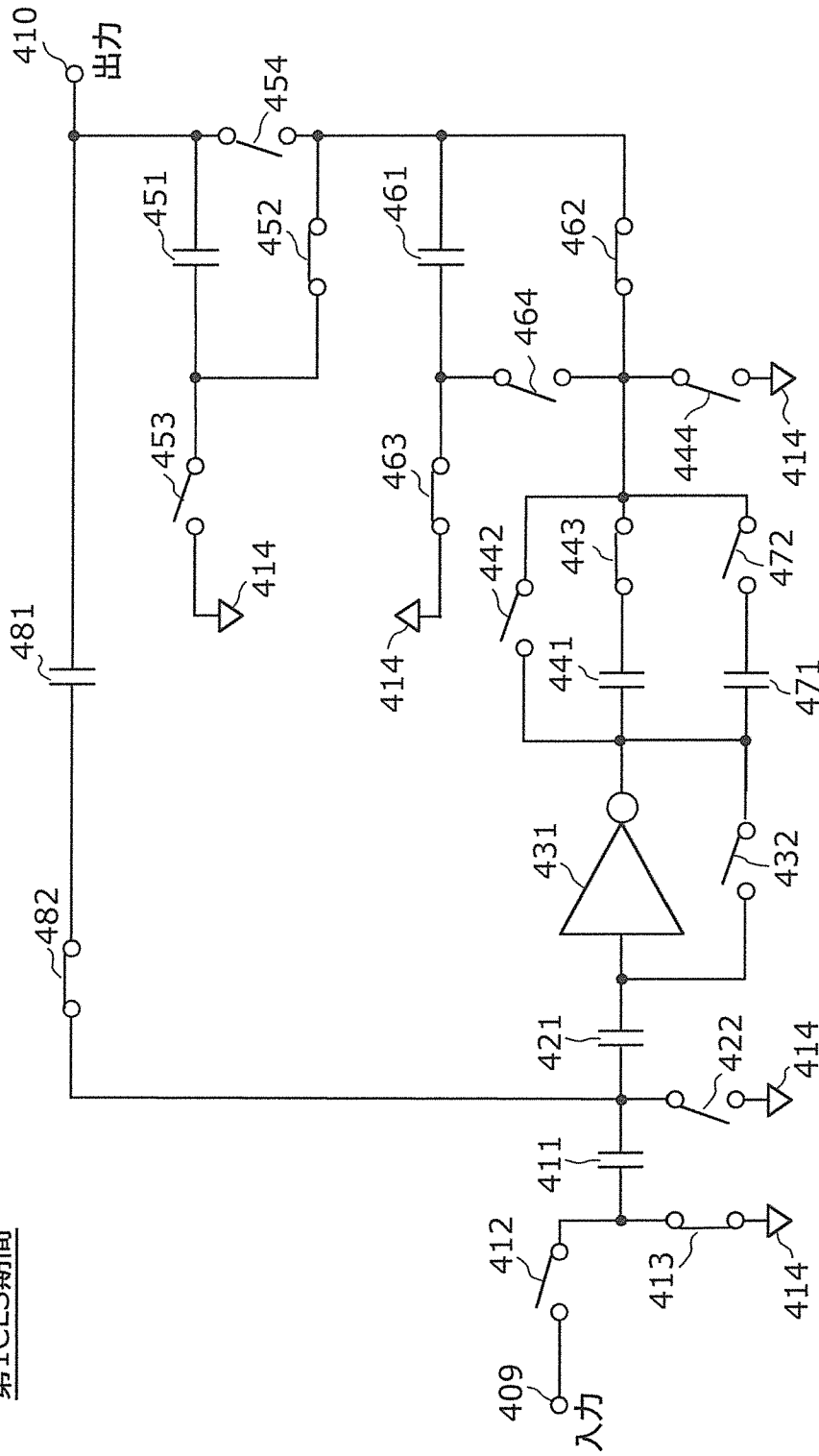


[図16B]



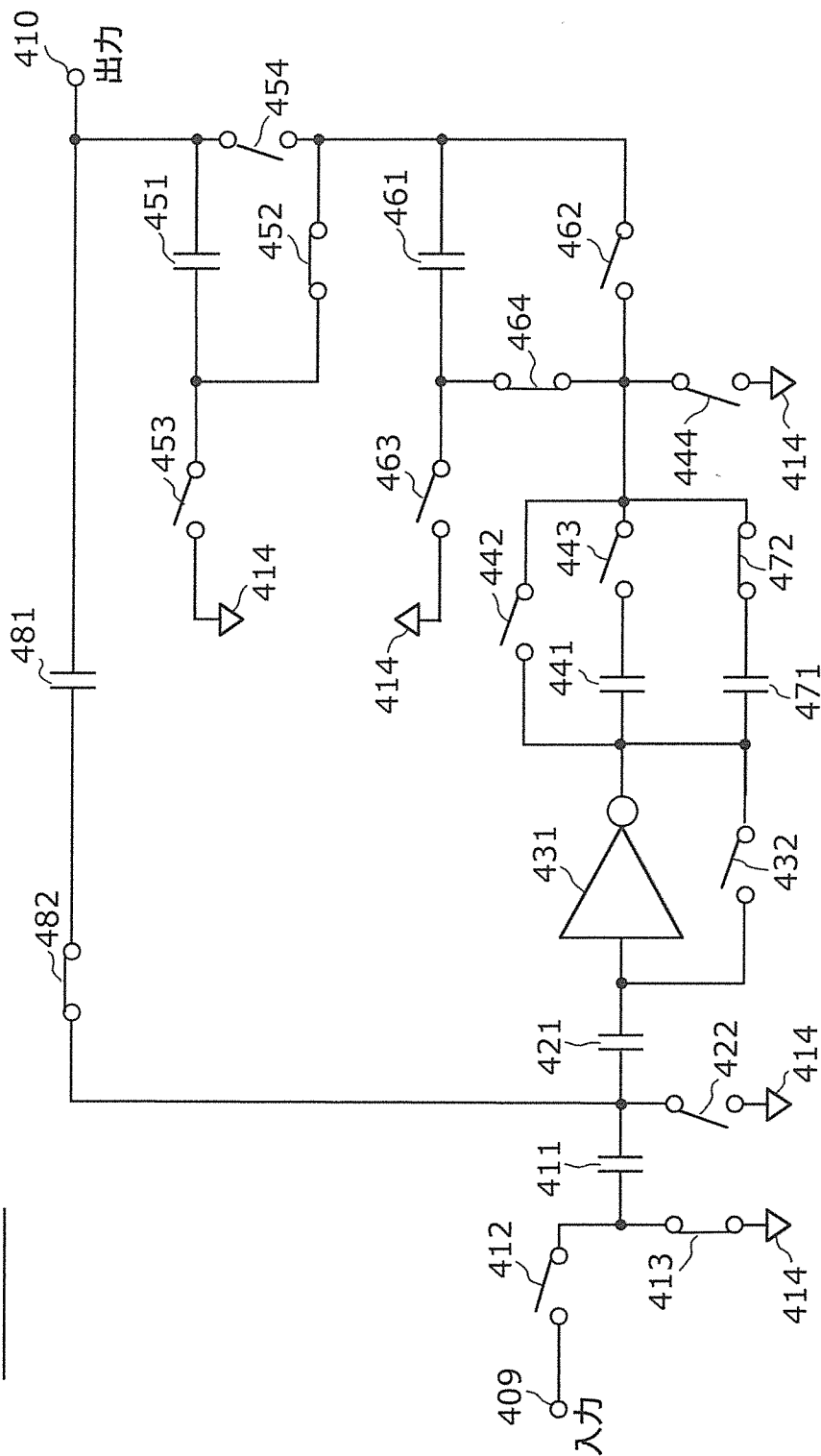
[図16C]

第1CLS期間

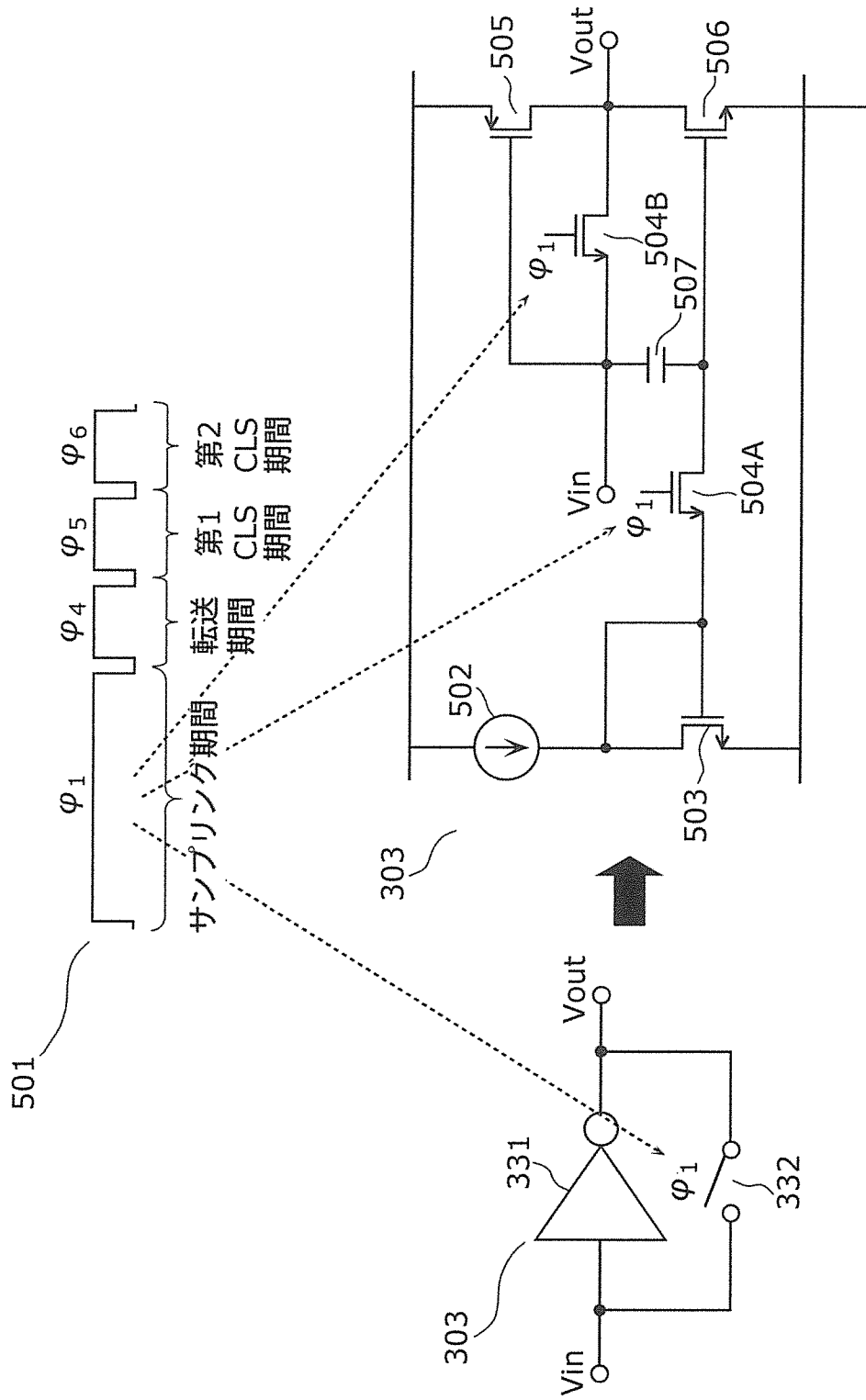


[図16D]

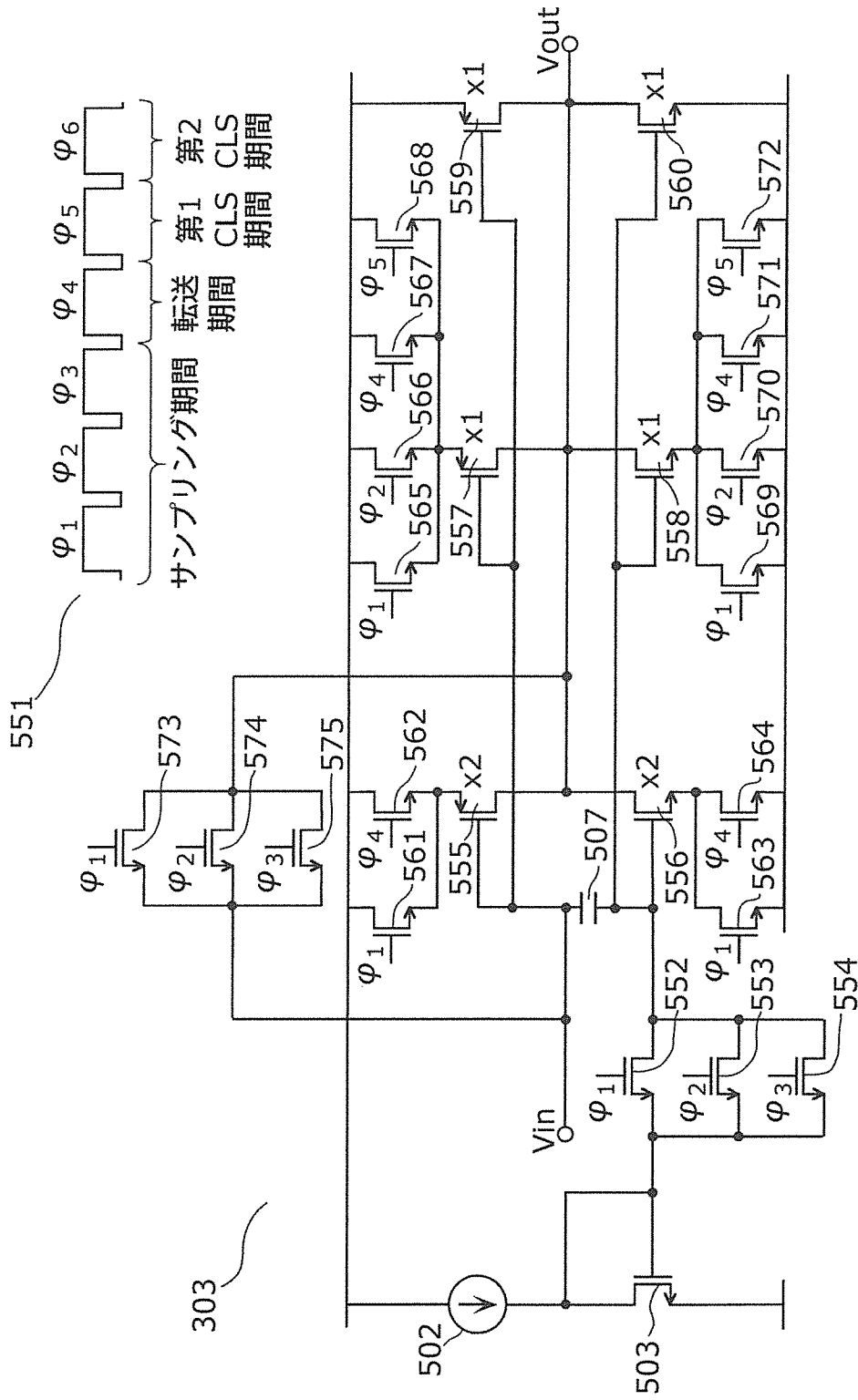
第2CLS期間



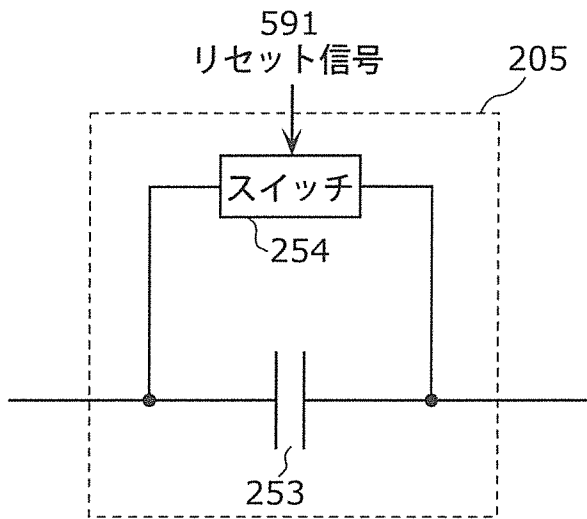
[図17]



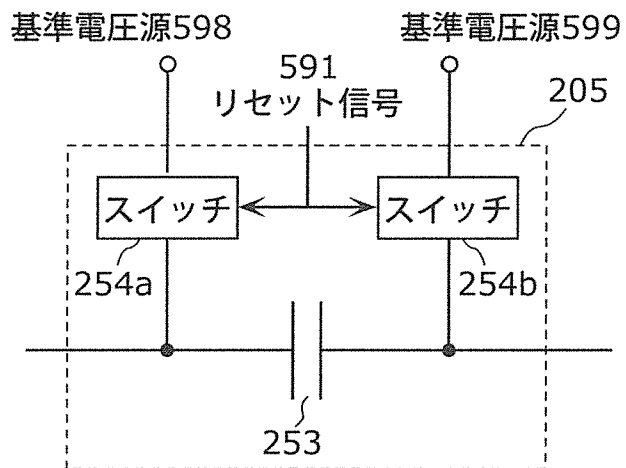
[図18]



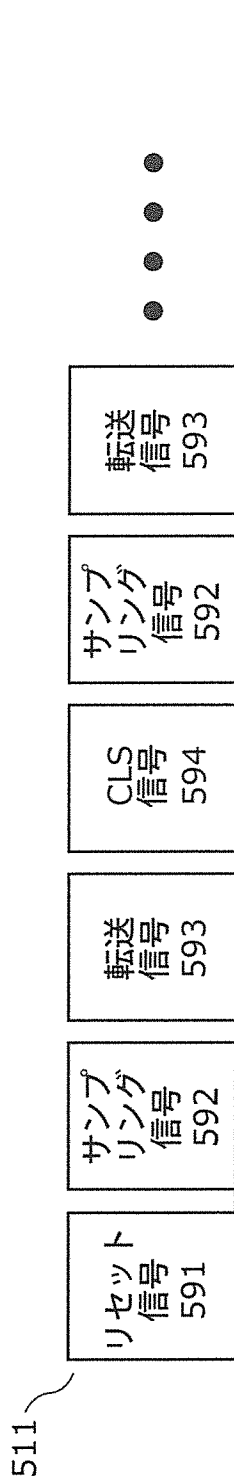
[図19A]



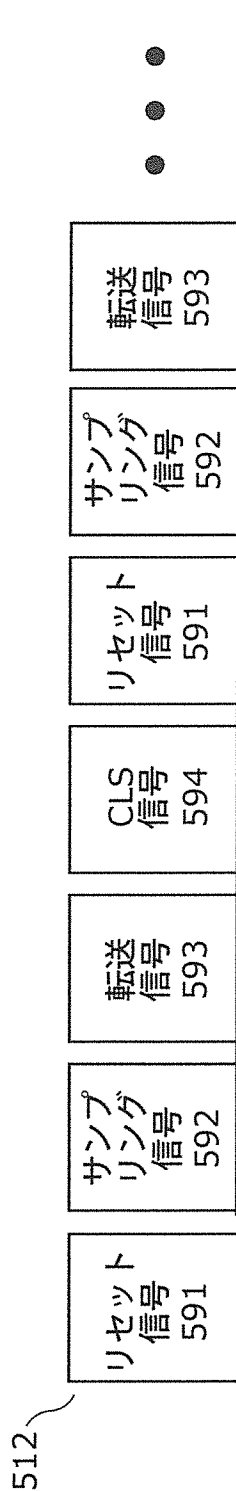
[図19B]



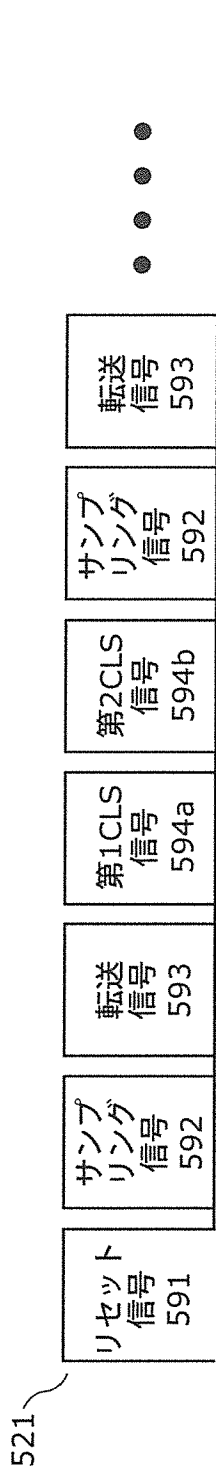
[図20A]



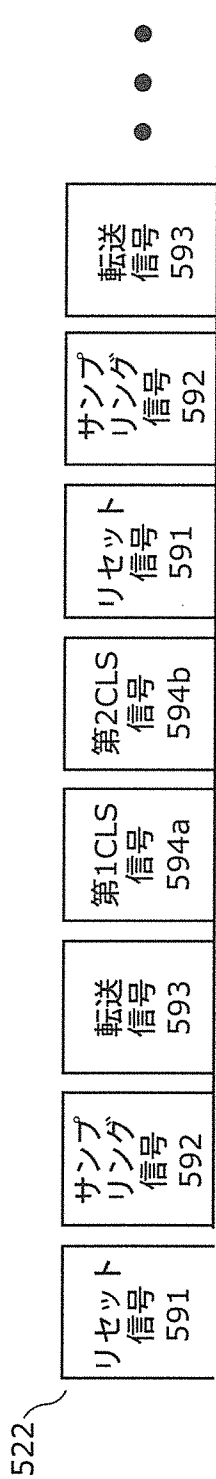
[図20B]



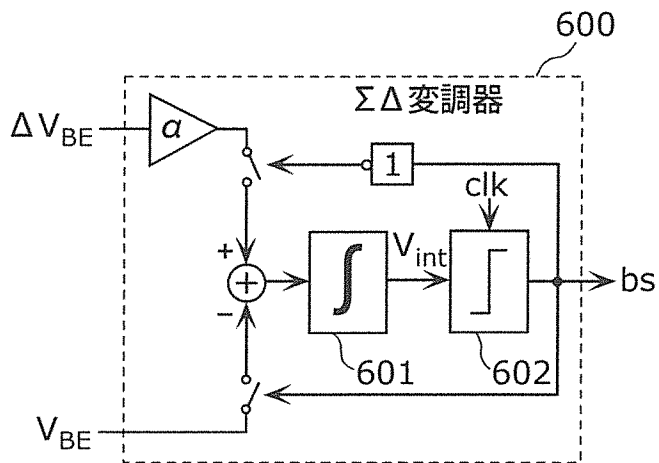
[図21A]



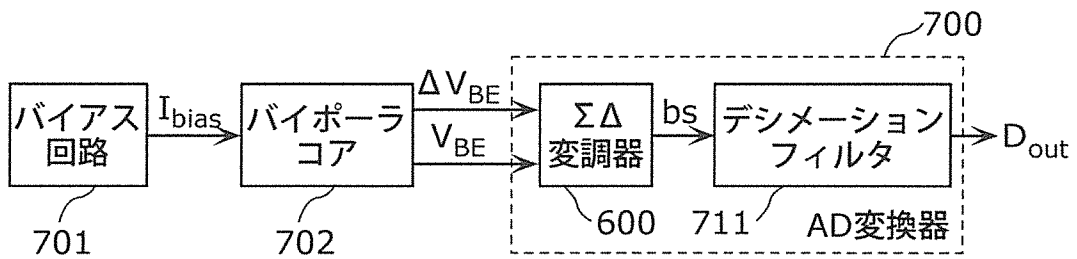
[図21B]



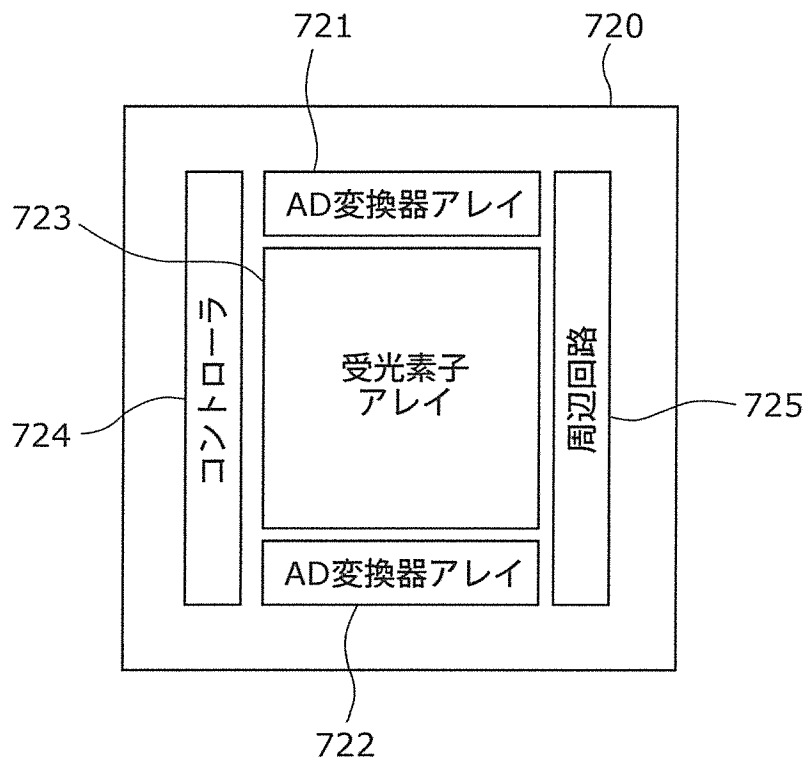
[図22]



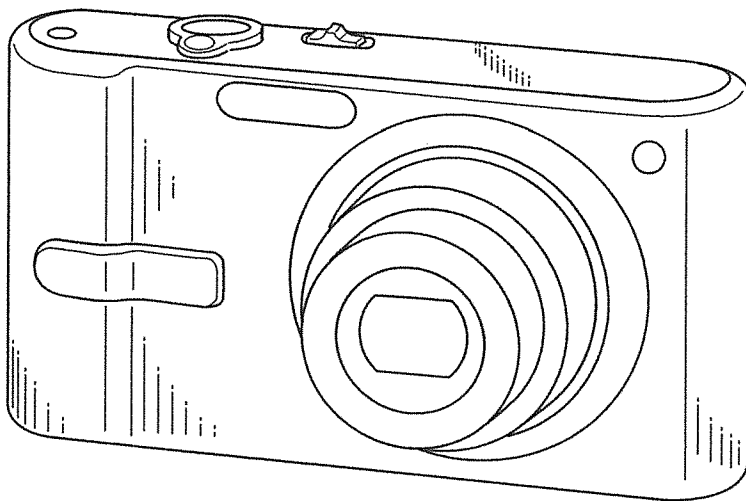
[図23]



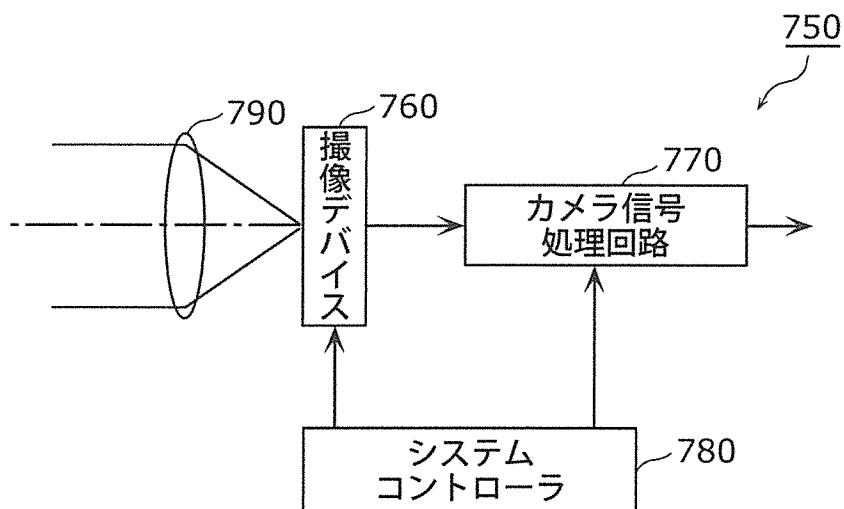
[図24]



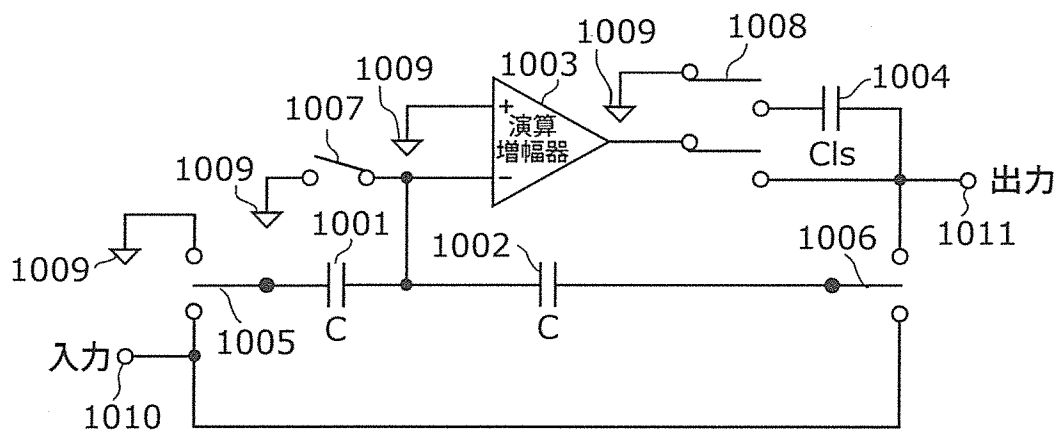
[図25A]



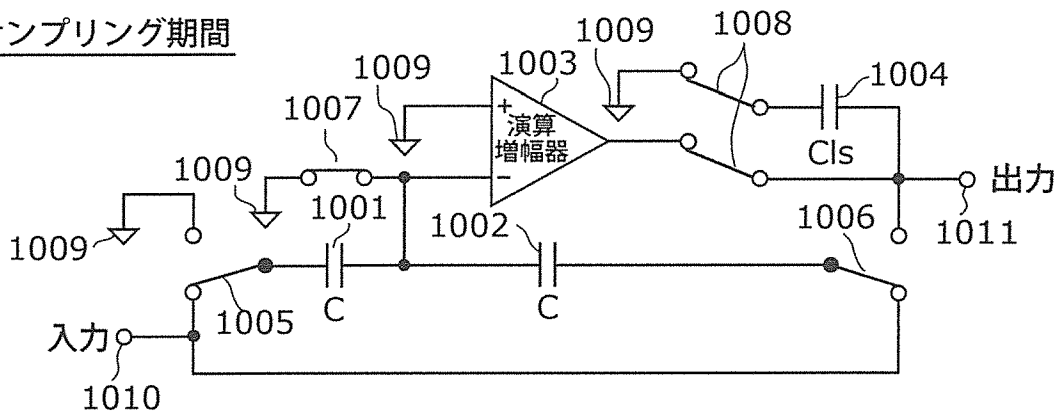
[図25B]



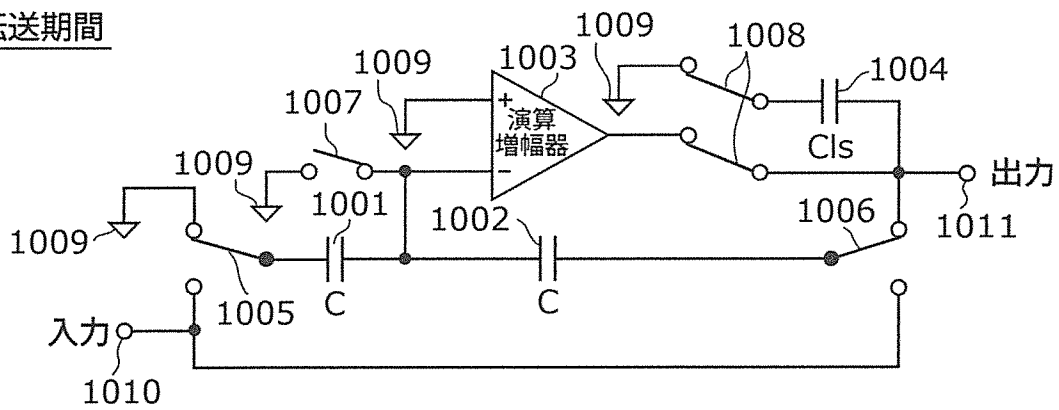
[図26]



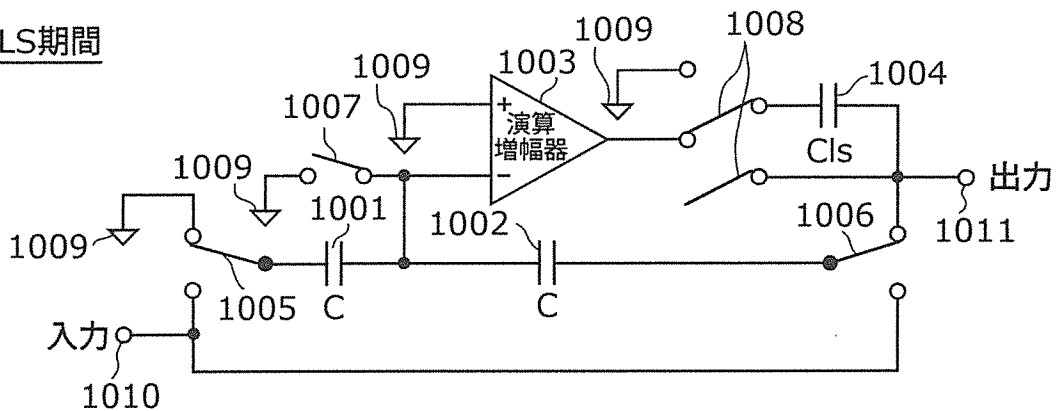
[図27A]

サンプリング期間

[図27B]

転送期間

[図27C]

CLS期間

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/003335

A. CLASSIFICATION OF SUBJECT MATTER
G06G7/186(2006.01)i, H03H19/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G06G7/186, H03H19/00, H03F3/70

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-205540 A (Asahi Kasei EMD Corp.), 13 October 2011 (13.10.2011), paragraphs [0010] to [0013], [0033] to [0034]; fig. 2, 11 (Family: none)	1-23
A	JP 2013-504920 A (Industry-Academic Cooperation Foundation, Yonsei University), 07 February 2013 (07.02.2013), paragraphs [0030] to [0033]; fig. 3 & US 2012/0229204 A1 & WO 2011/031003 A2 & KR 10-2011-0027221 A & CN 102687392 A	1-23

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 29 July, 2014 (29.07.14)	Date of mailing of the international search report 12 August, 2014 (12.08.14)
---	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G06G7/186(2006.01)i, H03H19/00(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G06G7/186, H03H19/00, H03F3/70		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2014年 日本国実用新案登録公報 1996-2014年 日本国登録実用新案公報 1994-2014年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-205540 A (旭化成エレクトロニクス株式会社) 2011.10.13, 段落【0010】 - 【0013】, 【0033】 - 【0034】, 図2, 11 (ファミリーなし)	1-23
A	JP 2013-504920 A (インダストリー-アカデミック コーペレイショ ン ファウンデーション, ヨンセイ ユニバーシティ) 2013.02.07, 段落【0030】 - 【0033】, 図3 & US 2012/0229204 A1 & WO 2011/031003 A2 & KR 10-2011-0027221 A & CN 102687392 A	1-23
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 29.07.2014	国際調査報告の発送日 12.08.2014	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 緑川 隆 電話番号 03-3581-1101 内線 3521	5E 2950