



(12) 发明专利申请

(10) 申请公布号 CN 105070719 A

(43) 申请公布日 2015. 11. 18

(21) 申请号 201510406144. 1

(22) 申请日 2015. 07. 10

(71) 申请人 深圳市华星光电技术有限公司

地址 518132 广东省深圳市光明新区塘明大道 9—2 号

(72) 发明人 甘启明

(74) 专利代理机构 深圳翼盛智成知识产权事务所 (普通合伙) 44300

代理人 黄威

(51) Int. Cl.

H01L 27/12(2006. 01)

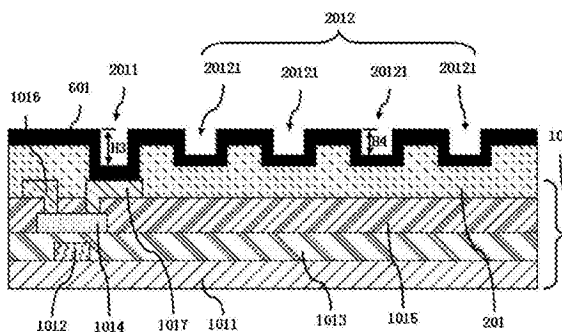
权利要求书2页 说明书5页 附图6页

(54) 发明名称

薄膜晶体管阵列基板及其制作方法

(57) 摘要

本发明公开了一种薄膜晶体管阵列基板及其制作方法。所述薄膜晶体管阵列基板包括：一器件组合板，所述器件组合板包括：一基板；一第一信号线层；一半导体层；以及一第二信号线层；一钝化层，所述钝化层设置在所述器件组合板上，所述钝化层上设置有孔洞和凹槽阵列，所述凹槽阵列包括至少一凹槽；一像素电极层，所述像素电极层设置在所述钝化层上以及所述凹槽阵列内，所述像素电极层通过所述孔洞与所述第二信号线层连接。本发明可以节省薄膜晶体管阵列基板的制作成本以及提高薄膜晶体管阵列基板的制作效率。



1. 一种薄膜晶体管阵列基板,其特征在于,所述薄膜晶体管阵列基板包括:
 - 一器件组合板,所述器件组合板包括:
 - 一基板;
 - 一第一信号线层;
 - 一半导体层;以及
 - 一第二信号线层;
 - 一钝化层,所述钝化层设置在所述器件组合板上,所述钝化层上设置有孔洞和凹槽阵列,所述凹槽阵列包括至少一凹槽;
 - 一像素电极层,所述像素电极层设置在所述钝化层上以及所述凹槽阵列内,所述像素电极层通过所述孔洞与所述第二信号线层连接。
2. 根据权利要求1所述的薄膜晶体管阵列基板,其特征在于,所述孔洞具有第一深度,所述凹槽具有第二深度;
 - 所述凹槽阵列和所述孔洞均是通过相同的光罩制程和蚀刻制程来形成的。
3. 根据权利要求2所述的薄膜晶体管阵列基板,其特征在于,所述光罩制程所对应的掩模包括:
 - 一第一区域,所述第一区域具有第一透光率,所述第一区域与所述孔洞对应,所述第一透光率与所述第一深度对应;
 - 至少一第二区域,所述第二区域具有第二透光率,所述第二区域与所述凹槽对应,所述第二透光率与所述第二深度对应。
4. 根据权利要求3所述的薄膜晶体管阵列基板,其特征在于,所述掩模为半色调掩模。
5. 根据权利要求2至4中任意一项所述的薄膜晶体管阵列基板,其特征在于,所述凹槽阵列和所述孔洞是通过对所述钝化层上的光阻材料层进行所述光罩制程,以在所述光阻材料层上的第三区域和第四区域上分别形成第一凹陷和第二凹陷,并在所述第一凹陷和所述第二凹陷处对所述钝化层和所述光阻材料层进行蚀刻来形成的;
 - 其中,所述第三区域与所述第一区域对应,所述第四区域与所述第二区域对应,所述第一凹陷具有第三深度,所述第二凹陷具有第四深度。
6. 一种如权利要求1所述的薄膜晶体管阵列基板的制作方法,其特征在于,所述方法包括以下步骤:
 - A、形成所述器件组合板,其中,所述器件组合板包括基板、第一信号线层、半导体层以及第二信号线层;
 - B、在所述器件组合板上设置所述钝化层;
 - C、对所述钝化层实施光罩制程和蚀刻制程,以使所述钝化层的表面上形成有一孔洞和一凹槽阵列,其中,所述凹槽阵列包括至少一凹槽;
 - D、在所述钝化层的所述表面和所述凹槽阵列内设置像素电极层,其中,所述像素电极层通过所述孔洞与所述第二信号线层连接。
7. 根据权利要求6所述的薄膜晶体管阵列基板的制作方法,其特征在于,所述孔洞具有第一深度,所述凹槽具有第二深度;
 - 所述步骤C包括以下步骤:
 - c1、在所述钝化层上通过相同的所述光罩制程和所述蚀刻制程来形成所述凹槽阵列和

所述孔洞。

8. 根据权利要求 7 所述的薄膜晶体管阵列基板的制作方法,其特征在于,所述光罩制程所对应掩模包括:

一第一区域,所述第一区域具有第一透光率,所述第一区域与所述孔洞对应,所述第一透光率与所述第一深度对应;

至少一第二区域,所述第二区域具有第二透光率,所述第二区域与所述凹槽对应,所述第二透光率与所述第二深度对应。

9. 根据权利要求 8 所述的薄膜晶体管阵列基板的制作方法,其特征在于,所述掩模为半色调掩模。

10. 根据权利要求 7 至 9 中任意一项所述的薄膜晶体管阵列基板的制作方法,其特征在于,所述步骤 c1 包括以下步骤:

c11、在所述钝化层上设置光阻材料层;

c12、对所述光阻材料层进行所述光罩制程,以在所述光阻材料层上的第三区域和第四区域上分别形成第一凹陷和第二凹陷,其中,所述第三区域与所述第一区域对应,所述第四区域与所述第二区域对应,所述第一凹陷具有第三深度,所述第二凹陷具有第四深度;

c13、在所述第一凹陷和所述第二凹陷处对所述钝化层和所述光阻材料层进行蚀刻,以在所述钝化层上形成所述凹槽阵列和所述孔洞。

薄膜晶体管阵列基板及其制作方法

【技术领域】

[0001] 本发明涉及显示技术领域,特别涉及一种薄膜晶体管阵列基板及其制作方法。

【背景技术】

[0002] 传统的薄膜晶体管阵列基板的制作过程一般都需要在钝化层上设置通孔,以及在所述钝化层上设置凹槽,并在所述钝化层上的表面和所述凹槽内设置像素电极层。其中,该像素电极层通过所述通孔与所述薄膜晶体管阵列基板中的数据线层连接。

[0003] 在上述传统的技术方案中,在所述钝化层上设置所述通孔和在所述钝化层上设置所述凹槽是分开实施的,也就是说,在所述钝化层上设置所述通孔和在所述钝化层上设置所述凹槽是两个独立的步骤。

[0004] 针对上述两个独立的步骤,需要两次不同的 Normal Mask(普通掩模)光罩制程,这导致上述技术方案具有较高的成本,并且使得所述薄膜晶体管阵列基板的制作效率不高。

[0005] 故,有必要提出一种新的技术方案,以解决上述技术问题。

【发明内容】

[0006] 本发明的目的在于提供一种薄膜晶体管阵列基板及其制作方法,其能节省薄膜晶体管阵列基板的制作成本以及提高薄膜晶体管阵列基板的制作效率。

[0007] 为解决上述问题,本发明的技术方案如下:

[0008] 一种薄膜晶体管阵列基板,所述薄膜晶体管阵列基板包括:一器件组合板,所述器件组合板包括:一基板;一第一信号线层;一半导体层;以及一第二信号线层;一钝化层,所述钝化层设置在所述器件组合板上,所述钝化层上设置有孔洞和凹槽阵列,所述凹槽阵列包括至少一凹槽;一像素电极层,所述像素电极层设置在所述钝化层上以及所述凹槽阵列内,所述像素电极层通过所述孔洞与所述第二信号线层连接。

[0009] 在上述薄膜晶体管阵列基板中,所述孔洞具有第一深度,所述凹槽具有第二深度;所述凹槽阵列和所述孔洞均是通过相同的光罩制程和蚀刻制程来形成的。

[0010] 在上述薄膜晶体管阵列基板中,所述光罩制程所对应的掩模包括:一第一区域,所述第一区域具有第一透光率,所述第一区域与所述孔洞对应,所述第一透光率与所述第一深度对应;至少一第二区域,所述第二区域具有第二透光率,所述第二区域与所述凹槽对应,所述第二透光率与所述第二深度对应。

[0011] 在上述薄膜晶体管阵列基板中,所述掩模为半色调掩模。

[0012] 在上述薄膜晶体管阵列基板中,所述凹槽阵列和所述孔洞是通过对所述钝化层上的光阻材料层进行所述光罩制程,以在所述光阻材料层上的第三区域和第四区域上分别形成第一凹陷和第二凹陷,并在所述第一凹陷和所述第二凹陷处对所述钝化层和所述光阻材料层进行蚀刻来形成的;其中,所述第三区域与所述第一区域对应,所述第四区域与所述第二区域对应,所述第一凹陷具有第三深度,所述第二凹陷具有第四深度。

【0013】 一种上述薄膜晶体管阵列基板的制作方法,所述方法包括以下步骤:A、形成所述器件组合板,其中,所述器件组合板包括基板、第一信号线层、半导体层以及第二信号线层;B、在所述器件组合板上设置所述钝化层;C、对所述钝化层实施光罩制程和蚀刻制程,以使所述钝化层的表面上形成有一孔洞和一凹槽阵列,其中,所述凹槽阵列包括至少一凹槽;D、在所述钝化层的所述表面和所述凹槽阵列内设置像素电极层,其中,所述像素电极层通过所述孔洞与所述第二信号线层连接。

【0014】 在上述薄膜晶体管阵列基板的制作方法中,所述孔洞具有第一深度,所述凹槽具有第二深度;所述步骤C包括以下步骤:c1、在所述钝化层上通过相同的所述光罩制程和所述蚀刻制程来形成所述凹槽阵列和所述孔洞。

【0015】 在上述薄膜晶体管阵列基板的制作方法中,所述光罩制程所对应掩模包括:一第一区域,所述第一区域具有第一透光率,所述第一区域与所述孔洞对应,所述第一透光率与所述第一深度对应;至少一第二区域,所述第二区域具有第二透光率,所述第二区域与所述凹槽对应,所述第二透光率与所述第二深度对应。

【0016】 在上述薄膜晶体管阵列基板的制作方法中,所述掩模为半色调掩模。

【0017】 在上述薄膜晶体管阵列基板的制作方法中,所述步骤c1包括以下步骤:c11、在所述钝化层上设置光阻材料层;c12、对所述光阻材料层进行所述光罩制程,以在所述光阻材料层上的第三区域和第四区域上分别形成第一凹陷和第二凹陷,其中,所述第三区域与所述第一区域对应,所述第四区域与所述第二区域对应,所述第一凹陷具有第三深度,所述第二凹陷具有第四深度;c13、在所述第一凹陷和所述第二凹陷处对所述钝化层和所述光阻材料层进行蚀刻,以在所述钝化层上形成所述凹槽阵列和所述孔洞。

【0018】 相对现有技术,本发明可以节约一道光罩制程,有利于节省所述薄膜晶体管阵列基板的制作成本,以及提高所述薄膜晶体管阵列基板的制作效率。

【0019】 为了让本发明的上述内容能更明显易懂,下文特举优选实施例,并配合所附图式,作详细说明如下。

【附图说明】

【0020】 图1至图6为本发明的薄膜晶体管阵列基板的制作方法的第一实施例的示意图;

【0021】 图6为本发明的薄膜晶体管阵列基板的示意图;

【0022】 图7为图1至图6所示的薄膜晶体管阵列基板的制作过程中所使用的掩模的示意图;

【0023】 图8为本发明的薄膜晶体管阵列基板的制作方法的第一实施例的流程图;

【0024】 图9为本发明的薄膜晶体管阵列基板的制作方法的第二实施例的流程图;

【0025】 图10为本发明的薄膜晶体管阵列基板的制作方法的第三实施例的流程图。

【具体实施方式】

【0026】 本说明书所使用的词语“实施例”意指实例、示例或例证。此外,本说明书和所附权利要求中所使用的冠词“一”一般地可以被解释为“一个或多个”,除非另外指定或从上下文可以清楚确定单数形式。

【0027】 本发明的显示面板可以是TFT-LCD(Thin Film Transistor Liquid Crystal

Display, 薄膜晶体管液晶显示面板)。

[0028] 参考图 6, 图 6 为本发明的薄膜晶体管阵列基板的示意图。

[0029] 本发明的薄膜晶体管阵列基板包括器件组合板 101、钝化层 201 及像素电极层 601。

[0030] 所述器件组合板 101 包括基板 1011、第一信号线层 1012、半导体层 1014 及第二信号线层 1017。所述器件组合板 101 还包括第一绝缘层 1013、第二绝缘层 1015 和漏极线层 1016。

[0031] 所述第一信号线层 1012 可以是扫描线层, 所述半导体层 1014 可以是非晶硅层或多晶硅层, 所述第二信号线层 1017 可以是数据线层。所述扫描线层设置在所述半导体层 1014(所述半导体层 1014 为所述非晶硅层) 的下方, 所述扫描线层与所述非晶硅层之间设置有所述第一绝缘层 1013, 所述第二绝缘层 1015 设置在所述非晶硅层的上方, 所述数据线层设置在所述第二绝缘层 1015 的上方, 并且所述数据线层穿过所述第二绝缘层 1015 与所述非晶硅层相连; 或者, 所述扫描线层设置在所述半导体层 1014(所述半导体层 1014 为所述多晶硅层) 的上方, 所述多晶硅层与所述扫描线层之间设置有所述第一绝缘层 1013, 所述第二绝缘层 1015 设置在所述扫描线层的上方, 所述数据线层设置在所述第二绝缘层 1015 的上方, 并且所述数据线层穿过所述第一绝缘层 1013 和所述第二绝缘层 1015 与所述多晶硅层相连。

[0032] 所述钝化层 201 设置在所述器件组合板 101 上, 所述钝化层 201 上设置有孔洞 2011 和凹槽阵列 2012, 所述凹槽阵列 2012 包括至少一凹槽 20121。所述像素电极层 601 设置在所述钝化层 201 上以及所述凹槽阵列 2012 内, 所述像素电极层 601 通过所述孔洞 2011 与所述第二信号线层 1017 连接。

[0033] 在本实施例中, 所述孔洞 2011 具有第一深度 H3, 所述凹槽 20121 具有第二深度 H4。所述凹槽阵列 2012 和所述孔洞 2011 均是通过相同的光罩制程和蚀刻制程来形成的。也就是说, 所述凹槽阵列 2012 与所述孔洞 2011 均是在同一道光罩制程中形成的。

[0034] 相比传统的技术方案, 上述技术方案可以节约一道光罩制程 (Normal Mask, 普通掩模), 有利于节省所述薄膜晶体管阵列基板的制作成本, 以及提高所述薄膜晶体管阵列基板的制作效率。

[0035] 参考图 7, 图 7 为图 1 至图 6 所示的薄膜晶体管阵列基板的制作过程中所使用的掩模的示意图。

[0036] 在本实施例中, 所述光罩制程所对应的掩模 701 包括第一区域 7011 及第二区域 7012。所述第一区域 7011 具有第一透光率, 所述第一区域 7011 与所述孔洞 2011 对应, 所述第一透光率与所述第一深度 H3 对应。所述第二区域 7012 具有第二透光率, 所述第二区域 7012 与所述凹槽 20121 对应, 所述第二透光率与所述第二深度 H4 对应。

[0037] 优选地, 在本实施例中, 所述掩模 701 为半色调掩模 (HTM, Half Tone Mask)。

[0038] 所述孔洞 2011 的深度 (所述第一深度 H3) 和所述凹槽 20121 的深度 (所述第二深度 H4) 可根据 HTM 的透光率 (0-100% 的开区间) 来设置。

[0039] 也就是说, 所述钝化层 201 中的所述第一深度 H3 和所述第二深度 H4 是通过这样的方式来形成的:

[0040] 利用具有所述第一区域 7011 和所述第二区域 7012 的所述掩模 701, 对所述钝化

层 201 实施所述光罩制程,以同时形成所述第一深度 H3 和所述第二深度 H4,其中,所述第一区域 7011 具有所述第一透光率,所述第二区域 7012 具有所述第二透光率。例如,所述第一透光率为 100%,所述第二透光率(a%)处于 0%至 100%的范围(开区间)内,例如,所述 a%为 0.5%、1%、3%、5%、7%、9%、11%、13%、15%、17%、19%、21%、23%、25%、27%、29%、31%、33%、35%、37%、39%、41%、43%、45%、47%、49%、51%、53%、55%、57%、59%、61%、63%、65%、67%、69%、71%、73%、75%、77%、79%、81%、83%、85%、87%、89%、91%、93%、95%、97%、99%。

[0041] 如图 1 至图 6 所示。在本实施例中,所述凹槽阵列 2012 和所述孔洞 2011 是通过所述钝化层 201 上的光阻材料层 301 进行所述光罩制程,以在所述光阻材料层 301 上的第三区域和第四区域上分别形成第一凹陷 3011 和第二凹陷 3012,并在所述第一凹陷 3011 和所述第二凹陷 3012 处对所述钝化层 201 和所述光阻材料层 301 进行蚀刻来形成的。

[0042] 其中,所述第三区域与所述第一区域 7011 对应,所述第四区域与所述第二区域 7012 对应,所述第一凹陷 3011 具有第三深度 H1,所述第二凹陷 3012 具有第四深度 H2。

[0043] 参考图 1 至图 6 以及图 8,图 1 至图 6 为本发明的薄膜晶体管阵列基板的制作方法的第一实施例的示意图,图 8 为本发明的薄膜晶体管阵列基板的制作方法的第一实施例的流程图。

[0044] 本发明的薄膜晶体管阵列基板的制作方法包括以下步骤:

[0045] A(步骤 801)、形成所述器件组合板 101,其中,所述器件组合板 101 包括基板 1011、第一信号线层 1012、半导体层 1014 以及第二信号线层 1017。

[0046] B(步骤 802)、在所述器件组合板 101 上设置所述钝化层 201。

[0047] C(步骤 803)、对所述钝化层 201 实施光罩制程和蚀刻制程,以使所述钝化层 201 的表面上形成有一孔洞 2011 和一凹槽阵列 2012,其中,所述凹槽阵列 2012 包括至少一凹槽 20121。

[0048] D(步骤 804)、在所述钝化层 201 的所述表面和所述凹槽阵列 2012 内设置像素电极层 601,其中,所述像素电极层 601 通过所述孔洞 2011 与所述第二信号线层 1017 连接。

[0049] 参考图 9,图 9 为本发明的薄膜晶体管阵列基板的制作方法的第二实施例的流程图。本实施例与上述第一实施例相似,不同之处在于:

[0050] 在本实施例中,所述孔洞 2011 具有第一深度 H3,所述凹槽 20121 具有第二深度 H4,也就是说,所述孔洞 2011 与所述凹槽 20121 的深度不同,具有不同深度的所述孔洞 2011 与所述凹槽 20121 是在同一道光罩制程以及同一道蚀刻制程中形成的。即,所述步骤 C(即,所述步骤 803)包括以下步骤:

[0051] c1(步骤 901)、在所述钝化层 201 上通过相同的所述光罩制程和所述蚀刻制程来形成所述凹槽阵列 2012 和所述孔洞 2011。

[0052] 相比传统的技术方案,上述技术方案可以节约一道光罩制程(Normal Mask,普通掩模),有利于节省所述薄膜晶体管阵列基板的制作成本,以及提高所述薄膜晶体管阵列基板的制作效率。

[0053] 在本实施例中,所述光罩制程所对应掩模 701 包括第一区域 7011 和第二区域 7012。所述第一区域 7011 具有第一透光率,所述第一区域 7011 与所述孔洞 2011 对应,所述第一透光率与所述第一深度 H3 对应。所述第二区域 7012 具有第二透光率,所述第二区

域 7012 与所述凹槽 20121 对应,所述第二透光率与所述第二深度 H4 对应。

[0054] 优选地,在本实施例中,所述掩模 701 为半色调掩模。

[0055] 所述孔洞 2011 的深度(所述第一深度 H3)和所述凹槽 20121 的深度(所述第二深度 H4)可根据 HTM 的透光率(0-100%的开区间)来设置。

[0056] 也就是说,所述钝化层 201 中的所述第一深度 H3 和所述第二深度 H4 是通过这样的方式来形成的:

[0057] 利用具有所述第一区域 7011 和所述第二区域 7012 的所述掩模 701,对所述钝化层 201 实施所述光罩制程,以同时形成所述第一深度 H3 和所述第二深度 H4,其中,所述第一区域 7011 具有所述第一透光率,所述第二区域 7012 具有所述第二透光率。例如,所述第一透光率为 100%,所述第二透光率(a%)处于 0%至 100%的范围(开区间)内,例如,所述 a%为 0.5%、1%、3%、5%、7%、9%、11%、13%、15%、17%、19%、21%、23%、25%、27%、29%、31%、33%、35%、37%、39%、41%、43%、45%、47%、49%、51%、53%、55%、57%、59%、61%、63%、65%、67%、69%、71%、73%、75%、77%、79%、81%、83%、85%、87%、89%、91%、93%、95%、97%、99%。

[0058] 参考图 10,图 10 为本发明的薄膜晶体管阵列基板的制作方法的第三实施例的流程图。本实施例与上述第二实施例相似,不同之处在于:

[0059] 在本实施例中,所述步骤 c1(即,所述步骤 901)包括以下步骤:

[0060] c11(步骤 1001)、在所述钝化层 201 上设置光阻材料层 301;

[0061] c12(步骤 1002)、对所述光阻材料层 301 进行所述光罩制程,以在所述光阻材料层 301 上的第三区域和第四区域上分别形成第一凹陷 3011 和第二凹陷 3012,其中,所述第三区域与所述第一区域 7011 对应,所述第四区域与所述第二区域 7012 对应,所述第一凹陷 3011 具有第三深度 H1,所述第二凹陷 3012 具有第四深度 H2。

[0062] c13(步骤 1003)、在所述第一凹陷 3011 和所述第二凹陷 3012 处对所述钝化层 201 和所述光阻材料层 301 进行蚀刻,以在所述钝化层 201 上形成所述凹槽阵列 2012 和所述孔洞 2011。

[0063] 尽管已经相对于一个或多个实现方式示出并描述了本发明,但是本领域技术人员基于对本说明书和附图的阅读和理解将会想到等价变型和修改。本发明包括所有这样的修改和变型,并且仅由所附权利要求的范围限制。特别地关于由上述组件执行的各种功能,用于描述这样的组件的术语旨在对应于执行所述组件的指定功能(例如其在功能上是等价的)的任意组件(除非另外指示),即使在结构上与执行本文所示的本说明书的示范性实现方式中的功能的公开结构不等同。此外,尽管本说明书的特定特征已经相对于若干实现方式中的仅一个被公开,但是这种特征可以与如可以对给定或特定应用而言是期望和有利的其他实现方式的一个或多个其他特征组合。而且,就术语“包括”、“具有”、“含有”或其变形被用在具体实施方式或权利要求中而言,这样的术语旨在以与术语“包含”相似的方式包括。

[0064] 综上所述,虽然本发明已以优选实施例揭露如上,但上述优选实施例并非用以限制本发明,本领域的普通技术人员,在不脱离本发明的精神和范围内,均可作各种更动与润饰,因此本发明的保护范围以权利要求界定的范围为准。

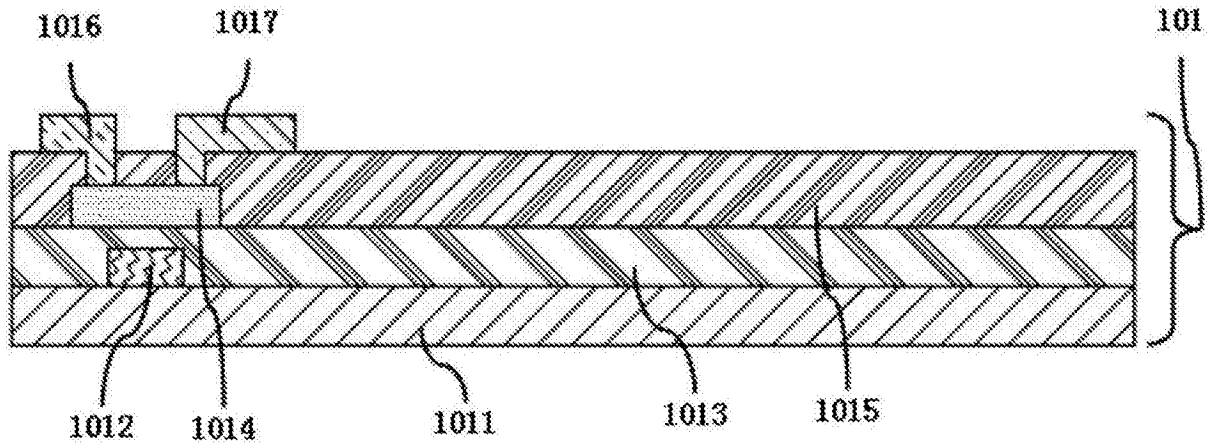


图 1

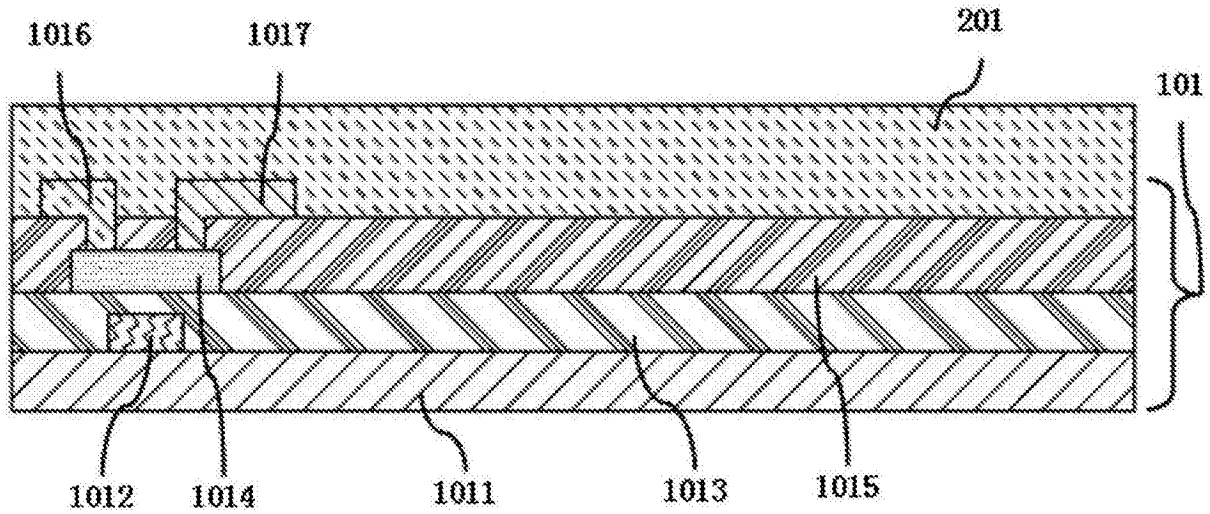


图 2

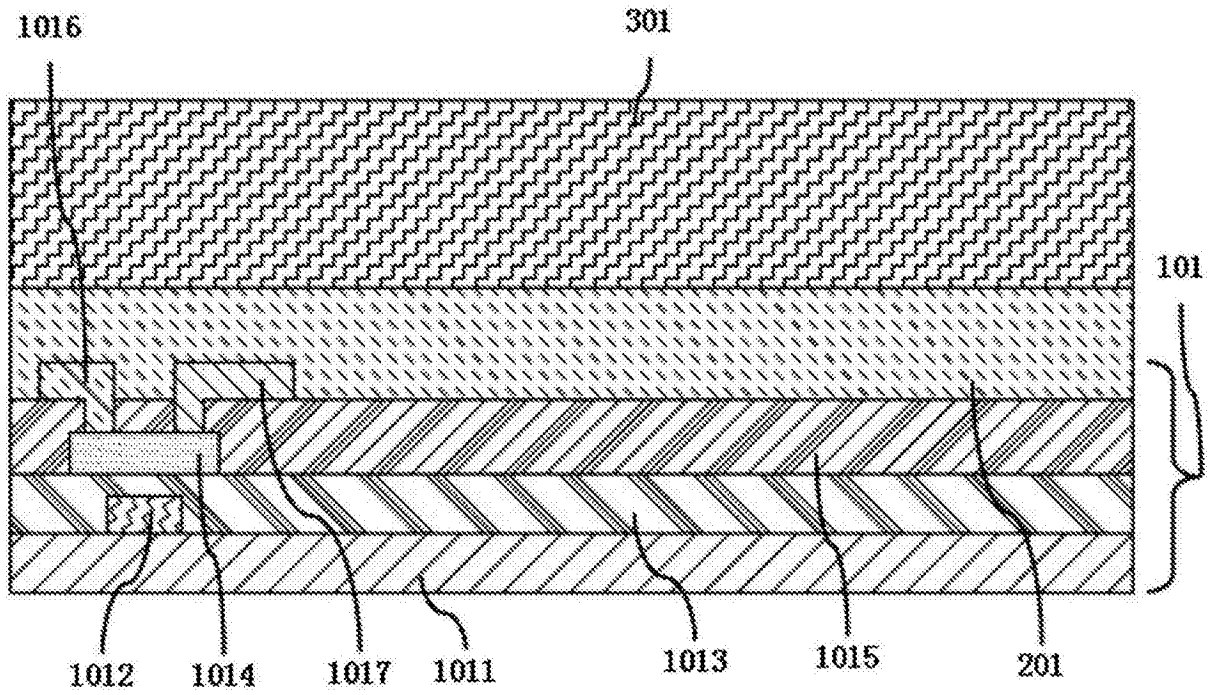


图 3

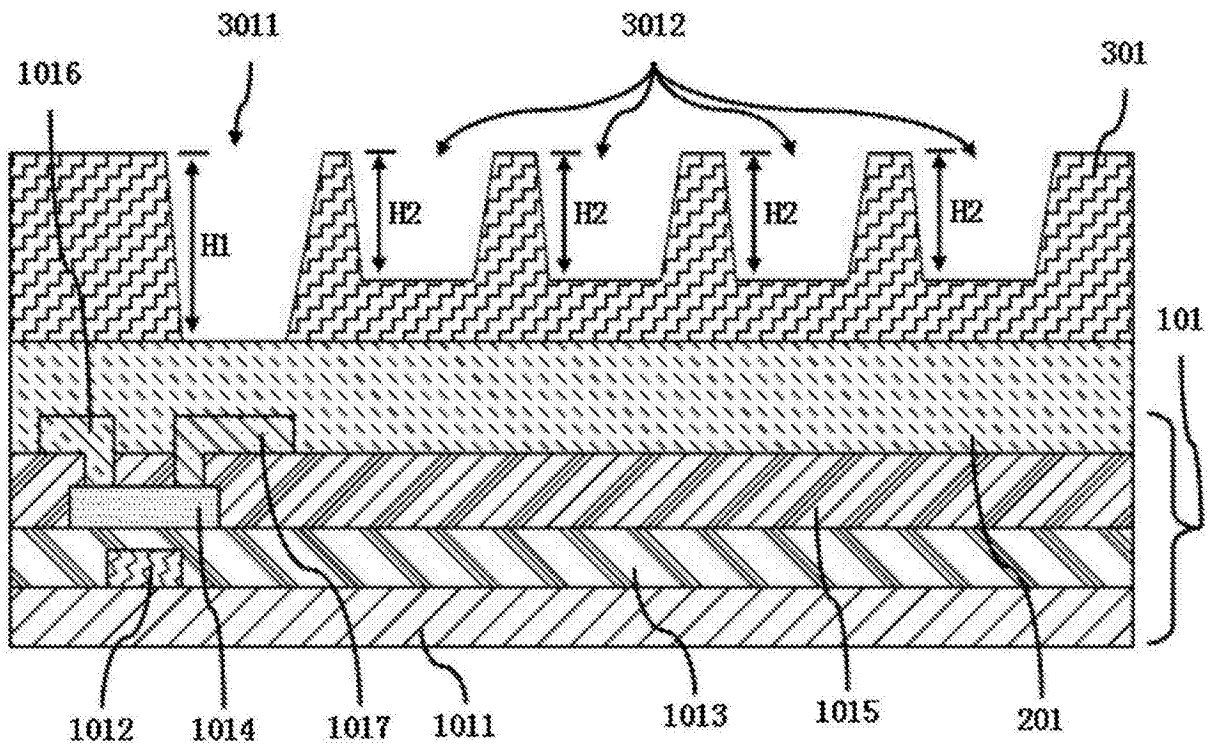


图 4

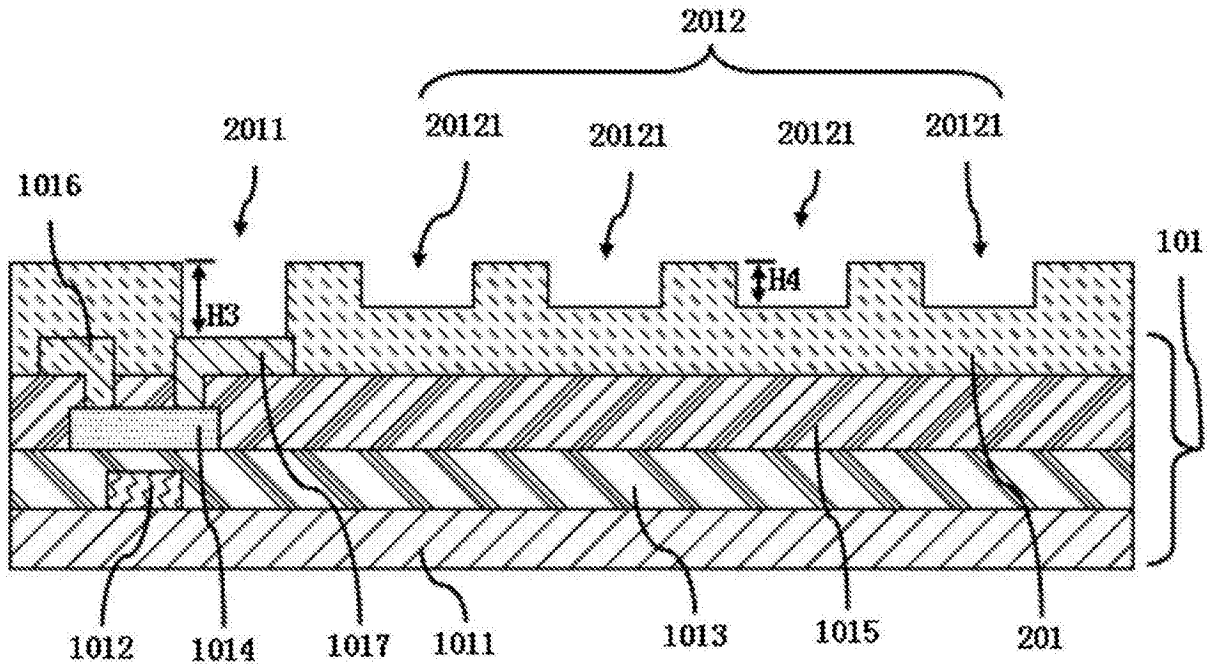


图 5

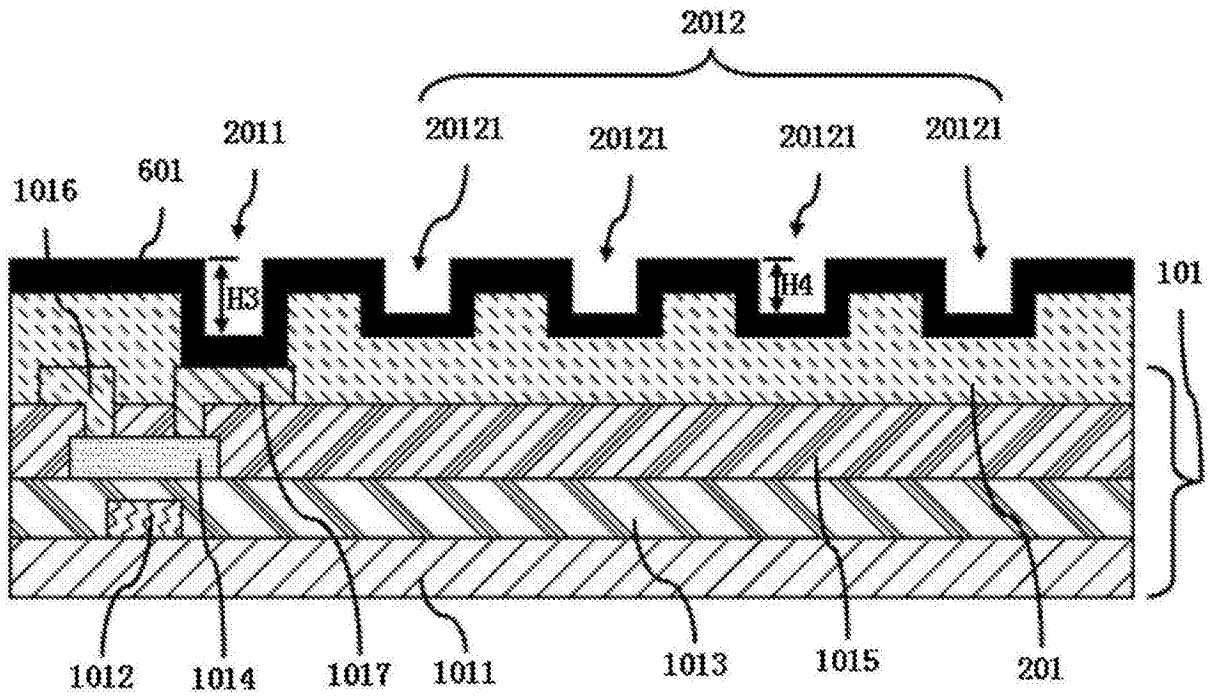


图 6



图 7

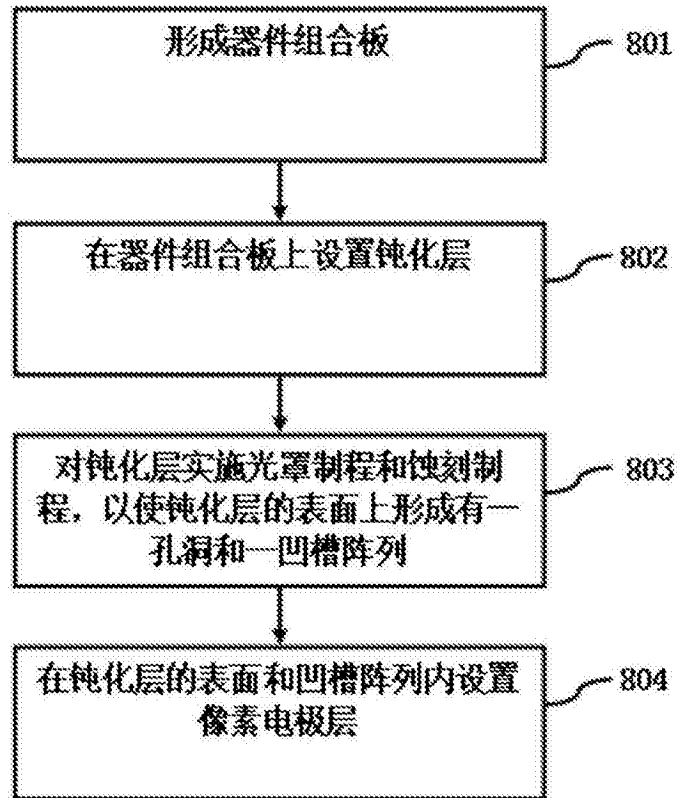


图 8

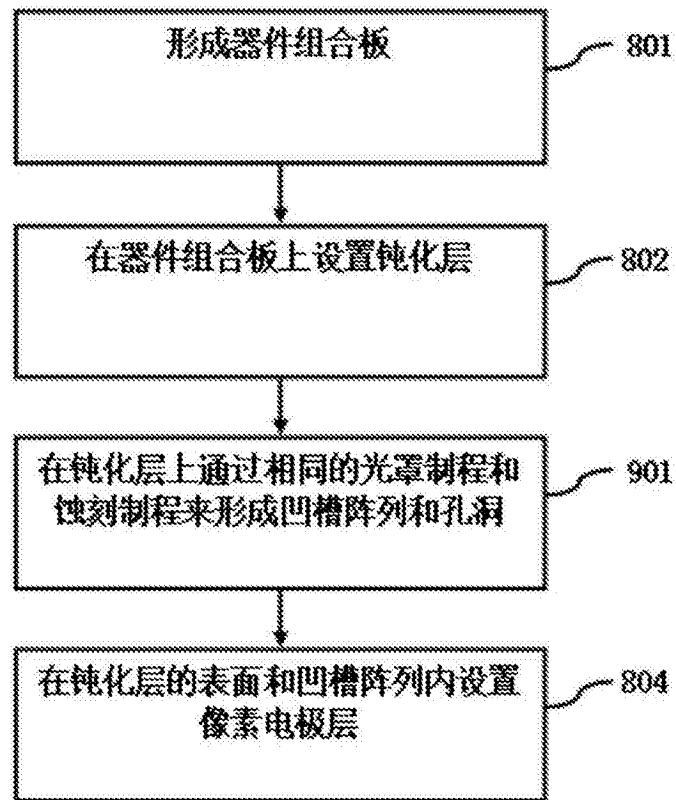


图 9

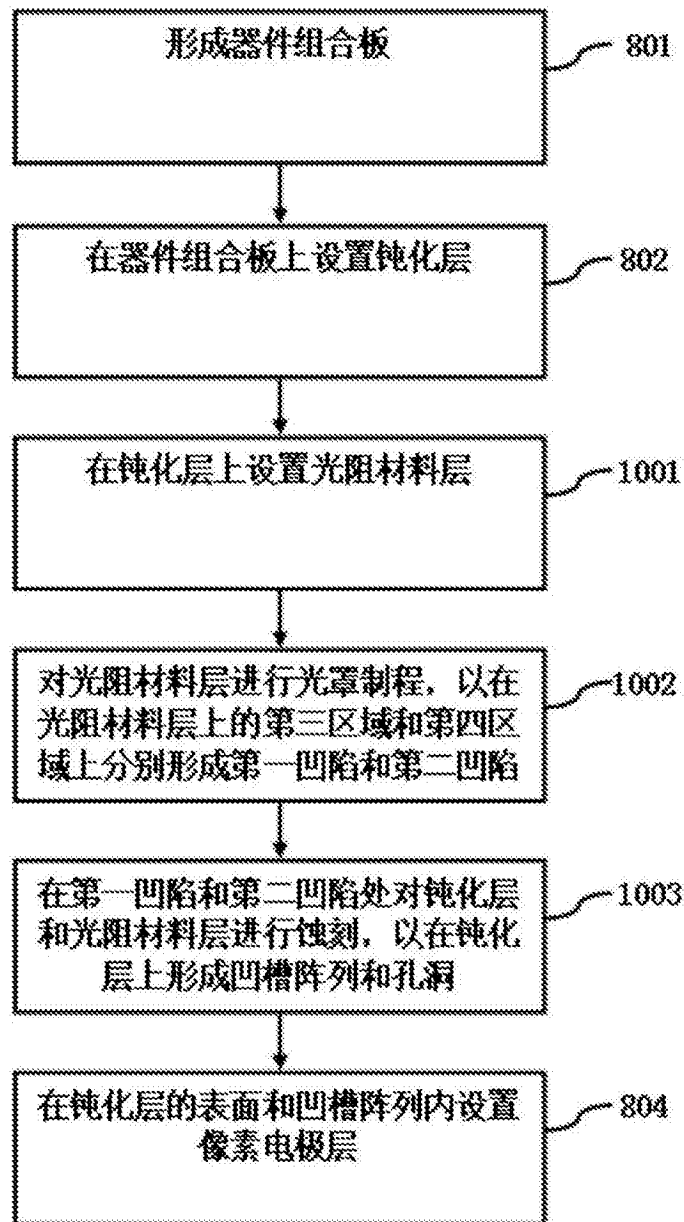


图 10