



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I631574 B

(45) 公告日：中華民國 107 (2018) 年 08 月 01 日

(21) 申請案號：103120934 (22) 申請日：中華民國 103 (2014) 年 06 月 17 日

(51) Int. Cl. : G11C7/10 (2006.01) G11C16/06 (2006.01)

(30) 優先權：2013/08/30 南韓 10-2013-0103841

(71) 申請人：愛思開海力士有限公司 (南韓) SK HYNIX INC. (KR)

南韓

(72) 發明人：李東郁 LEE, DONG UK (KR)

(74) 代理人：賴安國；王立成

(56) 參考文獻：

TW	565849	TW	200717239
US	7321525B2	US	2007/0101108A1
US	2007/0234165A1	US	2008/0088338A1
US	2009/0161455A1		

審查人員：劉聖尉

申請專利範圍項數：19 項 圖式數：11 共 45 頁

(54) 名稱

包括測試焊墊的半導體積體電路

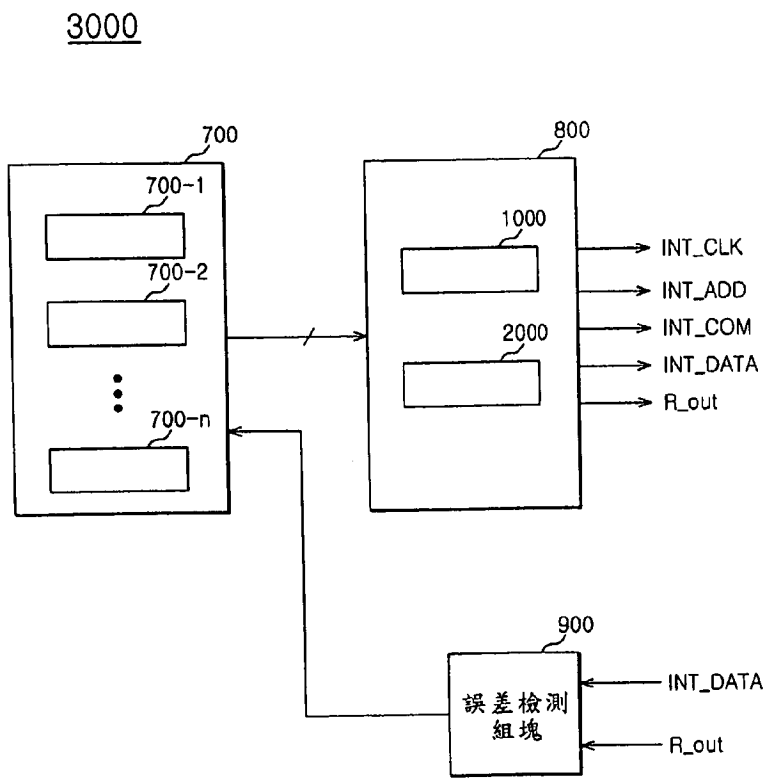
SEMICONDUCTOR INTEGRATED CIRCUIT INCLUDING TEST PADS

(57) 摘要

本發明提供一種半導體積體電路包括測試輸入/輸出埠包括：測試焊墊；內部輸入介面構成透過該測試輸入/輸出埠，響應外部信號以產生內部時脈、內部位址、內部命令、內部資料、與暫時儲存資料；及誤差檢測組塊構成判定該內部資料及該暫時儲存資料是否相同，並透過該埠之一個測試焊墊輸出結果。該內部輸入介面包括資料輸入/輸出組塊產生該內部資料，且該資料輸入/輸出組塊包括暫時儲存部分將該內部資料儲存為該暫時儲存資料；資料輸出部分接收該暫時儲存資料；及資料輸入部分接收該資料輸出部分之輸出，並將其輸出為該內部資料。

A semiconductor integrated circuit includes a test input/output port including test pads; an internal input interface configured to generate an internal clock, an internal address, an internal command, internal data and temporary storage data in response to external signals through the test input/output port; and an error detection block configured to determine whether the internal data and the temporary storage data are the same, and output a result through one test pad of the port. The internal input interface includes a data input/output block which generates the internal data and the data input/output block includes a temporary storage part which stores the internal data as the temporary storage data, a data output part which receives the temporary storage data, and a data input part which receives an output of the data output part and outputs it as the internal data.

指定代表圖：



符號簡單說明：

- 700 . . . 測試輸入/輸出埠
- 700_1-700_n . . . 測試焊墊
- 800 . . . 內部輸入介面
- 900 . . . 誤差檢測組塊
- 1000,2000 . . . 半導體記憶體裝置
- INT_ADD . . . 內部位址
- INT_CLK . . . 內部時脈
- INT_COM . . . 內部命令
- INT_DATA . . . 內部資料
- R_out . . . 暫時儲存資料

第 10 圖

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

包括測試焊墊的半導體積體電路/SEMICONDUCTOR INTEGRATED CIRCUIT INCLUDING TEST PADS

【技術領域】

【0001】 各種具體實施例係關於一種半導體積體電路，更具體地，關於一種半導體記憶體設備。

【先前技術】

【0002】 一般而言，一種半導體積體電路，例如，一種半導體記憶體設備可包括複數個焊墊，用於與系統溝通。焊墊可設置於半導體記憶體設備之信號傳送埠上。隨著半導體記憶體設備高度整合且尺寸縮減，焊墊之尺寸正逐漸減小。

【0003】 目前，日益漸增使用的尺寸縮減焊墊為微凸點(bump)。由於這種微凸點之尺寸很小，因此難以使用測試設備之接腳直接測試微凸點。雖然可將包括微凸點的半導體記憶體設備固定於基板(例如印刷電路板(Printed circuit board, PCB))進行測試，但將其固定於基板來測試整個批量生產的半導體記憶體設備不合情理。

【0004】 雖然提供尺寸大於微凸點的測試焊墊可測試具微凸點的半導體記憶體設備，但由於測試焊墊的大尺寸，故很難實現在大量測試焊墊整合的高密度半導體記憶體設備。因此，需求一種能使用限量測試焊墊以測試半導體記憶體設備的技術。

【發明內容】

【0005】 在本發明之具體實施例中，一種半導體積體電路包括：一測試輸入/輸出埠，其包括複數個測試焊墊；一內部輸入介面，其構成透過該測試輸入/輸出埠，響應外部信號，以產生一內部時脈、一內部位址、一內部命令、內部資料、與暫時儲存資料；及一誤差檢測組塊，其構成判定該內部資料和該暫時儲存資料是否彼此相同，並透過該測試輸入/輸出埠之一個測試焊墊以輸出判定結果，其中該內部輸入介面包括一資料輸入/輸出組塊，其產生該內部資料，且其中該資料輸入/輸出組塊包括一暫時儲存部分，其將該內部資料儲存為該暫時儲存資料；一資料輸出部分，其接收該暫時儲存資料；及一資料輸入部分，其接收該資料輸出部分之輸出，並將其輸出作為該內部資料。

【0006】 在本發明之具體實施例中，一種包括一半導體積體電路組塊的系統，其中該半導體積體電路組塊包括：一測試埠，其包含複數測試焊墊；一內部輸入介面，其構成使用透過該測試埠所提供的該等外部信號以產生一內部信號及暫時儲存資料；及一誤差檢測組塊，其構成比較該內部信號和該暫時儲存資料，並透過該等複數個測試焊墊之所選擇一者以輸出比較結果。

【0007】 在本發明之具體實施例中，一種包括一半導體積體電路組塊的系統，其中該半導體積體電路組塊構成包括複數個測試焊墊所輸入信號，用於測試該半導體積體電路組塊，且該半導體積體電路組塊之測試結果透過該等複數個測試焊墊之至少一者而輸出。

【圖式簡單說明】

【0008】 結合附圖描述特徵、態樣、與具體實施例，其中：

第1圖為根據本發明之具體實施例之半導體記憶體設備的方塊圖；

第2圖為第1圖之第一測試輸入組塊的方塊圖；

第3圖為第1圖之位址輸入組塊的方塊圖；

第4圖為第1圖之時脈輸入組塊的方塊圖；

第5圖為說明根據本發明之具體實施例之半導體記憶體設備的時序圖；

第6圖為根據本發明之具體實施例之半導體記憶體設備的方塊圖；

第7圖為第6圖之第二測試輸入組塊的方塊圖；

第8圖為第6圖之資料輸入/輸出組塊的方塊圖；

第9圖為第6圖之選通信號輸入組塊的方塊圖；及

第10圖為根據本發明之具體實施例之半導體記憶體設備的方塊圖，包括第1圖及第6圖之半導體記憶體設備。

第11圖為根據本發明之各種具體實施例之電子系統之各種特徵之方塊圖。

【實施方式】

【0009】 以下，將透過示例性具體實施例參照附圖以描述根據本發明的半導體記憶體設備。

【0010】 如第1圖所顯示，一半導體記憶體設備1000可包括一第一測試輸入組塊100、一位址輸入組塊200、與一時脈輸入組塊300。

【0011】 第一測試輸入組塊100可構成接收從測試焊墊10所外部輸入的一位址DA_ADD、一參考電壓VREF、與時脈DA_CLK、DA_CLKB、DA_QCLK及DA_QCLKB。

【0012】 測試焊墊10可包括一探測焊墊、一直接存取焊墊或類似者。外部輸入的位址DA_ADD稱爲一外部位址DA_ADD，而外部輸入的時脈DA_CLK及DA_CLKB則分別指稱爲一外部時脈DA_CLK及一外部時脈控制線DA_CLKB。而且，外部輸入的時脈DA_QCLK及DA_QCLKB分別稱爲一外部寫入時脈DA_QCLK及一外部寫入時脈控制線DA_QCLKB。

【0013】 第一測試輸入組塊100可構成比較外部位址DA_ADD之電壓位準和參考電壓VREF之電壓位準，並藉著使一比較結果與外部時脈DA_CLK同步而產生一上升位址ADDR。此外，第一測試輸入組塊100可構成比較外部位址

DA_ADD之電壓位準和參考電壓VREF之電壓位準，並藉著使一比較結果與外部時脈控制線DA_CLKB同步而產生一下降位址ADDF。第一測試輸入組塊100可驅動外部時脈DA_CLK、外部時脈控制線DA_CLKB、外部寫入時脈DA_QCLK、與外部寫入時脈控制線DA_QCLKB，藉此分別產生一輸入時脈CLK_i、一輸入時脈控制線CLKB_i、一寫入輸入時脈QCLK_i、與一寫入輸入時脈控制線QCLKB_i。

【0014】 位址輸入組塊200可構成接收來自第一測試輸入組塊100的上升位址ADDR、下降位址ADDF、寫入輸入時脈QCLK_i、與寫入輸入時脈控制線QCLKB_i。時脈輸入組塊300可構成接收輸入時脈CLK_i及輸入時脈控制線CLKB_i。

【0015】 更詳細而言，參照第2圖，第一測試輸入組塊100可包括一比較單元110、第一及第二閘鎖單元120及130、與第一至第四驅動器140、150、160及170。

【0016】 比較單元110可接收外部位址DA_ADD及參考電壓VREF。比較單元110可構成比較外部位址DA_ADD之電壓位準和參考電壓VREF之電壓位準。例如，比較單元110可構成當外部位址DA_ADD之電壓位準高於參考電壓VREF之電壓位準時，輸出具有高位準的信號，而當外部位址DA_ADD之電壓位準低於參考電壓VREF之電壓位準時，則輸出有低位準的信號。

【0017】 第一閘鎖單元120可構成響應外部時脈DA_CLK，以閘鎖比較單元110之輸出，並輸出閘鎖信號作為上升位址ADDR。例如，第一閘鎖單元120可在外部時脈DA_CLK之上升時序閘鎖第一比較單元110之輸出，並輸出上升位址ADDR。

【0018】 第二閘鎖單元130可構成響應外部時脈控制線DA_CLKB，以閘鎖比較單元110之輸出，並輸出閘鎖信號作為下降位址ADDF。例如，第二閘鎖

單元130可在外部時脈控制線DA_CLKB之上升時序門鎖第一比較單元110之輸出，並輸出下降位址ADDF。

【0019】 第一驅動器140可構成驅動外部時脈DA_CLK，藉此輸出輸入時脈CLK_i。

【0020】 第二驅動器150可構成驅動外部時脈控制線DA_CLKB，藉此輸出輸入時脈控制線CLKB_i。

【0021】 第三驅動器160可構成驅動外部寫入時脈DA_QCLK，藉此輸出寫入輸入時脈QCLK_i。

【0022】 第四驅動器170可構成驅動外部寫入時脈控制線DA_QCLKB，並輸出寫入輸入時脈控制線QCLKB_i。

【0023】 第1圖之位址輸入組塊200可構成響應上升位址ADDR、下降位址ADDF、寫入輸入時脈QCLK_i、與寫入輸入時脈控制線QCLKB_i，以產生一實體層(Physical layer, PHY)位址PHY_ADD，並輸出PHY位址PHY_ADD作為一內部位址INT_ADD。

【0024】 參照第3圖，位址輸入組塊200可包括一第一門鎖單元210、一第二門鎖單元220、一第一多工器230、一傳輸單元240、一接收單元250、與一第二多工器260。

【0025】 第一門鎖單元210可構成同步於寫入輸入時脈QCLK_i，以輸出上升位址ADDR。例如，第一門鎖單元210在寫入輸入時脈QCLK_i之上升時序，門鎖及輸出上升位址ADDR。

【0026】 第二門鎖單元220可構成同步於寫入輸入時脈控制線QCLKB_i，以輸出下降位址ADDF。例如，第二門鎖單元220在寫入輸入時脈控制線QCLKB_i之上升時序，門鎖及輸出下降位址ADDF。

【0027】 第一多工器230可構成響應寫入輸入時脈QCLK_i，以選擇第一門

鎖單元210之輸出及第二門鎖單元220之輸出之一者作為PHY位址PHY_ADD。例如，當寫入輸入時脈QCLK_i為高位準時，第一多工器230選擇第一門鎖單元210之輸出作為PHY位址PHY_ADD，而當寫入輸入時脈QCLK_i為低位準時，則選擇第二門鎖單元220之輸出作為PHY位址PHY_ADD。

【0028】 傳輸單元240可構成響應一第一測試控制信號Test_ctrlA而啟用，並輸出PHY位址PHY_ADD到一位址凸點ADD_bump。例如，當第一測試控制信號Test_ctrlA致能時，可啟用傳輸單元240，並可傳送PHY位址PHY_ADD到一位址凸點ADD_bump。當第一測試控制信號Test_ctrlA失能時，可停用傳輸單元240，並可封鎖PHY位址PHY_ADD傳送到一位址凸點ADD_bump。雖然位址凸點ADD_bump包括一類型之微凸點，但位址凸點ADD_bump可包括一配置，用於當正常運作(非測試運作)時傳送所接收位址到內部電路(圖未示)。傳輸單元240可由一常見驅動器構成。

【0029】 接收單元250可構成接收透過位址凸點ADD_bump所輸入的PHY位址PHY_ADD，並提供PHY位址PHY_ADD到第二多工器260。接收單元250可由一般接收器構成。

【0030】 第二多工器260可構成響應一第二測試控制信號Test_ctrlB，輸出從第一多工器230所輸出的PHY位址PHY_ADD，作為內部位址INT_ADD；或者，輸出從接收單元250所輸出的PHY位址PHY_ADD，作為內部位址INT_ADD。例如，當第二測試控制信號Test_ctrlB致能時，第二多工器260選擇第一多工器230之輸出作為內部位址INT_ADD，而當第二測試控制信號Test_ctrlB失能時，則選擇接收單元250之輸出作為內部位址INT_ADD。

【0031】 若替代外部位址DA_ADD之外部命令(圖未示)輸入至第1圖之第一測試輸入組塊100，則位址輸入組塊200可輸出一內部命令(圖未示)。亦即，用於產生外部位址DA_ADD作為內部位址INT_ADD的配置和用於產生外部命令

作為內部命令的配置為彼此相同。半導體記憶體設備可藉著如第1圖所顯示的配置，傳送一位址及一命令到半導體記憶體設備之內部。

【0032】 第1圖之時脈輸入組塊300可構成響應輸入時脈CLK_i及輸入時脈控制線CLKB_i，以產生一PHY (實體層)時脈PHY_CLK，並輸出PHY時脈PHY_CLK為一內部時脈INT_CLK。

【0033】 參照第4圖，時脈輸入組塊300可包括第一及第二門鎖單元310及320、一第一多工器330、一傳輸單元340、一接收單元350、與一第二多工器360。

【0034】 第一門鎖單元310可構成每次輸入時脈CLK_i轉換至高位準時，門鎖及輸出一接地電壓VSS，亦即低位準信號。

【0035】 第二門鎖單元320可構成每次輸入時脈控制線CLKB_i轉換至高位準時，門鎖及輸出一外部電壓VDD，亦即高位準信號。

【0036】 第一多工器330可構成響應輸入時脈CLK_i，以選擇第一及第二門鎖單元310及320的輸出信號之一者，作為PHY時脈PHY_CLK。例如，當輸入時脈CLK_i為高位準時，第一多工器330選擇性輸出第一門鎖單元310之輸出信號作為PHY時脈PHY_CLK，而當輸入時脈CLK_i為低位準時，則選擇性輸出第二門鎖單元320之輸出信號作為PHY時脈PHY_CLK。

【0037】 傳輸單元340可構成響應第一測試控制信號Test_ctrlA而啟用，並輸出PHY時脈PHY_CLK到一時脈凸點CLK_bump。例如，當第一測試控制信號Test_ctrlA致能時，啟用傳輸單元340，並提供PHY時脈PHY_CLK到時脈凸點CLK_bump。當第一測試控制信號Test_ctrlA失能時，傳輸單元340封鎖PHY時脈PHY_CLK傳送到時脈凸點CLK_bump。傳輸單元340可由一驅動器構成。

【0038】 接收單元350可構成傳送從時脈凸點CLK_bump所輸入的PHY時脈PHY_CLK到第二多工器360。接收單元350可由一接收器構成。

【0039】 第二多工器360可構成響應第二測試控制信號Test_ctrlB，以輸出

從第一多工器330所輸出的PHY時脈PHY_CLK及從接收單元350所輸出的PHY時脈PHY_CLK之一者，作為內部時脈INT_CLK。例如，當第二測試控制信號Test_ctrlB致能時，第二多工器360選擇第一多工器330之輸出作為內部時脈INT_CLK，而當第二測試控制信號Test_ctrlB失能時，則選擇接收單元350之輸出作為內部時脈INT_CLK。

【0040】 將參照第5圖描述第1圖所顯示的第一測試輸入組塊100、位址輸入組塊200、與時脈輸入組塊300之運作。

【0041】 外部時脈DA_CLK及外部位址DA_ADD輸入第一測試輸入組塊110。

【0042】 第一閘鎖單元120閘鎖外部位址DA_ADD和參考電壓VREF之電壓位準比較之一結果AR，並從外部時脈DA_CLK之上升時序輸出為上升位址ADDR，亦即從當外部時脈DA_CLK轉換至高位準時，直到外部時脈DA_CLK接著轉換至高位準。

【0043】 第二閘鎖單元130閘鎖外部位址DA_ADD和參考電壓VREF之電壓位準比較之一結果AF，並從外部時脈DA_CLK之下降時序輸出為下降位址ADDF，亦即從當外部時脈DA_CLK轉換至低位準時，直到外部時脈DA_CLK接著轉換至低位準。

【0044】 上升位址ADDR在外部寫入時脈DA_QCLK之高位準週期期間輸出為PHY位址PHY_ADD，而下降位址ADDF在外部寫入時脈DA_QCLK之低位準週期期間輸出為PHY位址PHY_ADD。

【0045】 PHY時脈PHY_CLK在外部時脈DA_CLK之高位準週期期間，在接地電壓VSS之位準(亦即低位準)輸出，而在外部時脈DA_CLK之低位準週期期間，在外部電壓VDD之位準(亦即高位準)輸出。換言之，PHY時脈PHY_CLK的相位與外部時脈DA_CLK的相位相反。第1圖至第4圖顯示的外部時脈DA_CLK、

外部時脈控制線DA_CLKB、外部寫入時脈DA_QCLK、與外部寫入時脈控制線DA_QCLKB的相位可分別與輸出為外部時脈DA_CLK、外部時脈控制線DA_CLKB、外部寫入時脈DA_QCLK、與外部寫入時脈控制線DA_QCLKB的輸入時脈CLK_i、輸入時脈控制線CLKB_i、寫入輸入時脈QCLK_i、與寫入輸入時脈控制線QCLKB_i的相位相同。並且，外部時脈DA_CLK和外部時脈控制線DA_CLKB有相反的相位，且外部寫入時脈DA_QCLK和外部寫入時脈控制線DA_QCLKB有相反的相位。

【0046】 如第6圖所顯示，一半導體記憶體設備2000可包括一第二測試輸入組塊400、一資料輸入/輸出組塊500、與一選通信號輸入組塊600。

【0047】 例如，第6圖所顯示的半導體記憶體設備2000為用於處理資料信號的裝置，且第1圖所顯示的前述半導體記憶體設備1000為用於處理位址(或命令)與時脈的裝置。

【0048】 第二測試輸入組塊400可構成接收從測試焊墊60所外部輸入的資料DA_DQ、參考電壓VREF、時脈DA_CLK及DA_CLKB、與資料選通信號DA_DQS及DA_DQSB。測試焊墊60可為一探測焊墊、一直接存取焊墊、或此類。外部輸入的資料DA_DQ稱為外部資料DA_DQ，而外部輸入的時脈DA_CLK及DA_CLKB分別稱為外部時脈DA_CLK及外部時脈控制線DA_CLKB。此外，外部輸入的資料選通信號DA_DQS及DA_DQSB分別稱為外部資料選通信號DA_DQS及外部資料選通控制線信號DA_DQSB。

【0049】 第二測試輸入組塊400可構成比較外部資料DA_DQ之電壓位準和參考電壓VREF之電壓位準，並藉著使第一比較結果與外部時脈DA_CLK同步而產生上升資料DATAR作為該第一比較結果。此外，第二測試輸入組塊400可構成比較外部資料DA_DQ之電壓位準和參考電壓VREF之電壓位準，並藉著使第二比較結果與外部時脈控制線DA_CLKB同步而產生下降資料DATAF作為該第

二比較結果。第二測試輸入組塊400可構成驅動外部資料選通信號DA_DQS及外部資料選通控制線信號DA_DQSB，並產生一輸入資料選通信號DQS_i及一輸入資料選通控制線信號DQSB_i。資料輸入/輸出組塊500可構成接收來自第二測試輸入組塊400的上升資料DATAR及下降資料DATAF。選通信號輸入組塊600可構成接收來自第二測試輸入組塊400的輸入資料選通信號DQS_i及輸入資料選通控制線信號DQSB_i。

【0050】 更詳細而言，參照第7圖，第二測試輸入組塊400可包括一比較單元410、第一及第二閘鎖單元420及430、與第一及第二驅動器440及450。

【0051】 比較單元410可構成接收外部資料DA_DQ及參考電壓VREF，並比較外部資料DA_DQ之電壓位準和參考電壓VREF之電壓位準。例如，比較單元410可構成當外部資料DA_DQ之電壓位準高於參考電壓VREF之電壓位準時，輸出具有高位準的一信號，而當外部資料DA_DQ之電壓位準低於參考電壓VREF之電壓位準時，則輸出具有低位準的一信號。

【0052】 第一閘鎖單元420可構成響應外部時脈DA_CLK以閘鎖比較單元410之輸出，並輸出一閘鎖信號作為上升資料DATAR。例如，第一閘鎖單元420可在外部時脈DA_CLK之上升時序閘鎖第一比較單元410之輸出，並輸出上升資料DATAR。

【0053】 第二閘鎖單元430可構成響應外部時脈控制線DA_CLKB，以閘鎖比較單元410之輸出，並輸出一閘鎖信號作為下降資料DATAF。例如，第二閘鎖單元430可在外部時脈控制線DA_CLKB之上升時序閘鎖第一比較單元410之輸出，並輸出下降資料DATAF。

【0054】 第一驅動器440可構成驅動外部資料選通信號DA_DQS，藉此輸出輸入資料選通信號DQS_i。

【0055】 第二驅動器450可構成驅動外部資料選通控制線信號

DA_DQSB，藉此輸出輸入資料選通控制線信號DQSB_i。

【0056】 第6圖之資料輸入/輸出組塊500可構成響應一寫入資料選通上升信號WDQS_R及一寫入資料選通下降信號WDQS_F，以傳送上升資料DATAR及下降資料DATAF到第一及第二輸入資料線RXR_L及RXF_L。並且，資料輸入/輸出組塊500可構成接收來自第一及第二輸出資料線TXR_L及TXF_L的資料。資料輸入/輸出組塊500可電耦合一資料輸入/輸出凸點DQ_{bump}。

【0057】 參照第8圖，資料輸入/輸出組塊500可包括一資料輸入部分510、一資料輸出部分520、與一暫時儲存部分530。

【0058】 資料輸入部分510可構成同步於寫入資料選通上升信號WDQS_R及寫入資料選通下降信號WDQS_F，以傳送從資料輸入/輸出凸點DQ_{bump}所輸入的PHY資料PHY_{DQ}或從資料輸出部分520所輸入的PHY資料PHY_{DQ}到第一及第二輸入資料線RXR_L及RXF_L。

【0059】 資料輸入部分510可包括一接收單元511、與第一及第二門鎖單元512及513。

【0060】 接收單元511可構成接收PHY資料PHY_{DQ}，並傳送PHY資料PHY_{DQ}到第一及第二門鎖單元512及513。接收單元511可由接收器構成。

【0061】 第一門鎖單元512可構成響應寫入資料選通上升信號WDQS_R，以提供接收單元511之一輸出資料給第一輸入資料線RXR_L。例如，每次寫入資料選通上升信號WDQS_R轉換至高位準時，第一門鎖單元512可門鎖接收單元511之輸出資料，並輸出接收單元511之該門鎖輸出到第一輸入資料線RXR_L。

【0062】 第二門鎖單元513可構成響應寫入資料選通下降信號WDQS_F，以提供接收單元511之一輸出資料給第二輸入資料線RXF_L。例如，每次寫入資料選通下降信號WDQS_F轉換至高位準時，第二門鎖單元513可門鎖接收單元

511之輸出資料，並輸出接收單元511之該門鎖輸出到第二輸入資料線RXF_L。

【0063】 資料輸出部分520可構成輸出第一及第二輸出資料線TXR_L及TXF_L的信號之一、暫時儲存部分530之輸出信號R1_OUT及R2_OUT、與第二測試輸入組塊400之輸出信號DATAR及DATAF到資料輸入/輸出凸點DQ_bump及資料輸入部分510之接收單元511。

【0064】 資料輸出部分520可包括第一至第六多工器521至526、與一傳輸單元527。

【0065】 第一多工器521可構成響應第一測試控制信號Test_ctrl1，以選擇暫時儲存部分530之輸出信號R1_OUT及第一輸出資料線TXR_L之信號之一者。例如，當第一測試控制信號Test_ctrl1致能時，第一多工器521可輸出第一輸出資料線TXR_L之信號，而當第一測試控制信號Test_ctrl1失能時，則輸出暫時儲存部分530之輸出信號R1_OUT。

【0066】 第二多工器522可構成響應第一測試控制信號Test_ctrl1，以輸出暫時儲存部分530之輸出信號R2_OUT及第二輸出資料線TXF_L之信號之一者。例如，當第一測試控制信號Test_ctrl1致能時，第二多工器522可輸出第二輸出資料線TXF_L之信號，而當第一測試控制信號Test_ctrl1失能時，則輸出暫時儲存部分530之輸出信號R2_OUT。

【0067】 第三多工器523可構成響應第二測試控制信號Test_ctrl2，以選擇輸出時脈TXCLK及寫入輸入時脈QCLK_i之一時脈。例如，當第二測試控制信號Test_ctrl2致能時，第三多工器523可輸出寫入輸入時脈QCLK_i，而當第二測試控制信號Test_ctrl2失能時，則輸出時脈TXCLK輸出。輸出時脈TXCLK可為用於正常運作而非測試運作中讀取運作的時脈，而寫入輸入時脈QCLK_i可為第1圖所顯示的時脈。

【0068】 第四多工器524可構成響應寫入輸入時脈QCLK_i，以選擇上升資

料DATAR及下降資料DATAF之一者。例如，當寫入輸入時脈QCLK_i為高位準時，第四多工器524可輸出上升資料DATAR，而當寫入輸入時脈QCLK_i為低位準時，則輸出下降資料DATAF。

【0069】 第五多工器525可構成響應第三多工器523之輸出，以選擇第一多工器521之輸出及第二多工器522之輸出之一者。例如，當第三多工器523之輸出為高位準時，第五多工器525可輸出第一多工器521之輸出，而當第三多工器523之輸出為低位準時，則輸出第二多工器522之輸出。

【0070】 第六多工器526可構成響應一第三測試控制信號Test_ctrl3，以輸出第五多工器525之輸出及第四多工器524之輸出之一者。例如，當第三測試控制信號Test_ctrl3致能時，第六多工器526可輸出第五多工器525之輸出到傳輸單元527，而當第三測試控制信號Test_ctrl3失能時，則輸出第四多工器524之輸出到傳輸單元527。

【0071】 傳輸單元527可構成提供第六多工器526之輸出給資料輸入/輸出凸點DQ_bump及接收單元511。傳輸單元527可由一驅動器構成。

【0072】 第一及第二多工器521及522可為組成元件，其根據第一測試控制信號Test_ctrl1以選擇暫時儲存部分530之輸出R1_OUT及R2_OUT之一者與第一及第二輸出資料線TXR_L及TXF_L之信號。第三多工器523可為一組成元件，其根據第二測試控制信號Test_ctrl2選擇一正常運作中所使用時脈TXCLK及一測試中所使用的時脈QCLK_i。第四多工器524可為組成元件，其使上升資料DATAR及下降資料DATAF與測試中所使用的時脈(亦即寫入輸入時脈QCLK_i)同步。第五多工器525可為一組成元件，其使第一及第二多工器521及522之輸出與第三多工器523之輸出同步。第六多工器526為組成元件，其響應第三測試控制信號Test_ctrl3，以傳送第四多工器524之輸出及第五多工器525之輸出之一者到傳輸單元527。資料輸入/輸出凸點DQ_bump可電耦合於透過其為傳輸單元527的一節

點。接收單元511可彼此電耦合，且傳輸單元527處的節點之信號。接收單元511與資料輸入/輸出凸點DQ_bump可電耦合為PHY資料PHY_DQ。亦即，傳輸單元527之輸出可為PHY資料PHY_DQ，且接收單元511之輸入可為PHY資料PHY_DQ。

【0073】 暫時儲存部分530可構成響應一第四測試控制信號Test_ctrl4，以儲存資料輸入部分510之輸出，並傳送所儲存信號到資料輸出部分520之第一及第二多工器521及522。例如，當第四測試控制信號Test_ctrl4致能時，暫時儲存部分530可儲存資料輸入部分510之輸出，並提供所儲存信號給資料輸出部分520之第一及第二多工器521及522。此外，當第四測試控制信號Test_ctrl4失能時，暫時儲存部分530不會接收資料輸入部分510之輸出，並輸出先前所儲存信號之數值。

【0074】 暫時儲存部分530可包括第一及第二開關531及532、與一暫存器533。

【0075】 當第四測試控制信號Test_ctrl4致能時，第一開關531可構成傳送第一門鎖單元512之輸出到暫存器533。當第四測試控制信號Test_ctrl4失能時，第一開關531可構成封鎖第一門鎖單元512之輸出傳送到暫存器533。

【0076】 當第四測試控制信號Test_ctrl4致能時，第二開關532可構成傳送第二門鎖單元513之輸出到暫存器533。當第四測試控制信號Test_ctrl4失能時，第二開關532可構成封鎖第二門鎖單元513之輸出傳送到暫存器533。

【0077】 暫存器533可構成儲存第一及第二開關531及532之輸出，並輸出所儲存信號到第一及第二多工器521及522。例如，暫存器533可儲存第一開關531之輸出，並輸出第一開關531之所儲存輸出到第一多工器521。並且，暫存器533可儲存第二開關532之輸出，並輸出從第二開關532所提供的所儲存信號到第二多工器522。

【0078】 第6圖之選通信號輸入組塊600可構成響應輸入資料選通信號DQS_i及輸入資料選通控制線信號DQSB_i，以產生寫入資料選通上升信號WDQS_R及寫入資料選通下降信號WDQS_F。此外，選通信號輸入組塊600可電耦合於資料選通凸點DQS_{bump}，並響應一正常運作中從資料選通凸點DQS_{bump}所輸入的信號，以產生寫入資料選通上升信號WDQS_R及寫入資料選通下降信號WDQS_F。

【0079】 請參照第9圖，選通信號輸入組塊600可包括第一及第二門鎖單元610及620、一多工器630、一傳輸單元640、與一接收單元650。

【0080】 第一門鎖單元610可構成響應輸入資料選通信號DQS_i，以門鎖及輸出一外部電壓VDD，亦即一高位準信號。例如，每次輸入資料選通信號DQS_i轉換至高位準時，第一門鎖單元610可輸出高位準信號。

【0081】 第二門鎖單元620可構成響應輸入資料選通控制線信號DQSB_i，以門鎖及輸出一接地電壓VSS，亦即一低位準信號。例如，每次輸入資料選通控制線信號DQSB_i轉換至高位準時，第二門鎖單元620輸出低位準信號。

【0082】 多工器630可構成響應輸入資料選通信號DQS_i，以選擇第一門鎖單元610及第二門鎖單元620之輸出之一。例如，當輸入資料選通信號DQS_i為高位準時，多工器630可輸出第一門鎖單元610之輸出到傳輸單元640，而當輸入資料選通信號DQS_i為低位準時，則輸出第二門鎖單元620之輸出到傳輸單元640。

【0083】 傳輸單元640可構成接收多工器630之輸出，並將其輸出到資料選通凸點DQS_{bump}及接收單元650。

【0084】 接收單元650可構成接收從傳輸單元640所輸出的信號或從資料選通凸點DQS_{bump}所輸入的信號，並輸出寫入資料選通上升信號WDQS_R。此

外，接收單元650可反轉從傳輸單元640所輸出的信號或從資料選通凸點DQS_bump所輸入的信號，並輸出寫入資料選通下降信號WDQS_F。輸入傳輸單元640、接收單元650、與資料選通凸點DQS_bump電耦合處的節點或從其所輸出的信號可為一PHY資料選通信號PHY_DQ。

【0085】 第10圖顯示根據本發明之具體實施例之一半導體記憶體設備3000，其中有關位址、命令、與時脈的第1圖之半導體記憶體設備1000及有關資料的第6圖之半導體記憶體設備2000兩者皆使用。

【0086】 第10圖所顯示的半導體記憶體設備3000可包括一測試輸入/輸出埠700、一內部輸入介面800、與一誤差檢測組塊900。

【0087】 測試輸入/輸出埠700可包括複數個測試焊墊700_1、700_2、……與700_n，並可構成傳送從外部電路裝置所施加的一位址、一命令、一時脈與資料到內部輸入介面800。

【0088】 內部輸入介面800可包括第1圖所顯示的半導體記憶體設備1000及第6圖所顯示的半導體記憶體設備2000，並可構成從測試輸入/輸出埠700所輸入的時脈、位址、命令與資料產生一內部時脈INT_CLK、一內部位址INT_ADD、一內部命令INT_COM、內部資料INT_DATA、與暫時儲存資料R_out。例如，第1圖所顯示的半導體記憶體設備1000可響應外部位址DA_ADD、參考電壓VREF、外部時脈DA_CLK、與外部寫入時脈DA_QCLK，以產生內部位址INT_ADD及內部時脈INT_CLK。並且，藉著使用第1圖所顯示的半導體記憶體設備1000，一外部命令可產生作為內部命令INT_COM。用於產生內部位址INT_ADD的配置和用於產生內部命令INT_COM的配置彼此相同，不過其輸入信號和輸出信號可不同。第6圖所顯示的半導體記憶體設備2000藉著使用外部資料DA_DQ、參考電壓VREF、外部時脈DA_CLK、與外部資料選通信號DA_DQS，產生所要輸入到輸入資料線RXR_L及RXF_L的內部資料INT_DATA。此外，由

於輸入到輸入資料線RXR_L及RXF_L的內部資料INT_DATA是由暫存器533儲存(參見第8圖)，因此產生暫時儲存資料R_out (R1_OUT及R2_OUT)。

【0089】 誤差檢測組塊900可構成比較內部資料INT_DATA和暫時儲存資料R_out，以檢測其是否彼此相同，並輸出一比較結果到配置於測試輸入/輸出埠700中的一測試焊墊。誤差檢測組塊900可由「互斥或閘(exclusive OR gate)」與「及閘(AND gate)」實現。

【0090】 以下將描述第1圖所顯示有關位址信號的半導體記憶體設備1000之運作。

【0091】 請參照第1圖，第一測試輸入組塊100使用一位址DA_ADD、一參考電壓VREF、與時脈DA_CLK、DA_CLKB、DA_QCLK及DA_QCLKB，響應外部位址DA_ADD、參考電壓VREF、外部時脈DA_CLK、外部時脈控制線DA_CLKB、外部寫入時脈DA_QCLK、與外部寫入時脈控制線DA_QCLKB，以產生上升位址ADDR、下降位址ADDF、寫入輸入時脈QCLK_i、寫入輸入時脈控制線QCLKB_i、輸入時脈CLK_i、與輸入時脈控制線CLKB_i。

【0092】 位址輸入組塊200使用來自第一測試輸入組塊100的上升位址ADDR、下降位址ADDF、寫入輸入時脈QCLK_i、與寫入輸入時脈控制線QCLKB_i，響應上升位址ADDR、下降位址ADDF、寫入輸入時脈QCLK_i、與寫入輸入時脈控制線QCLKB_i，以產生內部位址INT_ADD。

【0093】 詳細而言，請參照第3圖，在一測試中，第一測試控制信號Test_ctrlA致能，且第一多工器230所產生的PHY位址PHY_ADD輸出到位址凸點ADD_bump及接收單元250。接收單元250接收傳輸單元240之輸出，並將其輸出到第二多工器260。在第二測試控制信號Test_ctrlB失能的情況下，第二多工器260選擇及輸出接收單元250之輸出作為內部位址INT_ADD。PHY位址PHY_ADD從一測試焊墊所輸入的外部位址DA_ADD、參考電壓VREF、外部時脈DA_CLK、

與外部時脈控制線DA_CLKB所產生的上升位址ADDR及下降位址ADDF產生。由於PHY位址PHY_ADD透過位址凸點ADD_bump輸入接收單元250，因此形成如同正常運作中從位址凸點ADD_bump輸入接收單元250的位址路徑的相同路徑。在必要將尚未通過傳輸單元240及接收單元250的PHY位址PHY_ADD當作內部位址INT_ADD使用情況下，第二測試控制信號Test_ctrlB為失能。

【0094】 用於產生一外部命令作為一內部命令的一配置和用於產生外部位址DA_ADD作為內部位址INT_ADD的配置相同。

【0095】 時脈輸入組塊300響應輸入時脈CLK_i及輸入時脈控制線CLKB_i以產生內部位址INT_ADD。

【0096】 詳細而言，請參照第4圖，第一多工器330之輸出(亦即PHY時脈PHY_CLK)透過傳輸單元340、時脈凸點CLK_bump、接收單元350、與第二多工器360輸出為內部時脈INT_CLK。在這種情況下，接收單元350以如同正常運作中的相同方式接收來自時脈凸點CLK_bump的信號，並透過第二多工器360輸出內部時脈INT_CLK。此外，在第一及第二測試控制信號Test_ctrlA及Test_ctrlB之控制下，第一多工器330之輸出在沒有通過時脈凸點CLK_bump及接收單元350，直接透過第二多工器360輸出為內部時脈INT_CLK。

【0097】 因此，第1圖所顯示的半導體記憶體設備1000可透過如同於一測試中正常運作的位址、命令、與時脈之相同的輸入路徑，以輸入內部位址INT_ADD、內部命令INT_COM、與內部時脈INT_CLK到其他內部電路。

【0098】 以下將描述第6圖所顯示有關資料的半導體記憶體設備2000之運作。

【0100】 第二測試輸入組塊400響應外部資料DA_DQ、參考電壓VREF、外部時脈DA_CLK、外部時脈控制線DA_CLKB、外部資料選通信號DA_DQS、與外部資料選通控制線信號DA_DQSB，以產生上升資料DATAR、下降資料

DATAF、輸入資料選通信號DQS_i、與輸入資料選通控制線信號DQSB_i。

【0101】 資料輸入/輸出組塊500響應上升資料DATAR、下降資料DATAF、寫入資料選通上升信號WDQS_R、與寫入資料選通下降信號WDQS_F，以輸出PHY資料PHY_{DQ} (參見第8圖)到第一及第二輸入資料線RXR_L及RXF_L作為內部資料INT_{DATA}。並且，資料輸入/輸出組塊500可輸出從第一及第二輸出資料線TXR_L及TXF_L所接收的資料到資料凸點DQ_{bump}。

【0102】 詳細而言，請參照第8圖，資料輸入/輸出組塊500包括資料輸入部分510、資料輸出部分520、與暫時儲存部分530。

【0103】 資料輸入部分510傳送PHY資料PHY_{DQ}到第一及第二輸入資料線RXR_L及RXF_L。

【0104】 資料輸出部分520響應第一至第三測試控制信號Test_{ctrl1}、Test_{ctrl2}、與Test_{ctrl3}，以選擇第一及第二輸出資料線TXR_L及TXF_L之信號之一者、暫存器533之輸出信號R1_{OUT}及R2_{OUT}、與上升資料DATAR及下降資料DATAF，並根據所選擇信號產生PHY資料PHY_{DQ}。

【0105】 因此，可透過如同資料透過輸入資料線RXR_L及RXF_L從資料輸入部分510傳遞的正常運作中的相同資料路徑以輸入資料。

【0106】 暫時儲存部分530可儲存透過第一及第二輸入資料線RXR_L及RXF_L所輸入的資料，並可輸出暫時儲存資料R1_{OUT}及R2_{OUT}。

【0107】 請參照第10圖，根據本發明之具體實施例的半導體記憶體設備3000可透過如同同一測試中的正常運作中包括測試輸入/輸出埠700的相同路徑以輸入位址、時脈、命令、與資料。由於半導體記憶體設備可透過如同同一測試中的正常運作中包括測試輸入/輸出埠700的相同路徑以輸入位址、時脈、命令、與資料，因此半導體記憶體設備可在測試中進行諸如輸出所儲存資料與儲存所輸入資料的正常運作。此外，由於一位址、一時脈、一命令、與資料可透過與用

於從外部所輸入一位址、一命令、與資料的各個凸點電耦合的該等接收單元輸入半導體記憶體設備，因此可檢查該等各個接收單元是否正常運作。

【0108】 由於包括誤差檢測單元900，因此可檢測輸入半導體記憶體設備及暫時儲存資料R_out的內部資料INT_DATA是否彼此相同，因而可檢查資料輸入部分510及資料輸出部分520是否正常運作。更具體地，資料輸出部分520之輸出可透過資料輸入部分510儲存於暫時儲存部分530中，且暫時儲存部分530之輸出可輸入資料輸出部分520。因此，由於相同的資料可輸入到資料輸入部分510及資料輸出部分520，因此藉著比較暫時儲存資料和從資料輸入部分510所輸出的資料，可檢查資料輸入部分510及資料輸出部分520是否正常運作。

【0109】 藉著將第10圖之半導體記憶體設備3000設置於各個通道中，可分別測試該等通道。

【0110】 第11圖顯示根據本發明之各種具體實施例之電子系統4000的各種特徵之方塊圖。系統4000可包括一控制器4100及一記憶體裝置4200。根據本說明書所述的具體實施例，記憶體裝置4200可構成爲一半導體積體電路，且可類似於或等同於有關第1圖至第10圖所詳述的具體實施例之一或多者。系統4000可以各種方式形成，諸如使用慣用技術將系統4100之個別組成部分耦合在一起，或者將該等組件整合於一或許多晶片型單元中。在一具體實施例中，系統4000亦包括一電子設備4300及一匯流排4400，其中匯流排4400提供系統4000之組件之間的導電性。在一具體實施例中，匯流排4400包括一位址匯流排、一資料匯流排、與一控制匯流排，每一者爲獨立配置。在替代性具體實施例中，匯流排4400使用共用導線用於提供位址、資料、或控制之一或多者，其使用是由控制器4100控制。在具體實施例中，電子設備4300可包括用於電子系統4000之意欲功能性應用的附加記憶體。

【0111】 記憶體裝置4200不限於根據本說明書所述各種具體實施例而設

置的動態隨機存取記憶體、靜態隨機存取記憶體、同步動態隨機存取記憶體 (Synchronous dynamic random access memory, SDRAM)、同步圖形隨機存取記憶體 (Synchronous graphics random access memory, SGRAM)、雙倍資料速率動態隨機存取記憶體 (Double data rate dynamic ram, DDR)、與雙倍資料速率SDRAM。根據如第1圖至第10圖所例示的各種具體實施例，記憶體裝置4200可使用測試焊墊在讀取運作及寫入運作中實現。

【0112】 在各種具體實施例中，周邊裝置或裝置4500耦合匯流排4400。周邊裝置4500可包括能連同控制器4100運作的顯示器、成像裝置、列印裝置、無線裝置、無線介面(例如無線收發器)、附加儲存記憶體、控制裝置。在具體實施例中，控制器4100可包括一或多個處理器。在各種具體實施例中，系統4100包括(但不限於)光纖系統或裝置、電光系統或裝置、光學系統或裝置、成像系統或裝置、與資訊處理系統或裝置，諸如無線系統或裝置、電信系統或裝置、與電腦。

【0113】 正如從以上描述應明白，根據本發明之具體實施例的半導體記憶體設備可使用測試焊墊以測試半導體記憶體設備是否正常運作。

【0114】 雖然以上已描述某些具體實施例，但熟習此項技術者應可理解所描述的具體實施例僅為舉例說明。因此，不應依據所描述的具體實施例限制本說明書所描述的半導體記憶體設備。而是，本說明書描述的半導體記憶體設備連同以上描述及附圖僅侷限於文後申請專利範圍。

【符號說明】

【0115】

1000, 2000, 3000	半導體記憶體裝置
10, 60	測試焊墊
100	第一測試輸入組塊

110	比較單元
120	第一門鎖單元
130	第二門鎖單元
140	第一驅動器
150	第二驅動器
160	第三驅動器
170	第四驅動器
200	位址輸入組塊
210	第一門鎖單元
220	第二門鎖單元
230	第一多工器
240	傳輸單元
250	接收單元
260	第二多工器
300	時脈輸入組塊
310	第一門鎖單元
320	第二門鎖單元
330	第一多工器
340	傳輸單元
350	接收單元
360	第二多工器
400	第二測試輸入組塊
410	比較單元
420	第一門鎖單元

430	第二門鎖單元
440	第一驅動器
450	第二驅動器
500	資料輸入/輸出組塊
510	資料輸入部分
511	接收單元
512	第一門鎖單元
513	第二門鎖單元
520	資料輸出部分
521	第一多工器
522	第二多工器
523	第三多工器
524	第四多工器
525	第五多工器
526	第六多工器
527	傳輸單元
530	暫時儲存部分
531	第一開關
532	第二開關
533	暫存器
600	選通信號輸入組塊
610	第一門鎖單元
620	第二門鎖單元
630	多工器

640	傳輸單元
650	接收單元
700	測試輸入/輸出埠
700_1-700_n	測試焊墊
800	內部輸入介面
900	誤差檢測組塊
4000	系統
4100	控制器
4200	記憶體裝置
4300	電子設備
4400	匯流排
4500	周邊裝置或裝置
ADD_bump	位址凸點
ADDF	下降位址
ADDR	上升位址
AF, AR	結果
CLK_bump	時脈凸點
CLK_i	輸入時脈
CLKB_i	輸入時脈控制線
DA_ADD	外部位址
DA_CLK	外部時脈
DA_CLKB	外部時脈控制線
DA_QCLK	外部寫入時脈
DA_QCLKB	外部寫入時脈控制線

DQS_bump	資料選通凸點
DQS_i	輸入資料選通信號
DQSB_i	輸入資料選通控制線信號
INT_ADD	內部位址
INT_CLK	內部時脈
INT_COM	內部命令
INT_DATA	內部資料
PHY_ADD	PHY位址
PHY_CLK	PHY時脈
PHY_DQ	PHY資料
QCLK_i	寫入輸入時脈
QCLKB_i	寫入輸入時脈控制線
R_out	暫時儲存資料
RXR_L	第一輸入資料線
RXF_L	第二輸入資料線
Test_ctrlA	第一測試控制信號
Test_ctrlB	第二測試控制信號
TXR_L	第一輸出資料線
TXF_L	第二輸出資料線
VDD	外部電壓
VREF	參考電壓
VSS	接地電壓
WDQS_R	寫入資料選通上升信號
WDQS_F	寫入資料選通下降信號

發明摘要

I631574

※ 申請案號：103120934

※ 申請日：103/06/17

※IPC 分類：G11C 7/10 (2006.01)
G11C 16/06 (2006.01)

【發明名稱】(中文/英文)

包括測試焊墊的半導體積體電路/SEMICONDUCTOR INTEGRATED CIRCUIT INCLUDING TEST PADS

【中文】

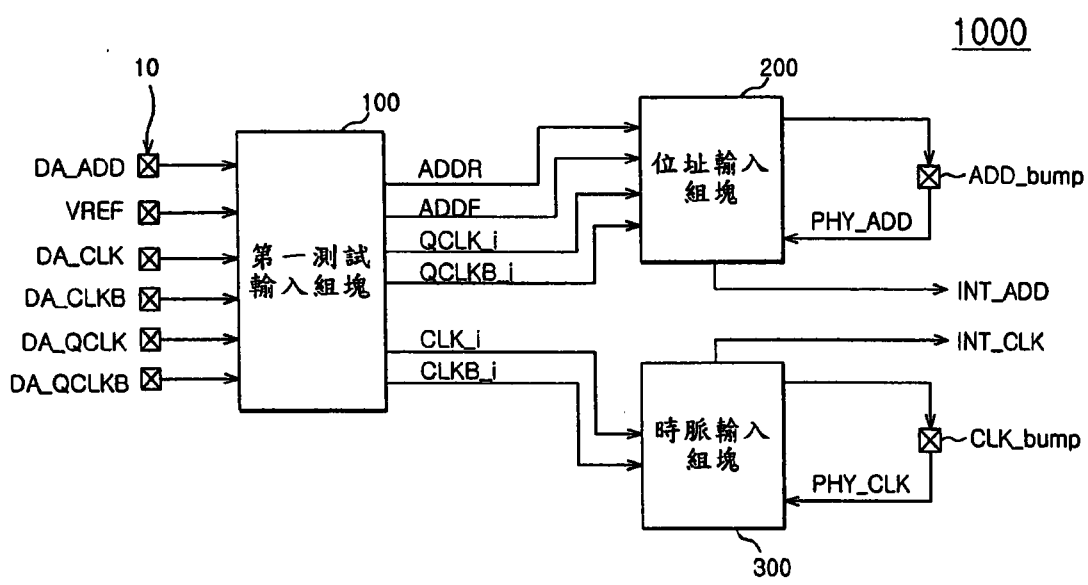
本發明提供一種半導體積體電路包括測試輸入/輸出埠包括：測試焊墊；內部輸入介面構成透過該測試輸入/輸出埠，響應外部信號以產生內部時脈、內部位址、內部命令、內部資料、與暫時儲存資料；及誤差檢測組塊構成判定該內部資料及該暫時儲存資料是否相同，並透過該埠之一個測試焊墊輸出結果。該內部輸入介面包括資料輸入/輸出組塊產生該內部資料，且該資料輸入/輸出組塊包括暫時儲存部分將該內部資料儲存為該暫時儲存資料；資料輸出部分接收該暫時儲存資料；及資料輸入部分接收該資料輸出部分之輸出，並將其輸出為該內部資料。

【英文】

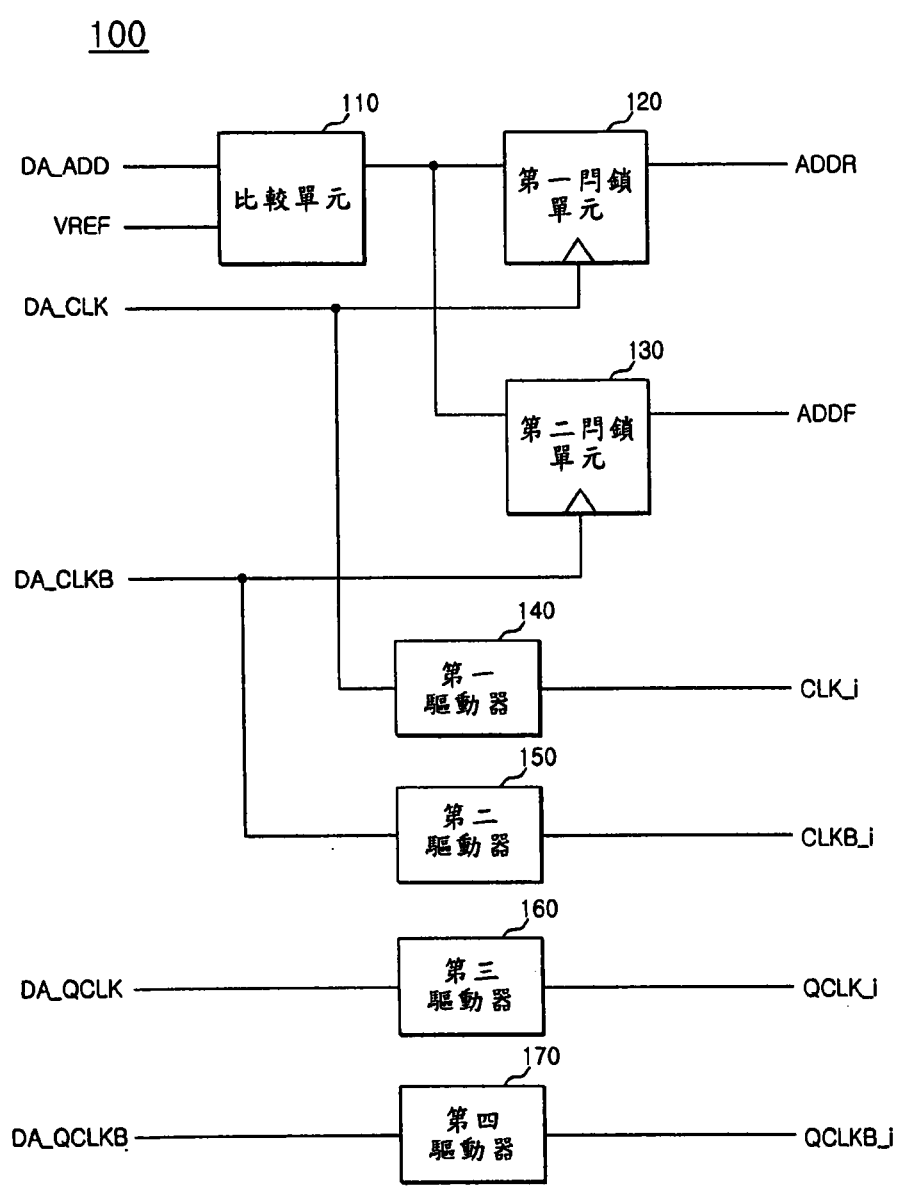
A semiconductor integrated circuit includes a test input/output port including test pads; an internal input interface configured to generate an internal clock, an internal address, an internal command, internal data and temporary storage data in response to external signals through the test input/output port; and an error detection block configured to determine whether the internal data and the temporary storage

data are the same, and output a result through one test pad of the port. The internal input interface includes a data input/output block which generates the internal data and the data input/output block includes a temporary storage part which stores the internal data as the temporary storage data, a data output part which receives the temporary storage data, and a data input part which receives an output of the data output part and outputs it as the internal data.

圖式

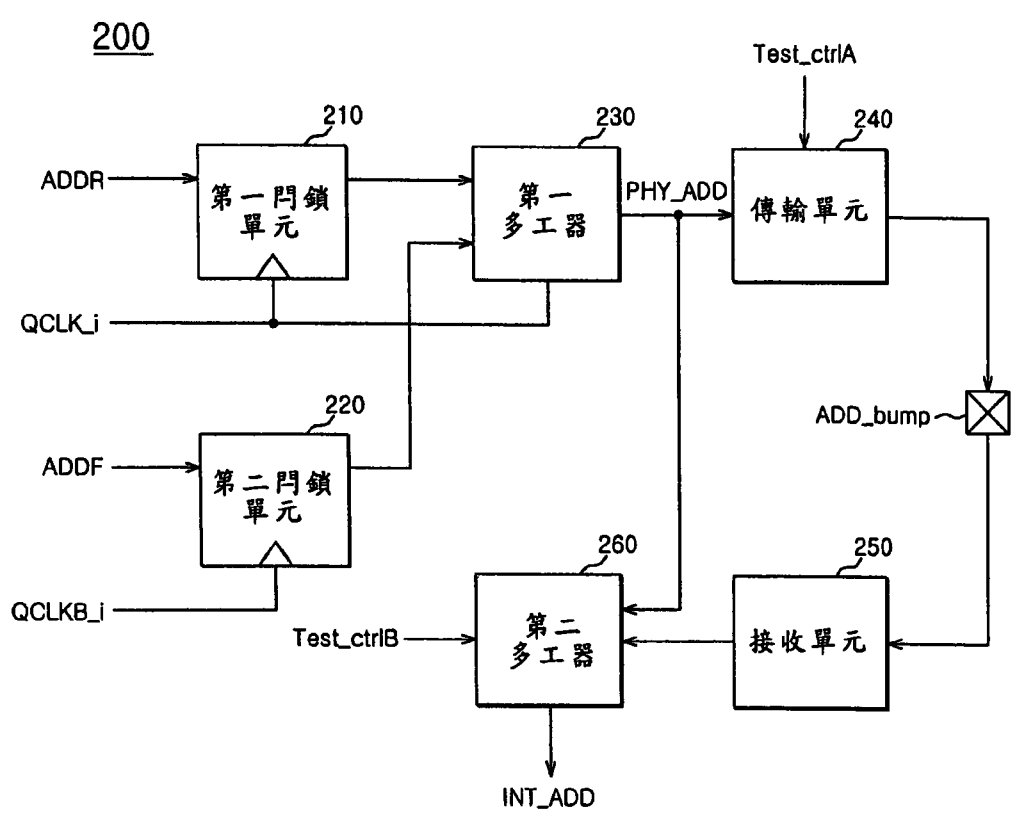


第 1 圖

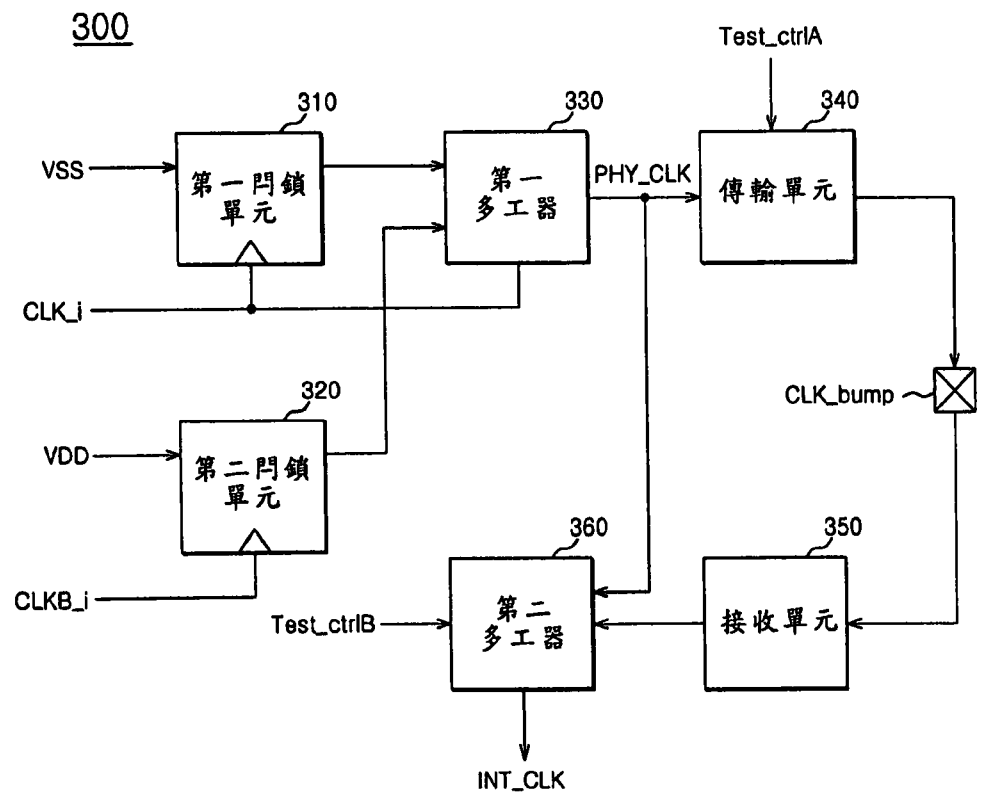


第 2 圖



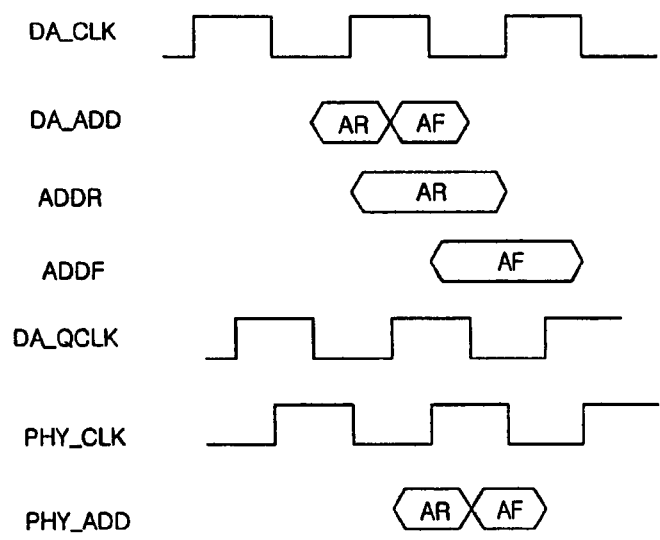


第 3 圖



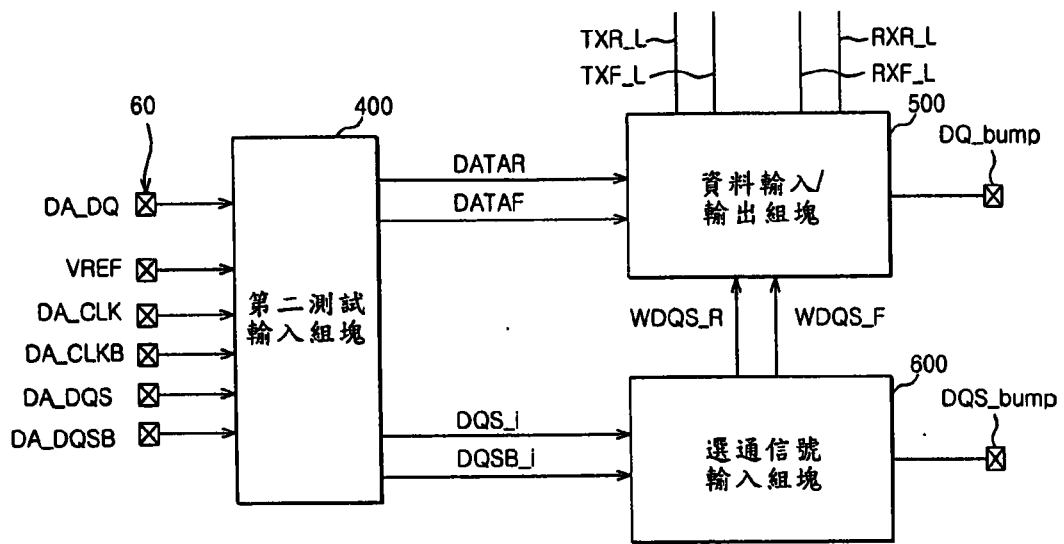
第 4 圖



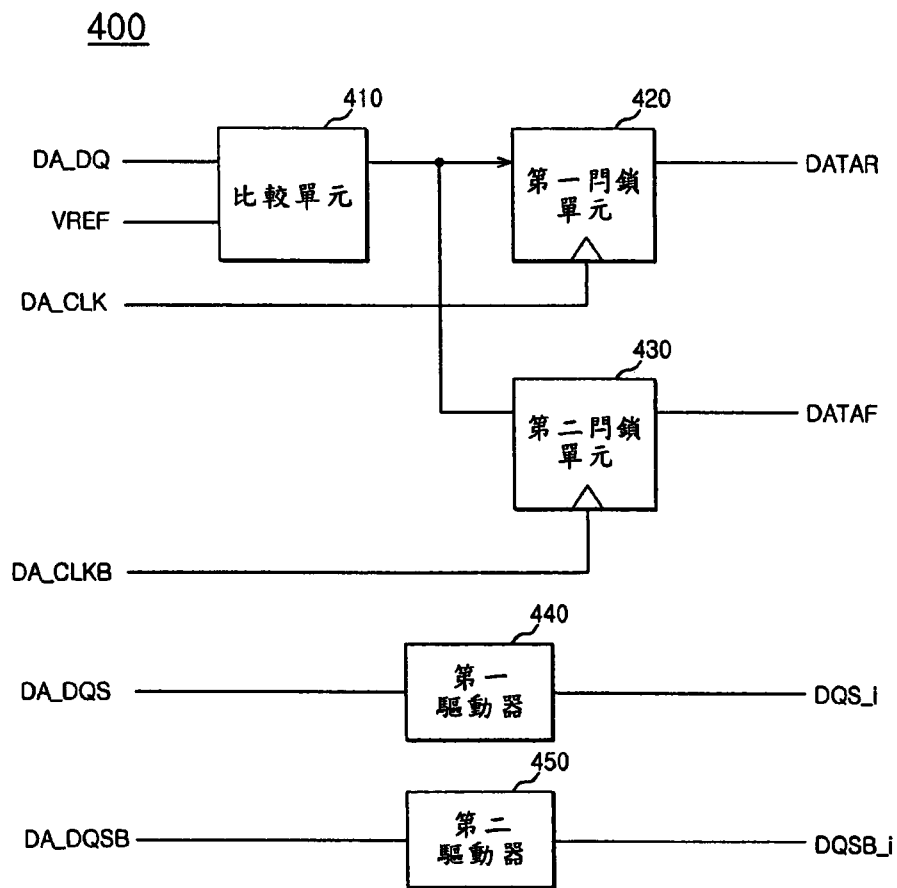


第 5 圖

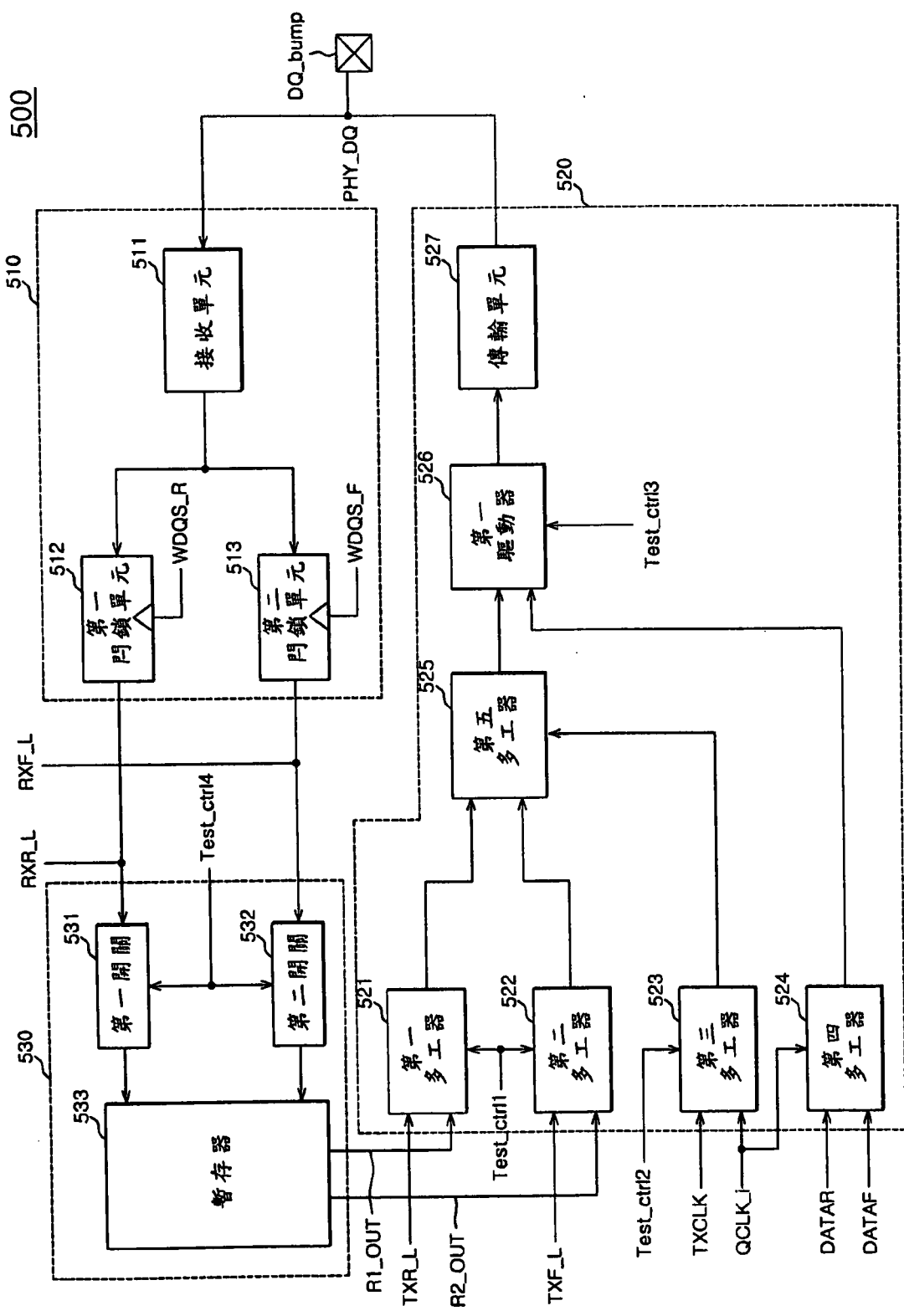
2000



第 6 圖

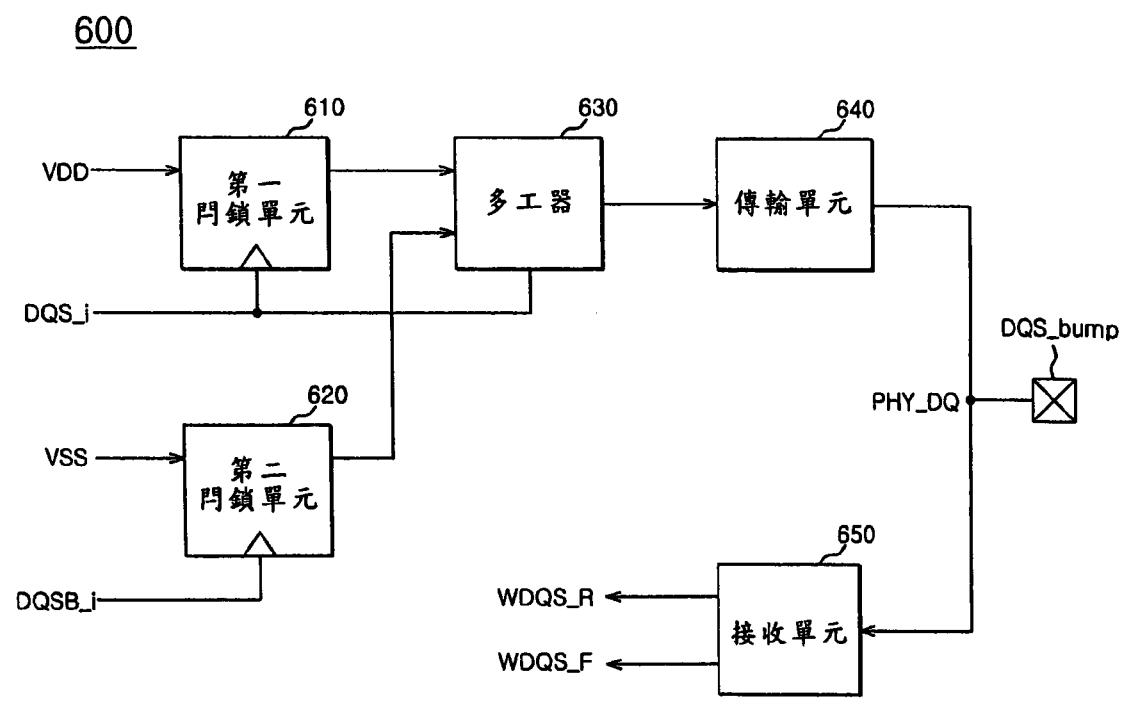


第 7 圖

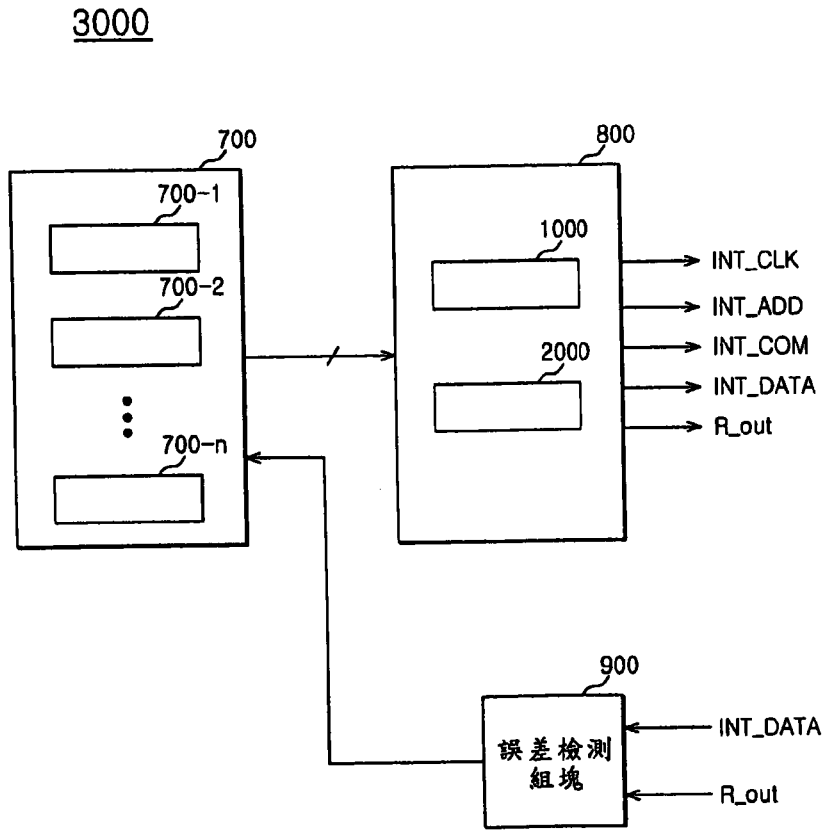


第 8 圖



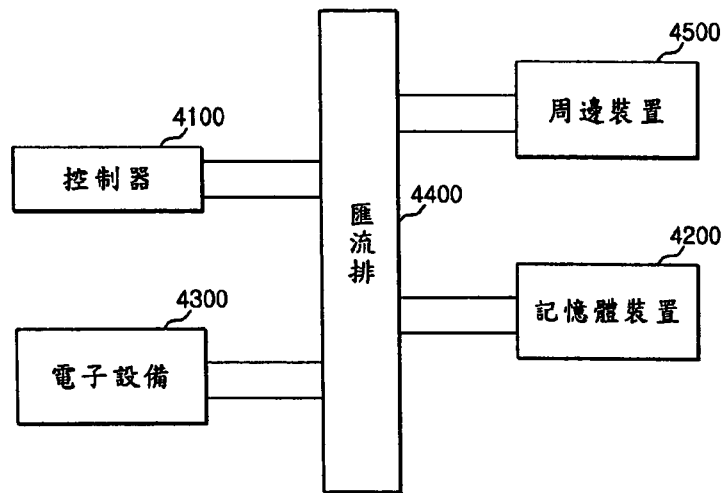


第 9 圖



第 10 圖

4000



第 11 圖

【代表圖】

【本案指定代表圖】：第（10）圖。

【本代表圖之符號簡單說明】：

700	測試輸入/輸出埠
700_1-700_n	測試焊墊
800	內部輸入介面
900	誤差檢測組塊
1000, 2000	半導體記憶體裝置
INT_ADD	內部位址
INT_CLK	內部時脈
INT_COM	內部命令
INT_DATA	內部資料
R_out	暫時儲存資料

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

申請專利範圍

1. 一種半導體積體電路，包括：
 - 一測試輸入/輸出埠，其包括複數測試焊墊；
 - 一內部輸入介面，其構成透過該測試輸入/輸出埠，響應外部信號以產生一內部時脈、一內部位址、一內部命令、內部資料、與暫時儲存資料；及
 - 一誤差檢測組塊，其構成判定該內部資料和該暫時儲存資料是否彼此相同，並透過該測試輸入/輸出埠之一個測試焊墊輸出一判定結果；其中該內部輸入介面包括一資料輸入/輸出組塊，其產生該內部資料，且其中該資料輸入/輸出組塊包含：
 - 一暫時儲存部分，其將該內部資料儲存為該暫時儲存資料；
 - 一資料輸出部分，其接收該暫時儲存資料；及
 - 一資料輸入部分，其接收該資料輸出部分之一輸出，並將其輸出為該內部資料。
2. 如申請專利範圍第 1 項之半導體積體電路，其中該等複數測試焊墊之每一者包括一探測焊墊或一直接存取焊墊。
3. 如申請專利範圍第 1 項之半導體積體電路，其中該內部輸入介面構成比較一參考電壓和一外部位址之電壓位準，並輸出該內部位址、該內部命令、與該內部資料。
4. 如申請專利範圍第 3 項之半導體積體電路，其中該內部輸入介面包括：
 - 一測試輸入組塊，其構成響應從該測試輸入/輸出埠所施加的該外部位址、一參考電壓、一外部時脈、與一外部寫入時脈，以產生一上升

位址、一下降位址、一寫入輸入時脈、與一輸入時脈；

一位址輸入組塊，其構成響應該上升位址、該下降位址、與該寫入輸入時脈，以產生一實體層(Physical layer, PHY)位址，並將該 PHY 位址輸出為該內部位址；及

一時脈輸入組塊，其構成響應該輸入時脈，以產生一 PHY 時脈，並將該 PHY 時脈輸出為該內部時脈。

5. 如申請專利範圍第 4 項之半導體積體電路，

其中該測試輸入組塊構成比較該外部位址之一電壓位準和該參考電壓之該電壓位準，並同步於該外部時脈，將一比較結果輸出為該上升位址及該下降位址；

其中該測試輸入組塊驅動該外部時脈並輸出該輸入時脈；及

其中該測試輸入組塊驅動該外部寫入時脈，並輸出該寫入輸入時脈。

6. 如申請專利範圍第 4 項之半導體積體電路，

其中該位址輸入組塊藉著使該上升位址及該下降位址與該寫入輸入時脈同步而產生該 PHY 位址；及

其中該位址輸入組塊包含：

一傳輸單元，其構成響應一第一測試控制信號，以輸出該 PHY 位址到一位址凸點(bump)與一接收單元；

該接收單元，其構成輸出從該傳輸單元或該位址凸點所傳送的一信號；及

一多工器，其構成響應一第二測試控制信號，以將該 PHY 位址輸出為該內部位址或將該接收單元之一輸出輸出為該內部位址。

7. 如申請專利範圍第 6 項之半導體積體電路，其中該位址凸點電耦合於該傳輸單元和該接收單元電耦合處的一節點。
8. 如申請專利範圍第 4 項之半導體積體電路，其中該時脈輸入組塊藉著使一外部電壓及一接地電壓與該輸入時脈同步而產生該 PHY 時脈。
9. 如申請專利範圍第 8 項之半導體積體電路，其中該時脈輸入組塊包括：
 - 一傳輸單元，其構成響應該第一測試控制信號，以傳送該 PHY 時脈到一時脈凸點與一接收單元；
 - 該接收單元，其構成輸出從該時脈凸點或該傳輸單元所傳送的一信號；及
 - 一多工器，其構成響應該第二測試控制信號，以將該 PHY 時脈輸出為該內部時脈或將該接收單元之一輸出輸出為該內部時脈。
10. 如申請專利範圍第 9 項之半導體積體電路，其中該時脈凸點電耦合於該傳輸單元和該接收單元電耦合處的一節點。
11. 如申請專利範圍第 3 項之半導體積體電路，其中該內部輸入介面包括：
 - 一測試輸入組塊，其構成響應從該測試輸入/輸出埠所施加的外部資料、該參考電壓、一外部時脈、與一外部資料選通信號，以產生上升資料、下降資料、與一輸入資料選通信號；
 - 該資料輸入/輸出組塊，其構成藉著使該上升資料及該下降資料與一寫入資料選通上升信號及一寫入資料選通下降信號同步而將其傳送到輸入資料線作為該內部資料；及
 - 一選通信號產生組塊，其構成響應該輸入資料選通信號，以產生該寫入資料選通上升信號及該寫入資料選通下降信號。

12. 如申請專利範圍第 11 項之半導體積體電路，

其中該測試輸入組塊構成比較該外部資料之一電壓位準和該參考電壓之一電壓位準，並藉著使一比較結果與該外部時脈同步而產生該上升資料及該下降資料；及

其中該測試輸入組塊驅動該外部資料選通信號，並輸出該輸入資料選通信號。

13. 如申請專利範圍第 12 項之半導體積體電路，其中該資料輸入/輸出組塊包括：

該資料輸入部分，其構成藉著使一資料凸點之一輸出信號或該資料輸出部分與該寫入資料選通上升信號及該寫入資料選通下降信號同步，以將其傳送到該輸入資料線；

該資料輸出部分，其構成響應第一至第三測試控制信號，同步於該寫入輸入時脈，以輸出該輸出資料線的信號、該暫時儲存部分、與該上升資料及該下降資料之輸出信號之一者；及

該暫時儲存部分，其構成響應一第四測試控制信號，以儲存由該資料輸入部分傳送到該等輸入資料線的資料，並輸出所儲存資料到該資料輸出部分。

14. 如申請專利範圍第 13 項之半導體積體電路，

其中該資料輸出部分構成響應該第一測試控制信號，以選擇該等輸出資料線之該等信號及該暫時儲存部分之該等輸出信號之一者；響應該第二測試控制信號，以選擇一輸出時脈及該寫入輸入時脈之一者；及藉著使該第一測試控制信號所選擇的該信號與該第二測試控制信號所

選擇的該時脈同步而輸出一第一信號；

其中該資料輸出部分構成藉著使該上升資料及下降資料與該寫入輸入時脈同步而輸出一第二信號；

其中該資料輸出部分構成響應該第三測試控制信號，以選擇該第一信號及該第二信號之一者，並輸出一第三信號；及

其中該資料輸出部分構成接收該第三信號，並將其傳送到該資料凸點及該資料輸入部分。

15. 如申請專利範圍第 13 項之半導體積體電路，

其中該暫時儲存部分構成當該第四測試控制信號致能時，儲存由該資料輸入部分傳送到該輸入資料線的該資料，並輸出所儲存資料到該資料輸出部分；及

其中該暫時儲存部分構成當該第四測試控制信號失能時，避免該輸入資料線之該資料儲存於其中。

16. 如申請專利範圍第 13 項之半導體積體電路，其中該資料凸點電耦合於該資料輸入部分及該資料輸出部分共同電耦合處的一節點。

17. 如申請專利範圍第 11 項之半導體積體電路，

其中該選通信號產生組塊構成將一外部電壓及一接地電壓與該輸入資料選通信號同步；及

其中該選通信號產生組塊包含：

一傳輸單元，其構成傳送與該輸入資料選通信號同步的一信號到一資料選通凸點及一接收單元，作為一 PHY 資料選通信號；

及

該接收單元，其構成輸出從該傳輸單元或該資料選通凸點所傳送的一信號，作為該寫入資料選通上升信號，並輸出具有一相反相位的該寫入資料選通下降信號到該寫入資料選通上升信號。

18. 如申請專利範圍第 17 項之半導體積體電路，其中該資料選通凸點電耦合於該傳輸單元及該接收單元電耦合處的一節點。

19. 一種包括一半導體積體電路組塊的系統，

其中該半導體積體電路組塊包含：

一測試埠，其包括複數測試焊墊；

一內部輸入介面，其構成使用透過該測試埠所提供的多個外部信號以產生一內部信號及暫時儲存資料；及

一誤差檢測組塊，其構成比較該內部信號和該暫時儲存資料，並透過該等複數個測試焊墊之所選擇一者以輸出一比較結果；

其中該內部輸入介面包括一資料輸入/輸出組塊，其產生內部資料，

且其中該資料輸入/輸出組塊包含：

一暫時儲存部分，其將該內部資料儲存為該暫時儲存資料；

一資料輸出部分，其接收該暫時儲存資料；及

一資料輸入部分，其接收該資料輸出部分之一輸出，並將其輸出為該內部資料。