



(12)

## Offenlegungsschrift

(21) Aktenzeichen: **10 2017 106 202.5**

(22) Anmeldetag: **22.03.2017**

(43) Offenlegungstag: **27.09.2018**

(51) Int Cl.: **H01L 21/308** (2006.01)

**H01L 21/331** (2006.01)

**H01L 29/06** (2006.01)

**H01L 29/739** (2006.01)

**H01L 29/861** (2006.01)

(71) Anmelder:  
**Infineon Technologies AG, 85579 Neubiberg, DE**

(74) Vertreter:  
**Müller Hoffmann & Partner Patentanwälte mbB,  
81541 München, DE**

(72) Erfinder:  
**Moder, Iris, Dr., Villach, AT; Muri, Ingo, Dr.,  
Villach, AT; Schulze, Hans-Joachim, Dr., 82024  
Taufkirchen, DE; Friedler, Sophia, Wien, AT**

(56) Ermittelter Stand der Technik:

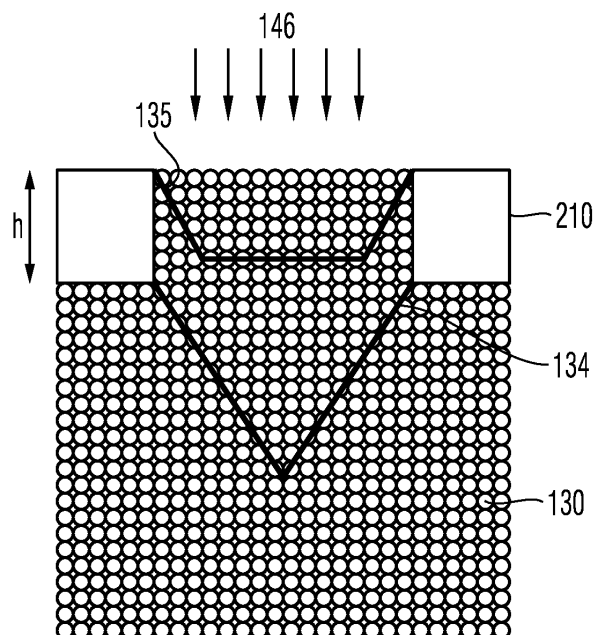
<b>DE</b>	<b>10 2016 120 080</b>	<b>A1</b>
<b>US</b>	<b>2014 / 0 113 390</b>	<b>A1</b>
<b>US</b>	<b>2015 / 0 179 737</b>	<b>A1</b>

Prüfungsantrag gemäß § 44 PatG ist gestellt.

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.**

(54) Bezeichnung: **VERFAHREN ZUM HERSTELLEN EINER HALBLEITERVORRICHTUNG, UMFASSEND EINE  
ÄTZUNG EINES HALBLEITERMATERIALS**

(57) Zusammenfassung: Gemäß Ausführungsformen umfasst ein Verfahren zum Herstellen einer Halbleitervorrichtung ein Ausbilden einer Maske mit einem Muster inerten Strukturen auf einer Seite einer ersten Hauptoberfläche eines Halbleitersubstrats. Über der ersten Hauptoberfläche wird eine Halbleiterschicht ausgebildet, und das Halbleitersubstrat wird von einer der ersten Hauptoberfläche gegenüberliegenden zweiten Hauptoberfläche aus abgedünnt. Danach wird ein lateral an die inerten Strukturen grenzender Halbleiterbereich anisotrop geätzt.



**Beschreibung**

## HINTERGRUND

**[0001]** Leistungstransistoren, die in der Kraftfahrzeug- und Industrieelektronik gewöhnlich verwendet werden, erfordern einen niedrigen Einschaltwiderstand ( $R_{on} \cdot A$ ), während ein hohes Spannungsspervermögen sichergestellt wird. Beispielsweise sollte ein MOS- („Metall-Oxid-Halbleiter“-) Leistungstransistor imstande sein, in Abhängigkeit von Anwendungsanforderungen Drain-Source-Spannungen  $V_{ds}$  von einigen zehn bis einige hundert oder tausend Volt zu sperren. MOS-Leistungstransistoren leiten typischerweise sehr große Ströme, welche bei einer typischen Gate-Source-Spannung von etwa 2 bis 20 V bis zu einige hundert Ampere betragen können.

**[0002]** Es werden Versuche unternommen, den Einschaltwiderstand zu reduzieren. Beispielsweise können gemäß Konzepten, Leistungstransistoren in sehr dünnen Substraten ausgebildet werden.

**[0003]** Es ist wünschenswert, neue Verfahren zum Herstellen von Halbleitervorrichtungen zu entwickeln, die auf Substrate mit sehr geringen Dicken angewendet werden können.

**[0004]** Das Verfahren und der Gegenstand gemäß den unabhängigen Ansprüchen werden vorgelegt. Weiterentwicklungen sind in den abhängigen Ansprüchen definiert.

## ZUSAMMENFASSUNG

**[0005]** Gemäß einer oder mehreren Ausführungsformen umfasst ein Verfahren zum Herstellen einer Halbleitervorrichtung ein Ausbilden einer Maske mit einem Muster inerter Strukturen auf einer Seite einer ersten Hauptoberfläche eines Halbleitersubstrats und ein Ausbilden einer Halbleiterschicht über der ersten Hauptoberfläche. Das Verfahren umfasst ferner ein Abdünnen des Halbleitersubstrats von einer der ersten Hauptoberfläche gegenüberliegenden zweiten Hauptoberfläche aus und danach ein anisotropes Ätzen eines Halbleiterbereichs, der lateral an die inerten Strukturen grenzt.

**[0006]** Gemäß einer oder mehreren Ausführungsformen umfasst ein Verfahren zum Herstellen einer Halbleitervorrichtung ein Ausbilden einer Maske in einem Halbleitermaterial. Die Maske umfasst einen ersten Maskenteil in einem ersten Teil des Halbleitermaterials und einen zweiten Maskenteil in einem zweiten Teil des Halbleitermaterials. Der erste Maskenteil ist dafür eingerichtet, ein Ätzen bei einer ersten Ätzrate zu induzieren, und der zweite Maskenteil ist dafür eingerichtet, ein Ätzen bei einer zweiten Ätzrate zu induzieren, wobei die erste Ätzrate von der zweiten Ätzrate verschieden ist. Ferner umfasst das

Verfahren ein anisotropes Ätzen des Halbleitermaterials.

**[0007]** Gemäß noch weiteren Ausführungsformen wird in einem Halbleiterkörper eine Leistungshalbleitervorrichtung geschaffen. Eine rückseitige Oberfläche des Halbleiterkörpers wird so gemustert bzw. strukturiert, dass sie eine Stufe aufweist, wobei die Stufe eine geneigte Seitenwand hat, wobei die geneigte Seitenwand einen Winkel von mehr als  $1^\circ$  und weniger als  $60^\circ$  bezüglich einer horizontalen Oberfläche aufweist.

**[0008]** Der Fachmann wird zusätzliche Merkmale und Vorteile beim Lesen der folgenden Detailbeschreibung und beim Betrachten der beiliegenden Zeichnungen erkennen.

## Figurenliste

**[0009]** Die beigefügten Zeichnungen sind beige-schlossen, um ein weiteres Verständnis von Ausführungsformen der Erfindung zu liefern, und sie sind in diese Beschreibung einbezogen und bilden einen Teil von ihr. Die Zeichnungen veranschaulichen die Ausführungsformen der vorliegenden Erfindung und dienen zusammen mit der Beschreibung zum Erläutern der Prinzipien. Andere Ausführungsformen der Erfindung und viele der beabsichtigten Vorteile werden sofort gewürdigt, da sie unter Hinweis auf die folgende Detailbeschreibung besser verstanden werden. Die Elemente der Zeichnungen sind nicht notwendigerweise maßstabsgetreu relativ zueinander. Gleiche Bezugszeichen geben entsprechend ähnliche Teile an.

**Fig. 1** veranschaulicht schematisch ein Verfahren gemäß einer oder mehreren Ausführungsformen.

**Fig. 2A bis Fig. 2F** veranschaulichen Ansichten eines Werkstücks, wenn ein Verfahren gemäß einer oder mehreren Ausführungsformen durchgeführt wird.

**Fig. 2G** veranschaulicht eine vertikale Querschnittsansicht einer Leistungshalbleitervorrichtung gemäß einer oder mehreren Ausführungsformen.

**Fig. 3A bis Fig. 3C** zeigen Messergebnisse verschiedener Stufenhöhen, die unter Verwendung von Verfahren gemäß Ausführungsformen gebildet wurden.

**Fig. 4A bis Fig. 4D** veranschaulichen Ansichten eines Werkstücks, wenn ein Verfahren gemäß einer oder mehreren Ausführungsformen durchgeführt wird.

**Fig. 5A bis Fig. 5C** veranschaulichen Ansichten eines Werkstücks, wenn ein Verfahren gemäß

einer oder mehreren Ausführungsformen durchgeführt wird.

**Fig. 5D** fasst ein Verfahren gemäß einer oder mehreren Ausführungsformen zusammen.

**Fig. 5E** fasst ein Verfahren gemäß einer oder mehreren Ausführungsformen zusammen.

**Fig. 6A** zeigt eine schematische Querschnittsansicht einer Halbleitervorrichtung gemäß einer Ausführungsform.

**Fig. 6B** zeigt eine schematische Querschnittsansicht einer Halbleitervorrichtung gemäß einer oder mehreren Ausführungsformen.

**Fig. 6C** zeigt eine schematische Querschnittsansicht einer Halbleitervorrichtung gemäß einer oder mehreren Ausführungsformen.

**Fig. 7A** zeigt eine Querschnittsansicht einer Halbleitervorrichtung gemäß einer oder mehreren Ausführungsformen.

**Fig. 7B** zeigt eine Querschnittsansicht einer Halbleitervorrichtung gemäß einer oder mehreren Ausführungsformen.

**Fig. 7C** zeigt eine Querschnittsansicht einer Halbleitervorrichtung gemäß einer oder mehreren Ausführungsformen.

**Fig. 8A** und **Fig. 8B** veranschaulichen Teile eines Wafers, der unter Verwendung des Verfahrens gemäß Ausführungsformen prozessiert wurde.

**Fig. 9A** bis **Fig. 9D** veranschaulichen Querschnittsansichten eines Werkstücks, wenn ein Verfahren gemäß weiteren Ausführungsformen durchgeführt wird.

#### DETAILLIERTE BESCHREIBUNG

**[0010]** In der folgenden Detailbeschreibung wird Bezug genommen auf die begleitenden Zeichnungen, die einen Teil hiervon bilden und in denen mittels Veranschaulichung spezifische Ausführungsformen veranschaulicht sind, in denen die Erfindung ausgeführt werden kann. In diesem Zusammenhang wird eine Richtungsterminologie, wie „Oberseite“, „Boden“, „Vorderseite“, „Rückseite“, „vorne“, „hinten“ usw. in Bezug auf die Orientierung der gerade beschriebenen Figuren verwendet. Da Komponenten von Ausführungsformen der Erfindung in einer Anzahl von verschiedenen Orientierungen positioniert werden können, wird die Richtungsterminologie für Zwecke der Veranschaulichung verwendet und ist in keiner Weise begrenzend. Es ist versteht sich, dass andere Ausführungsformen verwendet und strukturelle oder logische Änderungen vorgenommen werden können, ohne von dem durch die Patentansprüche definierten Umfang abzuweichen.

**[0011]** Die Beschreibung der Ausführungsformen ist nicht beschränkend. Insbesondere können Elemente der beschriebenen Ausführungsformen mit Elementen verschiedener Ausführungsformen kombiniert werden.

**[0012]** Die Begriffe „Wafer“, „Substrat“ oder „Halbleitersubstrat“, die in der folgenden Beschreibung verwendet werden, können jegliche, auf Halbleiter beruhende Struktur umfassen, die eine Halbleiteroberfläche aufweist. Wafer und Struktur sind so zu verstehen, dass sie Silizium, Silizium-auf-Isolator (SOI), Silizium-auf-Saphir (SOS), dotierte und undotierte Halbleiter, epitaktische Schichten aus Silizium, getragen durch eine Basishalbleiterunterlage, und andere Halbleiterstrukturen einschließen. Der Halbleiter braucht nicht auf Silizium zu beruhen. Der Halbleiter könnte ebenso Silizium-Germanium, Germanium oder Galliumarsenid sein. Gemäß anderen Ausführungsformen können Siliziumcarbid (SiC) oder Galliumnitrid (GaN) das Halbleitersubstratmaterial bilden.

**[0013]** Der Begriff „vertikal“, wie dieser in der vorliegenden Beschreibung verwendet wird, soll eine Orientierung beschreiben, die senkrecht zu der ersten Oberfläche des Halbleitersubstrats oder Halbleiterkörpers angeordnet ist.

**[0014]** Die Begriffe „lateral“ und „horizontal“, wie diese in der vorliegenden Beschreibung verwendet werden, sollen eine Orientierung parallel zu einer ersten Oberfläche eines Halbleitersubstrats oder Halbleiterkörpers beschreiben. Diese kann beispielsweise die Oberfläche eines Wafers oder eines Die bzw. eines Chips sein.

**[0015]** Wie hierin verwendet, sind die Begriffe „haben“, „enthalten“, „umfassen“, „aufweisen“ und ähnliche Begriffe offene Begriffe, die das Vorhandensein der festgestellten Elemente oder Merkmale angeben, jedoch das Vorhandensein von zusätzlichen Elementen oder Merkmalen nicht ausschließen. Die unbestimmten Artikel und die bestimmten Artikel sollen sowohl den Plural als auch den Singular umfassen, falls sich aus dem Zusammenhang nicht klar etwas anderes ergibt. Wie in dieser Beschreibung verwendet, bedeuten die Ausdrücke „gekoppelt“ und/oder „elektrisch gekoppelt“ nicht notwendigerweise eine direkte Kopplung der Elemente miteinander - zwischenliegende Elemente können zwischen den „gekoppelten“ oder „elektrisch gekoppelten“ Elementen vorliegen. Der Ausdruck „elektrisch verbunden“ beabsichtigt die Beschreibung einer niederohmschen elektrischen Verbindung zwischen den elektrisch miteinander verbundenen Elementen.

**[0016]** Die Figuren und die Beschreibung veranschaulichen relative Dotierungskonzentrationen durch Angabe von „-“ oder „+“ neben dem Dotierungstyp „n“ oder „p“. Beispielsweise bedeutet „n“ eine

Dotierungskonzentration, die niedriger als die Dotierungskonzentration eines „n“-Dotierungsbereichs ist, während ein „n“-Dotierungsbereich eine höhere Dotierungskonzentration als ein „n“-Dotierungsbereich aufweist. Dotierungsbereiche der gleichen relativen Dotierungskonzentration haben nicht notwendigerweise die gleiche absolute Dotierungskonzentration. Beispielsweise können zwei verschiedene „n“-Dotierungsbereiche die gleichen oder verschiedene absolute Dotierungskonzentrationen aufweisen. In den Figuren und der Beschreibung werden des besseren Verständnisses wegen die dotierten Teile häufig mit „p“- oder „n“-dotiert bezeichnet. Wie klar zu begreifen ist, ist diese Bezeichnung keineswegs beschränkend zu verstehen. Der Dotierungstyp kann beliebig sein, solange die beschriebene Funktionalität erzielt wird. Auch können in allen Ausführungsformen die Dotierarten vertauscht sein.

**[0017] Fig. 1** veranschaulicht ein Verfahren zum Herstellen einer Halbleitervorrichtung gemäß einer oder mehreren Ausführungsformen. Wie dargestellt ist, umfasst ein Verfahren zum Herstellen einer Halbleitervorrichtung ein Ausbilden einer Maske mit einem Muster inerten Strukturen auf einer Seite einer ersten Hauptoberfläche eines Halbleitersubstrats (S110), ein Ausbilden einer Halbleiterschicht über der ersten Hauptoberfläche (S120), ein Abdünnen des Halbleitersubstrats von einer der ersten Hauptoberfläche gegenüberliegenden zweiten Hauptoberfläche aus (S130) und danach ein anisotropes Ätzen eines Halbleitermaterials (S140), das lateral an die inerten Strukturen grenzt. Die Maske weist ein Muster auf, das heißt eine Anordnung wiederholter oder identischer inerten Strukturen. Die Maske erstreckt sich vertikal in einem zu ätzenden Teil des Halbleitermaterials. Beispielsweise kann ein Ausbilden der Halbleiterschicht ein epitaktisches Aufwachsen der Halbleiterschicht umfassen.

**[0018]** Ein Ausbilden der Maske kann beispielsweise ein Ausbilden und Strukturieren einer Schicht aus einem inerten Material über der ersten Hauptoberfläche des Halbleitersubstrats umfassen. In diesem Fall kann der Halbleiterbereich, der anisotrop geätzt wird, das Material der gebildeten Halbleiterschicht sein.

**[0019]** Gemäß weiteren Ausführungsformen kann ein Ausbilden der Maske ein Ausbilden von Gräben in der ersten Hauptoberfläche des Halbleitersubstrats und ein Füllen der Gräben mit einem inerten Material umfassen. In diesem Fall kann der Halbleiterbereich, der anisotrop geätzt wird, das Material des Halbleitersubstrats umfassen.

**[0020]** Innerhalb des Kontexts der vorliegenden Beschreibung soll der Begriff „lateral angrenzend“ oder „lateral umgebend“ einen Bereich meinen, der in einer horizontalen Ebene an die inerten Strukturen grenzt. Detaillierter ausgedrückt kann der lateral an

die inerten Strukturen grenzende Bereich mit der inerten Struktur in einer vertikalen Richtung überlappen.

**[0021] Fig. 2A bis Fig. 2F** veranschaulichen ein Werkstück, wenn diese Bearbeitungsschritte durchgeführt werden.

**[0022]** Gemäß Konzepten kann eine Halbleitervorrichtung in einer monokristallinen Siliziumschicht ausgebildet werden, welche über einem Siliziumsubstrat ausgebildet wird. Gemäß Ausführungsformen ist ein Startpunkt zum Durchführen des Verfahrens ein Halbleitersubstrat 100, z.B. ein Siliziumsubstrat, mit einer zweiten Hauptoberfläche 120 und einer ersten Hauptoberfläche 110. Gemäß Ausführungsformen wird eine Maske an der ersten Hauptoberfläche 110 ausgebildet. Die Maske erstreckt sich in ein z.B. monokristallines Halbleitermaterial. Beispielsweise kann dies bewerkstelligt werden, indem die Maske auf einem Halbleitersubstrat gebildet wird und danach eine Schicht aus z.B. monokristallinem Halbleitermaterial so gebildet wird, dass die Maske in dem ausgebildeten monokristallinen Halbleitermaterial eingebettet oder vergraben ist. Ein Ausbilden der Maske kann ein Ausbilden eines Musters inerten Strukturen umfassen. Ein Ausbilden der inerten Strukturen kann ein Ausbilden einer Schicht des inerten Materials, gefolgt von einem Strukturierungsprozess, umfassen. Gemäß weiteren Ausführungsformen kann das inerte Material in einer gemusterten Art und Weise, z.B. durch einen geeigneten Druckprozess, gebildet werden. Gemäß noch weiteren Ausführungsformen können Gräben in dem Halbleitersubstrat 100 gebildet werden, gefolgt von einem Füllen der Gräben mit dem inerten Material und einem Prozess zum Abtragen des inerten Materials, z.B. durch Rückätzen oder einen geeigneten Polierprozess. Als Folge der Ausbildung der Maske grenzt der Bereich des Halbleitermaterials, der geätzt werden soll, lateral an die inerten Strukturen.

**[0023]** Die inerten Strukturen können aus einem Material bestehen, das durch einen anisotropen Nassätzprozess zum Ätzen des Halbleitermaterials, der durchgeführt werden soll, nicht geätzt werden wird. Beispielsweise kann das Halbleitermaterial Silizium sein. Das inerte Material kann Siliziumoxid, Siliziumnitrid, Kohlenstoff oder eine Kombination dieser Materialien sein.

**[0024] Fig. 2A** zeigt eine vertikale Querschnittsansicht eines Halbleitersubstrats 100, z.B. eines Siliziumsubstrats, mit inerten Strukturen 210 über der ersten Hauptoberfläche 110 des Halbleitersubstrats. **Fig. 2B** zeigt eine schematische Draufsicht des Substrats. **Fig. 2B** zeigt vier Bereiche 401, 402, 403 und 404, in denen das inerte Material gemäß verschiedenen Mustern strukturiert ist. Beispielsweise kann das Muster inerten Strukturen Punkte des inerten Materials (Bereiche 401, 403) oder Streifen des inerten Ma-

terials (Bereich **404**) umfassen. Der Durchmesser der Punkte muss keine quadratische Form sein; er kann auch eine langgestreckte Form (z.B. eine rechteckige Form) sein. Beispielsweise können die Strukturen **210** eine Breite  $w$  von 50 bis 700 nm, z.B. 200 bis 700 nm, aufweisen. Ferner kann eine Distanz  $d$  zwischen benachbarten Strukturen, wie später erläutert werden wird, 200 bis 700 nm betragen. Die Höhe  $h$  der Strukturen kann in Abhängigkeit von dem in dem monokristallinen Halbleitermaterial auszubildenden Muster ausgewählt werden. Gemäß Beispielen kann die Höhe  $h$  der Strukturen **200** nm bis 10  $\mu\text{m}$  betragen.

[0025] Wie in **Fig. 2B** gezeigt ist, können in einem Bereich **401** die einzelnen Strukturen **210** in einem schachbrettartigen Muster angeordnet sein, d.h. Reihen von Punkten, deren Positionen von Reihe zu Reihe verschoben sind. Der Bereich **402** zeigt einen Teil ohne jegliche inerte Strukturen. Der Bereich **403** zeigt ein regelmäßiges Muster inerter Strukturen **210**, welche in Reihen und Spalten angeordnet sein können, wobei die Reihen und Spalten einer Verlaufsrichtung der Seitenwände der einzelnen inerten Strukturen **210** entsprechen. Im Bereich **404** bilden die inerten Strukturen **210** ein Streifenmuster. Gemäß dem in **Fig. 2A** und **Fig. 2B** dargestellten Beispiel kann das Halbleitersubstrat ein (**100**)-Siliziumwafer sein, und die Siliziumoxidstrukturen sind in einer (**110**)-Richtung orientiert.

[0026] Danach kann ein epitaktischer lateraler Aufwachs- („ELO“-) Prozess durchgeführt werden, um die Schicht aus monokristallinem Halbleitermaterial **130** über dem Halbleitersubstrat **100** epitaktisch aufzuwachsen. Das resultierende Werkstück **145** umfasst das Halbleitersubstrat **100** und das monokristalline Halbleitermaterial **130**. Das monokristalline Halbleitermaterial **130** kann zum Beispiel das gleiche wie das Material des Halbleitersubstrats **100**, zum Beispiel Silizium, sein. Die Schicht aus monokristallinem Halbleitermaterial **130** weist eine erste Hauptoberfläche **140** auf. Beispielsweise kann eine Dicke der Schicht aus monokristallinem Halbleitermaterial **130** weniger als 100  $\mu\text{m}$ , z.B. 1 bis 100  $\mu\text{m}$ , und ferner weniger als 50  $\mu\text{m}$  oder weniger als 20  $\mu\text{m}$ , betragen. Eine Dicke der Schicht des monokristallinen Halbleitermaterials **130** kann beispielsweise mehr als 5  $\mu\text{m}$  betragen.

[0027] Komponenten von Halbleitervorrichtungen, z.B. Leistungsvorrichtungen, beispielsweise Leistungstransistoren, können in der ersten Hauptoberfläche **140** der Schicht aus monokristallinem Halbleitermaterial **130** gebildet werden. Beispielsweise können Gräben **150** geätzt und mit z.B. einem isolierenden Material **151** und einem leitfähigen Füllmaterial **160** gefüllt werden. Beispielsweise können Gateelektroden in diesen Gräben **150** angeordnet werden. Eine Metallisierungsschicht **180** kann über der ersten Hauptoberfläche **140** der Schicht aus monokristalli-

nem Halbleitermaterial gebildet werden. Eine Bearbeitung des monokristallinen Halbleitermaterials **130** kann z.B. Ätzprozesse, Abscheidungsprozesse und weitere Dotierungsprozesse umfassen. Danach wird das Werkstück **145** an einen (in dieser Zeichnung nicht dargestellten) geeigneten Träger montiert, um eine rückseitige Oberfläche des Halbleitersubstrats **100** zu prozessieren.

[0028] **Fig. 2C** zeigt ein Beispiel eines resultierenden Werkstücks **145**. Das Werkstück **145** umfasst das Halbleitersubstrat **100** und das monokristalline Halbleitermaterial **130**. Die inerten Strukturen **210** sind so angeordnet, dass sie in dem monokristallinen Halbleitermaterial **130** vergraben sind. Gemäß einer oder mehreren Ausführungsformen sind sie einer zweiten Hauptoberfläche **135** des monokristallinen Halbleitermaterials **130** direkt benachbart ausgebildet. Detaillierter beschrieben sind die inerten Strukturen **210** so ausgebildet, dass sie von dem Halbleitersubstrat **100** aus vorstehen und sich in das monokristalline Halbleitermaterial **130** erstrecken. Gemäß weiteren Ausführungsformen können die inerten Strukturen **210** in Gräben ausgebildet sein, die in der ersten Hauptoberfläche **110** des Halbleitersubstrats **100** gebildet sind. In diesem Fall bilden das monokristalline Halbleitermaterial **130** und der Teil des Halbleitersubstrats **100**, in welches sich die Gräben vertikal erstrecken, das zu ätzende monokristalline Halbleitermaterial.

[0029] Danach wird ein Abdünnprozess zum Abtragen der rückseitigen Oberfläche des Halbleitersubstrats **100** durchgeführt. Beispielsweise kann der Halbleiterwafer **100** abgedünnt werden, indem ein Schleifprozess, ein chemisch-mechanischer Polier- (CMP-)Prozess oder ein Ätzprozess oder eine Kombination dieser Prozesse ausgeführt wird. Beispielsweise kann eine resultierende Dicke des Werkstücks **145** weniger als 100  $\mu\text{m}$ , z.B. 1 bis 100  $\mu\text{m}$ , und ferner weniger als 50  $\mu\text{m}$  oder weniger als 20  $\mu\text{m}$  betragen. Eine Dicke des Werkstücks **145** kann zum Beispiel mehr als 5  $\mu\text{m}$  betragen. Der Abdünnprozess wird beispielsweise so durchgeführt, dass annähernd weniger als 10  $\mu\text{m}$ , z.B. 1 bis 10  $\mu\text{m}$  des Halbleitersubstrats **100**, unter den inerten Strukturen **210**, z.B. zwischen den inerten Strukturen **210** und der resultierenden rückseitigen Oberfläche **120**, zurückbleiben.

[0030] **Fig. 2D** zeigt ein Beispiel einer resultierenden Struktur. Wie dargestellt ist, wurde das Werkstück **145** abgedünnt. **Fig. 2D** zeigt die verschiedenen Bereiche **401**, **402**, **403** und **404**, in denen die inerten Strukturen **210** gemäß verschiedenen Mustern strukturiert sind. Dementsprechend ist das Muster inerter Strukturen in jedem der Bereiche **401**, **402**, **403** bzw. **404** verschieden.

[0031] Danach wird ein Ätzprozess, z.B. unter Verwendung eines anisotropen Nassätzmittels, durch-

geführt. Das Ätzmittel kann KOH (Kaliumhydroxid) sein, das wahlweise ein Additiv wie etwa Isopropanol enthält. Die Konzentration von KOH kann beispielsweise 10 bis 60 Gew.-% betragen. Gemäß weiteren Ausführungsformen kann Tetramethylammoniumhydroxid (TMAH), das optional ein Additiv wie etwa Isopropanol enthält, genutzt werden. Eine Konzentration von TMAH kann 3 bis 40 Gew.-%, z.B. weniger als 30 Gew.-%, betragen.

**[0032]** Während dieses Ätzprozesses werden aufgrund des Vorhandenseins der inerten Strukturen **210** verschiedene Kristallebenen gebildet. Mit anderen Worten wird eine Ätzung in verschiedenen Kristallrichtungen induziert. Als eine Konsequenz werden während eines Ätzens des Materials zwischen den inerten Strukturen **210** aufgrund der verschiedenen Muster der inerten Strukturen verschiedene Ätzraten erzielt.

**[0033]** Fig. 2E zeigt eine schematische Querschnittsansicht eines Bereichs des monokristallinen Halbleitermaterials **130**, wenn ein Ätzprozess durchgeführt wird. Wie dargestellt ist, sind inerte Strukturen **210** in dem zu ätzenden Bereich des monokristallinen Halbleitermaterials **130** eingebettet. Die Pfeile **146** bezeichnen ein Ätzmittel, das eine Oberfläche des monokristallinen Halbleitermaterials **130** angreift. Gemäß in Fig. 2E veranschaulichten Ausführungsformen entspricht die Oberfläche **135** des Halbleitermaterials **130** der **(100)**-Fläche. Die inerten Strukturen **210** erstrecken sich vertikal in dem monokristallinen Halbleitermaterial **130**, das geätzt werden soll. Als eine Konsequenz unterdrückt das spezifische Muster der inerten Strukturen **210** eine Ätzung in bestimmten Richtungen und beeinflusst somit die Kristallrichtung, in der die Ätzung stattfindet. Detaillierter beschrieben kann, wenn die inerten Strukturen **210** ein streifenförmiges Muster bilden, eine Ätzung in der **(100)**-Richtung so unterdrückt werden, dass nur eine Ätzung in der **(111)**-Richtung stattfindet. Bezugsziffer **134** bezeichnet die **(111)**-Kristallebene in diesem Beispiel. Zu Vergleichszwecken wird in einem Fall, in dem kein Muster im Bereich **402** vorhanden ist, wie in Fig. 2F veranschaulicht ist, eine Ätzung in der **(100)**-Richtung durchgeführt.

**[0034]** Beispielsweise werden in dem Bereich **401** mit dem Schachbrettmuster inerter Strukturen Ebenen gebildet, welche bei einer höheren Ätzrate als die **(100)**-Richtung geätzt werden können. In dem Bereich **403** mit einem regelmäßigen Muster der inerten Strukturen kann beispielsweise eine Ätzung senkrecht zu einer Ebene mit einem höheren Index wie etwa der **(331)**- oder **(431)**-Ebene bewerkstelligt werden. Als eine Konsequenz kann eine langsamere Ätzrate als in den Bereichen **401** und **402** erreicht werden. Im Bereich **404** kann gemäß einem Beispiel eine Ätzung in der **(111)**-Richtung durchgeführt werden, welche aufgrund der geringen Anzahl offener Bindun-

gen an der Oberfläche die langsamste Ätzrate zeigt. Wie klar zu verstehen ist, kann gemäß Ausführungsformen ein Ätzen in weiteren kristallinen Richtungen durchgeführt werden, die von den oben angegebenen Richtungen verschieden sind. Die Beschreibung ist nicht bezüglich irgendwelcher der angegebenen kristallinen Richtungen beschränkt.

**[0035]** Als Folge können verschiedene Ätzraten in den verschiedenen Bereichen **401**, **402**, **403**, **404** erzielt werden. Gemäß Ausführungsformen kann nach einem Ätzen des Materials zwischen den inerten Strukturen **210** eine Ätzung fortgesetzt werden. Detaillierter beschrieben kann das monokristalline Halbleitermaterial **130** in eine größere Tiefe als die Höhe  $h$  der inerten Strukturen geätzt werden. Nach einem Unterätzen der inerten Strukturen verschwindet die spezifische Rauigkeit der zweiten Hauptoberfläche **135**, und eine glatte Oberfläche kann erhalten werden. Als Folge des Ätzprozesses kann ein stufenartiges Muster der zweiten Hauptoberfläche **135** des monokristallinen Halbleitermaterials **130** erhalten werden, während eine gewünschte Dicke des monokristallinen Halbleitermaterials **130** erzielt wird. Dementsprechend kann die Ätzung dahingehend verstanden werden, dass sie einen ersten Ätzprozess zum Ätzen des Halbleitermaterials, das lateral an die inerten Strukturen **210** grenzt, und einen zweiten Ätzprozess umfasst, um das Halbleitermaterial jenseits der inerten Strukturen zu ätzen. Während des zweiten Ätzprozesses wird eine Ätzung in der **(100)**-Richtung durchgeführt, wobei ein Winkel  $\alpha$  zwischen den Stufen  $50^\circ$  bis  $60^\circ$ , z.B.  $52^\circ$  bis  $58^\circ$ , konkreter  $54^\circ$  bis  $56^\circ$ , z.B. entsprechend  $\alpha = 54,7^\circ$ , beträgt, welcher dem Winkel der **(111)**-Ebene bezüglich der **(100)**-Ebene entspricht. Eine Ätzrate des zweiten Ätzprozesses ist von der Ätzrate des ersten Ätzprozesses verschieden.

**[0036]** Fig. 2G zeigt ein Beispiel einer resultierenden Struktur. Wie dargestellt ist, umfasst die zweite Hauptoberfläche **135** des Werkstücks **145** verschiedene Bereiche, in welchen das monokristalline Halbleitermaterial **130** verschiedene Dicken aufweist. Insbesondere weist im Bereich **401** die Dicke des Halbleitermaterials den kleinsten Wert auf, während im Bereich **404** die Dicke des Halbleitermaterials **130** den größten Wert hat.

**[0037]** Wie in Fig. 2G dargestellt ist, ist eine Leistungshalbleitervorrichtung **10** in dem monokristallinen Halbleiterkörper **130** ausgebildet. Eine rückseitige Oberfläche **135** des monokristallinen Halbleiterkörpers **130** ist so strukturiert, dass sie eine Stufe **136** aufweist, wobei die Stufe **136** eine geneigte Seitenwand **137** hat. Die geneigte Seitenwand **137** hat einen Winkel  $\alpha$  von mehr als  $0^\circ$ , z.B. mehr als  $1^\circ$ , wobei der Winkel  $\alpha$  bezüglich einer horizontalen Oberfläche innerhalb des Halbleitermaterials gemessen wird. Die geneigte Seitenwand **137** kann einen Winkel  $\alpha$  von

weniger als  $60^\circ$ , z.B. weniger als  $58^\circ$ , konkreter weniger als  $56^\circ$ , z.B.  $54,7^\circ$  oder weniger, aufweisen. Die rückseitige Oberfläche **135** des monokristallinen Halbleiterkörpers **130** kann beispielsweise so strukturiert sein, dass sie zwei oder mehr Stufen umfasst. Der monokristalline Halbleiterkörper kann eine Dicke von weniger als  $100\ \mu\text{m}$  haben.

**[0038]** Gemäß weiteren Ausführungsformen kann, indem Bereiche mit verschiedenen Mustern inerten Strukturen **210** geeignet angeordnet und indem die Breiten der Bereiche eingestellt werden, eine quasdurchgehende schräge Oberfläche ausgebildet werden. Detaillierter beschrieben können die Breiten der Bereiche auf vergleichsweise kleine Werte so eingestellt werden, dass eine Vielzahl kleiner Stufen einander benachbart angeordnet ist. Durch Einstellen der Breiten der Bereiche kann ein Winkel der resultierenden Oberfläche eingerichtet werden, wobei der Winkel weniger als  $60^\circ$ , z.B. weniger als  $58^\circ$ , konkreter weniger als  $56^\circ$ , z.B.  $54,7^\circ$ , beträgt. Der Winkel kann größer als  $0^\circ$  sein, z.B. mehr als  $1^\circ$  betragen.

**[0039]** In dem beschriebenen Verfahren kann durch Einstellen der Höhe  $h$  der inerten Strukturen **210** die Höhe der Stufen zwischen den Bereichen **401**, **402**, **403** und **404** bestimmt werden. Die Höhe der inerten Strukturen **210** muss über das Werkstück **145** nicht einheitlich sein. Als eine Konsequenz kann eine Topologie der zweiten Hauptoberfläche weiter beeinflusst werden. Beispielsweise kann die Höhe des Bereichs **401** von der Höhe im Bereich **403** bzw. der Höhe im Bereich **404** verschieden sein.

**[0040]** Ferner kann durch Ändern der Temperatur oder der Zusammensetzung des Ätzmittels die Tiefe der verschiedenen Bereiche beeinflusst werden. **Fig. 3A** bis **Fig. 3C** veranschaulichen den Einfluss einer Zusammensetzung des Ätzmittels, einer Temperatur und eines spezifischen Musters der inerten Strukturen **210** auf die Höhe einer Stufe, die zwischen einem ersten Teil und einem zweiten Teil des monokristallinen Halbleitermaterials **130** ausgebildet wird. Die inerten Strukturen **210** bestehen aus Siliziumoxid und haben eine Höhe von  $500$  bis  $600\ \text{nm}$ . Die inerten Strukturen **210** sind im ersten Teil des monokristallinen Halbleitermaterials **130** vergraben. Die inerten Strukturen **210** fehlen im zweiten Teil des monokristallinen Halbleitermaterials **130**. **Fig. 3A** zeigt die Höhe der Stufe, wenn die inerten Strukturen **210** in einem Schachbrettmuster angeordnet sind, in Abhängigkeit von der Ätzmittelkonzentration und Temperatur. Die Temperatur  $T_1$  ist geringer als die Temperatur  $T_2$ , und die Temperatur  $T_2$  ist geringer als die Temperatur  $T_3$ . In Abhängigkeit von der Temperatur kann eine Stufenhöhe von  $1,5\ \mu\text{m}$  erzielt werden.

**[0041]** **Fig. 3B** zeigt die Höhe der Stufe, wenn die inerten Strukturen **210** in einem regelmäßigen Muster aus Reihen und Spalten entlang der x- und y-Rich-

tung angeordnet sind. Wie dargestellt ist, kann in Abhängigkeit von der Temperatur eine Stufenhöhe von annähernd  $2,5\ \mu\text{m}$  erzielt werden.

**[0042]** **Fig. 3C** zeigt die Höhe der Stufe, wenn die inerten Strukturen **210** in einem Streifenmuster angeordnet sind. Wie dargestellt ist, kann in Abhängigkeit von der Temperatur eine Stufenhöhe von annähernd  $6\ \mu\text{m}$  erzielt werden.

**[0043]** Gemäß weiteren Ausführungsformen kann ein Halbleiterwerkstück **145** mit einer rauen zweiten Hauptoberfläche **135** erzeugt werden.

**[0044]** Gemäß in **Fig. 4A** veranschaulichten Ausführungsformen werden inerte Strukturen **210** gebildet. Die inerten Strukturen **210** können in Form und Distanz identisch sein. Insbesondere können sie die gleiche Höhe aufweisen. Dementsprechend kann das Muster über das Werkstück homogen sein. Nach einem Ausbilden der inerten Strukturen **210** kann über der ersten Hauptoberfläche **110** des Halbleitersubstrats eine epitaktische Schicht **130** gebildet werden.

**[0045]** **Fig. 4B** zeigt ein Beispiel eines resultierenden Werkstücks **145**. Wie klar zu verstehen ist, können anstelle einer Ausbildung vorstehender Teile, um die inerten Strukturen **210** zu bilden, die inerten Strukturen **210** auch in Gräben gebildet werden, z.B. indem Gräben strukturiert und sie mit dem inerten Material gefüllt werden.

**[0046]** Danach wird eine Ätzung unter Verwendung eines anisotropen Nassätzmittels durchgeführt. Als Folge wird eine Ätzung in einer spezifischen Richtung induziert, wobei die Richtung von dem Muster der inerten Strukturen **210** abhängt. Im Gegensatz zu dem Verfahren, das unter Bezugnahme auf **Fig. 2A** bis **Fig. 2F** beschrieben wurde, kann aufgrund des homogenen Musters der inerten Strukturen **210** eine homogene Ätzrate erzielt werden. Ferner wird der Ätzprozess gestoppt, bevor eine Äztiefe der Höhe  $h$  der inerten Strukturen **210** entspricht. Beispielsweise kann der Ätzprozess gestoppt werden, indem das Halbleiterwerkstück aus der Ätzkammer entfernt wird. Detaillierter beschrieben wird der Ätzprozess gestoppt, sobald das Halbleitermaterial, das lateral an die inerten Strukturen grenzt, geätzt worden ist. **Fig. 4C** zeigt schematisch eine Querschnittsansicht einer resultierenden Struktur.

**[0047]** Danach werden die inerten Strukturen entfernt. Als Konsequenz wird eine raue zweite Hauptoberfläche **135** des Werkstücks **145** erhalten. **Fig. 4D** zeigt ein Beispiel einer resultierenden Struktur.

**[0048]** **Fig. 5A** bis **Fig. 5C** veranschaulichen eine Modifikation des beschriebenen Verfahrens zum Ausbilden der inerten Strukturen **210**, die sich vertikal in dem zu ätzenden monokristallinen Halbleiterma-

terial erstrecken. In der ersten Hauptoberfläche **110** des Halbleitersubstrats **100** werden Gräben **115** ausgebildet. Die Gräben **115** können in Form und Anordnung den inerten Strukturen **210** entsprechen, die unter Bezugnahme auf **Fig. 2A** und **Fig. 2B** diskutiert wurden. Mit anderen Worten können die Gräben **115** eine Tiefe entsprechend der Höhe  $h$  der inerten Strukturen aufweisen, wobei eine Breite und eine Distanz einer Breite und einer Distanz der inerten Strukturen **210** entsprechen. Die Gräben **115** können ferner eine longitudinale Achse aufweisen, die in einer Richtung verläuft, welche zu der dargestellten Zeichnungsebene senkrecht ist. Gemäß weiteren Ausführungsformen können die Gräben **115** eine punkartige Form, z.B. quadratförmige, nahezu quadratartig geformte und andere geeignete Formen, aufweisen. Die Gräben **115** können beispielsweise durch Ätzen gebildet werden.

**[0049]** **Fig. 5A** zeigt ein Beispiel eines resultierenden Werkstücks **145**. Danach kann in die Gräben ein inertes Material gefüllt werden, gefolgt von einem Abtragen des inerten Materials. Gemäß Ausführungsformen kann das inerte Material abgetragen werden.

**[0050]** Als eine Konsequenz ist, wie in **Fig. 5B** veranschaulicht ist, eine Oberfläche der mit dem inerten Material gefüllten Gräben **115** bündig mit der ersten Hauptoberfläche **110** des Halbleitersubstrats **100**, was somit inerte Strukturen **210a** bildet. Detaillierter beschrieben stehen die inerten Strukturen **210a** nicht von der ersten Hauptoberfläche **110** des Halbleitersubstrats **100** aus vor. Gemäß weiteren Ausführungsformen können die inerten Strukturen **210b** von der ersten Hauptoberfläche **110** des Halbleitersubstrats aus vorstehen.

**[0051]** Danach kann über dem Halbleitersubstrat **100** zum Beispiel durch ein epitaktisches laterales Überwachsen eine Schicht aus monokristallinem Halbleitermaterial **130** gebildet werden. Die Schicht aus monokristallinem Halbleitermaterial **130** weist eine erste Hauptoberfläche **140** auf. **Fig. 5C** zeigt ein Beispiel eines resultierenden Werkstücks vor einem Abdünnen des Halbleitersubstrats **100**. Nachdem die erste Hauptoberfläche **140** des resultierenden Werkstücks an einen geeigneten Träger montiert ist, wird das erste Substrat **100** von der zweiten Hauptoberfläche **120** aus durch Schleifen, Polieren oder Ätzen oder eine beliebige Kombination dieser Prozesse abgedünnt.

**[0052]** Gemäß einer oder mehreren Ausführungsformen definiert danach der Bereich **105**, der lateral an die inerten Strukturen **210a**, **210b** grenzt, das zu ätzende Halbleitermaterial. Eine Oberfläche **138** des monokristallinen Halbleitermaterials ist durch gestrichelte Linien angegeben. In der Weise, wie unter Bezugnahme auf **Fig. 2D** bis **Fig. 2G** beschrieben worden ist, wird eine Ätzung durchgeführt.

**[0053]** Wie klar zu verstehen ist, kann die Maske, die sich vertikal in einen zu ätzenden Bereich des Halbleitermaterials erstreckt, durch verschiedene Verfahren gebildet werden. Beispielsweise definiert das in **Fig. 5B** dargestellte Werkstück ein Halbleitersubstrat mit einer Maske, die sich vertikal in dem Halbleitersubstrat erstreckt. Daher kann gemäß weiteren Ausführungsformen ein Ätzprozess zum anisotropen Ätzen des Halbleitersubstrats direkt von dem in **Fig. 5B** dargestellten Werkstück aus beginnend durchgeführt werden.

**[0054]** **Fig. 5D** fasst ein Verfahren zum Herstellen einer Halbleitervorrichtung gemäß einer oder mehreren Ausführungsformen zusammen. Ein Verfahren zum Herstellen einer Halbleitervorrichtung umfasst ein Ausbilden einer Maske, die sich in einen Bereich eines Halbleitermaterials erstreckt (**S510**), und ein anisotropes Ätzen des Bereichs des Halbleitermaterials (**S520**). Zum Beispiel kann das Muster inerten Strukturen sich vertikal in den zu ätzenden Bereich des Halbleitermaterials erstrecken. Anders ausgedrückt sind die inerten Strukturen in einem zu ätzenden Bereich vergraben oder eingebettet. Der zu ätzende Bereich grenzt lateral an die inerten Strukturen. Danach wird der anisotrope Ätzprozess ausgeführt.

**[0055]** **Fig. 5E** fasst ein Verfahren zum Herstellen einer Halbleitervorrichtung gemäß weiteren Ausführungsformen zusammen. Das Verfahren umfasst ein Ausbilden einer Maske in einem Halbleitermaterial (**S530**), wobei die Maske einen ersten Maskenteil in einem ersten Teil des Halbleitermaterials und einen zweiten Maskenteil in einem zweiten Teil des Halbleitermaterials umfasst. Der erste Maskenteil ist dafür eingerichtet, eine Ätzung bei einer ersten Ätzrate zu induzieren, und der zweite Maskenteil ist dafür eingerichtet, eine Ätzung bei einer zweiten Ätzrate zu induzieren. Die erste Ätzrate ist von der zweiten Ätzrate verschieden. Ferner umfasst das Verfahren ein anisotropes Ätzen des Halbleitermaterials (**S540**).

**[0056]** Wie beschrieben worden ist, kann, indem das Verfahren gemäß Ausführungsformen durchgeführt wird, ein Halbleitermaterial gleichzeitig in verschiedene Tiefen, z.B. unter Verwendung eines einzigen anisotropen Ätzschritts, geätzt werden. Beispielsweise kann eine Hauptoberfläche eines Halbleitersubstrats strukturiert werden, um Muster bei verschiedenen Höhen des Substrats zu erzeugen. Beispielsweise können Stufen bei verschiedenen Höhen ohne Verwendung mehrerer lithografischer Verfahren zum Strukturieren einer Oberfläche eines Halbleitermaterials für jede der Stufen erzeugt werden. Das Verfahren kann genutzt werden, um eine erste Hauptoberfläche oder eine zweite Hauptoberfläche eines Halbleitersubstrats entsprechend zu strukturieren. Beispielsweise kann es genutzt werden, um eine rückseitige Oberfläche oder zweite Hauptoberfläche



eines Halbleitersubstrats zu strukturieren, beispielsweise während aktive Strukturen der Halbleitervorrichtung in der ersten Hauptoberfläche des Substrats angeordnet sind. Ferner kann das Verfahren genutzt werden, um eine Hauptoberfläche eines dünnen Substrats zu strukturieren.

**[0057]** Wie oben beschrieben worden ist, kann nach einem Abdünnen des Halbleitersubstrats das Werkstück eine Dicke von annähernd 5 bis 100  $\mu\text{m}$  aufweisen. Indem das beschriebene Verfahren durchgeführt wird, kann die rückseitige Oberfläche des Halbleitersubstrats ohne die Notwendigkeit komplexer Bearbeitungsschritte, einschließlich lithografischer Schritte, welche bei Halbleitersubstraten mit einer geringen Dicke schwer anzuwenden sind, strukturiert werden. Beispielsweise können unter Verwendung eines einzigen Ätzprozesses Stufen von mehr als 100 nm und sogar mehr als 1000 nm, z.B. in einem Bereich von mehreren  $\mu\text{m}$ , erzeugt werden. Gemäß weiteren Ausführungsformen kann das Verfahren weiter modifiziert werden, um eine sich allmählich ändernde Dicke des Halbleitersubstrats zu erreichen.

**[0058]** Im Folgenden werden weitere Halbleitervorrichtungen beschrieben, welche unter Verwendung des beschriebenen Verfahrens hergestellt werden können. **Fig. 6A** zeigt einen Halbleiterkörper **500** mit einer ersten Hauptoberfläche **510** und einer zweiten Hauptoberfläche **520**. Beispielsweise können Komponenten **531**, **532**, **533** der Halbleitervorrichtung, wie etwa eine Gateelektrode, der ersten Hauptoberfläche **510** benachbart ausgebildet sein. Ein Ätzprozess, wie er oben unter Bezugnahme auf **Fig. 1** bis **Fig. 5** beschrieben worden ist, kann durchgeführt werden, um die zweite Hauptoberfläche **520** des Halbleitersubstrats **500** zu ätzen. Als Ergebnis kann der Halbleiterkörper **500** eine erste Dicke  $t_1$  an einem Randbereich und eine zweite Dicke  $t_2$  in einem zentralen Bereich aufweisen. Die erste Dicke  $t_1$  kann beispielsweise in einem Bereich von 5 bis 100  $\mu\text{m}$ , z.B. 5 bis 50  $\mu\text{m}$ , konkreter 5 bis 20  $\mu\text{m}$ , liegen. Die zweite Dicke  $t_2$  im zentralen Bereich kann ferner in einem ähnlichen Bereich liegen. Eine Differenz zwischen der zweiten Dicke  $t_2$  und der ersten Dicke  $t_1$  kann 500 nm bis 7  $\mu\text{m}$  betragen. Ein Winkel  $\beta$  zwischen dem schrägen Bereich der zweiten Hauptoberfläche **520** und dem horizontalen Bereich der zweiten Hauptoberfläche **520** kann weniger als  $60^\circ$ , z.B. weniger als  $58^\circ$ , konkreter weniger als  $56^\circ$ , z.B.  $54^\circ$ ,  $7^\circ$  oder weniger, betragen. Der Winkel  $\beta$  kann größer als  $0^\circ$ , z.B. größer als  $1^\circ$ , sein.

**[0059]** Gemäß Ausführungsformen kann eine Halbleitervorrichtung **530**, die in dem Halbleiterkörper **500** ausgebildet ist, eine Leistungshalbleitervorrichtung sein. Spezifische Beispiele umfassen eine Diode oder einen IGBT („Bipolartransistor mit isoliertem Gate“). Der Bereich mit der abnehmenden Dicke kann einen Randabschlussbereich **540** der Halb-

leitervorrichtung verwirklichen. Beispielsweise können Komponenten der Halbleitervorrichtung **530** eine Gateelektrode **531** umfassen, welche zum Beispiel in einem in dem Halbleiterwerkstück ausgebildeten Graben gebildet sein kann. Weitere Komponenten können einen dotierten Bereich **532** eines spezifischen Leitfähigkeitstyps umfassen. Weitere Komponenten können Metallisierungsschichten **533** oder verschiedene leitfähige Elemente umfassen. Aufgrund des spezifischen Ätzprozesses, welcher beschrieben wurde, kann die zweite Hauptoberfläche **520** einen schrägen Bereich aufweisen. Der schräge Bereich kann so geneigt sein, dass er einen schrägen Winkel  $\beta$  bezüglich eines planaren Bereichs **520a** der zweiten Hauptoberfläche **520** aufweist.

**[0060]** **Fig. 6B** zeigt eine Halbleitervorrichtung gemäß weiteren Ausführungsformen, gemäß welchen der Halbleiterkörper **500** drei verschiedene Dicken aufweisen kann. Insbesondere kann in einem Randbereich eine maximale Dicke  $t_1$  betragen. Im zentralen Bereich kann die Dicke  $t_2$  betragen. Ferner kann der Halbleiterkörper **500** einen Zwischenbereich zwischen dem zentralen Bereich und dem äußersten Randbereich mit einer Dicke  $t_3$  aufweisen. Die weiteren Komponenten einer entsprechenden Halbleitervorrichtung **530** können jenen ähnlich sein, die in **Fig. 6A** veranschaulicht sind. Die Halbleitervorrichtung **530** kann beispielsweise eine Leistungshalbleitervorrichtung verwirklichen.

**[0061]** **Fig. 6C** zeigt eine Halbleitervorrichtung **530**, zum Beispiel eine Leistungshalbleitervorrichtung gemäß weiteren Ausführungsformen. Wie dargestellt ist, weist gemäß der in **Fig. 5C** veranschaulichten Ausführungsform ein Halbleiterkörper **500** eine erste Dicke  $t_1$  in einem Randbereich und eine zweite Dicke  $t_2$  in einem zentralen Bereich auf. Die erste Dicke  $t_1$  im Randbereich ist größer als die zweite Dicke  $t_2$  in dem zentralen Bereich. Die erste Dicke  $t_1$  und die zweite Dicke  $t_2$  können beispielsweise in einem Bereich von 5 bis 100  $\mu\text{m}$ , zum Beispiel 5 bis 50  $\mu\text{m}$ , konkreter 5 bis 20  $\mu\text{m}$ , liegen. In der in **Fig. 6C** dargestellten Halbleitervorrichtung kann zum Beispiel das Spannungsperrvermögen verbessert werden, was eine erhöhte Widerstandsfähigkeit gegen kosmische Strahlung in einem Randabschlussbereich **540** der Halbleitervorrichtung zur Folge hat. Überdies kann eine Klemmfunktionalität für einen IGBT oder einen Thyristor erreicht werden.

**[0062]** **Fig. 7A** zeigt eine Querschnittsansicht einer Halbleitervorrichtung **630** gemäß einer oder mehreren weiteren Ausführungsformen. Die Halbleitervorrichtung **630**, z.B. eine Leistungshalbleitervorrichtung, die in **Fig. 7A** dargestellt ist, umfasst einen Halbleiterkörper **600** und einen dotierten Bereich **615**, der einer zweiten Hauptoberfläche **620** des Halbleiterkörpers **600** benachbart ist. Beispielsweise kann ein dotierter Bereich **615** mit einem Leitfähigkeitstyp

dotiert sein, der einem Leitfähigkeitstyp des Halbleiterkörpers **600** entgegengesetzt ist. Der dotierte Bereich **615** kann zum Beispiel gebildet werden, wenn der Halbleiterkörper **600** epitaktisch gezüchtet wird. Beispielsweise kann der Halbleiterkörper **600** auf einem gegendotierten Halbleitersubstrat **100** gebildet werden, und nach einem Abdünnen des Halbleitersubstrats **100** bleibt der dotierte Bereich **615** zurück. Gemäß weiteren Optionen kann der dotierte Bereich **615** durch epitaktisches Wachstum gebildet werden. Beispielsweise kann der dotierte Bereich unter Verwendung einer in-situ-Dotierung gebildet werden, um den Dotierungstyp während des epitaktischen Wachstums des Halbleiterkörpers **600** geeignet einzustellen.

**[0063]** Komponenten der Halbleitervorrichtung **630** können einer ersten Hauptoberfläche **610** des Halbleiterkörpers **600** benachbart ausgebildet werden. Beispielsweise können diese Komponenten eine Gateelektrode **631** umfassen, welche in einem in der ersten Hauptoberfläche **610** ausgebildeten Graben angeordnet sein kann. Die Komponenten können ferner dotierte Bereiche **632** und Metallisierungsschichten **633** oder andere leitfähige Strukturen aufweisen. Unter Verwendung des beschriebenen Verfahrens kann ein vertiefter Bereich **625** in der zweiten Hauptoberfläche **620** des Halbleiterwerkstücks **645** gebildet werden. Insbesondere kann der vertiefte Bereich **625** in dem dotierten Bereich **615** so gebildet werden, dass ein Teil des dotierten Bereichs **615** in einer vertikalen Richtung zwischen dem vertieften Bereich **625** und dem Halbleiterkörper **600** zurückbleibt. Der vertiefte Bereich **625** kann in einem Randbereich der Halbleitervorrichtung **630** oder unterhalb der Gateelektrode **631** angeordnet sein. Gemäß weiteren Ausführungsformen kann der vertiefte Bereich **625** in einem Bereich leitfähiger Gateleitungen angeordnet sein.

**[0064]** Die Halbleitervorrichtung **630** kann zum Beispiel eine Leistungshalbleitervorrichtung, zum Beispiel einen IGBT, eine Diode oder einen Thyristor, verwirklichen. Indem der vertiefte Bereich **625** ausgebildet wird, kann die Emittereffizienz lokal reduziert werden, was eine reduzierte Anzahl freier Ladungsträger zur Folge hat. Als Konsequenz kann die HDR (hochdynamische Widerstandsfähigkeit) verbessert werden. Wie klar zu verstehen ist, kann die zweite Hauptoberfläche **620** des Werkstücks **645** strukturiert werden, um eine Vielzahl vertiefter Bereiche **625** zu bilden.

**[0065]** Fig. **7B** zeigt eine Querschnittsansicht einer Halbleitervorrichtung gemäß einer oder mehreren weiteren Ausführungsformen. Der Halbleiterkörper **600** umfasst einen dotierten Bereich **615** an der zweiten Hauptoberfläche **620**. Der Halbleiterkörper **600** und der dotierte Bereich **615** können von entgegengesetzten Leitfähigkeitstypen sein. Beispiels-

weise kann der dotierte Bereich **615** einen Emitterbereich einer Leistungshalbleitervorrichtung verwirklichen. Unter Verwendung des Verfahrens, das oben beschrieben worden ist, kann der dotierte Bereich **615** so strukturiert werden, dass eine Vielzahl strukturierter Emitterbereiche **626** gebildet wird, welche durch vertiefte Bereiche **625** voneinander getrennt sind. Dementsprechend kann unter Verwendung des beschriebenen Verfahrens der rückseitige Emitterbereich **615** lateral strukturiert werden. Als Folge kann eine erhöhte Widerstandsfähigkeit bezüglich Kurzschlüssen erzielt werden. Gemäß weiteren Konzepten kann aufgrund des lokal verbesserten rückseitigen Emitterkonzepts ein verbessertes sanftes Abschalten erzielt werden.

**[0066]** Fig. **7C** zeigt eine vertikale Querschnittsansicht einer Halbleitervorrichtung **630**, z.B. einer Leistungshalbleitervorrichtung gemäß einer weiteren Ausführungsform. Die Halbleitervorrichtung **630** umfasst einen Halbleiterkörper **600** und eine Metallisierungsschicht **643**. Das Metall der Metallisierungsschicht **643** kann aus z.B. der Gruppe aus Titan (Ti), Wolfram, (W), Nickel (Ni) und Legierungen davon ausgewählt werden. Wahlweise kann die Metallisierungsschicht **643** mehrere Schichten umfassen. Beispielsweise kann eine Silber-(Ag-) Schicht über einer Basisschicht ausgebildet sein, die aus Ti bestehen kann. Das unter Bezugnahme auf Fig. **4A** bis Fig. **4D** beschriebene Verfahren kann durchgeführt werden, um die Oberflächenrauigkeit an der rückseitigen Oberfläche **620** des Halbleiterkörpers **600** auszubilden. Aufgrund der Oberflächenrauigkeit der rückseitigen Oberfläche **620** des Halbleiterkörpers kann die Haftung der Metallschicht **643** an dem Halbleiterkörper **600** verbessert werden. Außerdem kann gemäß Ausführungsformen die Kornorientierung der Metallisierungsschicht, welche über der rückseitigen Oberfläche **620** des Halbleiterkörpers abgeschieden wird, entsprechend Prozessanforderungen eingestellt werden. Komponenten von Leistungshalbleitervorrichtungen können in der ersten Hauptoberfläche **610** oder in der rückseitigen Oberfläche **620** des Halbleiterkörpers **600** in einer ähnlichen Art und Weise gebildet werden, wie unter Bezugnahme auf Fig. **7A** und Fig. **7B** diskutiert worden ist.

**[0067]** Gemäß weiteren Ausführungsformen kann das Verfahren genutzt werden, um einen Halbleiterwafer in einem Bereich abzdünnen, in welchem die einzelnen Chips isoliert werden sollen. Fig. **8A** zeigt ein Beispiel einer Querschnittsansicht eines Bereichs eines Halbleiterwafers. Der Halbleiterwafer **700** wurde prozessiert, um mehrere Chips  $70_1$  bis  $70_4$  zu definieren. Trennbereiche **730** sind zwischen den aktiven Bereichen von jedem der einzelnen Chips  $70_1$  bis  $70_4$  angeordnet. Gemäß Ausführungsformen kann der Ätzprozess, welcher oben erläutert worden ist, durchgeführt werden, um den Wafer in den Trennbereichen **730** abzdünnen. Beispielsweise kann, wie in dem

linken Teil von **Fig. 8A** veranschaulicht ist, der Wafer abgedünnt werden, um zwei verschiedene Dicken des Wafers vorzusehen. Gemäß weiteren Ausführungsformen kann ein bestimmter Winkel eingerichtet werden, indem die Ätzzraten geeignet eingestellt werden. Dies ist in dem rechten Teil von **Fig. 8A** dargestellt. Aufgrund dieser Bearbeitung können die einzelnen Chips z.B. unter Verwendung eines Sägens oder einer Laserbehandlung isoliert werden, während eine reduzierte Menge an Defekten erzeugt wird.

**[0068]** Gemäß weiteren Ausführungsformen kann eine Implantation mit Protonen, von der rückseitigen Oberfläche **720** des Wafers aus z.B. unter Verwendung von Protonen, durchgeführt werden. Beispielsweise können die Protonen unter einem Winkel von  $0^\circ$  bezüglich der Normalen zur rückseitigen Oberfläche **720** implantiert werden. **Fig. 8B** veranschaulicht schematisch solch einen Implantationsprozess. Aufgrund dieser Implantation, welcher ein Ausheilschritt zwischen  $350^\circ\text{C}$  und  $430^\circ\text{C}$  folgen kann, kann eine laterale Kanalstoppeinrichtung erzeugt werden. Als Folge kann verhindert werden, dass eine Verarmungszone am Chiprand fortschreitet. Eine Maske **715** kann auf der rückseitigen Oberfläche **720** angeordnet werden. Als Folge werden die Protonen in den unbedeckten Teil der rückseitigen Oberfläche **720** des Halbleiterwafers implantiert.

**[0069]** **Fig. 9A** bis **Fig. 9D** veranschaulichen ein Werkstück, wenn ein Verfahren gemäß einer oder mehreren weiteren Ausführungsformen durchgeführt wird. Insbesondere veranschaulichen **Fig. 9A** bis **Fig. 9D** ein Verfahren zum Ausbilden einer Struktur bzw. eines Musters von n-dotierten Bereichen und von p-dotierten Bereichen an der zweiten Hauptoberfläche eines Werkstücks. Inerte Strukturen **210** können über einer ersten Hauptoberfläche **110** eines Halbleitersubstrats **100** in einem Bereich **815** ausgebildet werden. Die inerten Strukturen **210** fehlen im Bereich **816**. Wie klar zu verstehen ist, können statt einer Ausbildung vorstehender Teile die inerten Strukturen **210** innerhalb des Halbleitersubstrats in der Art und Weise vergraben werden, die oben erläutert worden ist. In den Bereichen **815** wird ein Muster inerten Strukturen gebildet, welches eine reduzierte Ätzzrate bezüglich des Bereichs **816** zur Folge hat. Insbesondere wird das Muster inerten Strukturen **210** gemäß einer Topologie einer Halbleiterschicht gebildet, die über der ersten Hauptoberfläche **110** gebildet werden soll. **Fig. 9A** zeigt ein Beispiel einer resultierenden Struktur.

**[0070]** Danach wird über der ersten Hauptoberfläche **110** des Halbleitersubstrats **100** eine Schicht aus monokristallinem Halbleitermaterial **800** epitaktisch gebildet. Beispielsweise kann eine Dotierungskonzentration während eines epitaktischen Wachstums variiert werden. Als Folge wird ein Schichtbereich **822** mit einer erhöhten Dotierungskonzentration der ers-

ten Hauptoberfläche **110** des Halbleitersubstrats **100** direkt benachbart gebildet, gefolgt von einem Bereich **823** mit einer reduzierten Dotierungskonzentration. In dem unter Bezugnahme auf **Fig. 9A** bis **Fig. 9D** veranschaulichten Beispiel wird die Schicht aus monokristallinem Halbleitermaterial **800** mit Dotierstoffen vom n-Typ dotiert. Das Werkstück **845** mit dem Halbleitersubstrat **100** und der Schicht aus monokristallinem Halbleitermaterial **800** wird an einen Träger **180** montiert. **Fig. 9B** zeigt ein Beispiel einer resultierenden Struktur.

**[0071]** Nach einem Abdünnen des Werkstücks **845** von der rückseitigen Oberfläche aus, wird ein Ätzprozess in der Art und Weise durchgeführt, wie oben erläutert worden ist. Als Ergebnis des Ätzprozesses wird der Schichtbereich **822** strukturiert, indem eine Öffnung **825** in der rückseitigen Oberfläche **820** des Halbleiterwerkstücks **845** ausgebildet wird. Verbleibende Teile des Halbleiterbereichs **822** sind auf gegenüberliegenden Seiten der Öffnung **825** angeordnet. **Fig. 9C** zeigt ein Beispiel einer resultierenden Struktur. Es ist besonders zu erwähnen, dass in Abhängigkeit von dem spezifischen Muster der inerten Strukturen **210** ein inverses Muster eines strukturierten Schichtbereichs **822**, der in **Fig. 9C** dargestellt ist, erzeugt werden kann.

**[0072]** Danach wird eine Ionenimplantation mit Dotierstoffen vom p-Typ durchgeführt. Die Implantationsdosis wird so eingestellt, dass Bereiche **822** vom  $n^+$ -Typ ein n-Typ bleiben werden, wohingegen der n-dotierte Bereich zu  $p^-$  dotiert wird. **Fig. 9D** zeigt ein Beispiel einer resultierenden Struktur. Wie dargestellt ist, sind n- und p-dotierte Bereiche **826**, **827** einer zweiten Hauptoberfläche **820** des Halbleiterkörpers **800** benachbart abwechselnd angeordnet. Dementsprechend kann eine Strukturierung einer rückseitigen Oberfläche einer dotierten Schicht in einer einfachen Art und Weise durchgeführt werden. Dementsprechend können komplizierte lithografische Prozesse zum Strukturieren der Dotierungsbereiche vermieden werden. Beispielsweise kann solch eine strukturierte rückseitige Oberfläche in einer Leistungshalbleitervorrichtung wie etwa einem rückwärts leitenden IGBT genutzt werden.

**[0073]** Während Ausführungsformen der Erfindung oben beschrieben sind, ist es offensichtlich, dass weitere Ausführungsformen ausgestaltet werden können. Beispielsweise können weitere Ausführungsformen irgendeine Unterkombination von Merkmalen, die in den Patentansprüchen angegeben sind, oder irgendeine Unterkombination von Elementen, die in den oben gegebenen Beispielen beschrieben sind, umfassen. Demgemäß sollen der Kern und der Umfang der beigefügten Patentansprüche nicht auf die Beschreibung der Ausführungsformen begrenzt sein.

**Patentansprüche**

1. Verfahren zum Herstellen einer Halbleitervorrichtung, umfassend:

Ausbilden einer Maske mit einem Muster inerter Strukturen auf einer Seite einer ersten Hauptoberfläche eines Halbleitersubstrats,

Ausbilden einer Halbleiterschicht über der ersten Hauptoberfläche,

Abdünnen des Halbleitersubstrats von einer der ersten Hauptoberfläche gegenüberliegenden zweiten Hauptoberfläche aus; und

danach anisotropes Ätzen eines Halbleiterbereichs, der lateral an die inertesten Strukturen grenzt.

2. Verfahren nach Anspruch 1, wobei der Halbleiterbereich einen ersten Teil und einen zweiten Teil umfasst, wobei das Muster inerter Strukturen in dem ersten Teil verschieden ist von dem Muster inerter Strukturen in dem zweiten Teil oder die inertesten Strukturen im zweiten Teil fehlen.

3. Verfahren nach Anspruch 2, wobei eine Ätzrate des Halbleiterbereichs in dem ersten Bereich von einer Ätzrate in dem zweiten Bereich verschieden ist.

4. Verfahren nach Anspruch 3, wobei nach einem anisotropen Ätzen eine Differenz zwischen einer Dicke des Halbleiterbereichs in dem ersten Teil und in dem zweiten Teil mehr als 100 nm beträgt.

5. Verfahren nach einem der vorhergehenden Ansprüche, wobei ein anisotropes Ätzen eines Halbleiterbereichs, der lateral an die inertesten Strukturen grenzt, einen ersten Ätzprozess definiert, wobei das Verfahren ferner einen zweiten Ätzprozess zum Ätzen der Halbleiterschicht umfasst, nachdem der lateral an die inertesten Strukturen grenzende Halbleiterbereich geätzt worden ist, wobei eine Ätzrate des zweiten Ätzprozesses von der Ätzrate des ersten Ätzprozesses verschieden ist.

6. Verfahren nach einem der Ansprüche 1 bis 4, wobei ein Ätzen gestoppt wird, sobald der Halbleiterbereich, der lateral an die inertesten Strukturen grenzt, geätzt worden ist.

7. Verfahren nach einem der vorhergehenden Ansprüche, wobei die inertesten Strukturen eine Breite von 50 bis 700 nm aufweisen.

8. Verfahren nach einem der vorhergehenden Ansprüche, wobei die inertesten Strukturen eine Distanz von 200 bis 700 nm aufweisen.

9. Verfahren nach einem der vorhergehenden Ansprüche, wobei ein Ausbilden des Musters inerter Strukturen auf einer Seite der ersten Hauptoberfläche des Halbleitersubstrats umfasst:

Ausbilden und Strukturieren einer Schicht aus einem inertesten Material auf einer ersten Hauptoberfläche eines Halbleitersubstrats.

10. Verfahren nach einem der Ansprüche 1 bis 8, wobei ein Ausbilden des Musters inerter Strukturen auf einer Seite der ersten Hauptoberfläche des Halbleitersubstrats umfasst:

Ausbilden von Gräben in der ersten Hauptoberfläche des Halbleitersubstrats; und

Füllen der Gräben mit einem inertesten Material.

11. Verfahren nach einem der vorhergehenden Ansprüche, wobei ein Ausbilden der Halbleiterschicht ein epitaktisches Wachsen der Halbleiterschicht umfasst.

12. Verfahren nach einem der vorhergehenden Ansprüche, wobei die Halbleiterschicht eine Dicke von weniger als 100 µm nach einem anisotropen Ätzen des Halbleiterbereichs aufweist.

13. Verfahren zum Herstellen einer Halbleitervorrichtung, umfassend:

Ausbilden einer Maske in einem Halbleitermaterial, wobei die Maske einen ersten Maskenteil in einem ersten Teil des Halbleitermaterials und einen zweiten Maskenteil in einem zweiten Teil des Halbleitermaterials umfasst, wobei der erste Maskenteil dafür eingerichtet ist, ein Ätzen bei einer ersten Ätzrate zu induzieren, wobei der zweite Maskenteil dafür eingerichtet ist, ein Ätzen bei einer zweiten Ätzrate zu induzieren, wobei die erste Ätzrate von der zweiten Ätzrate verschieden ist; und anisotropes Ätzen des Halbleitermaterials.

14. Verfahren nach Anspruch 13, wobei der erste Maskenteil ein Ätzen in einer ersten Kristallrichtung induziert und der zweite Maskenteil ein Ätzen in einer zweiten Kristallrichtung induziert, wobei die erste Kristallrichtung von der zweiten Kristallrichtung verschieden ist.

15. Leistungshalbleitervorrichtung, die in einem Halbleiterkörper ausgebildet ist, wobei eine rückseitige Oberfläche des Halbleiterkörpers so strukturiert ist, dass sie eine Stufe aufweist, wobei die Stufe eine geneigte Seitenwand hat, wobei die geneigte Seitenwand einen Winkel von mehr als 1° und weniger als 60° bezüglich einer horizontalen Oberfläche aufweist.

16. Leistungshalbleitervorrichtung nach Anspruch 15, wobei die rückseitige Oberfläche des Halbleiterkörpers so strukturiert wird, dass sie zwei oder mehr Stufen aufweist.

17. Leistungshalbleitervorrichtung nach Anspruch 15 oder 16, wobei der Halbleiterkörper eine Dicke von weniger als 100 µm hat.

18. Leistungshalbleitervorrichtung, die in einem Halbleiterkörper ausgebildet ist und erhalten werden kann, indem das Verfahren gemäß einem der Ansprüche 1 bis 16 ausgeführt wird.

Es folgen 15 Seiten Zeichnungen

Anhängende Zeichnungen

FIG 1

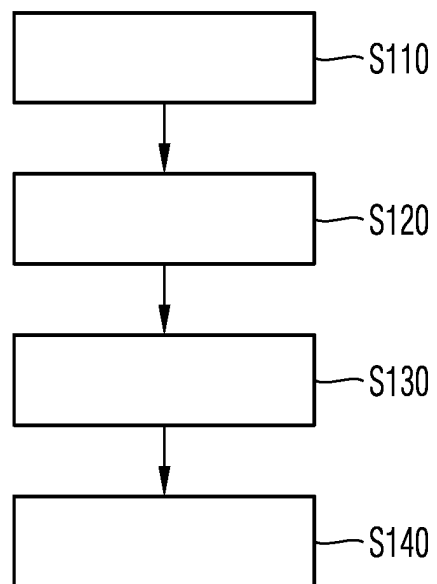


FIG 2A

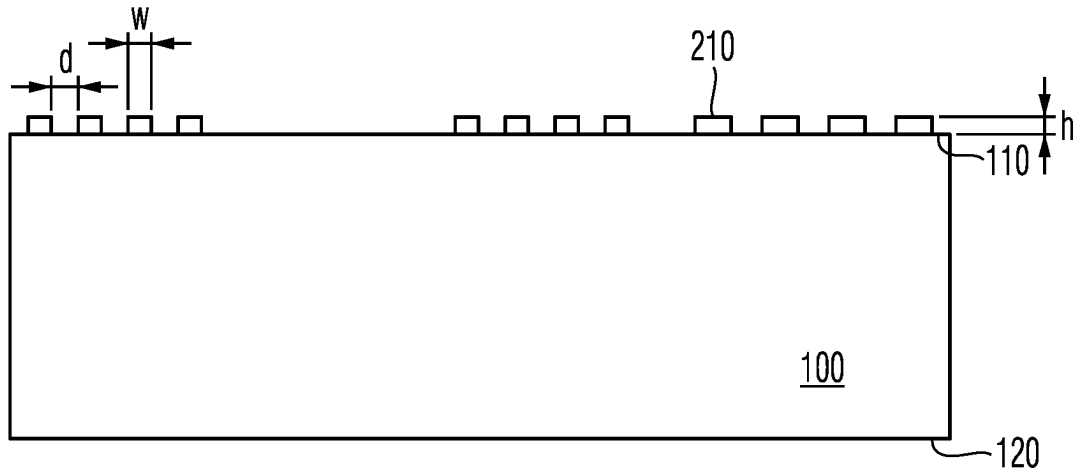


FIG 2B

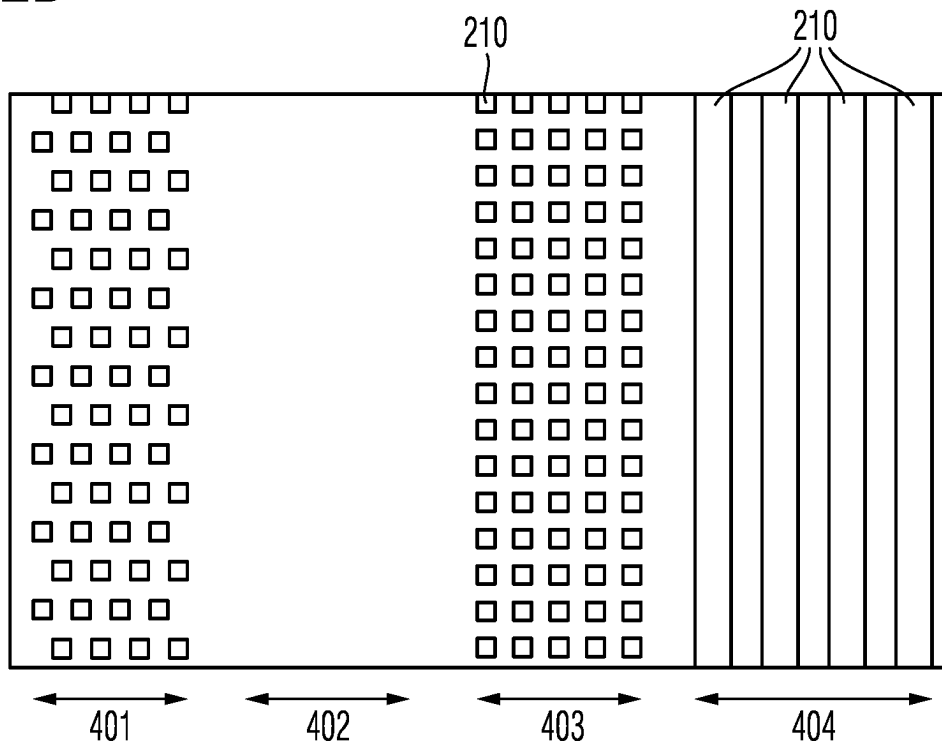


FIG 2C

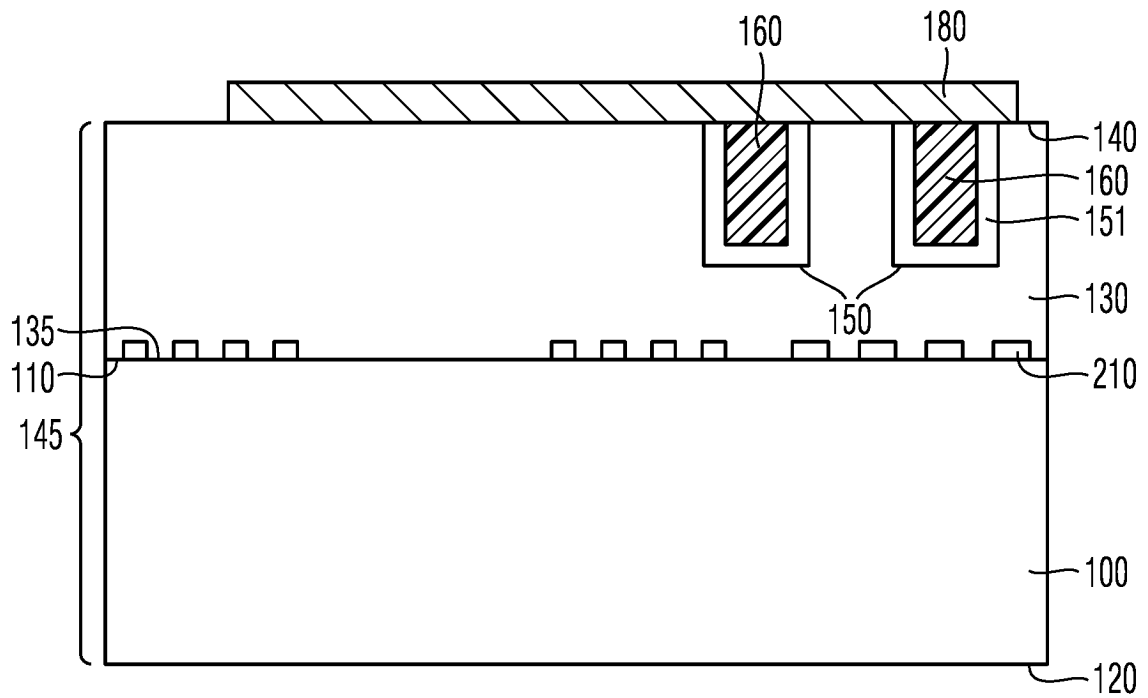


FIG 2D

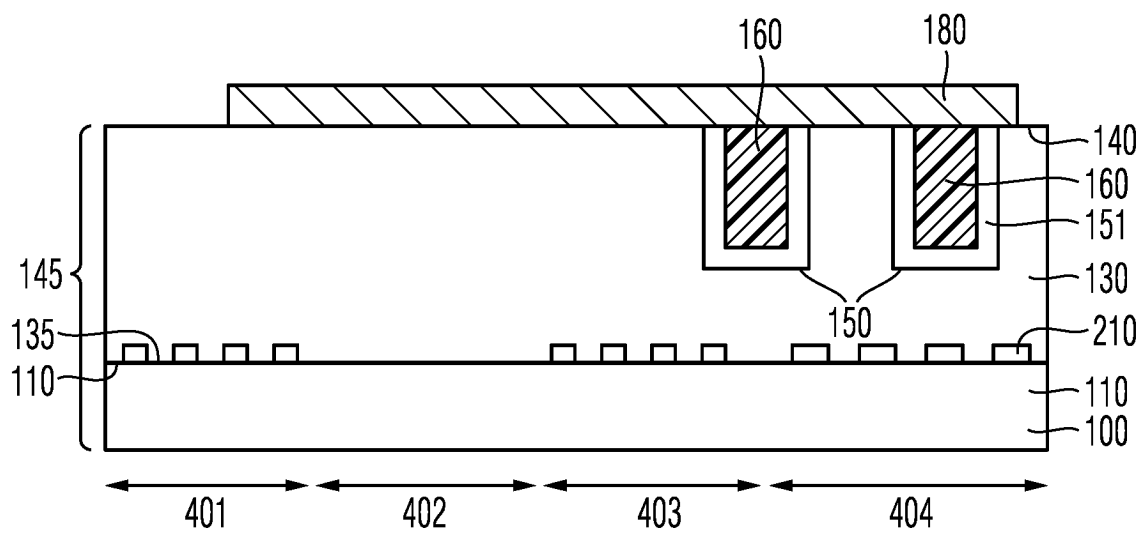




FIG 2E

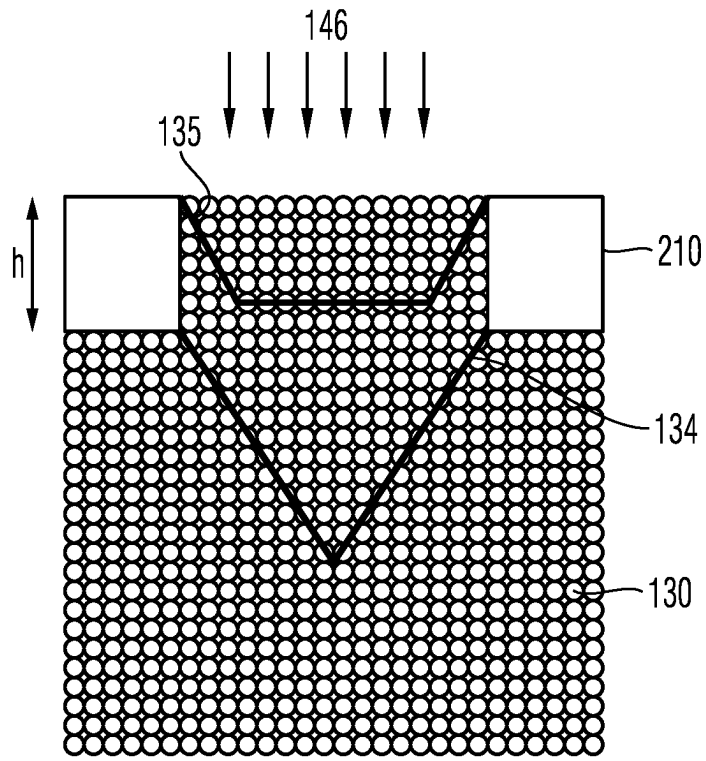


FIG 2F

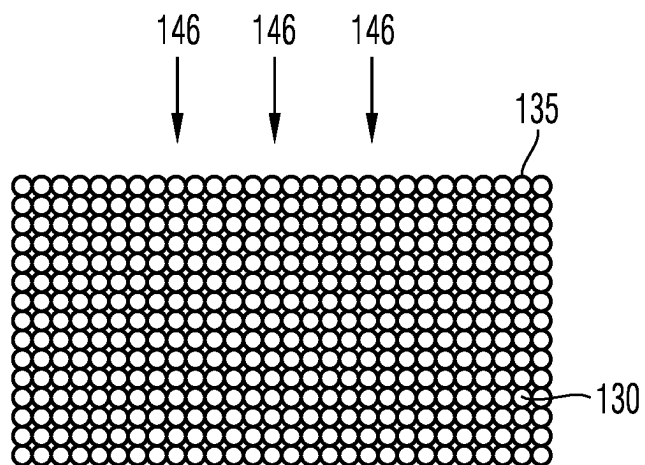


FIG 2G

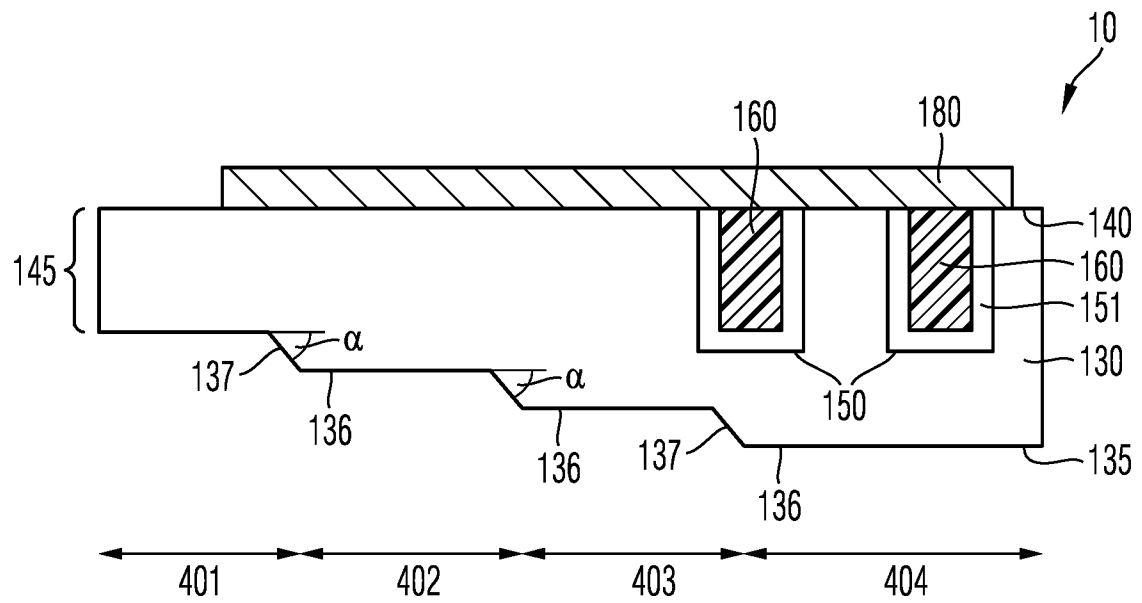


FIG 3A

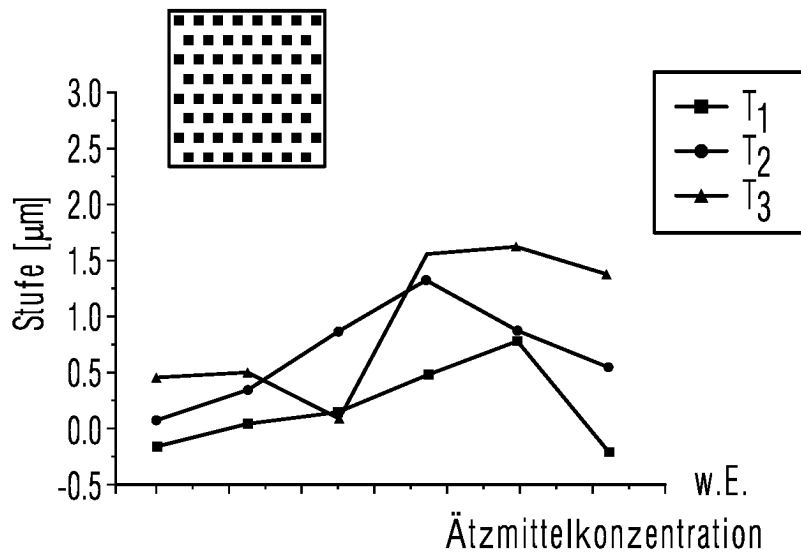


FIG 3B

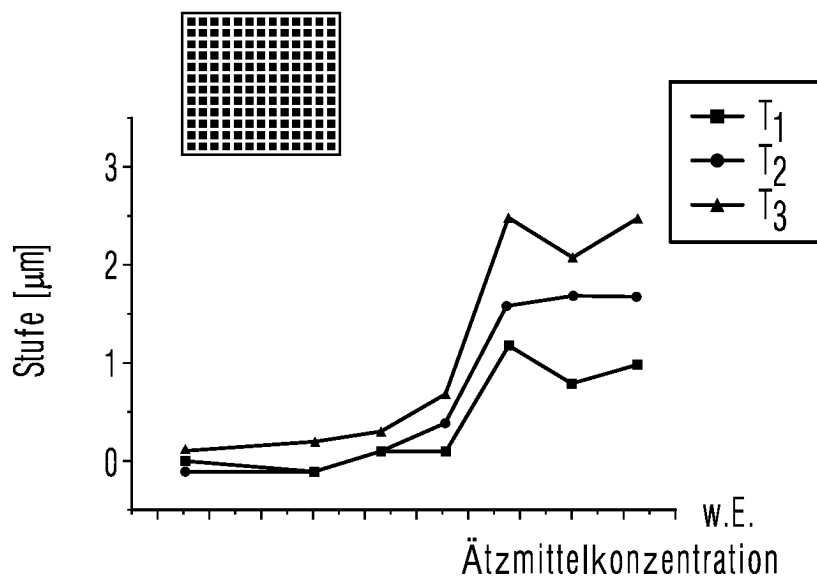


FIG 3C

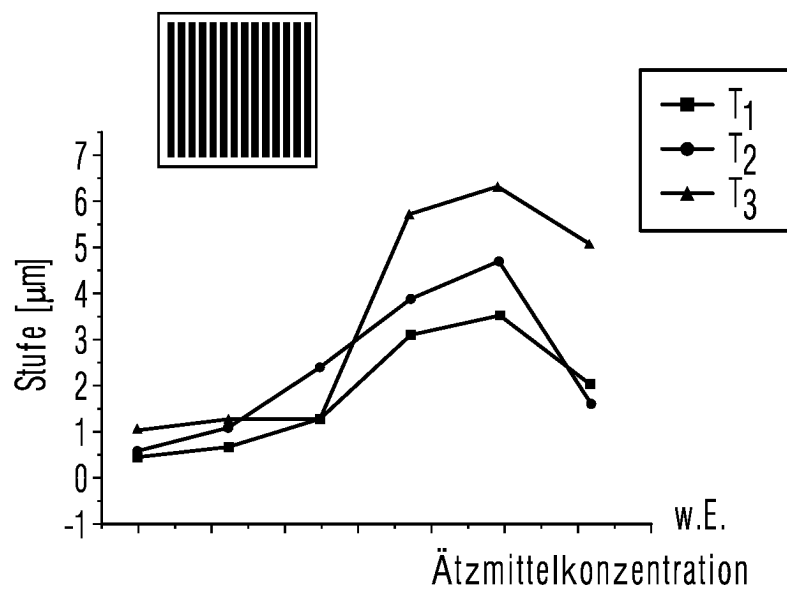


FIG 4A

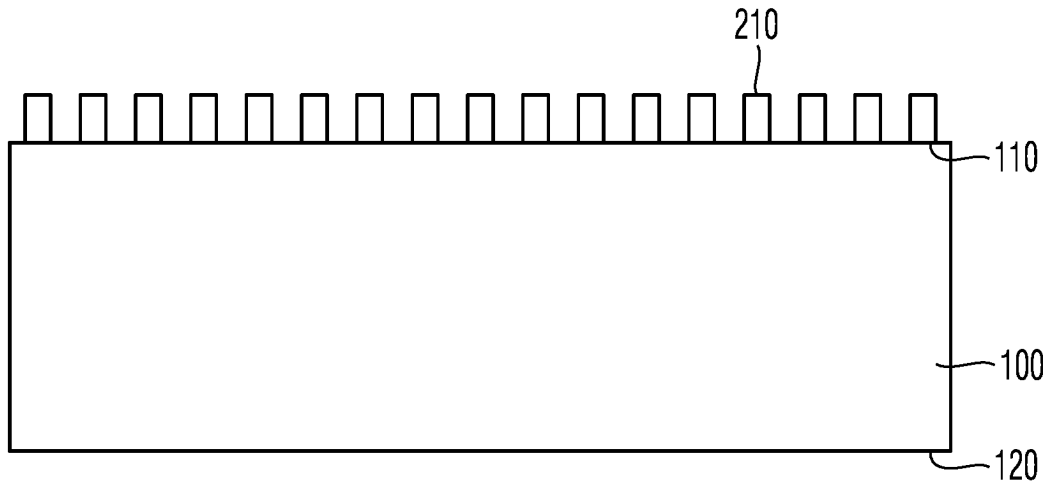


FIG 4B

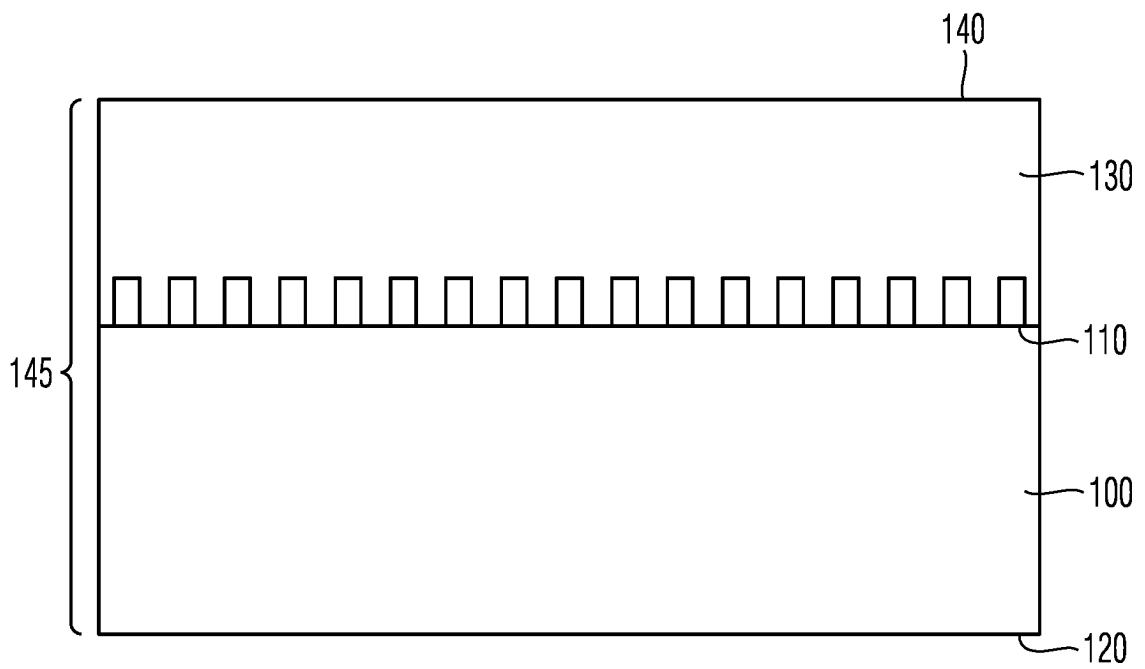


FIG 4C

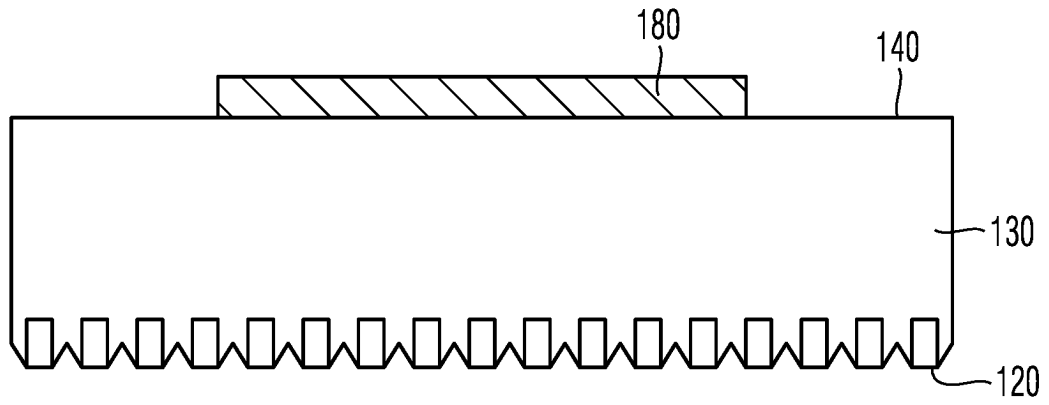


FIG 4D

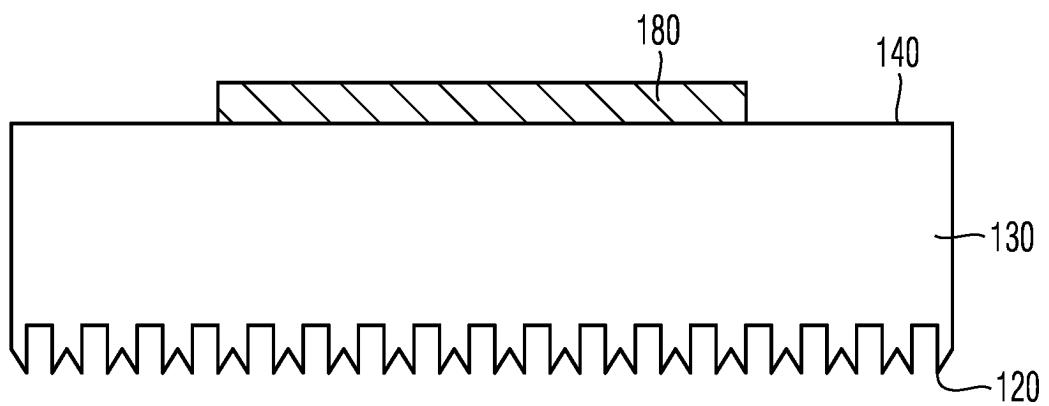


FIG 5A

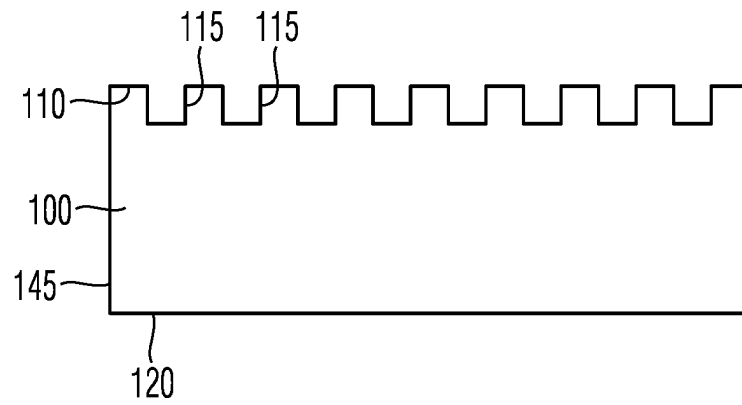


FIG 5B

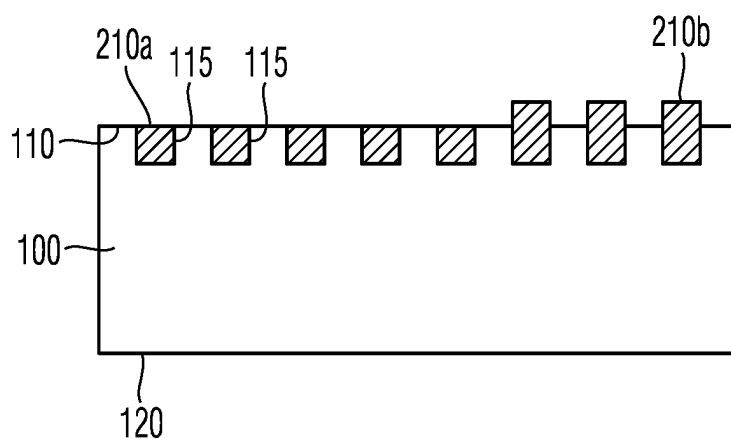


FIG 5C

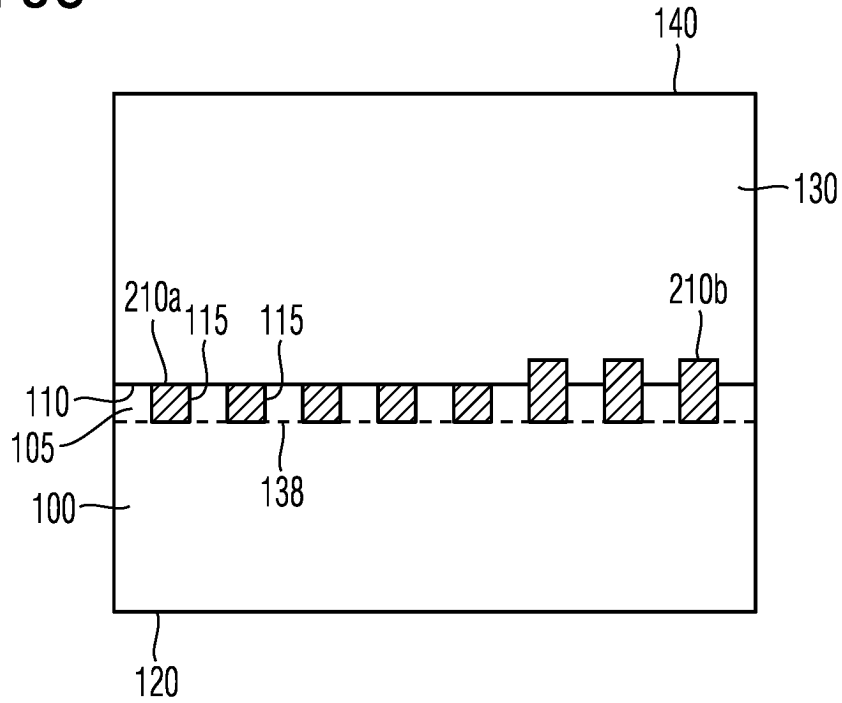


FIG 5D

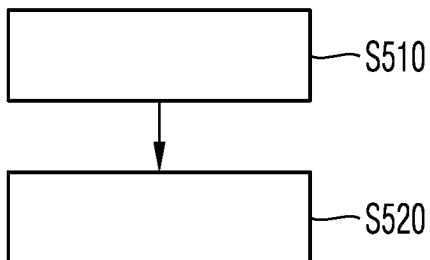


FIG 5E

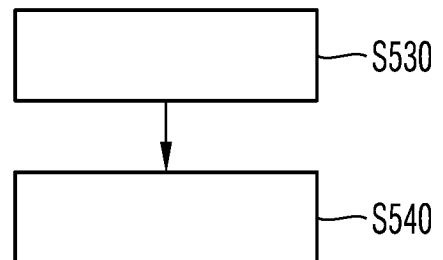


FIG 6A

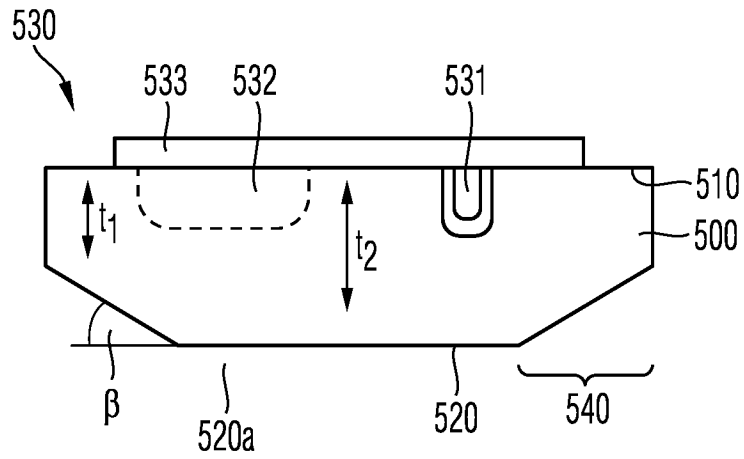


FIG 6B

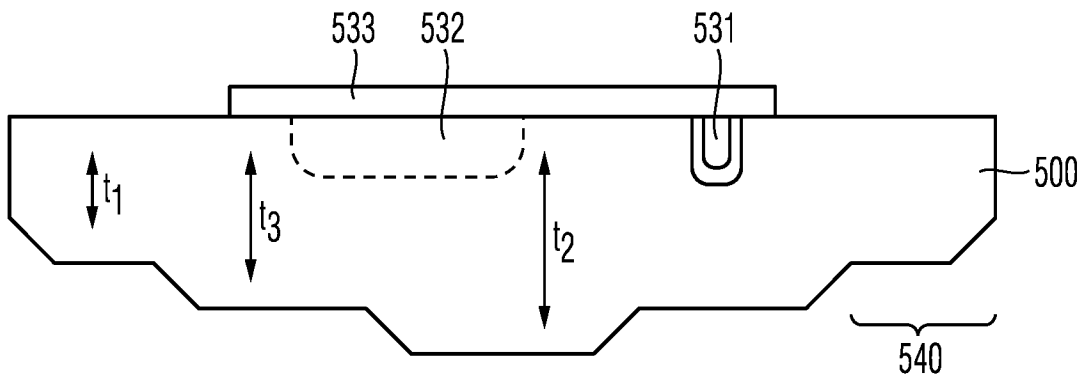


FIG 6C

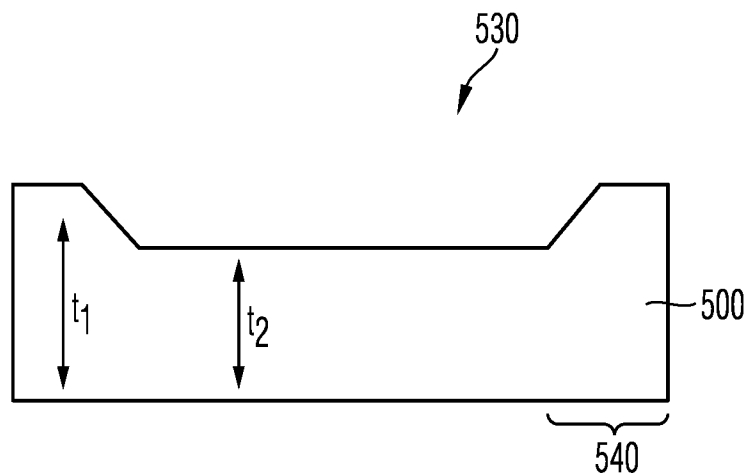




FIG 7A

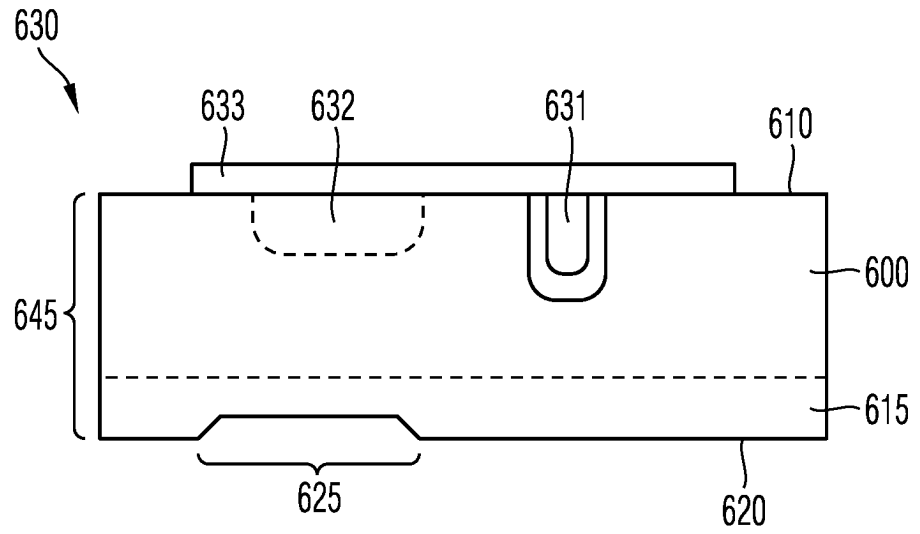


FIG 7B

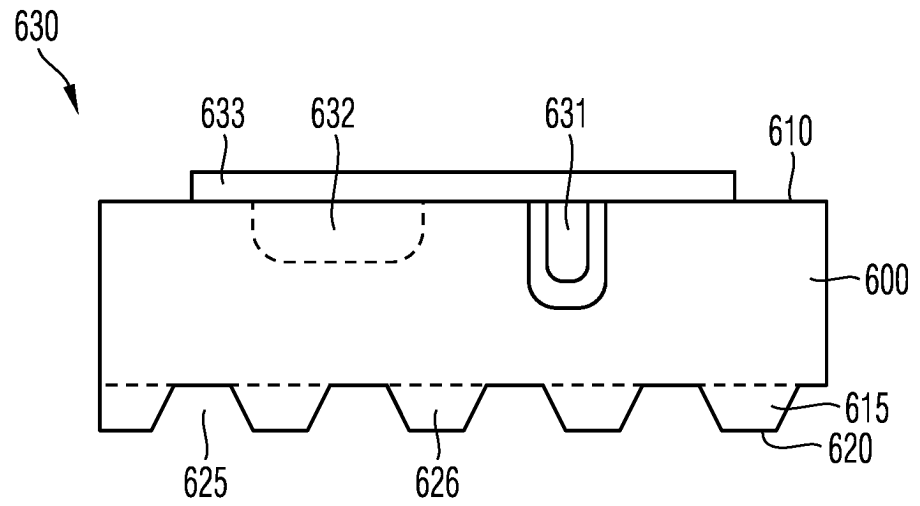


FIG 7C

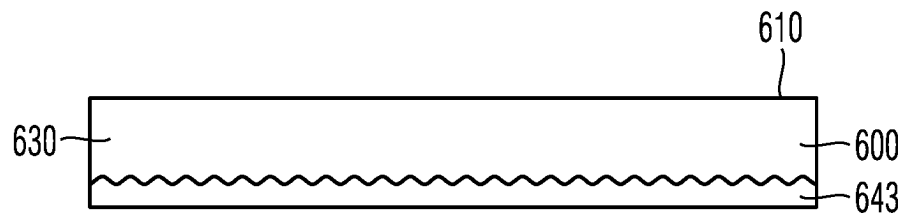


FIG 8A

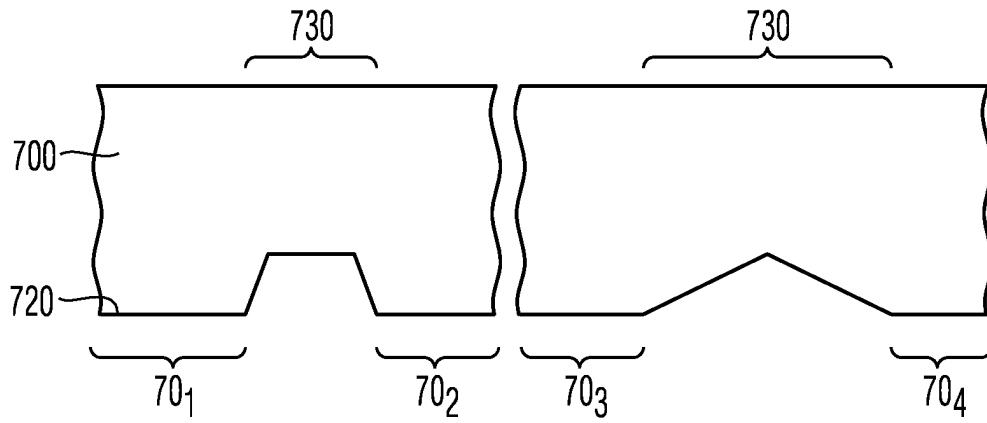


FIG 8B

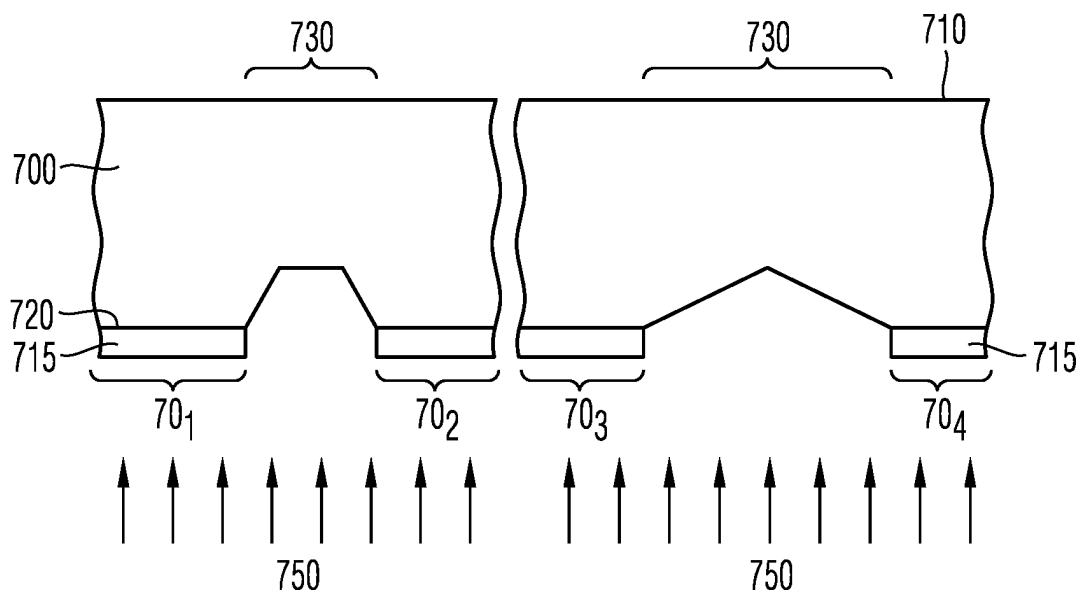


FIG 9A

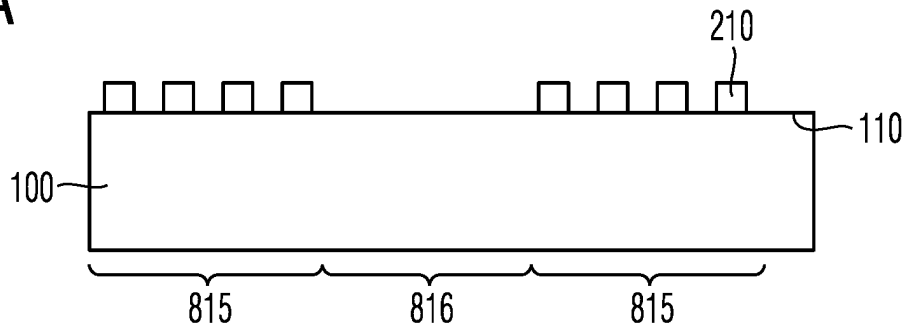


FIG 9B

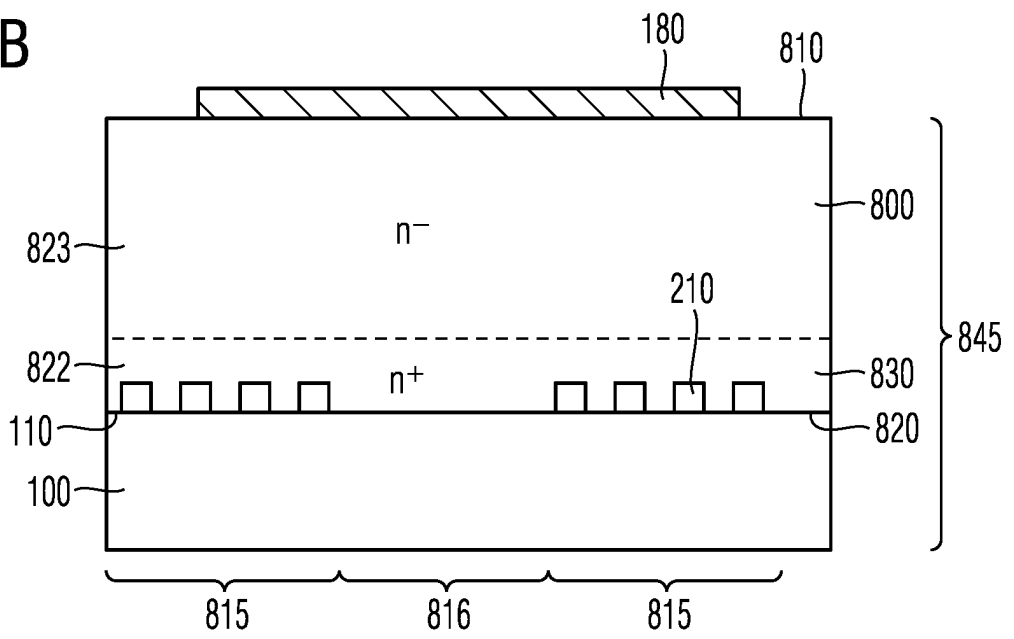


FIG 9C

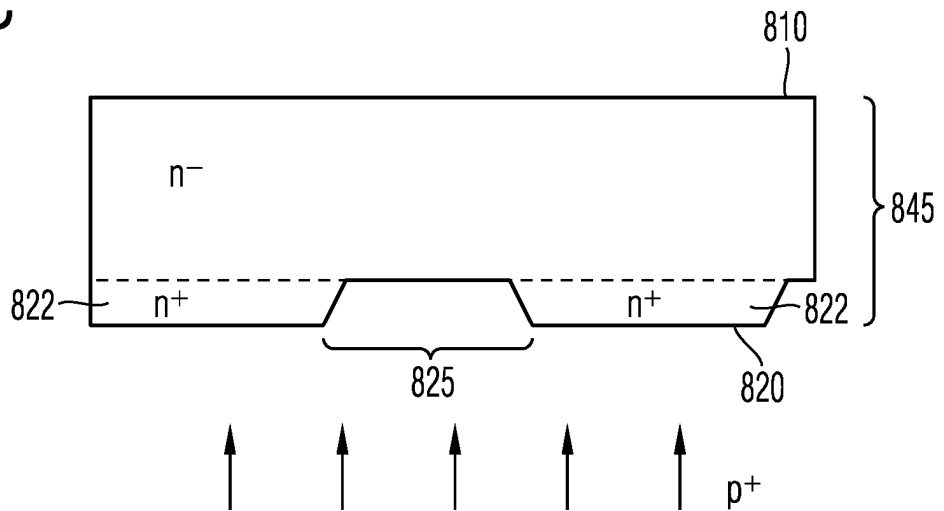


FIG 9D

