



Wirtschaftspatent

Erteilt gemäß § 5 Absatz 1 des Änderungsgesetzes
zum Patentgesetz

ISSN 0433-6461

(11)

208 725

Int.Cl.³ 3(51) H 03 K 19/20
H 03 K 19/017

AMT FUER ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

21)	WP H 03 K/ 2410 783	(22)	25.06.82	(44)	04.04.84
-----	---------------------	------	----------	------	----------

71)	VEB ZFT MIKROELEKTRONIK;DD;
72)	KLEIN, WOLFGANG,DR.-ING. DIPL.-ING.;DD;
73)	siehe (72)
74)	HERBERT FISSLER VEB ZFT MIKROELEKTRONIK 8080 DRESDEN KARL-MARX-STRASSE

54) LOGISCHE VERKNUEPFUNGSSCHALTUNG VOM UND-TYP

(57) Die logische Verknüpfungsschaltung vom UND-Typ dient zur Verarbeitung logischer Signale speziell in integrierten Schaltungen, wenn an die Signallaufdauer für einen Eingang nicht erhöhte Ansprüche gestellt werden. Die Aufgabe besteht darin, den Platzbedarf und den mittleren Stromverbrauch durch Verwendung von Transfertransistoren zu senken. Erfindungsgemäß werden die Eingänge über Transfertransistoren vom Enhancement- sowie vom Depletion-Typ mit dem Ausgang verbunden, wobei das Gate des Depletion-Transistors mit dem Ausgang verbunden ist. Das Gate des Enhancement-Transistors ist mit dem anderen Eingang verbunden.
Fig. 1

Logische Verknüpfungsschaltung vom UND-Typ

Anwendungsgebiet der Erfindung

Die Erfindung betrifft eine in MOS-Technik ausgeführte Schaltung zur logischen Verknüpfung von zwei binären Schaltvariablen. Die Schaltung wird in elektronischen Informationsverarbeitungseinrichtungen, insbesondere in hochintegrierten elektronischen MOS-Schaltkreisen benutzt.

Charakteristik der bekannten technischen Lösungen

Eine bekannte logische Verknüpfungsschaltung vom UND-Typ in MOS-Technik besteht aus zwei hintereinandergeschalteten Negatoren, wobei der erste Negator zwei in Reihe geschaltete Enhancement-Schalttransistoren enthält. Die Gate der Schalttransistoren sind dabei mit den Eingangssignalen belegt.

Insgesamt enthält die Schaltung fünf Transistoren. Der mittlere Stromverbrauch beträgt $I_m = I_s$, wobei I_s der Sättigungsstrom eines der beiden Depletion-Lasttransistoren ist.

Weiterhin ist bekannt, zur Vermeidung der Reihenschaltung der Enhancement-Schalttransistoren im ersten Negator, ein NOR-Glied mit negierten Eingängen zu verwenden.

Diese Schaltung enthält sieben Transistoren und der mittlere Stromverbrauch beträgt bei gleicher statistischer Häufigkeit der Eingangsvariablen $I_m = 1,25 I_s$.

Eine weitere Möglichkeit besteht darin, zwei in Reihe geschaltete Enhancement-Schalttransistoren mit der Betriebsspannung U_{CC} und über einen Depletion-Transistor mit Masse zu verbinden.

Hierbei ist nachteilig, daß die Ausgangsspannung die um die Schwellspannung verminderte Betriebsspannung ist und daß die nachfolgenden Stufen über den Depletion-Transistor verzögert entladen werden, was einer schlechten high-low-Flanke entspricht.

Bei den bekannten Schaltungen ist die Signallaufdauer von einem Eingang zum Ausgang gleich und wird durch die Lastkapazitäten am Ausgang und an den übrigen Gate-Source-Knoten der jeweiligen Depletion-Transistoren beeinflusst.

Es gibt Anwendungsfälle, z.B. in taktgesteuerten Schaltungen, bei denen gleiche Signallaufzeit von beiden Eingängen zum Ausgang nicht gefordert wird.

Ziel der Erfindung

Das Ziel der Erfindung besteht darin, eine logische Verknüpfungsschaltung vom UND-Typ für zwei Variable zu schaffen, die bei geringer Signallaufdauer mindestens von einem der beiden Eingänge (E1) zum Ausgang mit weniger Elementen gleichzeitig eine geringere mittlere Stromaufnahme besitzt.

Darlegung des Wesens der Erfindung

Die Aufgabe der Erfindung besteht darin, mittels Transfertransistoren eine logische Verknüpfungsschaltung vom UND-Typ zu schaffen, die mit weniger Elementen eine geringere mittlere Stromaufnahme besitzt.

Merkmale der Erfindung

Die logische Verknüpfungsschaltung vom UND-Typ besitzt zwei Eingänge und ist einstufig.

Erfindungsgemäß ist der erste Eingang E1 über einen ersten Transfertransistor vom Enhancement-Typ und der zweite Eingang E2 über einen zweiten Transfertransistor vom Depletion-Typ mit dem Ausgang verbunden. Dabei ist das Gate des ersten Transfertransistors an den zweiten Eingang E2 und das Gate des zweiten Transfertransistors an dem Ausgang A angeschlossen.

Beträgt das Potential an E2 entsprechend der logischen Größe "0" etwa 0 Volt, ist der Transistor 1 gesperrt, d.h. das Signal an E1 hat keinerlei Einfluß. Am Ausgang A stellt sich ein Potential ein, das gleich dem Potential an E2 ist, also etwa 0 Volt.

Falls am Ausgang A eine Kapazität gegenüber dem Bezugspotential vorhanden ist und diese aufgeladen war, stellt sich das Potential von 0 Volt am Ausgang A erst allmählich ein, indem sich die Kapazität über den zweiten Transfertransistor entlädt.

Nimmt das Potential an E2 einen Betrag an, der der logischen Größe "1" zugeordnet ist, so ist der erste Transfertransistor stromdurchlässig. Sein Leitwert ist dabei wesentlich größer als der des zweiten Transfertransistors. Dadurch nimmt das Potential am Ausgang A etwa den gleichen Wert an wie am Eingang E1.

Allerdings sperrt der erste Transfertransistor wieder, sobald das Potential am Ausgang A größer wird als am Eingang E2, vermindert um die Schwellspannung des Enhancement-Transistors. Dann sorgt der zweite Transfertransistor für die restliche Erhöhung des Ausgangspotentials auf den vollen Wert des Eingangspotentials am Eingang E2.

Die Signallaufzeit vom Eingang E1 zum Ausgang A beträgt

$$t_v = \frac{C}{\beta} F (U_1; U_2; U_T; U_{\text{Schalt}}).$$

Dabei ist C die Lastkapazität am Ausgang A und β die Steilheit des ersten Transfertransistors. Der Faktor F wird von den Spannungswerten an den Eingängen E1; E2 ($U_1; U_2$), von der Enhancement-Schwellschwelle (U_T) und von der definierten Schaltschwelle (U_{Schalt}), die die logischen Zustände 0 und 1 voneinander trennt, bestimmt. Dieser Faktor ist für verschiedene Betriebsfälle unterschiedlich.

Wesentlich ist, daß diese Signallaufzeit nicht in mathematischem Zusammenhang mit der statischen Stromaufnahme steht. Folglich erreicht man durch die Wahl eines geeigneten β -Wertes des ersten Transfertransistors die gewünschte niedrige Signallaufzeit vom Eingang E1 nach A.

Demgegenüber ist die Signallaufzeit vom Eingang E2 nach dem Ausgang A bedeutend länger.

Die erfindungsgemäße UND-Schaltung verbraucht nur in einem Betriebsfall Strom, nämlich, wenn der Eingang E1 auf "low" und der Eingang E2 auf "high" liegen.

Da dieser Betriebsfall einer von vier möglichen ist, beträgt bei gleicher statistischer Häufigkeit der mittlere Stromverbrauch $I_m \approx 0,25 I_s$.

Ausführungsbeispiel

Die Erfindung ist in einem Ausführungsbeispiel und anhand einer Zeichnung näher erläutert.

Dabei zeigt Fig. 1 die erfindungsgemäße Verknüpfungsschaltung.

Die erfindungsgemäße logische Verknüpfungsschaltung vom UND-Typ besteht aus einem ersten und einem zweiten Transfertransistor 1; 2. Der Eingang E1 ist über den ersten Transfertransistor 1 und der Eingang E2 über den zweiten Transfertransistor 2 mit dem Ausgang A verbunden, dem eine die folgende Schaltung simulierende Kapazität C nachgeschaltet ist. Das Gate des Transfertransistors 1 ist mit dem Eingang E2 und das Gate des Transfertransistors 2 ist mit dem Ausgang A verbunden.

Erfindungsanspruch

Logische Verknüpfungsschaltung vom UND-Typ mit zwei Eingängen, gekennzeichnet dadurch, daß der erste Eingang (E1) über einen ersten Transfertransistor (1) vom Enhancement-Typ und der zweite Eingang (E2) über einen zweiten Transfertransistor (2) vom Depletion-Typ mit dem Ausgang (A) verbunden ist, wobei das Gate des ersten Transfertransistors (1) an den zweiten Eingang (E2) und das Gate des zweiten Transfertransistors (2) an den Ausgang (A) angeschlossen ist.

Hierzu 1 Blatt Zeichnungen

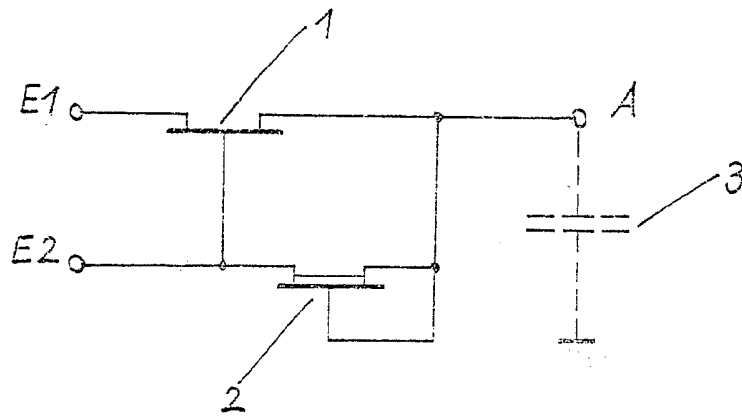


Fig. 1

F