



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2012년11월15일  
 (11) 등록번호 10-1202124  
 (24) 등록일자 2012년11월09일

(51) 국제특허분류(Int. Cl.)  
**H03L 7/183** (2006.01) **H03M 3/02** (2006.01)  
 (21) 출원번호 10-2010-0077045  
 (22) 출원일자 2010년08월10일  
 심사청구일자 2010년08월10일  
 (65) 공개번호 10-2012-0014834  
 (43) 공개일자 2012년02월20일  
 (56) 선행기술조사문헌  
 KR1020020028418 A  
 KR1020060067189 A  
 US20080303566 A1

(73) 특허권자  
**인하대학교 산학협력단**  
 인천광역시 남구 인하로 100, 인하대학교 (용현동)  
 (72) 발명자  
**강진구**  
 서울특별시 서초구 잠원로12길 5, 한신 18차 33  
 5동 201호 (잠원동)  
**김상호**  
 경기도 군포시 산본로386번길 91, 301호 (산본동)  
 (74) 대리인  
**김건우**

전체 청구항 수 : 총 4 항

심사관 : 김남인

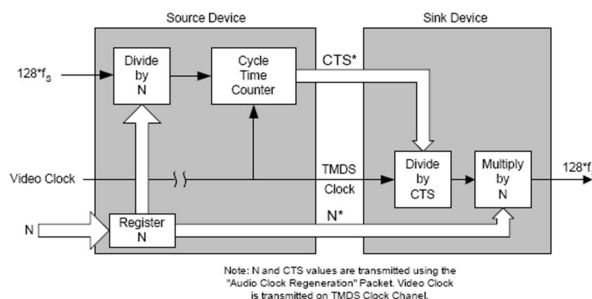
(54) 발명의 명칭 **2차 시그마-델타 모듈레이터를 이용한 오디오 클록 생성기**

**(57) 요약**

본 발명은 2차 시그마-델타 모듈레이터를 이용한 오디오 클록 생성기에 관한 것으로서, 보다 구체적으로는 입력된 비디오 클록(video clock)을 비디오 클록 지연비(CTS)로 나눔으로써, 상기 비디오 클록 지연비만큼 지연된 비디오 클록을 출력하는 CTS 분주기; N 분주기에서 연산되는 값을 고려하여 상기 지연된 비디오 클록의 위상을 감지하여 출력하는 위상검출기(Phase Frequency Detector, PFD); 상기 위상검출기의 Up/Down 신호를 전류 신호로 변환하여 저역통과필터에 공급하는 전하 펌프(charge pump, CP); 상기 위상검출기에 의하여 감지된 위상의 저주파 성분만을 걸러내는 저역통과필터(Low Pass Filter); 상기 감지된 주파수를 사용하여 오디오 클록을 출력하는 전압제어발진기(Voltage Controlled Oscillator, VCO); 상기 전압제어발진기가 출력하는 파형을 비디오 클록 속도 증가비(N)로 나눈 클록을 상기 위상검출기에 인가하는 N 분주기를 포함하되, 상기 CTS 분주기는, 비디오 클록 지연비를 2진수(binary number)로 변환한 후, 제1 임계값으로 나눔으로써 정수 부분과 소수 부분을 분리하고, 상기 정수 부분을 제어 신호로 사용하는 멀티-모듈러스 분주기(multi-modulus divider); 및 상기 소수 부분을 제어 신호로 사용하는 2차 시그마-델타 모듈레이터(2nd Sigma-Delta Modulator)를 포함하며, 상기 N 분주기는, 비디오 클록 속도 증가비를 2진수(binary number)로 변환한 후, 제2 임계값으로 나눔으로써 정수 부분과 소수 부분을 분리하고, 상기 정수 부분을 제어 신호로 사용하는 멀티-모듈러스 분주기(multi-modulus divider); 및 상기 소수 부분을 제어 신호로 사용하는 2차 시그마-델타 모듈레이터(2nd Sigma-Delta Modulator)를 포함하는 것을 그 구성상의 특징으로 한다.

본 발명에서 제안하고 있는 2차 시그마-델타 모듈레이터를 이용한 오디오 클록 생성기에 따르면, 분수-N 분주기에 2차 시그마-델타 모듈레이터를 이용함으로써, 비디오 클록 속도 증가비(N)와 비디오 클록 지연비(CTS)를 정수 부분과 소수 부분으로 각각 분리하고, 정수 부분을 멀티-모듈러스 분주기의 제어 값으로 사용하며, 소수 부분을 2차 시그마-델타 모듈레이터의 어큐뮬레이터의 입력 값으로 사용하여 오디오 클록 생성 속도 및 효율을 향상시킬 수 있다.

**대표도 - 도1**



**특허청구의 범위**

**청구항 1**

오디오 클록 생성기에 있어서,

입력된 비디오 클록(tdms clock)을 비디오 클록 지연비(CTS)로 나눔으로써, 상기 비디오 클록 지연비만큼 지연된 비디오 클록을 출력하는 CTS 분주기;

N 분주기에서 연산되는 값을 고려하여 상기 지연된 비디오 클록의 위상을 감지하여 출력하는 위상검출기(Phase Frequency Detector, PFD);

상기 위상검출기의 Up/Down 신호를 전류 신호로 변환하여 저역통과필터에 공급하는 전하 펌프(Charge Pump, CP);

상기 위상검출기에 의하여 감지된 위상의 저주파 성분만을 걸러내는 저역통과필터(Low Pass Filter);

감지된 주파수를 사용하여 오디오 클록을 출력하는 전압제어발진기(Voltage Controlled Oscillator, VCO);

상기 전압제어발진기가 출력하는 파형을 비디오 클록 속도 증가비(N)로 나눈 클록을 상기 위상검출기에 인가하는 N 분주기를 포함하되,

상기 CTS 분주기는,

비디오 클록 지연비를 2진수(binary number)로 변환한 후, 제1 임계값으로 나눔으로써 정수 부분과 소수 부분을 분리하고,

상기 정수 부분을 제어 신호로 사용하는 멀티-모듈러스 분주기(multi-modulus divider); 및

상기 소수 부분을 제어 신호로 사용하는 2차 시그마-델타 모듈레이터(2nd Sigma-Delta Modulator)를 포함하며,

상기 N 분주기는,

비디오 클록 속도 증가비를 2진수(binary number)로 변환한 후, 제2 임계값으로 나눔으로써 정수 부분과 소수 부분을 분리하고,

상기 정수 부분을 제어 신호로 사용하는 멀티-모듈러스 분주기(multi-modulus divider); 및

상기 소수 부분을 제어 신호로 사용하는 2차 시그마-델타 모듈레이터(2nd Sigma-Delta Modulator)를 포함하는 것을 특징으로 하는 2차 시그마-델타 모듈레이터를 이용한 오디오 클록 생성기.

**청구항 2**

제1항에 있어서,

상기 제1 임계값은,  $2^{13}$ 이며,

상기 제2 임계값은,  $2^{10}$  인 것을 특징으로 하는 2차 시그마-델타 모듈레이터를 이용한 오디오 클록 생성기

**청구항 3**

제2항에 있어서,

상기 CTS 분주기의 멀티-모듈러스 분주기 및 상기 N 분주기의 멀티-모듈러스 분주기의 제어 신호로 사용되는 정수 부분은, 6 비트(bit)이며,

상기 CTS 분주기의 2차 시그마-델타 모듈레이터 및 상기 N 분주기의 2차 시그마-델타 모듈레이터의 제어 신호로 사용되는 소수 부분은, 13 비트인 것을 특징으로 하는 2차 시그마-델타 모듈레이터를 이용한 오디오 클록

생성기.

**청구항 4**

제3항에 있어서,

상기 비디오 클럭 지연비는, 2진수 기준으로 15 내지 19 비트이고,

상기 비디오 클럭 속도 증가비는, 2진수 기준으로 13 내지 16 비트이며,

상기 N 분주기의 2차 시그마-델타 모듈레이터는, 상기 2진수로 변환된 비디오 클럭 속도 증가비의 소수 부분의 최하위 3비트에 모두 0을 대입시켜 13 비트로 변환하여 사용하는 것을 특징으로 하는 2차 시그마-델타 모듈레이터를 이용한 오디오 클럭 생성기.

**명세서**

**기술분야**

[0001] 본 발명은 2차 시그마-델타 모듈레이터를 이용한 오디오 클럭 생성기에 관한 것으로서, 특히 시그마-델타 모듈레이터에 의하여 비디오 클럭 속도 증가비(N)와 비디오 클럭 지연비(CTS)를 정수 부분과 소수 부분으로 분리하여 각각 제어 값 또는 입력 값으로 사용함으로써, 오디오 클럭 생성의 효율을 높일 수 있는 2차 시그마-델타 모듈레이터를 이용한 오디오 클럭 생성기에 관한 것이다.

**배경기술**

[0002] HDMI(High-Definition Multimedia Interface)는 종래의 디지털 비디오 전송 규격에 디지털 오디오 정보를 추가한 디지털 멀티미디어 인터페이스 중 하나로서, HDMI 형식으로 데이터를 전송할 경우 비디오 화질과 오디오의 음질 저하가 없다.

[0003] 또한, HDMI 형식으로 데이터를 전송할 경우 HDCP(High-bandwidth Digital Content Protection) 알고리즘을 적용하는데, 그럴 경우 상기 형식의 데이터는 불법 복제에 강인한 장점을 가지고 있어서 차세대 디지털 멀티미디어 전송규격으로 각광받고 있다.

[0004] 그러나 HDMI 형식의 데이터를 전송할 경우 오디오 클럭은 직접 전송되지 않으므로 HDMI 형식의 데이터를 수신할 수 있는 장치에서 비디오 클럭을 이용하여 오디오 클럭을 생성해야 한다는 문제점이 있다. 따라서 종래에는 일반적인 분수 분주기(Fractional Divider)를 이용하는 오디오 클럭 생성기를 사용하여 이러한 문제점을 해결하였으나, 이는 작동 속도가 느리며 효율이 낮다는 문제점이 있다.

**발명의 내용**

**해결하려는 과제**

[0005] 본 발명은 기존에 제안된 방법들의 상기와 같은 문제점들을 해결하기 위해 제안된 것으로서, 분수-N 분주기에 2차 시그마-델타 모듈레이터를 이용함으로써, 비디오 클럭 속도 증가비(N)와 비디오 클럭 지연비(CTS)를 정수 부분과 소수 부분으로 각각 분리하고, 정수 부분을 멀티-모듈러스 분주기의 제어 값으로 사용하며, 소수 부분을 2차 시그마-델타 모듈레이터의 어큐뮬레이터의 입력 값으로 사용하여 오디오 클럭 생성 속도 및 효율을 향상시킨 2차 시그마-델타 모듈레이터를 이용한 오디오 클럭 생성기를 제공하는 것을 그 목적으로 한다.

**과제의 해결 수단**

[0006] 상기한 목적을 달성하기 위한 본 발명의 특징에 따른, 2차 시그마-델타 모듈레이터를 이용한 오디오 클럭 생성기는,

[0007] 입력된 비디오 클럭(tdms clock)을 비디오 클럭 지연비(CTS)로 나눔으로써, 상기 비디오 클럭 지연비만큼 지연된 비디오 클럭을 출력하는 CTS 분주기;

- [0008] N 분주기에서 연산되는 값을 고려하여 상기 지연된 비디오 클록의 위상을 감지하여 출력하는 위상검출기 (Phase Frequency Detector, PFD);
- [0009] 상기 위상검출기의 Up/Down 신호를 전류 신호로 변환하여 저역통과필터에 공급하는 전하 펌프(Charge Pump, CP);
- [0010] 상기 위상검출기에 의하여 감지된 위상의 저주파 성분만을 걸러내는 저역통과필터(Low Pass Filter);
- [0011] 상기 감지된 주파수를 사용하여 오디오 클록을 출력하는 전압제어발진기(Voltage Controlled Oscillator, VCO); 및
- [0012] 상기 전압제어발진기가 출력하는 파형을 비디오 클록 속도 증가비(N)로 나눈 클록을 상기 위상검출기에 인가 하는 N 분주기를 포함하되,
- [0013] 상기 CTS 분주기는,
- [0014] 비디오 클록 지연비를 2진수(binary number)로 변환한 후, 제1 임계값으로 나눔으로써 정수 부분과 소수 부분을 분리하고,
- [0015] 상기 정수 부분을 제어 신호로 사용하는 멀티-모듈러스 분주기(multi-modulus divider); 및
- [0016] 상기 소수 부분을 제어 신호로 사용하는 2차 시그마-델타 모듈레이터(2nd Sigma-Delta Modulator)를 포함하며,
- [0017] 상기 N 분주기는,
- [0018] 비디오 클록 속도 증가비를 2진수(binary number)로 변환한 후, 제2 임계값으로 나눔으로써 정수 부분과 소수 부분을 분리하고,
- [0019] 상기 정수 부분을 제어 신호로 사용하는 멀티-모듈러스 분주기(multi-modulus divider); 및
- [0020] 상기 소수 부분을 제어 신호로 사용하는 2차 시그마-델타 모듈레이터(2nd Sigma-Delta Modulator)를 포함하는 것을 그 구성상의 특징으로 한다.
- [0021] 바람직하게는,
- [0022] 상기 제1 임계값은,  $2^{13}$ 이며,
- [0023] 상기 제2 임계값은,  $2^{10}$ 일 수 있다.
- [0024] 더욱 바람직하게는,
- [0025] 상기 CTS 분주기의 멀티-모듈러스 분주기 및 상기 N 분주기의 멀티-모듈러스 분주기의 제어 신호로 사용되는 정수 부분은, 6비트이며,
- [0026] 상기 CTS 분주기의 2차 시그마-델타 모듈레이터 및 상기 N 분주기의 2차 시그마-델타 모듈레이터의 제어 신호로 사용되는 소수 부분은, 13비트일 수 있다.
- [0027] 더더욱 바람직하게는,
- [0028] 상기 비디오 클록 지연비는, 2진수 기준으로 15 내지 19비트이고,
- [0029] 상기 비디오 클록 속도 증가비는, 2진수 기준으로 13 내지 16비트이며,
- [0030] 상기 N 분주기의 2차 시그마-델타 모듈레이터는, 상기 2진수로 변환된 비디오 클록 속도 증가비의 소수 부분의 최하위 3비트에 모두 0을 대입시켜 13비트로 변환하여 사용할 수 있다.

**발명의 효과**

- [0031] 본 발명에서 제안하고 있는 2차 시그마-델타 모듈레이터를 이용한 오디오 클록 생성기에 따르면, 분수-N 분주

기에 2차 시그마-델타 모듈레이터를 이용함으로써, 비디오 클럭 속도 증가비(N)와 비디오 클럭 지연비(CTS)를 정수 부분과 소수 부분으로 각각 분리하고, 정수 부분을 멀티-모듈러스 분주기의 제어 값으로 사용하며, 소수 부분을 2차 시그마-델타 모듈레이터의 어큐플레이터의 입력 값으로 사용하여 오디오 클럭 생성 속도 및 효율을 향상시킬 수 있다.

**도면의 간단한 설명**

- [0032] 도 1은 종래의 오디오 클럭 생성기의 블록도.
- 도 2는 종래의 싱크 장치의 블록도.
- 도 3은 본 발명의 일실시예에 따른 2차 시그마-델타 모듈레이터를 이용한 오디오 클럭 생성기(off-chip 구조)의 블록도.
- 도 4는 본 발명의 일실시예에 따른 2차 시그마-델타 모듈레이터를 이용한 오디오 클럭 생성기(on-chip 구조)의 블록도.
- 도 5는 본 발명의 일실시예에 따른 2차 시그마-델타 모듈레이터를 이용한 오디오 클럭 생성기의 대역폭에 영향을 미치는 요소를 도시한 도면.
- 도 6은 본 발명의 일실시예에 따른 2차 시그마-델타 모듈레이터를 이용한 오디오 클럭 생성기(off-chip 구조)의 저역통과필터의 회로도.
- 도 7은 본 발명의 일실시예에 따른 2차 시그마-델타 모듈레이터를 이용한 오디오 클럭 생성기(on-chip 구조)의 저역통과필터의 회로도.
- 도 8은 본 발명의 일실시예에 따른 2차 시그마-델타 모듈레이터를 이용한 오디오 클럭 생성기에 사용될 수 있는 디지털 어큐플레이터의 회로도.
- 도 9는 본 발명의 일실시예에 따른 2차 시그마-델타 모듈레이터를 이용한 오디오 클럭 생성기의 2차 시그마-델타 모듈레이터의 회로도.
- 도 10은 본 발명의 일실시예에 따른 2차 시그마-델타 모듈레이터를 이용한 오디오 클럭 생성기의 2차 시그마-델타 모듈레이터의 CTS 분주기의 블록도.

**발명을 실시하기 위한 구체적인 내용**

[0033] 이하에서는 첨부된 도면을 참조하여 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있도록 바람직한 실시예를 상세히 설명한다. 다만, 본 발명의 바람직한 실시예를 상세하게 설명함에 있어, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략한다. 또한, 유사한 기능 및 작용을 하는 부분에 대해서는 도면 전체에 걸쳐 동일 또는 유사한 부호를 사용한다.

[0034] 덧붙여, 명세서 전체에서, 어떤 부분이 다른 부분과 ‘연결’되어 있다고 할 때, 이는 ‘직접적으로 연결’되어 있는 경우뿐만 아니라, 그 중간에 다른 소자를 사이에 두고 ‘간접적으로 연결’되어 있는 경우도 포함한다. 또한, 어떤 구성요소를 ‘포함’한다는 것은, 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있다는 것을 의미한다.

[0035] 도 1은 종래의 오디오 클럭 생성기의 블록도이다. 도 1에 도시된 바와 같이, 종래의 오디오 클럭 생성기는, 소스 장치(Source Device)와 싱크 장치(Sink Device)를 포함하여 구성된다. 소스 장치는, TMDS(Transition Minimized Differential Signaling, 변화 최소화 차분 신호) 클럭과 오디오 참조 클럭(audio reference clock( $128 \times \text{audio sample rate}[f_s]$ )) 사이의 분수 관계를 결정하고, HDMI link를 통하여 싱크 장치에 분자(numerator)와 분모(denominator)를 전송한다. 싱크 장치는, 클럭 분주기(clock divider)와 클럭 배율기(clock multiplier)를 사용하여 TMDS 클럭으로부터 오디오 클럭을 재생성한다. 오디오 클럭( $f_s$ )과 비디오 클럭( $f_{\text{TMDS\_clk}}$ ) 간의 관계는 다음 수학적 식 1과 같다.

**수학식 1**

$$128 * f_s = f_{TMDs\_clk} \times N / CTS$$

[0036]

[0037] 여기서,  $f_s$ 는 HDMI 수신 장치의 오디오 클록의 주파수,  $f_{TMDs\_clk}$ 은 비디오 클록의 주파수, N은 비디오 클록 속도 증가비, CTS(Cycle Time Stamp)는 비디오 클록 지연비를 나타낸다. 상기 수학식 1을 통해, 오디오 클록은 HDMI 수신 장치에서 비디오 클록으로부터 생성될 수 있다.

[0038]

도 2는 종래의 싱크 장치의 블록도이다. 도 2에 도시된 바와 같이, 종래의 싱크 장치는, 비디오 클록, 비디오 클록 지연비(이하 'CTS'라 한다.), 및 비디오 클록 속도 증가비(이하 'N'이라 한다.)를 입력받아 분자 N 값(numerator N value)을 결정한다. 이때 일반적으로 인수 N(factor N)을 사용하여  $128 * f_s$ 보다 느린 중개 클록(Intermediate clock)을 생성하는 분주기에 값 N(value N)이 사용된다. 이후 싱크 장치는 각  $128 * f_s / N$  클록마다 TMDs 클록의 개수를 카운트하여 분모 CTS(denominator CTS(Cycle Time Stamp))를 결정한다.

[0039]

만약 두 클록 사이의 관계가 일정한 분수 관계이고, 정확한 동시성을 가지면, CTS는 상수 값이 된다. 그러나 두 클록이 비동시성이거나 두 클록 사이에 일정한 양의 지터(jitter)가 존재한다면, CTS 값은 2~3개의 상이한 값이 번갈아 생성될 것이다. 이때 보다 큰 지터에 의하여 보다 큰 변동(variation)이 가능하다.

[0040]

이와 같은 종래의 오디오 클록 생성기는, 픽셀 클록(pixel clock)이 아닌 TMDs 클록을 사용한다. Normal 24-비트 픽셀을 전송할 때 픽셀 클록과 TMDs 클록은 동등하나, Deep Color mode를 전송할 때 오디오 클록 생성기를 사용하는 TMDs 클록은, 픽셀 클록보다 더욱 빠른 rate를 가질 것이다.

[0041]

이때 N은, 유리수이며, 다음 수학식 2 또는 수학식 3을 만족하도록 한다. 또한 오디오 클록과 비디오 클록이 서로 연접(Coherent)할 수 있도록 표 1 내지 표 3의 값을 사용할 수 있다.

**수학식 2**

$$128 * f_s / 1500Hz \leq N \leq 128 * f_s / 300Hz$$

[0042]

**수학식 3**

$$128 * f_s / 1000Hz \text{ approximately equals } N$$

[0043]

표 1

TMDS Clock (MHz)	32 kHz	
	N	CTS
25.2 / 1.001	4576	28125
25.2	4096	25200
27	4096	27000
27 * 1.001	4096	27027
54	4096	54000
54 * 1.001	4096	54054
74.25 / 1.001	11648	210937-210938*
74.25	4096	74250
148.5 / 1.001	11648	421875
148.5	4096	148500
Other	4096	Measured

\* Note: This value will alternate because of restriction on N.

[0044]

표 2

TMDS Clock (MHz)	44.1 kHz		88.2 kHz		176.4 kHz	
	N	CTS	N	CTS	N	CTS
25.2 / 1.001	7007	31250	14014	31250	28028	31250
25.2	6272	28000	12544	28000	25088	28000
27	6272	30000	12544	30000	25088	30000
27 * 1.001	6272	30030	12544	30030	25088	30030
54	6272	60000	12544	60000	25088	60000
54 * 1.001	6272	60060	12544	60060	25088	60060
74.25 / 1.001	17836	234375	35672	234375	71344	234375
74.25	6272	82500	12544	82500	25088	82500
148.5 / 1.001	8918	234375	17836	234375	35672	234375
148.5	6272	165000	12544	165000	25088	165000
Other	6272	measured	12544	measured	25088	measured

[0045]

표 3

TMDS Clock (MHz)	48 kHz		96 kHz		192 kHz	
	N	CTS	N	CTS	N	CTS
25.2 / 1.001	6864	28125	13728	28125	27456	28125
25.2	6144	25200	12288	25200	24576	25200
27	6144	27000	12288	27000	24576	27000
27 * 1.001	6144	27027	12288	27027	24576	27027
54	6144	54000	12288	54000	24576	54000
54 * 1.001	6144	54054	12288	54054	24576	54054
74.25 / 1.001	11648	140625	23296	140625	46592	140625
74.25	6144	74250	12288	74250	24576	74250
148.5 / 1.001	5824	140625	11648	140625	23296	140625
148.5	6144	148500	12288	148500	24576	148500
Other	6144	measured	12288	measured	24576	measured

[0046]

[0047]

도 3은 본 발명의 일실시예에 따른 2차 시그마-델타 모듈레이터를 이용한 오디오 클록 생성기(off-chip 구조)의 블록도이며, 도 4는 본 발명의 일실시예에 따른 2차 시그마-델타 모듈레이터를 이용한 오디오 클록 생성기(on-chip 구조)의 블록도이다. 도 3 및 도 4에 도시된 바와 같이, 본 발명의 일실시예에 따른 2차 시그마-델타 모듈레이터를 이용한 오디오 클록 생성기는, CTS 분주기, 위상검출기(Phase Frequency Detector, PFD), 전하펌프(Charge Pump, CP), 저역통과필터(Low Pass Filter), 전압제어발진기(Voltage Controlled Oscillator, VCO), N 분주기를 포함하여 구성될 수 있다.

[0048]

도 5는 본 발명의 일실시예에 따른 2차 시그마-델타 모듈레이터를 이용한 오디오 클록 생성기의 대역폭에 영향을 미치는 요소를 도시한 도면이다. 도 5에 도시된 바와 같이, 본 발명의 일실시예에 따른 2차 시그마-델타 모듈레이터를 이용한 오디오 클록 생성기의 대역폭은 참조 주파수(Reference Frequency)의 최소 1/10보다 작게 하여야 한다. 따라서 대역폭을 증가시키기 위해서는 우선적으로 참조 주파수를 증가시켜야 하므로, 수학식 4 및 수학식 5에 따라 참조 주파수를 계산할 수 있다. 이때 수학식 4는 Off-chip 구조를 표현하는 식이며, 수학식 5는 On-chip 구조를 표현하는 식이다.

수학식 4

$$128 * f_s = f_{TMDS\_clk} \times \left( \frac{N}{2^{10}} \times 2^{10} \right) \times \left( \frac{CTS}{2^{13}} \right) \times 2^{13}$$

[0049]

수학식 5

$$128 * f_s = \left( f_{TMDS\_clk} \times \left( \frac{N}{2^{10}} \times 2^3 \right) \times \left( \frac{CTS}{2^{13}} \right) \times 2^3 \right) \times \frac{1}{2^3}$$

[0050]

[0051]

도 3의 경우, 위상검출기에 입력되는 참조 클록(Reference clock)은, TMDS 클록을 CTS 값으로 분주함에 따라 1000Hz을 갖기 때문에, 위상고정루프(Phase Locked Loop, PLL)의 대역폭(Bandwidth)이 최소 100Hz 이하로 매우 낮아지게 된다. 따라서 3차 저역통과필터의 캐패시터(Capacitor) 값이 매우 커지게 되어 On-Chip이 불가능하다. 이때 CTS 분주기와 N 분주기가 완전히 정수 타입 분주기(Integer type divider)로 동작하므로, 일반적인 정수 위상 고정 루프(Integer PLL)처럼 동작할 수 있다.



- [0052] 반면에, 도 4의 경우, Off-chip 구조에 비교하여 참조 주파수를  $2^{10}$  배 만큼 증가시킬 수 있도록 하였으며, 따라서 대역폭 또한  $2^{10}$  배 만큼 증가됨에 따라 저역통과필터를 On-chip할 수 있도록 하였다. 이때 CTS 분주기와 N 분주기가 분수-N 분주기(Fraction-N divider)로 동작하기 때문에, 분수-N 위상 고정 루프(Fractional-N PLL)처럼 동작하지만, 참조 클럭(Reference clock)이 흔들림으로 인하여 Off-chip 구조보다 큰 지터(jitter)가 발생될 것이다.
- [0053] CTS 분주기는, 입력된 비디오 클럭(tdms clock)을 CTS로 나눔으로써, CTS만큼 지연된 비디오 클럭을 출력한다. 이때 CTS 분주기는 CTS를 2진수(binary number)로 변환한 후, 제1 임계값으로 나눔으로써 정수 부분과 소수 부분을 분리하고, 정수 부분을 제어 신호로 사용하는 멀티-모듈러스 분주기(multi-modulus divider) 및 소수 부분을 제어 신호로 사용하는 2차 시그마-델타 모듈레이터(2nd Sigma-Delta Modulator)를 포함할 수 있다.
- [0054] 위상검출기는, N 분주기에서 연산되는 값을 고려하여 지연된 비디오 클럭의 위상을 감지하여 출력한다. 위상 검출기는 기준 주파수와 분주된 전압제어발전기의 신호의 위상차를 출력전압으로 내보내며, 이때 이 전압신호는 구현방법에 따라서 직접 저역통과필터로 입력되기도 하고, 전하펌프를 거쳐 전류로 바뀌기도 한다.
- [0055] 위상검출기는 일반적으로 순차논리 회로, 다중위상 오버샘플링 방식의 회로, 상태 회로 등이 많이 이용되었다. 이중 순차논리 회로는 곱셈기 형태의 위상 검출기보다 잡음이 많고, 구형파의 입력을 가져야 한다는 단점이 있으나, 고조파(harmonic) 주파수에 위상동기가 될 수 있는 가능성이 작아 거짓 록킹(False Locking)이 없으며, 록킹 범위(Lock range)가  $-2\pi \sim 2\pi$ 로 넓다는 장점을 가지고 있고, 또한 록킹 속도가 빠른 장점을 지닌다.
- [0056] 또한 위상검출기는, 입력 주파수와 출력 주파수의 위상을 비교하여 그 차이를 전하펌프에 전달함으로써 그에 상응하는 전류가 전하펌프에서 출력되게 하며 입력된 클럭이 되먹임된 신호보다 앞선 경우 그 위상의 차이만큼을 Up 신호로 발생하게 되고, 입력된 클럭이 되먹임된 신호보다 늦는 경우 Down 신호로 그만큼의 차이를 발생하게 된다. 또한 두 신호가 같은 경우 Up, Down 신호 모두 발생하지 않게 된다.
- [0057] 전하펌프는, 위상검출기의 Up/Down 신호를 전류 신호로 변환하여 저역통과필터에 공급한다. 전하펌프는 위상 검출기의 출력으로 만들어진, 시간 정보를 가지고 있는 Up/Down 신호를 저역통과필터 내의 커패시터에 전위 정보로 바꾸어 주는 역할을 한다. Up 신호가 입력으로 들어와서 위쪽 전류 경로가 형성되면 부하 커패시터에 전하가 공급되어 제어전압이 높아진다. 반대로 Down 신호가 가해지면 아래쪽 전류원으로 경로가 열리게 되어 커패시터에 충전된 전하가 빠져나가기 때문에 제어전압이 낮아진다.
- [0058] 도 6은 본 발명의 일실시예에 따른 2차 시그마-델타 모듈레이터를 이용한 오디오 클럭 생성기(off-chip 구조)의 저역통과필터의 회로도이며, 도 7은 본 발명의 일실시예에 따른 2차 시그마-델타 모듈레이터를 이용한 오디오 클럭 생성기(on-chip 구조)의 저역통과필터의 회로도이다. 도 6 및 도 7에 도시된 바와 같이, 본 발명의 일실시예에 따른 2차 시그마-델타 모듈레이터를 이용한 오디오 클럭 생성기의 저역통과필터는, 위상검출기에 의하여 감지된 위상의 저주파 성분만을 걸러낸다. 이때 54nF, 1.2 $\mu$ F, 5.4nF는 On-Chip 시 매우 넓은 chip size를 차지하기 때문에 Off-Chip을 하는 것이 바람직하다.
- [0059] 저역통과필터는 루프필터(Loop Filter, LF)의 일종으로서, 루프필터는, 전하펌프를 통해 출력된 전류를 전압으로 바꾸어 전압제어발전기의 제어신호로 사용할 수 있게 하며, 입력에 포함되어 있는 잡음을 저역 통과 필터링한다. 루프필터는 능동 필터(active filter)나 수동 필터(passive filter)를 사용할 수 있지만, 수동 필

터가 바람직하다. 능동 필터의 능동 소자의 추가적인 사용은 위상 잡음, 복잡도(complexity) 그리고 비용을 증가시키기 때문이다. 그러나 전압제어발진기에서 요구되는 제어전압이 전하펌프를 통해 생성되는 전압보다 클 때에는 능동 필터를 사용하여야 한다. 더 높은 제어 전압이 전압제어발진기에 사용되면 전압제어발진기의 튜닝 범위가 넓어지거나 위상 잡음이 감소한다.

[0060] 루프필터의 위상 여유(phase margin)는 시스템의 안정도에 기여하는데, 그 값은 40에서 60 정도의 값이 일반적이다. 위상 여유는 루프필터의 peaking을 감소시키지만 고정 시간(lock-time) 성능을 감소시킨다. 또한 루프 대역폭(loop bandwidth)은 루프필터의 가장 중요한 요소로서 루프 대역폭을 매우 작게 설계하면 reference spurs를 더욱 효과적으로 제거할 수 있는 장점이 있지만 고정 시간이 길어지게 되는 문제가 발생한다. 반대로 루프 대역폭을 너무 크게 설계하면 고정 시간 성능이 개선되지만 spurs의 제거가 어렵다. 고속의 고정 시간이 요구되지 않는다면 루프 대역폭을 줄이는 것으로 잡음 특성을 개선할 수 있다.

[0061] 전압제어발진기는, 감지된 주파수를 사용하여 오디오 클록을 출력한다. 전압의 입력신호를 주파수 제어신호로써 입력받아 제어신호에 해당하는 일정한 주파수를 출력하는 것으로서, 전압레벨의 변화에 따라서 출력되는 주파수의 값이 비례적으로 변화할 수 있다.

[0062] 전압제어발진기는 중심주파수, 튜닝 범위, 튜닝 선형성, 파워소모, 잡음 등의 요소를 고려하여 설계한다. 이때 전압제어발진기의 입력 제어신호에 따라서 주파수가 최대에서 최소까지 변화할 때 제어전압에 따른 주파수의 변화가 선형적으로 변화도록 설계하는 것이 중요하다. 이는 선형적인 구간이 넓을수록 다양한 주파수를 더욱 좋은 성능으로 사용할 수 있기 때문이다.

[0063] 전압제어발진기는 출력신호의 크기(amplitude)가 클수록 잡음에 대해 덜 민감하게 되어 좋은 성능을 가진다. 그러나 전압제어발진기는 파워 소모와 동작속도 그리고 잡음 간의 trade-off의 관계에 있으므로 적절한 조절이 요구된다. 또한 전압제어발진기의 출력 신호는 제어신호가 고정된 값이라고 할지라도 완전히 주기적인 신호를 출력하지 않는데 이에 인해 위상 잡음이 발생하게 된다.

[0064] 전압제어발진기는 크게 링 구조를 이용한 형태와 LC 구조를 이용한 형태로 구분할 수 있다. 링 구조의 전압제어발진기는 넓은 튜닝 범위를 지원할 수 있으나 잡음특성이 뛰어나지 않으며, LC 구조를 사용하는 전압제어발진기는 좋은 잡음 특성을 보이지만 튜닝 범위가 비교적 좁다. 일반적으로 링 전압제어발진기는 지연 셀(delay cell)에 해당하는 단(stage)을 홀수 개만큼 직렬 형태로 연결한 후 피드백을 통해 발진을 일으킨다. 전압제어발진기의 발진 주파수는 지연 셀에 해당하는 각 단의 RC-time constant를 제어함으로써 조절이 가능하다. 잡음을 보다 줄이기 위해 완전 차동구조(fully differential)로 설계할 수 있는데, 이러한 차동구조를 사용할 때는 짝수 개의 단을 사용할 수 있다.

[0065] N 분주기는, 전압제어발진기가 출력하는 파형을 N으로 나눈 클록을 위상검출기에 인가한다. 이때 N 분주기는, N을 2진수(binary number)로 변환한 후, 제2 임계값으로 나눔으로써 정수 부분과 소수 부분을 분리하고, 정수 부분을 제어 신호로 사용하는 멀티-모듈러스 분주기(multi-modulus divider) 및 소수 부분을 제어 신호로 사용하는 2차 시그마-델타 모듈레이터(2nd Sigma-Delta Modulator)를 포함할 수 있다. N 분주기와 CTS 분주기에 대하여, 이하 자세히 설명하도록 한다.

[0066] 도 8은 본 발명의 일실시예에 따른 2차 시그마-델타 모듈레이터를 이용한 오디오 클록 생성기에 사용될 수 있는 디지털 어큐뮬레이터의 회로도이다. 도 8에 도시된 바와 같이, 본 발명의 일실시예에 따른 2차 시그마-델타 모듈레이터를 이용한 오디오 클록 생성기에 사용될 수 있는 디지털 어큐뮬레이터(Digital Accumulator)는, 1차 시그마-델타 모듈레이터(1st Sigma-Delta Modulator)로 사용될 수 있다. 이때 디지털 어큐뮬레이터의 입력 N bit의 x 값을 2 bit인 01로 입력할 경우, 결괏값은 표 4에 기재된 바와 같다.

표 4

Sum	Carry(y)
01	0
10	0
11	0
00	1
01	0
10	0
11	0
00	1
01	0
10	0
11	0
00	1
01	0
10	0
11	0
00	1

[0067]

[0068]

표 4를 살펴보면, carry는 4번마다 1이 된다는 것을 알 수 있다. 이 carry를 2/3 멀티-모듈러스 분주기의 제어 신호로 사용한다면, (1일 때는 3분주, 0일 때는 2분주) 2분주, 2분주, 2분주, 3분주 이러한 순서로 계속 분주될 것이다. 따라서 1차 시그마-델타 모듈레이터는 4번씩 주기적으로 모듈레이션이 이루어질 것이며, 평균 분주 비는  $(2+2+2+3)/4$ 이므로 2.25가 될 것이다. 즉, 2의 integer 분주 비를 가지고, 1/4의 fractional 분주 비를 가진다.

[0069]

이때 2/3 멀티-모듈러스 분주기는  $n/n+1$  멀티-모듈러스 분주기로 일반화할 수 있으며, 1차 시그마-델타 모듈레이터를 이용한 분수 분주 비는, 디지털 어큐물레이터의 입력인  $x$  값과  $x$ 의 bit 수인  $N$ 에 의하여  $x/N$ 으로 일반화할 수 있다.

[0070]

도 9는 본 발명의 일실시예에 따른 2차 시그마-델타 모듈레이터를 이용한 오디오 클럭 생성기의 2차 시그마-델타 모듈레이터의 회로도이다. 도 9에 도시된 바와 같이, 본 발명의 일실시예에 따른 2차 시그마-델타 모듈레이터를 이용한 오디오 클럭 생성기의 2차 시그마-델타 모듈레이터는, MASH 1-1 구조를 이용하며, 13bit 어큐물레이터를 사용하였다. 추후 설명하는 바와 같이  $N$  값과 CTS 값은 각각  $2^{10}$ ,  $2^{13}$ 으로 나누게 되므로, 2차 시그마-델타 모듈레이터는 10bit 어큐물레이터와 13bit 어큐물레이터를 사용하여야 하나, 설계의 편의상 13bit 어큐물레이터를 2개 사용하고,  $N$  값을 사용하는 어큐물레이터는,  $N$  값의 최하위 3bit에 모두 '0'을 입력하여 마치 10bit 어큐물레이터처럼 동작할 수 있도록 한다.

[0071]

2차 시그마-델타 모듈레이터를 이용한 CTS 분주기 및  $N$  분주기는,  $n-1$ ,  $n$ ,  $n+1$ ,  $n+2$  과 같이 총 4가지의 분주 비를 갖는 분주기가 필요하다. 따라서 표 5와 같이 모듈러스 매핑 회로(Modulus Mapping Circuit)를 매핑시킴으로써, 2차 시그마-델타 모듈레이터를 분수- $N$  분주기(Fractional- $N$  divider)로 사용할 수 있다. 이때 2차 시그마-델타 모듈레이터의 분석 값(resolution)은  $1/2^N$ 이 된다.

표 5

Table 1. Divider ratio at each accumulator output.

	C-	C-	C0	Mod cont.
ACC1	X	X	0	+0
	X	X	1	+1
ACC2	X	0	0	+0
	X	0	1	+1
	X	1	0	-1
	X	1	1	+0
ACC3	0	0	0	+0
	0	0	1	+1
	0	1	0	-2
	0	1	1	-1
	1	0	0	+1
	1	0	1	+2
	1	1	0	-1
	1	1	1	+0

[0072]

[0073]

표 6은 본 발명에 사용되는 N 값을 나타내며, 표 7은 본 발명에 사용되는 CTS의 값을 나타낸다. 표 6에 기재된 바와 같이, 본 발명에 사용되는 N 값은 4096~46592까지의 값을 지니며, 표 7에 기재된 바와 같이 본 발명에 사용되는 CTS 값은 25200~421875까지의 값을 지닌다.

표 6

N value	Binary value	$N/2^{10}$
4096	1000000000000	4
4576	1000111100000	4
5824	1011011000000	5
6144	1100000000000	6
6272	1100010000000	6
6864	1101011010000	6
7007	1101101011111	6
8918	10001011010110	8
11648	10110110000000	11
12288	11000000000000	12
12544	11000100000000	12
13728	11010110100000	13
14014	11011010111110	13
17836	100010110101100	17
23296	101101100000000	22
24576	110000000000000	24
27456	110101101000000	26
35672	1000101101011000	34
46592	1011011000000000	45

[0074]

표 7

CTS value	Binary value	N/2 <sup>13</sup>
25200	110001001110000	3
27000	110100101111000	3
27027	110100110010011	3
28000	110110101100000	3
28125	110110111011101	3
30000	111010100110000	3
30030	111010101001110	3
31250	111101000010010	3
54000	1101001011110000	6
54054	1101001100100110	6
60000	1110101001100000	7
60060	1110101010011100	7
74250	10010001000001000	9
82500	10100001001000100	10
140625	100010010101010000	15
148500	100100010000010000	18
165000	101000010010001000	20
210937-210938	110011011111111000	25
234375	111001001110000000	28
421875	1100110111111110000	51

[0075]

[0076]

이것을 2진수(Binary value)로 바꾸고 각각을 2<sup>10</sup>, 2<sup>13</sup>으로 나누어준다. 2진수에서 2의 승수에 대한 나눗셈은 자릿수 이동을 의미한다. N을 2<sup>10</sup>으로 나누는 이유는, N 값에서 가장 작은 값인 4096은 2진수로 1,0000,0000,0000(2)이므로, 만약 2<sup>11</sup>로 나누어준다면 10(2)이 되어 분주를 제대로 사용할 수 없기 때문이다.

[0077]

구체적으로 설명하자면, 본 발명은 2차 시그마-델타 모듈레이터를 이용하기 때문에 n-1, n, n+1, n+2 분주의 멀티-모듈러스 분주기가 사용되어야 하는데, 2<sup>11</sup>로 나누어 나누어진 몫의 정수 값이 2가 된다면 n-1은 1이 될 것이고, 실제로 1 분주라는 것은 존재하지 않으므로 최소 n의 값은 3 이상이 되어야 한다. 즉, 나누어진 몫의 값이 3 이상이 되어야 하므로, 따라서 N 값은 2<sup>10</sup>으로 나누어 주어야 한다. 반면 CTS value는 2<sup>13</sup>으로 나누어 준다.

[0078]

N을 2<sup>10</sup>으로 나누어 준 몫의 정수 값은 멀티-모듈러스 분주기를 제어해주는 값으로 사용하고, N의 하위 10bit는 2차 시그마-델타 모듈레이터의 어큐플레이터의 입력 값으로 사용한다. 마찬가지로 CTS를 2<sup>13</sup>으로 나누어 준 몫의 정수 값은 멀티-모듈러스 분주기의 제어 값으로 사용하고, 하위 13bit는 2차 시그마-델타 모듈레이터의 어큐플레이터의 입력 값으로 사용한다.

[0079]

표 6과 표 7에서 CTS/2<sup>13</sup> 값을 보면, 3~51의 값을 갖는다. 멀티-모듈러스 분주기는 이미 설명한 바와 같이 n-1, n, n+1, n+2 분주 비를 갖도록 설계해야 하므로 2~53까지의 분주 비가 필요하다. 따라서 본 발명은 2~63(000010(2) ~ 111111(2))의 분주 비를 갖도록 설계하였다.

[0080]

도 10은 본 발명의 일실시예에 따른 2차 시그마-델타 모듈레이터를 이용한 오디오 클록 생성기의 2차 시그마-델타 모듈레이터의 CTS 분주기의 블록도이다. 도 10에 도시된 바와 같이, 본 발명의 일실시예에 따른 2차 시그마-델타 모듈레이터를 이용한 오디오 클록 생성기의 CTS 분주기는, 마치 정수(Integer)처럼 동작할 수 있다. CTS 값이 25200인 경우를 예로 들어 수학적 6을 통해 자세히 설명하도록 한다.

수학식 6

- (1)  $25200 = 110001001110000_{(2)}$
- (2) 13bit 2<sup>nd</sup> Sigma-Delta Modulation 의 Resolution :  $\frac{1}{2^{13}} = (0.0001220703125)$
- (3)  $\frac{25200}{2^{13}} = 3.076171875$
- (4) 25200 을 다시 19bit Binary 값으로 =>  $0000110001001110000_{(2)}$
- (5) 상위 6bit (MSB 6bit) = Multi-divider input=  $000011_{(2)} = 3$
- (6) 하위 13bit (LSB 13bit) = 2<sup>nd</sup> Sigma-Delta Modulation input =  $0001001110000_{(2)} = 624$

[0081]

[0082]

십진수 25200을 2진수로 변환하면  $110001001110000_{(2)}$ 이 되며,  $CTS/2^{13}$  은  $11.0001001110000_{(2)}$ 이 된다. 따라서 정수 부분은 11(2), 소수 부분은 0.0001001110000(2)가 된다. 정수 부분인 3에 의해서 멀티-모듈러스 분주기의 분주 비인 n-1, n, n+1, n+2는 각각 2, 3, 4, 5 분주가 된다. 그리고 CTS의 최하위 bit(Least Significant Bit, LSB) 13bit( $0001001110000_{(2)}$ )는 2차 시그마-델타 모듈레이터의 입력으로 사용되어  $CTS/2^{13}$ 의 분수 값을 얻을 수 있다. 이때 2차 시그마-델타 모듈레이터에 624가 입력되었으므로, 표 4에서 설명한 일반식인  $x/N$ 에 의하여  $624/2^{13} = 0.076171875$ 가 되며,  $25200/2^{13}$ 의 소수 값과 정확히 일치함을 알 수 있다. 또한 3.076171875 분주를 하고 나서 다시  $2^{13}$  분주를 하면  $2^{13}$ 이 서로 상쇄되어 25200 분주가 된다.

[0083]

일반적으로 HDMI 소스 장치에서 각각 20bit의 CTS 값과 N 값을 전송한다. 그러나 Recommended N 과 Expected CTS Value를 살펴보면, 최대 19bit 만이 사용됨을 알 수 있다. 따라서 본 발명은 CTS = 19bit, N = 16bit 만을 이용하며, CTS 분주기와 N 분주기 모두 동일한 멀티-모듈러스 분주기와 2차 시그마-델타 모듈레이터를 사용한다. 이때 2차 시그마-델타 모듈레이터는 13bit 어큐물레이터를 사용할 수 있으며, 멀티-모듈러스 분주기는 6 bit의 N 값을 제어신호로 사용하고, 2차 시그마-델타 모듈레이터는 13bit의 소수 부분을 제어신호로 사용한다.

[0084]

따라서 CTS 분주기와 N 분주기 모두 19bit의 제어신호를 필요로 하므로, CTS 값의 하위 13bit(LSB 13bit)는 2차 시그마-델타 모듈레이터의 제어신호로 사용하고, 상위 6bit(most significant bit, MSB 6bit)는 멀티-모듈러스 분주기의 제어신호로 사용한다.

[0085]

그러나 N 값은 16bit만이 사용되므로, 하위 10bit(LSB 10bit)는 2차 시그마-델타 모듈레이터의 제어신호로 사용하고, 상위 6bit(MSB 6bit)는 멀티-모듈러스 분주기의 제어신호로 사용하기 때문에, N 분주기의 2차 시그마-델타 모듈레이터는, 상기 2진수로 변환된 N의 소수 부분의 최하위 3bit에 모두 0을 대입시켜 13bit로 변환하여 사용함으로써, 본 발명은 13bit 어큐물레이터를 10bit 어큐물레이터와 동일하게 동작하도록 하여 작동 속도 및 효율을 대폭 향상시켰다.

[0086]

이상 설명한 본 발명은 본 발명이 속한 기술분야에서 통상의 지식을 가진 자에 의하여 다양한 변형이나 응용이 가능하며, 본 발명에 따른 기술적 사상의 범위는 아래의 특허청구범위에 의하여 정해져야 할 것이다.

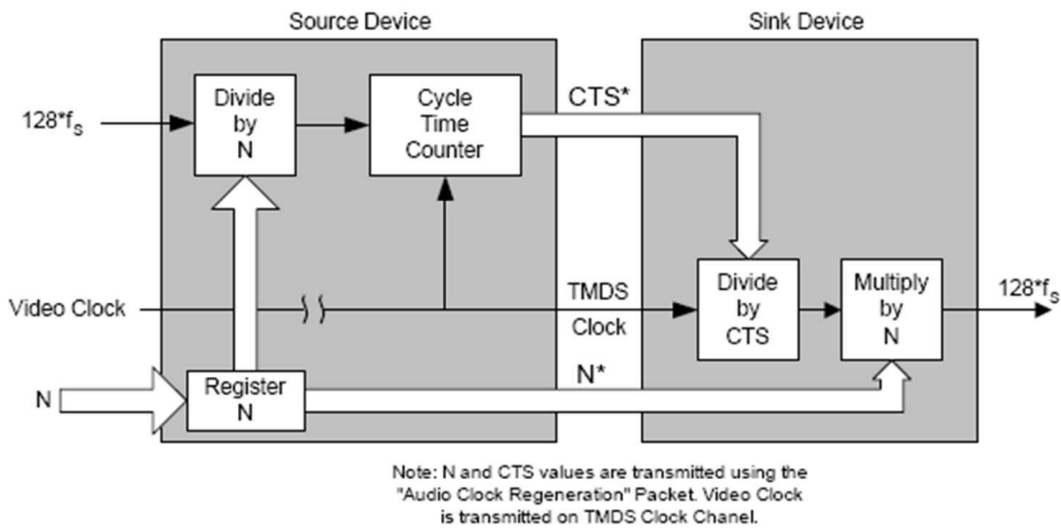
부호의 설명

[0087]

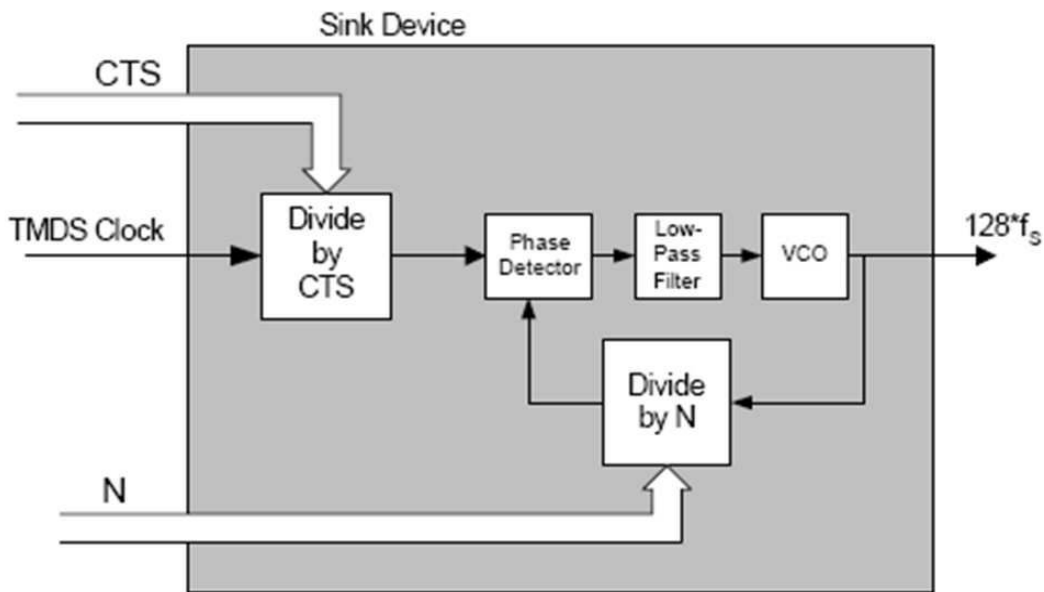
Divided by N: N 분주기                      Divided by CTS: CTS 분주기

도면

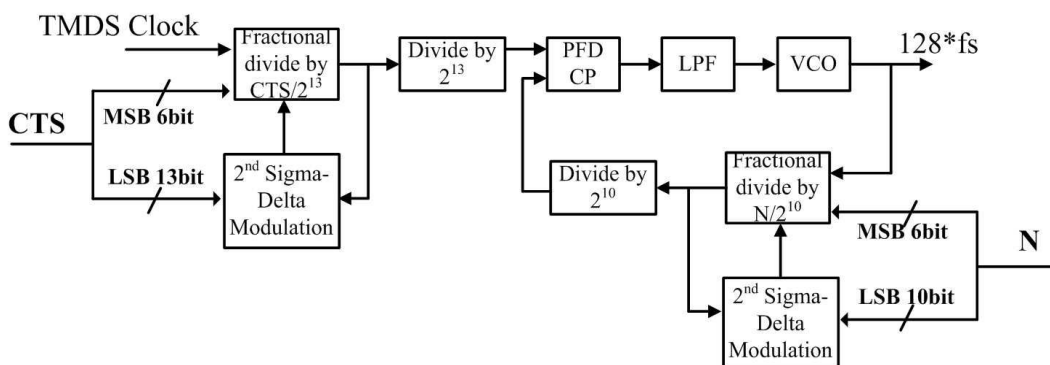
도면1



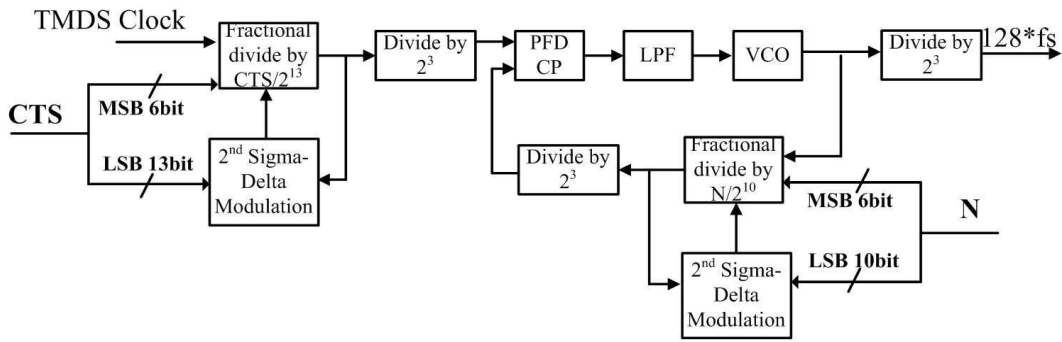
도면2



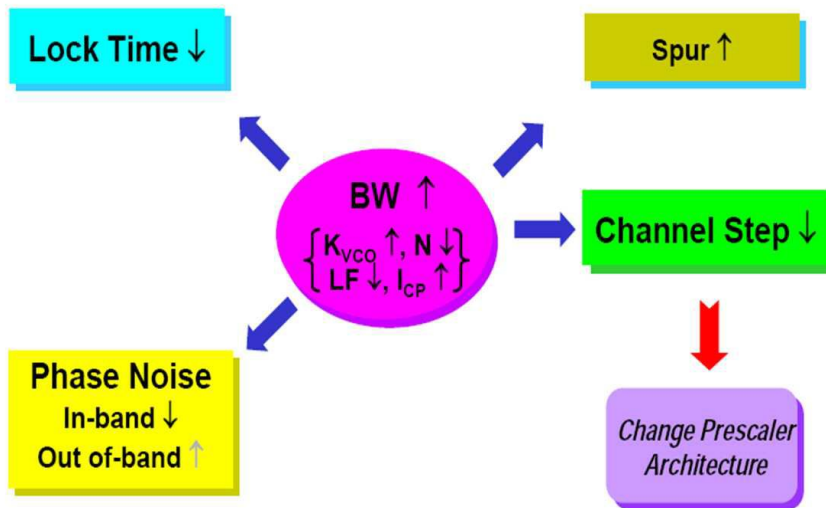
도면3



도면4

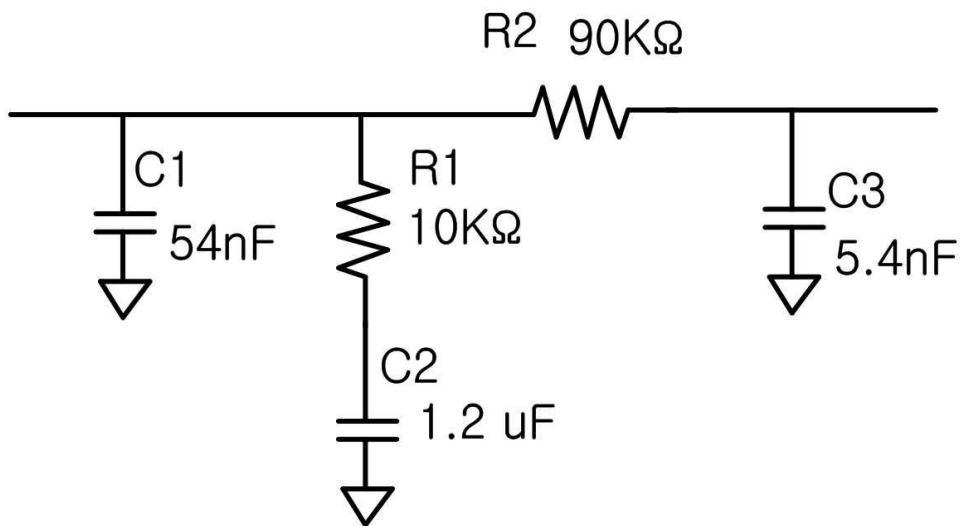
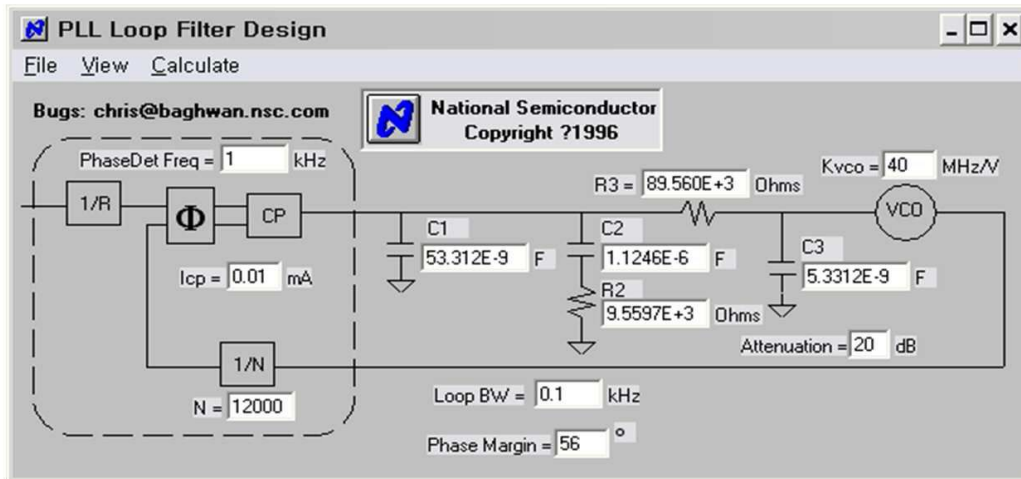


도면5

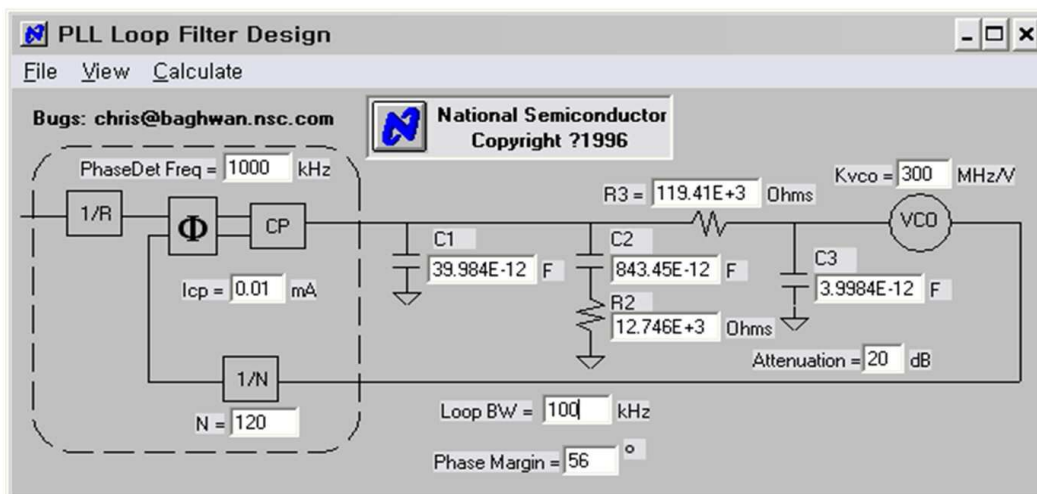




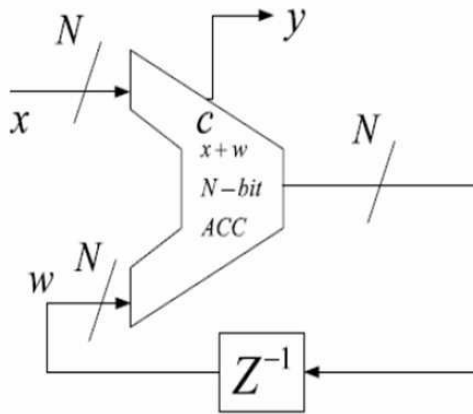
도면6



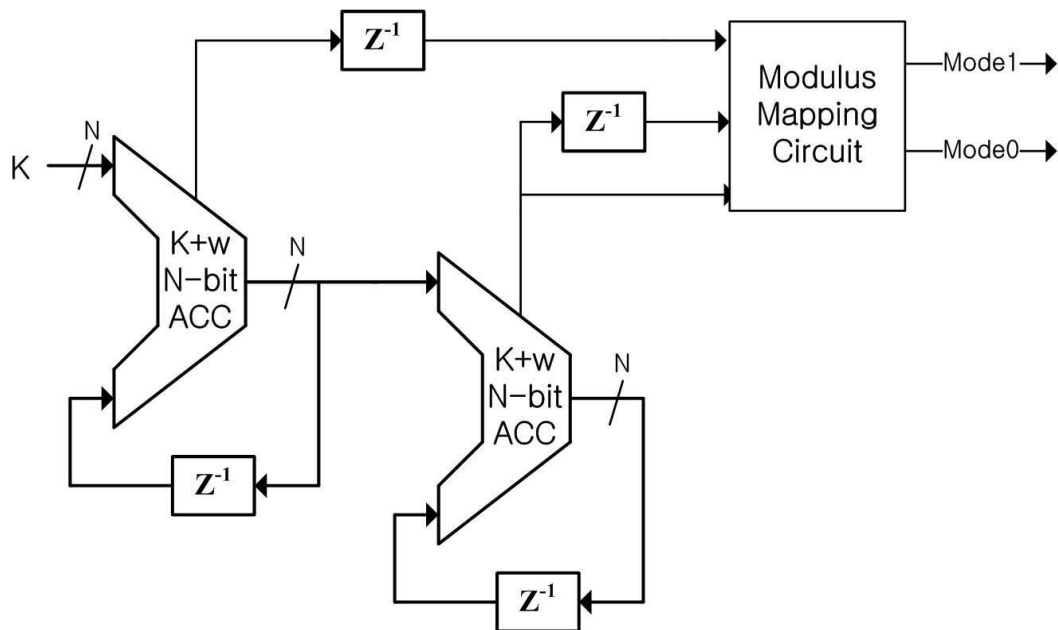
도면7



도면8



도면9



도면10

