



**Beschreibung**

## PRIORITÄT

**[0001]** Diese Anmeldung beansprucht die Priorität der vorläufigen US-Patentanmeldung Nr. 63/017,505, eingereicht am 29. April 2020, die durch Bezugnahme vollumfänglich in die vorliegende Anmeldung aufgenommen wird.

## HINTERGRUND

**[0002]** Die Industrie integrierter Halbleiterschaltungen (Halbleiter-IC) hat in letzter Zeit ein exponentielles Wachstum verzeichnet. Technologische Fortschritte bei IC-Materialien und -Design haben Generationen von IC hervorgebracht, in welchen jede Generation kleinere und komplexere Schaltungen aufweist als die vorherige. Im Zuge der IC-Weiterentwicklung hat die Funktionsdichte (das heißt die Anzahl miteinander verbundener Bauelemente pro Chipfläche) in der Regel zugenommen, während die geometrische Größe (das heißt die kleinste Komponente (oder Leitung), die unter Verwendung eines Fertigungsprozesses geschaffen werden kann) abgenommen hat. Dieser Verkleinerungsprozess stellt in der Regel Vorteile durch eine Steigerung der Produktionseffizienz und eine Senkung der damit verbundenen Kosten bereit. Ferner hat eine solche Verkleinerung auch die Komplexität der Verarbeitung und Herstellung von IC erhöht, und zur Verwirklichung dieser Fortschritte sind ähnliche Entwicklungen in der IC-Verarbeitung und -Herstellung erforderlich.

**[0003]** Zum Beispiel sind Mehrfach-Gate-Vorrichtungen in der Absicht eingeführt worden, die Gate-Steuerung durch Erhöhen der Gate-Kanalkoppelung, Verringern des Stroms im Abschaltzustand und Verringern von Kurzkanaleffekten (SCE) zu verbessern. Eine derartige Mehrfach-Gate-Vorrichtung ist eine Nanoschichtvorrichtung, wie zum Beispiel ein Rundum-Gate-Transistor (GAA-Transistor), dessen Gate-Struktur sich rund um seinen horizontalen Kanalbereich erstreckt und somit an allen Seiten Zugriff zum Kanalbereich bereitstellt. Die Nanoblatttransistoren sind kompatibel mit herkömmlichen komplementären Metalloxidhalbleiterprozessen (CMOS-Prozessen), was ihnen ermöglicht, aggressiv skaliert zu werden, zugleich aber die Gate-Steuerung aufrechtzuerhalten und SCE zu vermindern. Aufgrund von Problemen, wie zum Beispiel einem kleineren Verarmungsbereich und ein kleineres Kanalvolumen sowie Verschlechterung der Mobilität induziert durch starke Dotierung, ist es für herkömmliche Nanoschichtvorrichtungen jedoch schwierig, ihre Schwellenspannung ( $V_t$ ) zu regeln. Daher sind herkömmliche Nanoblatttransistoren bisher in der Regel zwar für ihre vorgesehenen Zwecke geeignet gewesen, können jedoch

keineswegs in allen Belangen als zufriedenstellend betrachtet werden.

## Figurenliste

**[0004]** Aspekte der vorliegenden Offenbarung lassen sich am besten anhand der folgenden detaillierten Beschreibung in Verbindung mit den beiliegenden Zeichnungen verstehen. Es ist zu beachten, dass gemäß der branchenüblichen Praxis verschiedene Elemente nicht maßstabsgetreu dargestellt sind. Tatsächlich können die Abmessungen der verschiedenen Elemente zugunsten einer klaren Erläuterung willkürlich vergrößert oder verkleinert sein.

Die **Fig. 1A**, **Fig. 1B** und **Fig. 1C** sind Ablaufdiagramme von Verfahren zum Bilden einer Halbleitervorrichtung im Einklang mit verschiedenen Aspekten der vorliegenden Offenbarung.

Die **Fig. 2**, **Fig. 13** und **Fig. 23** sind perspektivische Ansichten einer Halbleiterstruktur, welche im Einklang mit verschiedenen Aspekten der vorliegenden Offenbarung bereitgestellt ist.

Die **Fig. 3**, **Fig. 4**, **Fig. 5**, **Fig. 6**, **Fig. 7**, **Fig. 8**, **Fig. 9**, **Fig. 10**, **Fig. 11**, **Fig. 12**, **Fig. 14**, **Fig. 15**, **Fig. 16**, **Fig. 17**, **Fig. 18**, **Fig. 19**, **Fig. 20**, **Fig. 21**, **Fig. 22**, **Fig. 24**, **Fig. 25**, **Fig. 26**, **Fig. 27**, **Fig. 28**, **Fig. 29**, **Fig. 30**, **Fig. 31** und **Fig. 32** sind Querschnittsansichten einer Halbleiterstruktur in verschiedenen Fertigungsstadien, welche im Einklang mit den jeweiligen Verfahren in den **Fig. 1A - Fig. 1C** im Einklang mit einigen Ausführungsformen der vorliegenden Offenbarung konstruiert sind.

## AUSFÜHRLICHE BESCHREIBUNG

**[0005]** Die folgende Offenbarung stellt viele verschiedene Ausführungsformen, oder Beispiele, zum Umsetzen verschiedener Merkmale der Offenbarung bereit. Nachfolgend sind spezifische Beispiele von Komponenten und Anordnungen beschrieben, um die vorliegende Offenbarung zu vereinfachen. Dabei handelt es sich selbstverständlich nur um Beispiele, welche keinesfalls als Einschränkung auszulegen sind. Zum Beispiel kann die Bildung eines ersten Elements über oder auf einem zweiten Element in der folgenden Beschreibung Ausführungsformen umfassen, in welchen das erste und das zweite Element in direktem Kontakt miteinander gebildet sind, kann jedoch auch Ausführungsformen umfassen, in welchen zusätzliche Elemente derart zwischen dem ersten Element und dem zweiten Element gebildet sein können, dass das erste und das zweite Element nicht in direktem Kontakt miteinander sein können. Darüber hinaus kann die vorliegende Offenbarung Bezugsziffern und/oder -zeichen in den verschiedenen Beispielen wiederholen. Diese Wiederholung dient dem Zweck der Vereinfachung und Klarheit, und schreibt für sich selbst keine Beziehung zwischen den ver-

schiedenen erörterten Ausführungsformen und/oder Anordnungen vor.

**[0006]** Darüber hinaus kann die Bildung eines Elements, das in der vorliegenden Offenbarung mit einem anderen Element verbunden und/oder gekoppelt ist, Ausführungsformen aufweisen, in welchen die Elemente in direktem Kontakt miteinander gebildet sind, und kann ebenfalls Ausführungsformen aufweisen, in welchen zusätzliche Elemente zwischen den Elementen gebildet sind, sodass die Elemente nicht in direktem Kontakt miteinander sein können. Darüber hinaus werden Begriffe räumlicher Beziehungen, wie zum Beispiel „untere/r“, „obere/r“, „horizontal“, „vertikal“, „oberhalb“, „über“, „unterhalb“, „darunter“, „nach oben“, „nach unten“, „oben“, „unten“ etc., sowie deren Ableitungen (zum Beispiel adverbielle Formen davon, etc.), zur Vereinfachung der vorliegenden Offenbarung der Beziehung eines Elements zu einem anderen Element verwendet. Die Begriffe räumlicher Beziehungen sind dafür vorgesehen, verschiedene Ausrichtungen der Vorrichtung, welche die Merkmale aufweist, abzudecken. Ist ferner eine Zahl oder ein Zahlenbereich hierin mit „ungefähr“, „etwa“ und dergleichen beschrieben, soll der Begriff Zahlen innerhalb eines angemessenen Bereichs, welcher die beschriebene Zahl enthält, umfassen, zum Beispiel innerhalb von +/- 10 % der beschriebenen Zahl oder anderen für Fachleute verständlichen Werten. Zum Beispiel schließt der Ausdruck „ungefähr 5 nm“ den Abmessungsbereich von 4,5 nm bis 5,5 nm ein.

**[0007]** Die vorliegende Offenbarung betrifft im Allgemeinen Halbleitervorrichtungen und Verfahren zur Bildung derselben. Insbesondere betrifft die vorliegende Offenbarung das Abstimmen einer Schwellenspannung ( $V_t$ ) in Nanoschichtvorrichtungen, wie zum Beispiel Rundum-Gate-Vorrichtungen (GAA-Vorrichtungen).

**[0008]** Eine Nanoschichtvorrichtung kann eine beliebige Vorrichtung sein, deren Gate-Struktur, oder Abschnitte davon, an vier Seiten eines Kanalbereichs gebildet sind (zum Beispiel einen Abschnitt eines Kanalbereichs umgeben). Es versteht sich von vornherein, dass der Kanalbereich einer Nanoschichtvorrichtung aus Kanalelementen, wie zum Beispiel Nanoblättern, aber auch Nanodrähten, Nanobalken und/oder anderen geeigneten Strukturen, gebildet sein kann. In einigen Ausführungsformen weist der Kanalbereich einer Nanoschichtvorrichtung mehrere horizontale Nanodrähte, Nanoblätter und/oder Nanobalken auf, welche vertikal beabstandet sind, wodurch die Nanoschichtvorrichtung eine gestapelte horizontale Nanoschichtvorrichtung ist. Aufgrund ihrer Abmessungen im Nanobereich können die Kanalelemente auch als Nanostrukturen (oder schwebende Nanostrukturen) bezeichnet werden. Die hierin vorgestellten Nanoschichtvorrichtungen weisen p-

Metalloxidhalbleiter-Nanoschichtvorrichtungen oder n-Metalloxidhalbleiter-Nanoschichtvorrichtungen auf. Ferner weisen die Nanoschichtvorrichtungen einen oder mehrere Kanäle (zum Beispiel Nanodrähte) auf, welche einer einzigen, zusammenhängenden Gate-Struktur oder mehreren Gate-Strukturen zugeordnet sind. Durchschnittlich geschulte Fachleute können andere Beispiele von Halbleitervorrichtungen erkennen, welche von Aspekten der vorliegenden Offenbarung profitieren können.

**[0009]** Hierin vorgestellt werden Ausführungsformen von Nanoschichtvorrichtungen, welche dazu verwendet werden, n- und p-Transistoren mit vertikal gestapelten n-Kanälen und p-Kanälen, welche an zwei nahe beieinanderliegenden Finnen angeordnet sind, zu verwirklichen, was häufig als komplementärer Metalloxidhalbleiter-Feldeffekttransistor (MOSFET) bezeichnet wird, welcher komplementäre und symmetrische Paare von p- und n-Transistoren verwendet. Durch GAA-Vorrichtungen umgesetzte komplementäre MOSFET sind in vielen integrierten Schaltungen (IC) von Vorteil, wobei das Schrumpfen der Vorrichtungsgrößen jedoch verschiedene Probleme für bestimmte Fertigungsverfahren mit sich bringt. Zum Beispiel wird aufgrund von Problemen, wie zum Beispiel einem kleineren Verarmungsbereich und einem kleineren Kanalvolumen, sowie durch starke Dotierung induzierte Verschlechterung der Mobilität, ein Abstimmen der Schwellenspannung für p-Transistoren in den komplementären Transistorpaaren zunehmend schwieriger. Ebenso stellt es nach wie vor eine Herausforderung dar, unterschiedliche Schwellenspannungen für p-Transistoren in verschiedenen Bereichen (zum Beispiel einem Bereich niedriger  $V_t$  (LVt-Bereich), einem Standard- $V_t$ -Bereich (SVt-Bereich) und/oder einem Bereich hoher  $V_t$  (HVt-Bereich)) zu erzielen. Einige Verfahren erfordern eine komplizierte Metallaustrittsarbeitsregelung, um Schwellenspannungen für p-Transistoren abzustimmen. Häufig erhöht ein solcher Ansatz jedoch die Komplexität von Prozessen (zum Beispiel ist es schwierig, komplizierte Metallaustrittsarbeits-schichten in Gate-Gräben mit hohem Aspektverhältnis aufzubringen) und führt zu Defekten.

**[0010]** Die vorliegende Offenbarung beschäftigt sich mit der Bewältigung der obigen Probleme, indem sie Verfahren zur Bildung von Nanoblatttransistoren an mehreren Finnen bereitstellt. Im Einklang mit einigen Ausführungsformen implantiert nach dem Bilden schwebender Nanostrukturen einer ersten Finne für einen n-GAA-Transistor und schwebender Nanostrukturen einer zweiten Finne für einen p-GAA-Transistor, ein Verfahren eine den Schwellenwert modifizierende Verunreinigung in die schwebenden Nanostrukturen des p-GAA-Transistors. In einigen Ausführungsformen ist die den Schwellenwert modifizierende Verunreinigung Germanium (Ge). Die Implantation der den Schwellenwert modifizierenden

Verunreinigung bildet eine charakteristische Verteilung innerhalb des p-Kanals. Ferner können kritische Abmessungen (CD) der schwebenden Nanostrukturen für den p-GAA-Transistor getrimmt werden, um die Schwellenspannung abzustimmen. Die CD-Trimmung und die Dotierung mit der den Schwellenwert modifizierenden Verunreinigung können kombiniert werden, um einen breiteren Abstimmungsbereich für die Schwellenspannungen zu erzielen. Die verschiedenen Verfahren in den Ausführungsformen der vorliegenden Offenbarung können auf jeden p-FET-Bereich in einer IC angewendet werden, um dieselbe Schwellenspannungseinstellung zu erzielen, oder auf spezielle p-FET-Bereiche, um mehrere Schwellenspannungen in verschiedenen Bereichen zu erzielen, zum Beispiel zum Bilden von LVt-Bereichen, SVt-Bereichen und/oder HVt-Bereichen. Folglich kann eine Abstimmung der Schwellenspannung in p-GAA-Transistoren mit einem vereinfachten Fertigungsprozess erzielt werden.

**[0011]** Fig. 1A ist ein Ablaufdiagramm eines Verfahrens 100 zum Bilden einer Halbleitervorrichtung 200 (auch als Vorrichtung 200 bezeichnet) im Einklang mit verschiedenen Aspekten der vorliegenden Offenbarung. Das Verfahren 100 ist nur ein Beispiel und soll nicht dazu dienen, die vorliegende Offenbarung über die expliziten Angaben in den Ansprüchen hinaus einzuschränken. Zusätzliche Vorgänge können vor dem, während des und nach dem Verfahren/s 100 bereitgestellt sein, und einige der beschriebenen Vorgänge können für zusätzliche Ausführungsformen des Verfahrens ersetzt, weggelassen oder verschoben werden. Einige Ausführungsformen des Verfahrens 100 sind nachfolgend in Verbindung mit den Fig. 2 - Fig. 12 beschrieben. Fig. 2 ist eine perspektivische Ansicht der Vorrichtung 200. Die Fig. 3 - Fig. 12 sind (nebeneinander aufgeführten) Querschnittsansichten der Vorrichtung 200 entlang der Schnitte A-A und B-B, welche in Fig. 2 gezeigt sind, welche die jeweiligen Kanalbereiche entlang der Längsrichtung der Transistoren (in der Y-Z-Ebene) schneiden. In Fig. 12 ist auch eine Querschnittsansicht abgebildet, welche den Kanalbereich entlang der Längsrichtung eines zusätzlichen p-GAA-Transistors der Vorrichtung 200 schneidet.

**[0012]** Bei Vorgang 102 stellt das Verfahren 100 (Fig. 1A) die Vorrichtung 200 bereit, welche eine erste Vorrichtungsstruktur 206a und eine zweite Vorrichtungsstruktur 206b aufweist, wie in Fig. 2 gezeigt. Jede der Vorrichtungsstrukturen 206a und 206b weist das Substrat 208, die Isolationsstruktur 210, die Finne 212a oder 212b, welche abwechselnd und vertikal gestapelte Halbleiterschichten 220 und 222 aufweist (auch als gestapelte Finne 212a oder 212b bezeichnet), und eine Dummy-Gate-Struktur 216, welche mit den gestapelten Finnen 212a und 212b in Eingriff steht, auf. Wie nachfolgend ausführlicher erklärt, wird ein Beispiel-n-GAA-Transistor aus der ers-

ten Vorrichtungsstruktur 206a gebildet, und ein Beispiel p-GAA-Transistor wird aus der zweiten Vorrichtungsstruktur 206b gebildet. Die Vorrichtung 200 ist zum Zweck der Veranschaulichung bereitgestellt, und schränkt die Ausführungsformen der vorliegenden Offenbarung nicht notwendigerweise auf eine bestimmte Anzahl von Bauelementen, eine bestimmte Anzahl von Bereichen oder eine bestimmte Anordnung von Strukturen oder Bereichen ein. Ferner ist die Vorrichtung 200 eine während der Bearbeitung einer IC gefertigte Zwischenvorrichtung oder ein Abschnitt einer solchen, welche/r statische Direktzugriffsspeicher (SRAM) und/oder Logikschaltungen, passive Komponenten, wie zum Beispiel Widerstände, Kondensatoren und Induktoren, und aktive Komponenten, wie zum Beispiel p-Feldeffekttransistoren PFET), n-FET (NFET), Mehrfach-Gate-FET, wie zum Beispiel FinFET, Metalloxidhalbleiter-Feldeffekttransistoren (MOSFET), komplementäre Metalloxidhalbleitertransistoren (CMOS-Transistoren), Bipolartransistoren, Hochspannungstransistoren, Hochfrequenztransistoren, andere Speicherzellen und Kombinationen davon, aufweisen kann.

**[0013]** In einigen Ausführungsformen enthält das Substrat 208 Silizium. Als Alternative oder zusätzlich dazu enthält das Substrat 208 einen weiteren elementaren Halbleiter, wie zum Beispiel Germanium; einen Verbundhalbleiter, wie zum Beispiel Siliziumkarbid, Galliumarsenid, Galliumphosphid, Indiumphosphid, Indiumarsenid und/oder Indiumantimonid; einen Legierungshalbleiter, wie zum Beispiel Silizium-Germanium (SiGe), GaAsP, AlInAs, AlGaAs, GaInAs, GaInP und/oder GaInAsP; oder Kombinationen davon. In einigen Umsetzungen enthält das Substrat 208 ein oder mehrere Materialien aus der Gruppe III-V, ein oder mehrere Materialien aus der Gruppe II-IV oder Kombinationen davon. In einigen Umsetzungen ist das Substrat 208 ein Halbleiter-auf-Isolator-Substrat, wie zum Beispiel ein Silizium-auf-Isolator-Substrat (SOI-Substrat), ein Silizium-Germanium-auf-Isolator-Substrat (SGOI-Substrat) oder ein Germanium-auf-Isolator-Substrat (GOI-Substrat). Halbleiter-auf-Isolator-Substrate können unter Verwendung einer Trennung durch Sauerstoffimplantation (SIMOX), Wafer-Bondung und/oder anderer geeigneter Verfahren hergestellt werden. Das Substrat 208 kann verschiedene dotierte Bereiche aufweisen, welche im Einklang mit Designanforderungen der Halbleitervorrichtung 200 gestaltet sind. P-dotierte Bereiche können p-Dotierstoffe, wie zum Beispiel Bor, Indium, andere p-Dotierstoffe oder Kombinationen davon, enthalten. N-dotierte Bereiche können n-Dotierstoffe, wie zum Beispiel Phosphor, Arsen, andere n-Dotierstoffe oder Kombinationen davon, enthalten. In einigen Ausführungsformen weist das Substrat 208 dotierte Bereiche auf, welche mit einer Kombination aus p-Dotierstoffen und n-Dotierstoffen gebildet worden sind. Die verschiedenen dotierten Bereiche können direkt am und/oder im Substrat 208 gebildet wer-

den, welches zum Beispiel eine p-Wannenstruktur, eine n-Wannenstruktur, eine Doppelwannenstruktur, eine erhöhte Struktur oder Kombinationen davon bereitstellt. Ein Ionenimplantationsprozess, ein Diffusionsprozess und/oder ein anderer geeigneter Dotierungsprozess kann ausgeführt werden, um die verschiedenen dotierten Bereiche zu bilden. In einigen Ausführungsformen sind p-GAA-Vorrichtungen und p-FinFET-Vorrichtungen über n-Wannen gebildet, während n-GAA-Vorrichtungen und n-FinFET-Vorrichtungen über p-Wannen gebildet sind. Jede der Vorrichtungsstrukturen **206a** und **206b** kann individuell eine n- oder eine p-Vorrichtung sein.

**[0014]** Die Isolationsstruktur **210** kann Siliziumoxid, Siliziumnitrid, Siliziumoxynitrid, fluordotiertes Silikatglas (FSG), ein dielektrisches Material mit niedrigem k-Wert und/oder andere geeignete Isoliermaterialien enthalten. Die Isolationsstruktur **210** können Grabenisolationsmerkmale (STI-Merkmale) sein. Andere Isolationsstrukturen, wie zum Beispiel Feldoxid, lokale Oxidation von Silizium (LOCOS) und/oder andere geeignete Strukturen, sind möglich. Die Isolationsstruktur **210** kann eine mehrschichtige Struktur, welche zum Beispiel eine oder mehrere thermische Oxidationsauskleidungsschichten aufweist, aufweisen.

**[0015]** Jede der gestapelten Finnen **212a** und **212b** weist einen Stapel von Halbleiterschichten **220** und **222** in einer verschachtelten oder abwechselnden Art und Weise (zum Beispiel eine Halbleiterschicht **220** angeordnet über einer Halbleiterschicht **222**, dann eine weitere Halbleiterschicht **222** Anzeige über der Halbleiterschicht **220**, und so weiter) auf. In einigen Ausführungsformen werden die Halbleiterschichten **220** und **222** in einer vertikalen Richtung abwechselnd angeordnet, um einen Halbleiterstapel zu bilden. In verschiedenen Ausführungsformen weist der Stapel eine beliebige Anzahl abwechselnd angeordneter Halbleiterschichten **220** und **222** auf. In einigen Ausführungsformen weisen die Halbleiterschichten **220** und **222** unterschiedliche Dicken auf. Ferner können die Halbleiterschichten **220** von einer Schicht zur nächsten unterschiedliche Dicken aufweisen, und auch die Halbleiterschichten **222** können von einer Schicht zur nächsten unterschiedliche Dicken aufweisen. In einigen Ausführungsformen liegt die Dicke jeder der Halbleiterschichten **220** und **222** im Bereich von einigen Nanometern bis zu einigen Dutzend Nanometern. In einer Ausführungsform weist jede der Halbleiterschichten **220** eine Dicke im Bereich von ungefähr 5 nm bis ungefähr 10 nm auf, und jede der Halbleiterschichten **222** weist eine Dicke im Bereich von ungefähr 5 nm bis ungefähr 10 nm auf.

**[0016]** Die zwei Arten von Halbleiterschichten **220** und **222** weisen unterschiedliche Zusammensetzungen auf. In verschiedenen Ausführungsformen weisen die Halbleiterschichten **222** Zusammensetzungen auf, welche Oxidationsraten und/oder Ätzselek-

tivitäten aufweisen, welche sich von jenen der Halbleiterschichten **220** unterscheiden. In einer Ausführungsform enthalten die Halbleiterschichten **222** Silizium-Germanium ( $\text{Si}_{1-x}\text{Ge}_x$ ), während die Halbleiterschichten **220** Silizium (Si) enthalten. In einer Ausführungsform ist jede der Halbleiterschichten **220** undotiertes oder im Wesentlichen dotierstofffreies Silizium (das heißt, aufweisend eine äußere Dotierstoffkonzentration von ungefähr  $0 \text{ cm}^{-3}$  bis ungefähr  $1 \times 10^{17} \text{ cm}^{-3}$ ), wobei beim Bilden der Halbleiterschicht **220** (zum Beispiel aus Silizium) keine gezielte Dotierung vorgenommen wird. Alternativ dazu wird jede der Halbleiterschichten **220** gezielt dotiert. In einem Beispiel wird die Halbleiterschicht **220** aus Silizium dotiert entweder mit einem p-Dotierstoff, wie zum Beispiel Bor (B), Aluminium (Al), Indium (In) und Gallium (Ga), oder einem n-Dotierstoff, wie zum Beispiel Phosphor (P), Arsen (As), Antimon (Sb), hergestellt. In einigen Ausführungsformen ist jede der Halbleiterschichten **222**  $\text{Si}_{1-x}\text{Ge}_x$ , welches im Molverhältnis weniger als 50 % ( $x < 0,5$ ) Ge enthält. Zum Beispiel enthält die Halbleiterschicht **222** aus  $\text{Si}_{1-x}\text{Ge}_x$  im Molverhältnis ungefähr 15 % bis ungefähr 35 % Ge. Ferner können die Halbleiterschichten **222** auch untereinander unterschiedliche Zusammensetzungen aufweisen, und die Halbleiterschichten **220** können untereinander ebenfalls unterschiedliche Zusammensetzungen aufweisen.

**[0017]** In verschiedenen Ausführungsformen können die Halbleiterschichten **220** und/oder **222** andere Materialien enthalten, wie zum Beispiel einen Verbundhalbleiter (zum Beispiel Siliziumkarbid, Galliumarsenid, Galliumphosphid, Indiumphosphid, Indiumarsenid und/oder Indiumantimonid) oder einen Legierungshalbleiter (zum Beispiel GaAsP, AlInAs, AlGaAs, InGaAs, GaInP und/oder GaInAsP) oder Kombinationen davon. Die Materialien der Halbleiterschichten **220** und **222** können basierend auf der Bereitstellung unterschiedlicher Oxidationsraten und/oder Ätzselektivitäten gewählt werden. Die Halbleiterschichten **220** und **222** können dotiert oder undotiert sein, wie oben erörtert.

**[0018]** In einigen Ausführungsformen werden die Halbleiterschichten **220** und **222** Schicht für Schicht epitaxial von einer oberen Fläche des Substrats **208** aus aufgewachsen. In einem Beispiel wird jede der Halbleiterschichten **220** und **222** durch einen Molekularstrahlepitaxieprozess (MBE-Prozess), einen chemischen Dampfabscheidungsprozess (CVD-Prozess), wie zum Beispiel einen metallorganischen CVD-Prozess (MOCVD-Prozess), und/oder andere geeignete epitaxiale Aufwuchsprozesse aufgewachsen. Während des epitaxialen Aufwachsens erstreckt sich die Kristallstruktur des Substrats **208** nach oben, was dazu führt, dass die Halbleiterschichten **220** und **222** dieselbe Kristallausrichtung aufweisen wie das Substrat **208**.

**[0019]** Die gestapelten Finnen **212a** und **212b** können durch epitaxiales Aufwachsen der Halbleiterschichten **220** und **222** über dem Substrat **208** gebildet und anschließend durch ein beliebiges geeignetes Verfahren zum Bilden der einzelnen Stapelfinnen **212a** und **212b** strukturiert werden. Zum Beispiel können die gestapelten Finnen **212a** und **212b** unter Verwendung eines oder mehrerer fotolithografischer Prozesse, wie zum Beispiel Doppelstrukturierungs- oder Mehrfachstrukturierungsprozesse, strukturiert werden. In der Regel kombinieren Doppelstrukturierungs- oder Mehrfachstrukturierungsprozesse Fotolithografie- und selbstausrichtende Prozesse, wodurch sie die Schaffung von Strukturen ermöglichen, welche zum Beispiel Abstandsmaße aufweisen, welche kleiner sind als jene, welche andernfalls unter Verwendung eines einzigen, direkten Fotolithografieprozesses erzielbar wären. In einer Ausführungsform wird zum Beispiel eine Opferschicht über einem Substrat gebildet und unter Verwendung eines Fotolithografieprozesses strukturiert. Abstandselemente werden zusammen mit der strukturierten Opferschicht unter Verwendung eines selbstausrichtenden Prozesses gebildet. Dann wird die Opferschicht entfernt, und die verbleibenden Abstandselemente, oder Dorne, können dann dazu verwendet werden, die Finnen **212a** und **212b** durch Ätzen der anfänglichen Halbleiterschichten **220**, **222** und des Substrats **208** zu strukturieren. Der Ätzprozess kann Trockenätzen, Nassätzen, reaktives Ionenätzen (RIE) und/oder andere geeignete Prozesse umfassen. In der dargestellten Ausführungsform erstrecken sich die gestapelten Finnen **212a** und **212b** in Längsrichtung in dieselbe Richtung (die Längsachsen sind parallel zueinander).

**[0020]** Die Dummy-Gate-Struktur **216** reserviert einen Bereich für einen Metall-Gate-Stapel und weist eine Dummy-Grenzflächenschicht **231**, eine Dummy-Gate-Elektrode **232**, eine erste Gate-Hartmaskenschicht **234** und eine zweite Gate-Hartmaskenschicht **236** auf. Die Dummy-Grenzflächenschicht **231** wird über oberen und Seitenwandflächen jeder der gestapelten Finnen **212a** und **212b** und über der oberen Fläche der Isolationsstruktur **210** gebildet. Die Dummy-Grenzflächenschicht **231** kann ein dielektrisches Material, wie zum Beispiel eine Oxidschicht (zum Beispiel SiO<sub>2</sub>) oder Oxynitridschicht (zum Beispiel SiON), aufweisen, und kann durch chemische Oxidation, thermische Oxidation, Atomlagenabscheidung (ALD), chemische Dampfabscheidung (CVD) und/oder andere geeignete Verfahren gebildet werden.

**[0021]** Die Dummy-Gate-Elektrode **232** kann polykristallines Silizium (Poly-Si) aufweisen, und kann durch geeignete Abscheidungsprozesse, wie zum Beispiel chemische Niederdruck-Dampfabscheidung (LPCVD) und plasmaverstärkte CVD (PECVD), gebildet werden. Jede der Gate-Hartmaskenschichten

**234** und **236** kann eine oder mehrere Schichten dielektrischen Materials, wie zum Beispiel Siliziumoxid und/oder Siliziumnitrid, aufweisen, und kann durch CVD oder andere geeignete Verfahren gebildet werden. Zum Beispiel kann die erste Gate-Hartmaskenschicht **234** eine Siliziumoxidschicht angrenzend an die Dummy-Gate-Elektrode **232** aufweisen, und die zweite Gate-Hartmaskenschicht **236** kann eine Siliziumnitridschicht aufweisen. Die verschiedenen Schichten **231**, **232**, **234** und **236** können durch Fotolithografie- und Ätzprozesse strukturiert werden.

**[0022]** Bei Vorgang **104** bildet das Verfahren **100** (Fig. 1A) die Gate-Abstandselemente **238** über den Seitenwänden der Dummy-Gate-Struktur **216**, wie in Fig. 3 gezeigt. Die Gate-Abstandselemente **238** können ein dielektrisches Material, wie zum Beispiel Siliziumoxid, Siliziumnitrid, Siliziumoxynitrid, Siliziumkarbid, anderes dielektrisches Material oder Kombinationen davon, aufweisen und können eine oder mehrere Materialschichten umfassen. Die Gate-Abstandselemente **238** können durch Abscheiden eines Abstandselementmaterials, wie zum Beispiel einer Abdeckschicht über der Vorrichtung **200**, gebildet werden. Dann wird das Abstandselementmaterial durch einen anisotropen Ätzprozess geätzt. Abschnitte des Abstandselementmaterials an den Seitenwänden der Dummy-Gate-Strukturen **216** werden zu den Gate-Abstandselementen **238**.

**[0023]** Bei Vorgang **106** vertieft das Verfahren **100** (Fig. 1A) die gestapelten Finnen **212a** und **212b** an den S/D-Bereichen, indem ein oder mehrere Lithografie- und Ätzvorgänge verwendet und dadurch S/D-Gräben gebildet werden. In einigen Ausführungsformen wird auch das Substrat **208** teilweise geätzt. In diesem Stadium sind die Endabschnitte (auch als seitliche Enden bezeichnet) der gestapelten Halbleiterschichten **220** und **222** in den S/D-Gräben freigelegt. Das Verfahren **100** ätzt bei Vorgang **106** ferner die Halbleiterschichten **222** seitlich in der Y-Richtung durch die S/D-Gräben hindurch, wodurch Hohlräume gebildet werden. In einigen Ausführungsformen liegt das Ausmaß der Ätzung der ersten Halbleiterschicht **222** in einem Bereich von ungefähr 2 nm bis ungefähr 5 nm. Wenn die Halbleiterschichten **222** Ge oder SiGe sind und die Halbleiterschichten **220** Si sind, können die Halbleiterschichten **222** selektiv geätzt werden, indem ein Nassätzmittel, wie zum Beispiel, aber nicht beschränkt auf, Lösungen von Ammoniumhydroxid (NH<sub>4</sub>OH), Tetramethylammoniumhydroxid (TMAH), Ethylendiamin-Brenzkatechin (EDP) oder Kaliumhydroxid (KOH), verwendet wird. Die seitliche Ätzung der Halbleiterschichten **222** kann auch einen kleinen Abschnitt der Halbleiterschichten **220** entfernen. Folglich ist die Dicke **T1** der seitlichen Enden der Halbleiterschichten **220** kleiner als die Dicke **To** anderer Abschnitte der Halbleiterschichten **220**, welche unter der Opfer-Gate-Struktur angeordnet sind, wie zum Beispiel in Fig. 4 gezeigt.

Innere Abstandselemente **224** werden im Anschluss in den Hohlräumen angrenzend an seitliche Enden der Halbleiterschichten **222** gebildet. In einigen Ausführungsformen enthalten die inneren Abstandselemente **224** ein dielektrisches Material, wie zum Beispiel SiN, SiOC, SiOCN, SiCN, SiO<sub>2</sub> und/oder ein anderes geeignetes Material, wie zum Beispiel ein dielektrisches Material mit niedrigem k-Wert mit einer Dielektrizitätskonstante von weniger als ungefähr 3, 9.

**[0024]** Vorgang **106** bildet ferner S/D-Elemente 240 in den S/D-Bereichen, wie in **Fig. 4** gezeigt. Zum Beispiel können die Vorgänge **106** Halbleitermaterialien epitaxial in den S/D-Gräben aufwachsen. Die Halbleitermaterialien können über die obere Fläche der jeweiligen gestapelten Finnen hochgezogen werden. Vorgang **106** kann die S/D-Elemente 240 getrennt für n-Vorrichtungen beziehungsweise p-Vorrichtungen bilden. Zum Beispiel kann Vorgang **106** die S/D-Elemente 240 für n-Vorrichtungen aus einem n-dotierten Silizium und für p-Vorrichtungen aus einem p-dotierten Silizium-Germanium bilden. Vorgang **106** kann ferner eine Kontaktätzstoppschicht (CESL) **242** über den S/D-Elementen 240, und eine dielektrische Zwischenschicht (ILD-Schicht) **244** über der CESL **242** bilden. Die CESL **242** kann Siliziumnitrid, Siliziumoxynitrid, Siliziumnitrid mit Sauerstoff- (O) oder Kohlenstoff- (C) Elementen und/oder andere Materialien enthalten; und kann durch CVD, PVD (physikalische Aufdampfung), ALD oder andere geeignete Verfahren gebildet werden. Die ILD-Schicht **244** kann Tetraethylorthosilikatoxid (TEOS-Oxid), undotiertes Silikatglas oder dotiertes Siliziumoxid, wie zum Beispiel Borphosphorsilikatglas (BPSG), Quarzglas (FSG), Phosphorsilikatglas (PSG), bordotiertes Siliziumglas (BSG) und/oder andere geeignete dielektrische Materialien umfassen. Die ILD-Schicht **244** kann durch PECVD oder FCVD (fließbare CVD) oder andere geeignete Verfahren gebildet werden. Ein CMP-Prozess kann dem Vorgang **104** folgen, um überschüssige dielektrische Materialien zu entfernen. In einigen Ausführungsformen entfernt der CMP-Prozess auch die Gate-Hartmasken **234** und **236** und legt die Dummy-Gate-Elektrode **232** frei.

**[0025]** Bei Vorgang **108** entfernt das Verfahren **100** (**Fig. 1A**) den Dummy-Gate-Stapel **216**, um Gate-Gräben **246** zu bilden, wie in **Fig. 5** gezeigt. Kanalbereiche, wie zum Beispiel der n-Kanalbereich 230a der ersten Vorrichtungsstruktur **206a** und der p-Kanalbereich 230b der zweiten Vorrichtungsstruktur **206b** liegen in den Gate-Gräben **246** frei. Vorgang **108** kann einen oder mehrere Ätzprozesse umfassen, welche für das Material in der Dummy-Gate-Struktur **216** selektiv sind. Durch Auswählen eines Ätzmittels, welches die Gate-Abstandselemente **238** und die ILD-Schicht **244** nicht ätzt, werden Abschnitte der Gate-Abstandselemente **238** und der ILD Schicht **244** angrenzend an die Dummy-Gate-Struktur **216** ohne we-

sentliche Ätzverluste in den Gate-Gräben **246** freigelegt. Der Ätzprozess kann eine beliebige geeignete Ätztechnik umfassen, wie zum Beispiel Nassätzung, Trockenätzung, reaktive Ionenätzung (RIE), Veraschung und/oder andere Ätzverfahren. In einem Beispiel ist der Ätzprozess ein Trockenätzprozess, für welchen ein Ätzmittel auf Fluorbasis (zum Beispiel CF<sub>4</sub>, CHF<sub>3</sub>, CH<sub>2</sub>F<sub>2</sub>, etc.) verwendet wird.

**[0026]** Bei Vorgang **110** gibt das Verfahren **100** (**Fig. 1A**) schwebende Nanostrukturen (zum Beispiel Nanodraht oder Nanoblatt) in den freiliegenden Kanalbereichen frei. Die Bildung schwebender Nanostrukturen umfasst einen selektiven Ätzprozess, um Halbleiterschichten **222** selektiv aus dem jeweiligen Kanalbereich der FET zu entfernen. Bezugnehmend auf das Beispiel von **Fig. 6** werden die Halbleiterschichten **222** (zum Beispiel Si<sub>1-x</sub>Ge<sub>x</sub>) aus den Kanalbereichen der gestapelten Finnen **212a** und **212b** entfernt, während die Halbleiterschichten **220** (zum Beispiel Si) im Wesentlichen als die Kanalschichten zurückbleiben. Mit anderen Worten werden die Halbleiterschichten **220** in den Kanalbereichen **230a** und **230b** entfernt. Folglich sind Abschnitte der Halbleiterschichten **220** in den Kanalbereichen **230a** und **230b** in den jeweiligen Öffnungen schwebend. Daher werden die Halbleiterschichten **220** nach dem Vorgang **110** auch als schwebende Nanostrukturen **220** bezeichnet.

**[0027]** In einer Ausführungsform werden die zu entfernenden Halbleiterschichten durch einen selektiven Nassätzprozess geätzt, während die übrigen Halbleiterschichten mit einer anderen Zusammensetzung im Wesentlichen unverändert bleiben. In einigen Ausführungsformen umfasst der selektive Nassätzprozess ein Hydrofluoridätzmittel (HF-Ätzmittel) oder ein NH<sub>4</sub>OH-Ätzmittel. In einer Ausführungsform, in welcher die Halbleiterschichten **222** SiGe und die Halbleiterschichten **220** Si enthalten, umfasst die selektive Entfernung der SiGe-Schichten 222 einen SiGe-Oxidationsprozess gefolgt von einer SiGeO<sub>x</sub>-Entfernung. In einem Beispiel umfasst der SiGe-Oxidationsprozess das Bilden und Strukturieren verschiedener Maskierungsschichten, sodass die Oxidation auf die SiGe-Schichten 222 gelenkt wird. In anderen Ausführungsform ist der SiGe-Oxidationsprozess aufgrund der unterschiedlichen Zusammensetzungen der Halbleiterschichten **220** und **222** eine selektive Oxidation. In manchen Beispielen wird der SiGe-Oxidationsprozess durchgeführt, indem die Vorrichtung **200** einem Nassoxidationsprozess, einem Trockenoxidationsprozess oder einer Kombination daraus ausgesetzt wird. Danach werden die oxidierten Halbleiterschichten **222**, welche SiGeO<sub>x</sub> enthalten, durch ein Ätzmittel, wie zum Beispiel NH<sub>4</sub>OH oder verdünnten HF, entfernt. Die Halbleiterschicht kann auch durch einen selektiven Nassätzprozess entfernt werden, während die übrigen Halbleiterschichten mit einer anderen Zusammensetzung im Wesentlichen

unverändert bleiben. In einigen Ausführungsformen umfasst der selektive Trockenätzprozess ein Ätzmittel auf Basis von Fluorwasserstoff (HF), Fluorid (F<sub>2</sub>), Kohlenstofffluorid (CF<sub>x</sub>) oder Wasserstoff (H<sub>2</sub>).

**[0028]** Die Schwellenspannung eines n-FET kann durch Metallaustrittsarbeitsschichten eingestellt werden. Um p-FET mit entsprechender Schwellenspannung zu erlangen, wird das Verfahren **100** dann fortgesetzt, um den Kanalbereich **230b** der zweiten Vorrichtungsstruktur **206b** zur Feinabstimmung der Schwellenspannung des zu bildenden p-FET anzupassen. Das Anpassen des Kanalbereichs **230b** umfasst verschiedene Prozeduren und Vorgänge, wie zum Beispiel die Vorgänge **112** und **114**, welche als nächstes beschrieben werden.

**[0029]** Bei Vorgang **112** bildet das Verfahren **100** (Fig. 1A) eine strukturierte Maske an der oberen Fläche der Vorrichtung **200**. Wie in Fig. 7 gezeigt, bedeckt die strukturierte Maske die erste Vorrichtungsstruktur **206a** und weist eine Öffnung auf, welche die zweite Vorrichtungsstruktur **206b** freilegt. In einer Ausführungsform weist die strukturierte Maske (anstatt einer Weichmaske, wie zum Beispiel einer strukturierten Fotolackschicht) eine Hartmaske **252** auf, welche über der ersten Vorrichtungsstruktur **206a** angeordnet ist. In manchen Beispielen enthält die Hartmaske **252** Siliziumoxid, Siliziumnitrid, Siliziumoxynitrid, Siliziumkarbid, Siliziumkarbidnitrid, Siliziumkarbidoxynitrid, ein anderes Halbleitermaterial und/oder ein anderes dielektrisches Material. In einer Ausführungsform weist die Hartmaske **252** eine Dicke im Bereich von ungefähr 1 nm bis ungefähr 40 nm auf. Die Hartmaske **252** wird durch thermische Oxidation, chemische Dampfabscheidung (CVD), Atomlagenabscheidung (ALD) oder ein beliebiges anderes geeignetes Verfahren gebildet. Die Hartmaske **252** wird unter Verwendung beliebiger geeigneter Verfahren, wie zum Beispiel eines Fotolithografieprozesses, strukturiert, welche das Bilden einer Fotolackschicht an der Hartmaske **252**, das Belichten des Fotolacks durch einen Lithografiebelichtungsprozess, das Ausführen eines Nachbelichtungsbackprozesses, das Entwickeln der Fotolackschicht zum Bilden der strukturierten Fotolackschicht, welche einen Teil der Hartmaske **252** freilegt, das Strukturieren der Hartmaske **252** und schließlich das Entfernen der strukturierten Fotolackschicht umfassen können. Als Alternative kann der Lithografieprozess durch andere geeigneten Techniken, wie zum Beispiel Elektronenstrahl-schreiben, Ionenstrahl-schreiben, maskenloses Strukturieren oder Molekulardruck, ersetzt werden.

**[0030]** Bei Vorgang **114** dotiert das Verfahren **100** (Fig. 1A) eine den Schwellenwert modifizierende Verunreinigung in den Kanalbereich **230b**, um die Schwellenspannung der zweiten Vorrichtungsstruktur **206b** einzustellen. In einigen Ausführungsformen enthält die den Schwellenwert modifizierende Verun-

reinigung Germanium. In einem Beispiel, in welchem die schwebenden Nanostrukturen **220** aus einem Siliziummaterial gebildet sind, kann der Germaniumdotierstoff einen Dipol mit dem Siliziummaterial bilden. Die Dipolbildung kann dazu verwendet werden, eine Schwellenspannung eines FET-Transistors, welcher unter Verwendung der schwebenden Nanostrukturen **220** als Kanalschichten gebildet wird, abzustimmen. In einem Beispiel kann die Schwellenspannung des FET-Transistors verändert werden, indem eine Dosierung der Germaniumkonzentration in den schwebenden Nanostrukturen **220** geregelt wird, wobei eine Größe der Veränderung der Schwellenspannung proportional zur Dosierung sein kann. Ist der zu bildende FET-Transistor zum Beispiel ein p-FET, kann die Germaniumdotierstoffimplantation die Schwellenspannung des Feldeffekttransistors derart verringern, dass eine höhere Dosierung eine größere Verringerung der Schwellenspannung bewirkt.

**[0031]** In einer Ausführungsform von Vorgang **114** umfasst die Dotierung mit der den Schwellenwert modifizierenden Verunreinigung einen Germaniumimplantationsprozess **254**, wie in Fig. 8 gezeigt. Der Implantationsprozess kann bei einer Energie von zwischen ungefähr 0,5 keV und ungefähr 30 keV ausgeführt werden. In einer Ausführungsform ist der Implantationsprozess ein im Wesentlichen vertikales Implantat (zum Beispiel lotrecht zu einer oberen Fläche des Substrats). In einer Ausführungsform ist der Implantationsprozess eine geneigte Implantation. Der Neigungswinkel kann zwischen ungefähr 0 Grad und ungefähr 30 Grad betragen. Die Dosierungen des implantierten Germaniums variieren zwischen ungefähr  $1 \times 10^{15}/\text{cm}^2$  und ungefähr  $5 \times 10^{15}/\text{cm}^2$ , und die Schwellenspannungen des p-FET können proportional um ungefähr 10 mV bis ungefähr 120 mV verringert werden. Die Germaniumimplantation kann bei einer erhöhten Temperatur (zum Beispiel mehr als 400° C) ausgeführt werden, um eine Amorphisierung der schwebenden Nanostruktur **220** während der Implantation zu verhindern. Zum Beispiel kann eine Atmosphäre, in welcher die Germaniumimplantation erfolgt, auf eine Temperatur von mehr als ungefähr 450° C erhitzt werden, und die Vorrichtung **200** selbst (welche zum Beispiel das Substrat **208** aufweist) kann während der Germaniumimplantation auf eine Temperatur von mehr als ungefähr 400° C erhitzt werden. In einer weiteren Ausführungsform umfasst die Dotierung von Germanium einen Niedrigtemperatur-Plasmadotierungsprozess, welcher Germaniumionen in die schwebenden Nanostrukturen **220** treibt. In einem Beispiel wird der Plasmadotierungsprozess mit einer RF-Quelle von weniger als ungefähr 1000 W bei ungefähr 2 MHz und einer gepulsten Gleichstromvorspannung von weniger als ungefähr 10 KV bei ungefähr 0,5 - 10 KHz, sowie bei einem Druck von ungefähr 6 mTorr bis ungefähr 200 mTorr und einer Temperatur von weniger als ungefähr 100° C ausgeführt.

**[0032]** In noch einer weiteren Ausführungsform des Vorgangs **114** bildet das Verfahren **200** eine Halbleiterschicht **258** rund um jede der schwebenden Nanostrukturen **220**, welche in der zweiten Vorrichtungsstruktur **206b** angeordnet sind (jedoch nicht jenen in der ersten Vorrichtungsstruktur **206a**), wie in **Fig. 9** gezeigt. Die Halbleiterschichten **258** enthalten die den Schwellenwert modifizierende Verunreinigung und weisen Zusammensetzungen auf, welche sich von jenen der schwebenden Nanostrukturen **220** unterscheiden. In einer Ausführungsform enthalten die Halbleiterschichten **258** Silizium-Germanium ( $\text{Si}_{1-x}\text{Ge}_x$ ), während die schwebenden Nanostrukturen **220** Silizium (Si) enthalten. Zum Beispiel enthält jede der Schichten **258**  $\text{Si}_{1-x}\text{Ge}_x$  aufweisend ungefähr 10 % bis ungefähr 100 % ( $0,1 \leq x \leq 1$ ) an Ge im Molverhältnis. In einer weiteren Ausführungsform enthalten die Halbleiterschichten **258** Germanium-Zinn ( $\text{Ge}_x\text{Sn}_{1-x}$ ), während die schwebenden Nanostrukturen **220** Silizium (Si) enthalten. Zum Beispiel enthält jede der Schichten **258**  $\text{Ge}_x\text{Sn}_{1-x}$  aufweisend ungefähr 10 % bis ungefähr 100 % ( $0,1 \leq x \leq 1$ ) an Ge im Molverhältnis. Eine ausreichende Menge an Ge in jeder der Schichten **258** hilft dabei, eine Schwellenspannung des Kanalbereichs **230b** in der zweiten Vorrichtungsstruktur **206b** zu verringern. Zum Beispiel kann Ge ungefähr 60 % bis ungefähr 80 % der Schicht **258** aus  $\text{Si}_{1-x}\text{Ge}_x$  oder  $\text{Ge}_x\text{Sn}_{1-x}$  im Molverhältnis ausmachen. Dieser Bereich von Ge-Gehalts verringert in Kombination mit nachfolgenden Bearbeitungsschritten wirksam die Schwellenspannung des Kanalbereichs **230b** der zweiten Vorrichtungsstruktur **206b**. Ferner können die Halbleiterschichten **258** weitere sich voneinander unterscheidende Zusammensetzungen enthalten.

**[0033]** Weiterhin bezugnehmend auf **Fig. 9** werden in einigen Ausführungsformen die Halbleiterschichten **258** epitaxial aus den Flächen der Halbleiterschichten **220** aufgewachsen. Zum Beispiel wird jede der Halbleiterschichten **258** durch einen MBE-Prozess, einen CVD-Prozess, wie zum Beispiel einen MOCVD-Prozess, und/oder andere geeignete epitaxiale Aufwuchsprozesse aufgewachsen. Der epitaxiale Aufwuchsansatz ermöglicht es, dass Materialien in der Halbleiterschicht **258** Kristallgitter bilden, welche mit jenen der Halbleiterschichten **220** im Einklang stehen. In einigen Ausführungsformen ist jede der Halbleiterschichten **258** eine konforme Schicht, welche eine im Wesentlichen gleichmäßige Dicke aufweist. In einem Beispiel weist jede der Halbleiterschichten **258** eine Dicke von ungefähr 1 nm bis ungefähr 4 nm auf. In einigen Ausführungsformen beträgt ein Dickenverhältnis zwischen einer Halbleiterschicht **258** und der von ihr umgebenen Halbleiterschicht **220** ungefähr 1:4 bis ungefähr 1:2. Mit anderen Worten ist die Halbleiterschicht **258** dünner als ihre entsprechende Halbleiterschicht **220**. Ein solches Dickenverhältnis stellt eine geeignete Menge an Ger-

manium bereit, welches für die Schwellenwertanpassung erforderlich ist.

**[0034]** Wie in **Fig. 9** gezeigt, weist jede der Halbleiterschichten **220** einen mittleren Abschnitt auf, welcher im Gate-Graben **246** freiliegt, sowie zwei Endbereiche unter den Gate-Abstandselementen **238**. Der mittlere Abschnitt ist im Raum schwebend (und wird in nachfolgenden Schritten von einem Metall-Gate-Stapel eingehüllt), und die Endabschnitte sind mit den inneren Abstandselementen **224** and den Gate-Abstandselementen **238** verbunden (zum Beispiel von diesen umhüllt oder umgeben). Da nur die mittleren Abschnitte freigelegt sind, werden in einer Ausführungsform die Halbleiterschichten **258** nur in den mittleren Abschnitten epitaxial aufgewachsen, nicht jedoch in den Endabschnitten der schwebenden Nanostrukturen **220**. Mit anderen Worten werden die Halbleiterschichten **258** nur im Gate-Kontaktbereich gebildet, und enden an den Gate-Abstandselementen **238** und den inneren Abstandselementen **224**.

**[0035]** Bezugnehmend auf **Fig. 10** entfernt das Verfahren **100** ferner bei Vorgang **114** die strukturierte Maske (zum Beispiel die Hartmaske **252**) von der Vorrichtung **200**, und führt optional einen Temperprozess aus, um das in den Halbleiterschichten **258** enthaltene Germanium in deren entsprechende Halbleiterschichten **220** zu treiben. Die Vorrichtung **200** wird einem Gas ausgesetzt, welches Stickstoff (N), Phosphor oder andere geeignete Elemente enthält. Um eine Oxidation der Halbleiterschichten **252** (zum Beispiel aus Silizium-Germanium oder Germanium-Zinn) zu vermeiden, weist das Gas in einigen Ausführungsformen keinen Sauerstoffgehalt auf. Die Bedingungen des Temperprozesses werden eingestellt, um das Profil und die Eigenschaften des entstehenden Kanals zu regeln. In einem Beispiel wird der Temperprozess bei Temperaturen von zwischen ungefähr  $700^\circ\text{C}$  und ungefähr  $1200^\circ\text{C}$  ausgeführt. Der Temperprozess kann für eine relativ lange Dauer, wie zum Beispiel 10 Sekunden bis 100 Sekunden (sogenanntes „Tränken“) ausgeführt werden, oder für eine relativ kurze Dauer, wie zum Beispiel von einigen Hundert Millisekunden bis zu einigen Sekunden (zum Beispiel 200 Millisekunden bis zu 2 Sekunden) (sogenanntes „Dotieren“).

**[0036]** Der Temperprozess bewirkt, dass Germaniumatome, und möglicherweise Siliziumatome oder Zinnatome, welche in den Halbleiterschichten **258** enthalten sind, in die betreffenden Halbleiterschichten **220** diffundieren oder migrieren. Andererseits können Siliziumatome, welche in den Halbleiterschichten **220** enthalten sind, auch in die betreffenden Halbleiterschichten **258** diffundieren oder migrieren. Als ein Ergebnis der Migration von Atomen verringert sich der Germaniumgehalt der Halbleiterschichten **258**, und erhöht sich der Germaniumgehalt der Halbleiterschichten **220**. In einer Ausführungs-

form ist nach dem Temperprozess jede der Halbleiterschichten **258**  $\text{Si}_{1-x}\text{Ge}_x$  oder  $\text{Ge}_x\text{Sn}_{1-x}$ , welche mehr als 0 %, jedoch gleich oder weniger als ungefähr 70 % ( $0,1 < x \leq 0,7$ ) an Ge im Molverhältnis enthält. Ein solcher Bereich von Ge-Gehalt ist ein Ergebnis des Verdünnens der ursprünglichen Konzentration von Ge in der Halbleiterschicht **258** (zum Beispiel ungefähr 60 % bis ungefähr 80 %, wie oben beschrieben) und senkt wirksam die Schwellenspannung im Kanalbereich **230b**. Jede der Halbleiterschichten **258** und ihre entsprechende Halbleiterschicht **220** können effektiv miteinander kombiniert werden, um eine neue schwebende Nanostruktur (welche der Einfachheit halber weiterhin mit Ziffer **220** gekennzeichnet wird) zu bilden, da die Materialzusammensetzungen der Halbleiterschichten **258** und **220** dieselben oder jedenfalls ähnlich werden (zum Beispiel, wenn Germanium schlussendlich gleichmäßig in den Halbleiterschichten **258** und **220** verteilt ist).

**[0037]** Da die schwebenden Nanostrukturen **220** in der zweiten Vorrichtungsstruktur **206b** als eine Kombination von zwei Halbleiterschichten gebildet werden, können die schwebenden Nanostrukturen **220** in der zweiten Vorrichtungsstruktur **206b** weiterhin bezugnehmend auf **Fig. 10** in der Z-Richtung dicker (und in der X-Richtung breiter) sein als die schwebenden Nanostrukturen **220** in der ersten Vorrichtungsstruktur **206a**. Das Verfahren **100** kann bei Vorgang **114** optional einen Trimmungsvorgang ausführen, um die Dicke der schwebenden Nanostrukturen **220** in der zweiten Vorrichtungsstruktur **206b** zu verringern. Der Trimmungsvorgang verwendet einen beliebigen geeigneten Ätzprozess, wie zum Beispiel Trockenätzung, Nassätzung und/oder RIE. In einer Ausführungsform werden die schwebenden Nanostrukturen **220** in der zweiten Vorrichtungsstruktur **206b** derart getrimmt, dass sie ungefähr dieselben Abmessungen (Dicke und/oder Breite) aufweisen, wie die schwebenden Nanostrukturen **220** in der ersten Vorrichtungsstruktur **206a**. In einem besonderen Beispiel umfasst das Verfahren **100** bei Vorgang **114** einen zyklischen Prozess einer Wiederholung der Schritte des epitaxialen Aufwachsens der Germaniumhalbleiterschicht **258**, des Temperns zum Eintreiben der Germaniumatome und des Trimmens schwebender Nanostrukturen als eine Möglichkeit, den Germaniumgehalt in den schwebenden Nanostrukturen **220** weiter auf ungefähr 80 %, wie zum Beispiel auf 95 % oder fast 100 %, zu erhöhen.

**[0038]** Im Einklang mit den oben offenbarten Ausführungsformen von Vorgang **114** werden die eingetriebenen Germaniumatome auf verschiedene Art und Weise in den schwebenden Nanostrukturen **220** verteilt, welche durch das Regeln der Bedingungen Implantationsenergie, Implantationsspezies, Implantationsdosierung, Temperbedingungen, etc. maßgeschneidert werden können. Wie oben beschrieben und in den **Fig. 8** und **Fig. 9** gezeigt, sind wäh-

rend der Germaniumimplantation oder dem epitaxialen Aufwachsen germaniumhaltiger Halbleiterschichten die mittleren Abschnitte der schwebenden Nanostrukturen **220** der zweiten Vorrichtungsstruktur **206b** von diesem Prozess betroffen. Somit können während der Dotierung Germaniumatome hauptsächlich in die mittleren Abschnitte (und nicht in die Endabschnitte) entsprechender schwebender Nanostrukturen **220** eingetrieben werden. **Fig. 10** bildet auch ein Beispielkonzentrationsprofil von Germanium in einer schwebenden Nanostruktur **220** entlang deren Längsrichtung (Y-Richtung) ab. Wie in **Fig. 10** gezeigt, ist eine Konzentration von Germanium im mittleren Abschnitt der schwebenden Nanostruktur **220** höher als eine Konzentration des Germaniums in den beiden Endabschnitten. Es können beliebige geeignete Verfahren zur Bestimmung der Konzentration verwendet werden (zum Beispiel durch Bestimmen der Durchschnittskonzentration oder der mittleren Konzentration). In einer Ausführungsform ist die Konzentration des Germaniums im mittleren Bereich jeder der schwebenden Nanostrukturen **220** im Wesentlichen gleichmäßig, während die Konzentration des Germaniums in den Endabschnitten ein Gradientenprofil aufweist (zum Beispiel von der hohen Konzentration im mittleren Abschnitt allmählich abnehmend bis zu einer Konzentration von Null). Es ist zu beachten, dass aufgrund der sich ausbreitenden Charakteristik der Germaniummigration die Konzentration von Germanium an den in **Fig. 10** gezeigten Punkten C und C' beginnen kann abzunehmen, wobei diese Punkte einige Nanometer neben der Grenzfläche zwischen dem mittleren Abschnitt und einem Endabschnitt angeordnet sein können (das heißt, einige Nanometer neben einer Position fluchtend mit einer Seitenwand der Gate-Abstandselemente **238**). In einigen Ausführungsformen (zum Beispiel, wenn der Temperprozess eine kurze Dauer und/oder niedrige Temperaturen aufweist) reicht das Germanium nicht weit genug unter die Gate-Abstandselemente **238** hinein, um den Source-Bereich und den Drain-Bereich zu erreichen. Stattdessen sinkt die Konzentration von Germanium an den Punkten D und D' auf Null. Somit ist mindestens ein Abschnitt der beiden Endabschnitte - welcher in direktem Kontakt mit den Gate-Abstandselementen **238**, den inneren Abstandselementen **224** beziehungsweise den Source-/Drain-Merkmalen **240** ist - im Wesentlichen frei von Germanium. In einer Ausführungsform sind die gesamten Endabschnitte der schwebenden Nanostrukturen **220** im Wesentlichen frei von Germanium. Desgleichen kann für einen Querschnitt in der X-Z-Ebene zwischen den Punkten C und C' eine Konzentration von Germanium in einem Kernabschnitt jeder der schwebenden Nanostrukturen **220** gleich oder niedriger sein als eine Konzentration von Germanium in einem (äußeren) Randabschnitt der schwebenden Nanostruktur **220**. In einem Beispiel wird sowohl im Kernabschnitt als auch im Randabschnitt der schwebenden Nanostruktur **220** eine gleichmäßige Germa-

niumkonzentration von ungefähr 34 % bis 38 % erzielt. In noch einem weiteren Beispiel wird eine Germaniumkonzentration von ungefähr 45 % bis 50 % im Randabschnitt der schwebenden Nanostruktur **220** erzielt, während der Kernabschnitt der schwebenden Nanostruktur **220** im Wesentlichen frei von Germaniumatomen ist. Ein solches Gradientenprofil kann durch die relativ kurze Dauer des Temperprozesses (zum Beispiel nicht genügend Zeit für das Germanium, den ganzen Weg bis zum Kern zu migrieren) verursacht werden. In einigen Ausführungsformen weist der Randabschnitt der schwebenden Nanostruktur **220** als ein Überbleibsel der Halbleiterschicht **258**, welche  $\text{Ge}_x\text{Sn}_{1-x}$  enthält, eine dünne zinnhaltige äußere Schicht auf.

**[0039]** Bei Vorgang **116** setzt sich das Verfahren **100** (Fig. **1A**) damit fort, Gate-Stapel **260a** und **260b** über den Kanalbereichen **230a** und **230b** der ersten Vorrichtungsstruktur **206a** beziehungsweise der zweiten Vorrichtungsstruktur **206b** zu bilden. Der Gate-Stapel **260a** steht in Eingriff mit dem n-Kanalbereich **230a**, wodurch ein n-GAA-Transistor an der ersten Vorrichtungsstruktur **206a** gebildet wird. Der Gate-Stapel **260b** steht in Eingriff mit dem p-Kanalbereich **230b**, wodurch ein p-GAA-Transistor an der zweiten Vorrichtungsstruktur **206b** gebildet wird. Bezugnehmend auf das Beispiel von Fig. **11** füllen die Gate-Stapel **230a** und **230b** die Öffnungen in den Kanalbereichen und umhüllen jede der schwebenden Nanostrukturen **220**. Die Gate-Stapel **260a** und **260b** weisen ähnliche Strukturen auf, verwenden in einigen Ausführungsformen jedoch unterschiedliche Metalle und/oder unterschiedliche Schichtdicken. In der vorliegenden Ausführungsform weisen die Gate-Stapel **260a** und **260b** eine dielektrische Gate-Schicht **262** auf, welche eine oder mehrere Schichten dielektrischer Materialien an den Innenflächen der Öffnung aufweisen kann und jede der schwebenden Nanostrukturen **220** direkt umhüllt. Die dielektrische Gate-Schicht **262** enthält ein dielektrisches Material, wie zum Beispiel Siliziumoxid oder Siliziumoxynitrid, und wird durch chemische Oxidation, thermische Oxidation, ALD, CVD und/oder andere geeignete Verfahren gebildet. In einigen Ausführungsformen weist die dielektrische Gate-Schicht **262** auch eine dielektrische Schicht mit hohem k-Wert, wie zum Beispiel Hafniumoxid, Zirkoniumoxid, Lanthanoxid, Titanoxid, Yttriumoxid, Strontiumtitanat, andere geeignete Metalloxide oder Kombinationen davon, auf; und wird durch ALD und/oder andere geeignete Verfahren gebildet. Die Gate-Stapel **260a** und **260b** weisen ferner eine Gate-Metallschicht **264**, welche eine oder mehrere Metallaustrittsarbeitschichten über der dielektrischen Gate-Schicht **262** aufweisen kann, und eine Metallfüllschicht über den Metallaustrittsarbeitschichten auf. In einigen Ausführungsformen ist die Metallaustrittsarbeitschicht eine n-Metallaustrittsarbeitschicht oder eine p-Metallaustrittsarbeitschicht. Die n-Metallaustrittsarbeitschicht enthält ein Metall

ausgewählt aus der, aber nicht beschränkt auf die, Gruppe umfassend Titan, Aluminium, Tantalcarbide, Tantalcarbide, Tantal-Siliziumnitrid oder Kombinationen davon. Die p-Metallaustrittsarbeitschicht enthält ein Metall ausgewählt aus der, aber nicht beschränkt auf die, Gruppe umfassend Titanitrid, Tantalnitrid, Ruthenium, Molybdän, Wolfram, Platin oder Kombinationen davon. In einigen Ausführungsformen weist die p- oder n-Metallaustrittsarbeitschicht eine Mehrzahl von Schichten auf, welche durch CVD, PVD und/oder einen anderen geeigneten Prozess aufgebracht werden. Durch Dotierung der Kanalschichten der p-FET mit den Schwellenwert modifizierender Verunreinigung können die Schwellenspannungen ohne die Notwendigkeit einer komplizierten Metallaustrittsarbeitsregelung in p-FET fein abgestimmt werden. Die Metallfüllschicht enthält Aluminium, Wolfram, Kobalt, Kupfer und/oder andere geeignete Materialien, und wird durch CVD, PVD, Plattierung und/oder andere geeignete Prozesse gebildet. In einigen Ausführungsformen umhüllen die Gate-Stapel **260a** und **260b** die vertikal gestapelten, horizontal ausgerichteten Kanalhalbleiterschichten. Somit ist die Vorrichtung **200** eine gestapelte, horizontale Rundum-Gate-Vorrichtung (SHGAA-Vorrichtung). In einer Ausführungsform wird nach dem Aufbringen der Gate-Stapel ein CMP-Prozess ausgeführt, um eine obere Fläche der Vorrichtung **200** zu planarisieren.

**[0040]** In verschiedenen Ausführungsformen kann das Verfahren **100** optional den Trimmungsprozess in Vorgang **114** überspringen, ohne die Dicke und/oder Breite der schwebenden Nanostrukturen **220** in den p-Kanälen der zweiten Vorrichtungsstruktur **206b** zu verringern. Folglich kann eine Querschnittsfläche der schwebenden Nanostrukturen **220** im p-GAA-Transistor größer sein als jene im n-GAA-Transistor. Da der p-Kanal auf Löchern für die Leitung beruht, welche eine langsamere Mobilität aufweisen als Elektronen im n-Kanal, hilft eine größere Querschnittsfläche im p-Kanal dabei, die wirksame Breite des Kanals zu vergrößern, was zu einem höheren Strom und besserer Transistorleistung führt.

**[0041]** In der obigen Erörterung kann das Verfahren **100** (Fig. **1A**) bei Vorgang **114** die den Schwellenwert modifizierende Verunreinigung (zum Beispiel Germanium) global in alle p-Bereiche der Vorrichtung **200** dotieren. Alternativ dazu kann das Verfahren **100** bei Vorgang **114** die den Schwellenwert modifizierende Verunreinigung in ausgewählte p-Bereiche dotieren, um Schwellenspannungsunterschiede zwischen verschiedenen p-FET zu schaffen. Die Vorrichtung **200** kann zwei oder mehr Bereiche mit unterschiedlichen Schwellenspannungen aufweisen, wie zum Beispiel mindestens einen Standardschwellenspannungsbereich (SVt-Bereich) und einen Bereich niedriger Schwellenspannung (LVt-Bereich). Im Beispiel von Fig. **12** sind die erste Vorrichtungsstruktur

tur **206a** zum Bilden eines n-FET und die zweite Vorrichtungsstruktur **206b** zum Bilden eines ersten p-FET im SVt-Bereich angeordnet. Ebenfalls in **Fig. 12** abgebildet ist eine dritte Vorrichtungsstruktur **206c** zum Bilden eines zweiten p-FET im LVt-Bereich. Im Vergleich zu Transistoren, welche in einem SVt-Bereich angeordnet sind, weist der Transistor, welcher in einem LVt-Bereich angeordnet ist, eine niedriger Schwellenspannung auf und arbeitet schneller. Daher können die Transistoren in einem LVt-Bereich für Hochgeschwindigkeitsanwendungen geeignet sein. Das Verfahren **100** (**Fig. 1A**) kann bei Vorgang **112** dementsprechend die Hartmaske **252** bilden, welche sowohl die erste Vorrichtungsstruktur **206a** als auch die zweite Vorrichtungsstruktur **206b** abdeckt, jedoch eine Öffnung aufweist, welche die dritte Vorrichtungsstruktur **206c** freilegt. Folglich ist der Dotierungsprozess (zum Beispiel eine Germaniumimplantation, Niedrigtemperatur-Plasmadotierung oder Aufwachsen einer germaniumhaltigen epitaxialen Schicht und Eintreiben durch Tempern) auf den Kanalbereich **230c** der dritten Vorrichtungsstruktur **206c** begrenzt. Dies führt dazu, dass eine Schwellenspannung des ersten p-FET, welcher an der zweiten Vorrichtungsstruktur **206b** gebildet ist, nicht angepasst wird, während der zweite p-FET, welcher an der dritten Vorrichtungsstruktur **206c** gebildet ist, eine niedrigere Schwellenspannung aufweist als der erste p-FET, welcher an der zweiten Vorrichtungsstruktur **206b** gebildet ist.

**[0042]** Weiterhin bezugnehmend auf **Fig. 12** kann in noch einer weiteren Ausführungsform das Verfahren **100** (**Fig. 1A**) bei Vorgang **114** zwei Verunreinigungsdotierungsprozesse umfassen. Die Hartmaske **252** kann zunächst die erste Vorrichtung **206a** abdecken, wobei eine Öffnung den Kanalbereich **230b** der zweiten Vorrichtungsstruktur **206b** und den Kanalbereich **230c** der dritten Vorrichtungsstruktur **206c** freilegt. Das Verfahren **100** führt bei Vorgang **114** einen ersten Verunreinigungsdotierungsprozess aus, welcher einen Teil der Gesamtdosierung sowohl in den Kanalbereich **230b** als auch in den Kanalbereich **230c** dotiert. In der Folge wird eine neue Hartmaske gebildet, welche die erste Vorrichtung **206a** und die zweite Vorrichtung **206b** abdeckt, wobei eine Öffnung die dritte Vorrichtungsstruktur **206c** freilegt. Das Verfahren **100** führt bei Vorgang **114** einen zweiten Verunreinigungsdotierungsprozess aus, welcher den Rest der Gesamtdosierung in den Kanalbereich **230c** dotiert. Falls zum Beispiel eine einzubringende Gesamtdosierung  $2 \times 10^{15}/\text{cm}^2$  beträgt, kann der erste Verunreinigungsdotierungsprozess dazu verwendet werden, eine Germaniumdosis von  $1 \times 10^{15}/\text{cm}^2$  global in sämtliche p-FET-Bereiche an der Vorrichtung **200** einzubringen, und der zweite Verunreinigungsdotierungsprozess kann dazu verwendet werden, eine Germaniumdosis von  $1 \times 10^{15}/\text{cm}^2$  nur in LVt-Bereiche einzubringen. Auf diese Weise werden sämtliche der gebildeten p-FET eine verringerte Schwel-

lenspannung aufweisen, während die p-FET in LVt-Bereichen aufgrund der höheren empfangenen Dosierung eine niedrigere  $V_t$  aufweisen.

**[0043]** Nunmehr wird Bezug genommen auf das Verfahren **300**. **Fig. 1B** stellt ein Ablaufdiagramm des Verfahrens **300** im Einklang mit verschiedenen Aspekten der vorliegenden Offenbarung dar. In der gesamten vorliegenden Offenbarung bezeichnen dieselben Bezugsziffern die hinsichtlich Zusammensetzung und Bildung selben Merkmale. Einige Details von Vorgängen im Verfahren **300** können vereinfacht oder weggelassen werden, falls ähnliche Details bereits in Zusammenhang mit Verfahren **100** beschrieben worden sind. Das Verfahren **300** ist nur ein Beispiel und soll nicht dazu dienen, die vorliegende Offenbarung über die expliziten Angaben in den Ansprüchen hinaus einzuschränken. Zusätzliche Vorgänge können vor dem, während des und nach dem Verfahren/s **300** bereitgestellt sein, und einige der beschriebenen Vorgänge können für zusätzliche Ausführungsformen des Verfahrens ersetzt, weggelassen oder verschoben werden. Einige Ausführungsformen des Verfahrens **300** sind nachfolgend in Verbindung mit den **Fig. 13 - Fig. 22** beschrieben. **Fig. 13** ist eine perspektivische Ansicht der Vorrichtung **200**. Die **Fig. 14 - Fig. 22** sind (nebeneinander aufgeführte) Querschnittsansichten der Vorrichtung **200** entlang der Schnitte B-B und C—C, welche in **Fig. 13** gezeigt sind, welche den jeweiligen Kanalbereich entlang der Längsrichtung der p-Transistoren (in der Y-Z-Ebene) schneiden. Eine Querschnittsansicht, welche einen Kanalbereich entlang der Längsrichtung eines zusätzlichen p-Transistors der Vorrichtung **200** schneidet, ist ebenfalls in **Fig. 22** abgebildet.

**[0044]** Bei Vorgang **302** stellt das Verfahren **300** (**Fig. 1B**) die Vorrichtung **200** bereit, welche zwei oder mehr Bereiche mit unterschiedlichen Schwellenspannungen aufweist, wie zum Beispiel mindestens einen Standardschwellenspannungsbereich (SVt-Bereich) und einen Bereich niedriger Schwellenspannung (LVt-Bereich). Im Beispiel von **Fig. 13** sind die erste Vorrichtungsstruktur **206a** zum Bilden eines n-FET und die zweite Vorrichtungsstruktur **206b** zum Bilden eines ersten p-FET im SVt-Bereich angeordnet. Ebenfalls in **Fig. 13** abgebildet ist eine dritte Vorrichtungsstruktur **206c** zum Bilden eines zweiten p-FET im LVt-Bereich. Wie in **Fig. 13** gezeigt, weist jede der Vorrichtungsstrukturen **206a - c** das Substrat **208**, die Isolationsstruktur **210**, die Finnen **212b - c**, welche abwechselnd und vertikal gestapelte Halbleiterschichten **220** und **222** aufweisen (auch als gestapelte Finnen **212a - c** bezeichnet), und Dummy-Gate-Strukturen **216**, welche mit den gestapelten Finnen **212a - c** in Eingriff stehen, auf. Da das Substrat **202**, die Isolationsstruktur **210**, die Halbleiterschichten **220** und **222** und die Dummy-Gate-Struktur **216** jeweils oben beschrieben worden sind,

werden ausführliche Beschreibungen derselben hier weggelassen.

**[0045]** Bei Vorgang **304** bildet das Verfahren **300** (Fig. **1B**) die Gate-Abstandselemente **238** über den Seitenwänden der Dummy-Gate-Strukturen **216**, wie in Fig. **14** gezeigt (der Schnitt A-A der ersten Vorrichtungsstruktur **206a** zum Bilden eines n-FET wird hierin zur Vereinfachung weggelassen). Da der Vorgang **304** ähnlich dem oben beschriebenen Vorgang **104** ist, werden ausführliche Beschreibungen desselben hier der Kürze halber weggelassen.

**[0046]** Bei Vorgang **306** bildet das Verfahren **300** (Fig. **1B**) die inneren Abstandselemente **224** und die S/D-Elemente **240**, wie in Fig. **15** gezeigt. Aufgrund eines seitlichen Ätzprozesses beim Bilden von Hohlräumen zum Aufbringen der inneren Abstandselemente **224** darin, kann die seitliche Ätzung auch einen kleinen Abschnitt der Halbleiterschichten **220** entfernen. Folglich ist eine Dicke **T1** der Endabschnitte der Halbleiterschichten **220** kleiner als eine Dicke **To** anderer Abschnitte der Halbleiterschichten **220**, welche unter der Opfer-Gate-Struktur angeordnet sind. Da der Vorgang **306** ähnlich dem oben beschriebenen Vorgang **106** ist, werden ausführliche Beschreibungen desselben hier der Kürze halber weggelassen.

**[0047]** Bei Vorgang **308** entfernt das Verfahren **300** (Fig. **1B**) die Dummy-Gate-Stapel **216**, um Gate-Gräben **246** zu bilden, wie in Fig. **16** gezeigt. Da der Vorgang **308** ähnlich dem oben beschriebenen Vorgang **108** ist, werden ausführliche Beschreibungen desselben hier der Kürze halber weggelassen.

**[0048]** Bei Vorgang **310** legt das Verfahren **300** (Fig. **1B**) schwebende Nanostrukturen **220** in den freiliegenden Kanalbereichen frei, wie in Fig. **17** gezeigt. Da der Vorgang **310** ähnlich dem oben beschriebenen Vorgang **110** ist, werden ausführliche Beschreibungen desselben hier der Kürze halber weggelassen.

**[0049]** Bei Vorgang **312** führt das Verfahren **300** (Fig. **1B**) einen Trimmungsprozess **270** aus, um die Dicken der schwebenden Nanostrukturen **202** in den beiden Kanalbereichen **230b** und **230c** (jedoch nicht im Kanalbereich **230a** für die n-FET) zu verringern, wie in Fig. **18** gezeigt. Nach dem Trimmungsprozess **270** weisen die schwebenden Nanostrukturen **220** in den beiden Kanalbereichen **212b** und **212c** im Wesentlichen dieselben Abmessungen (Dicke und/oder Breite) auf. Der Trimmungsvorgang verwendet einen beliebigen geeigneten Ätzprozess, wie zum Beispiel Trockenätzung, Nassätzung und/oder RIE. Während des Trimmungsprozesses **270** schützen die Gate-Abstandselemente **238** die unter diesen angeordneten schwebenden Nanostrukturen **202** davor, geätzt zu werden. Der Trimmungsprozess **270** entfernt selektiv

Abschnitte der schwebenden Nanostrukturen **202**, welche vertikal auf die Gate-Gräben **246** ausgerichtet sind, während er die beiden Endabschnitte der schwebenden Nanostrukturen **202** im Wesentlichen ungeätzt lässt. Die getrimmte Dicke des mittleren Abschnitts der schwebenden Nanostruktur **202** wird als **T2** bezeichnet. In der dargestellten Ausführungsform kann ein kleiner Abschnitt der schwebenden Nanostruktur **202**, welcher direkt unter dem Gate-Abstandselement **238** jedoch nicht zwischen den inneren Abstandselementen **224** angeordnet ist, nach wie vor die ursprüngliche Dicke **To** beibehalten, welche zum Beispiel um ungefähr 1 nm bis ungefähr 3 nm größer ist als die Dicke **T1** der beiden Endabschnitte und die getrimmte Dicke **T2** des mittleren Abschnitts. In verschiedenen Ausführungsformen kann die getrimmte Dicke **T2** kleiner oder größer sein als die Dicke **T1** der beiden Endabschnitte. In einer Ausführungsform ist die getrimmte Dicke **T2** im Wesentlichen gleich der Dicke **T1**. Eine verringerte Dicke der schwebenden Nanostrukturen **220** erhöht die Schwellenspannung in den betreffenden Kanalbereichen derart, dass eine kleiner getrimmte Dicke **T2** der schwebenden Nanostrukturen eine größere Erhöhung der Schwellenspannung bewirkt. In einigen Ausführungsformen kann eine Erhöhung in einem Bereich von ungefähr 20 mV bis ungefähr 100 mV erzielt werden, indem mittlere Abschnitte der schwebenden Nanostrukturen proportional um ungefähr 1 nm bis ungefähr 3 nm (**To** - **T2**) getrimmt werden.

**[0050]** Bei Vorgang **314** bildet das Verfahren **300** (Fig. **1B**) eine strukturierte Maske, wie zum Beispiel eine oben beschriebene Hartmaske **252**, an der oberen Fläche der Vorrichtung **200**, wie in Fig. **19** gezeigt. Die strukturierte Maske bedeckt die dritte Vorrichtungsstruktur **206c** und weist eine Öffnung auf, welche die zweite Vorrichtungsstruktur **206b** freilegt. Da der Vorgang **314** ähnlich dem oben beschriebenen Vorgang **112** ist, werden ausführliche Beschreibungen desselben hier der Kürze halber weggelassen.

**[0051]** Bei Vorgang **316** führt das Verfahren **300** (Fig. **1B**) einen zweiten Trimmungsprozess **272** aus, um die Dicke der schwebenden Nanostrukturen **202** in den Kanalbereichen **230b** der zweiten Vorrichtungsstruktur **206b** zu verringern, wie in Fig. **20** gezeigt. Der Trimmungsvorgang verwendet einen beliebigen geeigneten Ätzprozess, wie zum Beispiel Trockenätzung, Nassätzung und/oder RIE. Während des Trimmungsprozesses **272** schützt die Hartmaske **252** die schwebenden Nanostrukturen **202** in der dritten Vorrichtungsstruktur **206c** davor, geätzt zu werden. Der Trimmungsprozess **272** entfernt selektiv zusätzliche Abschnitte der schwebenden Nanostrukturen **202** in der zweiten Vorrichtungsstruktur **206b**, welche vertikal auf die Gate-Gräben **246** ausgerichtet sind, während er die beiden Endabschnitte der schwebenden Nanostruktur **202** im Wesent-

lichen ungeätzt lässt. Als ein Ergebnis des Trimmungsprozesses **272** ist die getrimmte Dicke des mittleren Abschnitts der schwebenden Nanostruktur **202** im Kanalbereich **230b** weiter verringert worden, und wird nun als T3 bezeichnet. In der dargestellten Ausführungsform kann ein kleiner Abschnitt der schwebenden Nanostruktur **202**, welcher direkt unter dem Gate-Abstandselement **238** jedoch nicht zwischen den inneren Abstandselementen **224** angeordnet ist, nach wie vor die ursprüngliche Dicke  $T_0$  beibehalten, welche zum Beispiel um ungefähr 1 nm bis ungefähr 4 nm größer ist als die Dicke **T1** der beiden Endabschnitte und die getrimmte Dicke  $T_3$  des mittleren Abschnitts. Die getrimmte Dicke  $T_3$  im Kanalbereich **230b** ist um ungefähr 1 nm bis ungefähr 3 nm kleiner als die getrimmte Dicke **T2** im Kanalbereich **230c**. In verschiedenen Ausführungsformen kann die getrimmte Dicke **T3** kleiner oder größer sein als die Dicke **T1** der beiden Endabschnitte. In einer Ausführungsform ist die getrimmte Dicke **T3** im Wesentlichen gleich der Dicke **T1**. In einem besonderen Beispiel ist die getrimmte Dicke **T3** des mittleren Abschnitts im Kanalbereich **230b** kleiner als die Dicke **T1** der Endabschnitte, während die getrimmte Dicke **T2** des mittleren Abschnitts im Kanalbereich **230c** größer ist als die Dicke **T1** der Endabschnitte. Da eine verringerte Dicke der schwebenden Nanostrukturen die Schwellenspannung im betreffendem Kanalbereich weiter erhöht, weist der p-FET im SVt-region, welcher an der zweiten Vorrichtungsstruktur **230b** gebildet ist, eine größere Schwellenspannung auf als der p-FET im LVt-Bereich, welcher an der dritten Vorrichtungsstruktur **230c** gebildet ist. Nach dem Vorgang **316** wird die Hartmaske **252** in einem geeigneten Ätzprozess entfernt.

**[0052]** Bei Vorgang **318** wird das Verfahren **300** (Fig. **1A**) fortgesetzt, um Gate-Stapel über entsprechenden Kanalbereichen zu bilden, wie in Fig. **21** gezeigt. Da der Vorgang **318** ähnlich dem oben beschriebenen Vorgang **116** ist, werden ausführliche Beschreibungen desselben hier der Kürze halber weggelassen. Es ist zu beachten, dass aufgrund der Entfernung zusätzlicher Abschnitte der schwebenden Nanostruktur **220** der zweiten Vorrichtungsstruktur **206b** die Gate-Metallschicht **264** im Gate-Stapel **260b** ein größeres Volumen aufweist als die Gate-Metallschicht **264** im Gate-Stapel **230c**. Durch das Trimmen von Kanalschichten der p-FET können die Schwellenspannungen ohne die Notwendigkeit einer komplizierten Metallaustrittsarbeitsregelung in den Gate-Stapeln der p-FET fein abgestimmt werden.

**[0053]** Bezugnehmend auf Fig. **22** kann die Vorrichtung **200** alternativ dazu zusätzlich zum SVt-Bereich und zum LVt-Bereich ferner einen Bereich hoher Schwellenspannung (HVt-Bereich) und eine vierte Vorrichtungsstruktur **206d** zum Bilden eines dritten p-FET im HVt-Bereich aufweisen. Da eine verringerte

Dicke der schwebenden Nanostrukturen die Schwellenspannung des betreffenden Feldeffekttransistors weiter erhöht, kann das Verfahren **300** den ersten Trimmungsprozess **270** an allen drei Vorrichtungsstrukturen **206b - 206d** vornehmen, dann den zweiten Trimmungsprozess **272** an den Vorrichtungsstrukturen **206b** und **206d** vornehmen (indem die Vorrichtungsstruktur **206c** mit einer strukturierten Maske abgedeckt wird), und in der Folge einen dritten Trimmungsprozess **274** nur an der vierten Vorrichtungsstruktur **206d** im HVt-Bereich vornehmen (indem eine weitere strukturierte Maske gebildet wird, welche die Vorrichtungsstrukturen **206b - c** abdeckt). Folglich erfährt die vierte Vorrichtungsstruktur **206d** drei Trimmungsprozesse und weist die geringste Dicke auf, welche als T4 bezeichnet wird. Die Dicken **T0**, **T2**, **T3** und **T4** weisen die Beziehung  $T_0 > T_2 > T_3 > T_4$  auf. Auf diese Weise werden sämtliche der p-FET in drei Bereichen eine erhöhte  $V_t$  aufweisen, da sie mindestens einem Trimmungsprozess ausgesetzt werden, während die p-FET in SVt-Bereichen eine höhere Schwellenspannung aufweisen, als die p-FET in LVt-Bereichen, da sie einem zusätzlichen Trimmungsprozess ausgesetzt werden und somit eine entsprechend geringere Kanalschichtdicke aufweisen, und die p-FET in HVt-Bereich weisen die höchste Schwellenspannung auf, das sie zwei zusätzlichen Trimmungsprozessen ausgesetzt werden und somit die entsprechend geringste Kanalschichtdicke aufweisen. In einer Ausführungsform ist T1 größer als T3 und T4, jedoch kleiner als T2.

**[0054]** Nunmehr wird Bezug genommen auf das Verfahren **500**. Fig. **1C** stellt ein Ablaufdiagramm des Verfahrens **500** im Einklang mit verschiedenen Aspekten der vorliegenden Offenbarung dar. In der gesamten vorliegenden Offenbarung bezeichnen dieselben Bezugsziffern dieselben Merkmale hinsichtlich Zusammensetzung und Bildung. Einige Details von Vorgängen im Verfahren **500** können vereinfacht oder weggelassen werden, falls ähnliche Details bereits in Zusammenhang mit den Verfahren **100** und **300** beschrieben worden sind. Das Verfahren **500** ist nur ein Beispiel und soll nicht dazu dienen, die vorliegende Offenbarung über die expliziten Angaben in den Ansprüchen hinaus einzuschränken. Zusätzliche Vorgänge können vor dem, während des und nach dem Verfahren/s **500** bereitgestellt sein, und einige der beschriebenen Vorgänge können für zusätzliche Ausführungsformen des Verfahrens ersetzt, weggelassen oder verschoben werden. Einige Ausführungsformen des Verfahrens **500** sind nachfolgend in Verbindung mit den Fig. **23 - Fig. 32** beschrieben. Fig. **23** ist eine perspektivische Ansicht der Vorrichtung **200**. Die Fig. **24 - Fig. 32** sind (nebeneinander aufgeführte) Querschnittsansichten der Vorrichtung **200** entlang der Schnitte B—B, C—C und D—D, welche in Fig. **23** gezeigt sind, welche den jeweiligen Kanalbereich entlang der Längsrichtung der p-Transistoren (in der Y-Z-Ebene) schneiden.

**[0055]** Bei Vorgang **502** stellt das Verfahren **500** (**Fig. 1C**) die Vorrichtung **200** bereit, welche drei unterschiedliche Schwellenspannungsbereiche aufweist, nämlich einen Standardschwellenspannungsbereich (SVt-Bereich), einen Bereich niedriger Schwellenspannung (LVt-Bereich) und einen Bereich hoher Schwellenspannung (HVt-Bereich). Im Beispiel von **Fig. 23** sind die erste Vorrichtungsstruktur **206a** zum Bilden eines n-FET und die zweite Vorrichtungsstruktur **206b** zum Bilden eines ersten p-FET im SVt-Bereich angeordnet. Die dritte Vorrichtungsstruktur **206c** zum Bilden eines zweiten p-FET ist im LVt-Bereich angeordnet. Die vierte Vorrichtungsstruktur **206d** zum Bilden eines dritten p-FET ist im HVt-Bereich angeordnet. Wie in **Fig. 23** gezeigt, weist jede der Vorrichtungsstrukturen **206a** - **d** das Substrat **208**, die Isolationsstruktur **210**, die Finnen **212a** - **d**, welche abwechselnd und vertikal gestapelte Halbleiterschichten **220** und **222** aufweisen (auch als gestapelte Finnen **212a** - **d** bezeichnet), und Dummy-Gate-Strukturen **216**, welche mit den gestapelten Finnen **212a** - **d** in Eingriff stehen, auf. Da das Substrat **202**, die Isolationsstruktur **210**, die Halbleiterschichten **220** und **222** und die Dummy-Gate-Struktur **216** jeweils oben beschrieben worden sind, werden ausführliche Beschreibungen derselben hier weggelassen.

**[0056]** Bei Vorgang **504** bildet das Verfahren **500** (**Fig. 1C**) die Gate-Abstandselemente **238** über den Seitenwänden der Dummy-Gate-Strukturen **216**, wie in **Fig. 24** gezeigt (der Schnitt A-A der ersten Vorrichtungsstruktur **206a** zum Bilden eines n-FET wird hierin zur Vereinfachung weggelassen). Da der Vorgang **504** ähnlich dem oben beschriebenen Vorgang **104** ist, werden ausführliche Beschreibungen desselben hier der Kürze halber weggelassen.

**[0057]** Bei Vorgang **506** bildet das Verfahren **500** (**Fig. 1C**) die inneren Abstandselemente **224** und die S/D-Elemente **240**, wie in **Fig. 25** gezeigt. Aufgrund eines seitlichen Ätzprozesses beim Bilden von Vertiefungen zum Aufbringen der inneren Abstandselemente **224** darin, kann die seitliche Ätzung auch einen kleinen Abschnitt der Halbleiterschichten **220** entfernen. Folglich ist eine Dicke **T1** der seitlichen Enden der Halbleiterschichten **220** kleiner als die Dicke **To** anderer Abschnitte der Halbleiterschichten **220**, welche unter der Opfer-Gate-Struktur angeordnet sind. Da der Vorgang **506** ähnlich dem oben beschriebenen Vorgang **104** ist, werden ausführliche Beschreibungen desselben hier der Kürze halber weggelassen.

**[0058]** Bei Vorgang **508** entfernt das Verfahren **500** (**Fig. 1C**) die Dummy-Gate-Stapel **216**, um Gate-Gräben **246** zu bilden, wie in **Fig. 26** gezeigt. Da der Vorgang **508** ähnlich dem oben beschriebenen Vorgang **108** ist, werden ausführliche Beschreibungen desselben hier der Kürze halber weggelassen.

**[0059]** Bei Vorgang **510** legt das Verfahren **500** (**Fig. 1C**) schwebende Nanostrukturen **220** in den freiliegenden Kanalbereichen frei, wie in **Fig. 27** gezeigt. Da der Vorgang **510** ähnlich dem oben beschriebenen Vorgang **108** ist, werden ausführliche Beschreibungen desselben hier der Kürze halber weggelassen.

**[0060]** Bei Vorgang **512** führt das Verfahren **500** (**Fig. 1C**) einen Trimmungsprozess **270** aus, um die Dicken der schwebenden Nanostrukturen **220** in allen drei Kanalbereichen **230b** - **d** (jedoch nicht im Kanalbereich **230a** für n-FET) zu verringern, wie in **Fig. 28** gezeigt. Nach dem Trimmungsprozess **270** weisen die schwebenden Nanostrukturen **220** in den Kanalbereichen **212b** - **212d** im Wesentlichen dieselben Abmessungen (Dicke und/oder Breite) auf. Der Trimmungsvorgang verwendet einen beliebigen geeigneten Ätzprozess, wie zum Beispiel Trockenätzung, Nassätzung und/oder RIE. Während des Trimmungsprozesses **270** schützen die Gate-Abstandselemente **238** die unter diesen angeordneten schwebenden Nanostrukturen **202** davor, geätzt zu werden. Der Trimmungsprozess **270** entfernt selektiv Abschnitte der schwebenden Nanostruktur **202**, welche vertikal auf die Gate-Gräben **246** ausgerichtet sind, während er die beiden Endabschnitte der schwebenden Nanostruktur **202** im Wesentlichen ungeätzt lässt. Die getrimmte Dicke des mittleren Abschnitts der schwebenden Nanostruktur **202** wird als **T2** bezeichnet. In der dargestellten Ausführungsform kann ein kleiner Abschnitt der schwebenden Nanostruktur **202**, welcher direkt unter dem Gate-Abstandselement **238** jedoch nicht zwischen den inneren Abstandselementen **224** angeordnet ist, nach wie vor die ursprüngliche Dicke **To** beibehalten, welche zum Beispiel um ungefähr 1 nm bis ungefähr 3 nm größer ist als die Dicke **T1** der beiden Endabschnitte und die getrimmte Dicke **T2** des mittleren Abschnitts. In verschiedenen Ausführungsformen kann die getrimmte Dicke **T2** kleiner oder größer sein als die Dicke **T1** der beiden Endabschnitte. In einer Ausführungsform ist die getrimmte Dicke **T2** im Wesentlichen gleich der Dicke **T1**. Eine verringerte Dicke der schwebenden Nanostrukturen kann die Schwellenspannung des Feldeffekttransistors derart erhöhen, dass eine geringere Dicke der schwebenden Nanostrukturen eine größere Erhöhung der Schwellenspannung bewirkt. In einigen Ausführungsformen kann eine Erhöhung in einem Bereich von ungefähr 20 mv bis ungefähr 100 mv erzielt werden, indem mittlere Abschnitte der schwebenden Nanostrukturen proportional um ungefähr 1 nm bis ungefähr 3 nm (**To** - **T2**) getrimmt werden.

**[0061]** Bei Vorgang **514** bildet das Verfahren **500** (**Fig. 1C**) eine strukturierte Maske, wie zum Beispiel eine Hartmaske **252**, an der oberen Fläche der Vorrichtung **200**, wie in **Fig. 29** gezeigt. Die strukturierte Maske bedeckt die zweite und die vierte Vorrichtungsstruktur **206b** und **206d**, und weist eine Öffnung

auf, welche die dritte Vorrichtungsstruktur **206c** freilegt. Da der Vorgang **514** ähnlich dem oben beschriebenen Vorgang **112** ist, werden ausführliche Beschreibungen desselben hier der Kürze halber weggelassen.

**[0062]** Bei Vorgang **516** dotiert das Verfahren **500** (**Fig. 1C**) eine den Schwellenwert modifizierende Verunreinigung in den Kanalbereich **230c**, um die Schwellenspannung der dritten Vorrichtungsstruktur **206c** einzustellen, wie in **Fig. 30** gezeigt. Die Dotierung mit der den Schwellenwert modifizierenden Verunreinigung (zum Beispiel eine Germaniumimplantation, Niedrigtemperatur-Plasmodotierung oder Aufwachsen einer germaniumhaltigen epitaxialen Schicht und Eintreiben durch Tempern) ist auf den Kanalbereich **230c** der dritten Vorrichtungsstruktur **206c** begrenzt. Dies führt dazu, dass eine Schwellenspannung des ersten p-FET gebildet an der zweiten Vorrichtungsstruktur **206b** im SVt-Bereich und des dritten p-FET gebildet an der vierten Vorrichtungsstruktur **206d** im HVt-Bereich nicht weiter angepasst wird, während der zweite p-FET gebildet an der dritten Vorrichtungsstruktur **206c** im LVt-Bereich jetzt die niedrigste Schwellenspannung aufweist. Da der Vorgang **516** ähnlich dem oben beschriebenen Vorgang **114** ist, werden ausführliche Beschreibungen desselben hier der Kürze halber weggelassen. Wie oben in Zusammenhang mit Vorgang **114** erörtert, können die mittleren Abschnitte der schwebenden Nanostrukturen, welche mit der den Schwellenwert modifizierenden Verunreinigung dotiert werden, an Dicke zunehmen. Eine Dicke des mittleren Abschnitts der schwebenden Nanostruktur im Kanalbereich **230c** (bezeichnet mit T2') kann folglich größer sein als die Dicke **T2** in anderen Kanalbereichen **230b** und **230d**. Das Verfahren **500** kann bei Vorgang **516** optional auch einen Trimmvorgang vornehmen, um die Dicke T2' auf die Dicke **T2** zu verringern, sodass die schwebenden Nanostrukturen **220** in allen drei Bereichen im Wesentlichen dieselben Abmessungen aufweisen.

**[0063]** Bei Vorgang **518** führt das Verfahren **500** (**Fig. 1C**) einen zweiten Trimmungsprozess **272** aus, um die Dicke der schwebenden Nanostrukturen **220** im Kanalbereich **230d** im HVt-Bereich zu verringern, wie in **Fig. 31** gezeigt. Das Verfahren **500** bildet bei Vorgang **518** zunächst eine strukturierte Maske zum Abdecken der zweiten Vorrichtungsstruktur **206b** und der dritten Vorrichtungsstruktur **206c** mit einer Öffnung zum Freilegen der vierten Vorrichtungsstruktur **206d**. Das Verfahren **500** führt dann bei Vorgang **518** einen geeigneten Ätzprozess, wie zum Beispiel Trockenätzen, Nassätzen und/oder RIE, aus, um zusätzliche Abschnitte von den mittleren Abschnitten der schwebenden Nanostrukturen **220** im Kanalbereich **230d** zu entfernen. Da der Vorgang **518** ähnlich dem oben beschriebenen Vorgang **316** ist, werden ausführliche Beschreibungen desselben hier der Kür-

ze halber weggelassen. Als ein Ergebnis des Trimmungsprozesses **272** ist die getrimmte Dicke des mittleren Abschnitts der schwebenden Nanostruktur **202** weiter verringert worden, und wird nun als T3 bezeichnet. T3 ist kleiner als T2 und kleiner als T2'. Im Vergleich zur Dicke **T4** im HVt-Transistor in **Fig. 22**, welcher in Zusammenhang mit dem Verfahren **300** (**Fig. 1B**) drei Trimmungsprozesse erfährt, ist die Dicke **T3** im HVt-Transistor in **Fig. 31** ein Ergebnis von zwei daran vorgenommenen Trimmungsprozessen, wodurch sie größer ist als T4 und eine höhere mechanische Festigkeit für schwebende Nanostrukturen aufweist. Da eine verringerte Dicke der schwebenden Nanostrukturen die Schwellenspannung in den betreffenden Kanalbereichen weiter erhöht, weist der p-Transistor im HVt-Bereich, welcher an der vierten Vorrichtungsstruktur **230d** gebildet ist, somit eine größere Schwellenspannung auf als der p-Transistor, welche an der zweiten Vorrichtungsstruktur **230b** im SVt-Bereich gebildet ist, sowie auch als der p-Transistor, welcher an der dritten Vorrichtungsstruktur **230c** im LVt-Bereich gebildet ist.

**[0064]** Bei Vorgang **520** wird das Verfahren **500** (**Fig. 1C**) damit fortgesetzt, Gate-Stapel über den jeweiligen Kanalbereichen zu bilden, wie in **Fig. 32** gezeigt. Da der Vorgang **520** ähnlich dem oben beschriebenen Vorgang **116** ist, werden ausführliche Beschreibungen desselben hier der Kürze halber weggelassen. Es ist zu beachten, dass aufgrund der Entfernung zusätzlicher Abschnitte der schwebenden Nanostruktur **220** der vierten Vorrichtungsstruktur **206d** die Gate-Metallschicht **264** im Gate-Stapel **260d** ein größeres Volumen aufweist als die Gate-Metallschicht **264** im Gate-Stapel **230b** und die Gate-Metallschicht **264** im Gate-Stapel **230c**. Ferner weisen die Kanalschichten der dritten Vorrichtungsstruktur **206c** auch eine den Schwellenwert modifizierende Verunreinigung auf. Durch Dotieren mit der den Schwellenwert modifizierenden Verunreinigung und Trimmen der jeweiligen Kanalschichten können die Schwellenspannungen ohne die Notwendigkeit einer komplizierten Metallaustrittsregelung in den Gate-Stapeln der p-FET feinabgestimmt werden.

**[0065]** In jedem der Verfahren **100**, **300** oder **500** können weitere Schritte ausgeführt werden, um die Fertigung der Vorrichtung **200** zu vervollständigen. Zum Beispiel kann das Verfahren fortgesetzt werden, um Kontaktöffnungen, Kontaktmetall sowie verschiedene Kontakte, Durchkontaktierungen, Drähte und mehrschichtige Interconnect-Merkmale (zum Beispiel Metallschichten und Zwischenschichtdielektrika) über den GAA-Transistoren zu bilden, welche dafür eingerichtet sind, die verschiedenen Merkmale zu verbinden, um eine Funktionsschaltung zu bilden, welche eine oder mehrere Mehrfach-Gate-Vorrichtungen aufweisen kann.

**[0066]** Obwohl diese keinesfalls als Einschränkung anzusehen sind, stellen eine oder mehrere Ausführungsformen der vorliegenden Offenbarung zahlreiche Vorteile für ein Halbleiterbauelement oder dessen Bildungsprozess bereit. Im Einklang mit einigen Ausführungsformen werden Schwellenspannungen von p-GAA-FET mit einem vereinfachten Fertigungsprozess erzielt. In einigen Ausführungsformen können verschiedene Schwellenspannungen von p-GAA-FET getrennt voneinander in verschiedenen Bereichen fein abgestimmt werden, um basierend auf Überlegungen hinsichtlich der Vorrichtungsleistung SVt-, LVt- und/oder HVt-FET zu bilden. Ferner können Ausführungsformen der vorliegenden Offenbarung in einen bestehenden CMOS-Fertigungsfluss integriert werden, wodurch ein verbessertes Prozessfenster bereitgestellt wird.

**[0067]** In einem Beispielaspekt stellt die vorliegende Offenbarung ein Verfahren zum Bilden einer Halbleitervorrichtung bereit. Das Verfahren umfasst das Bereitstellen eines Substrats aufweisend eine Mehrzahl erster Halbleiterschichten und eine Mehrzahl zweiter Halbleiterschichten, welche über dem Substrat angeordnet sind, wobei die ersten beziehungsweise die zweiten Halbleiterschichten unterschiedliche Materialzusammensetzungen aufweisen und in einer vertikalen Richtung abwechselnd angeordnet werden; das Strukturieren der ersten Halbleiterschichten und der zweiten Halbleiterschichten zum Bilden einer ersten Finne und einer zweiten Finne; das Entfernen der ersten Halbleiterschichten derart von der ersten und der zweiten Finne, dass ein erster Abschnitt der strukturierten zweiten Halbleiterschichten zu ersten Nanostrukturen in der ersten Finne wird, und dass ein zweiter Abschnitt der strukturierten zweiten Halbleiterschichten zu zweiten schwebenden Nanostrukturen in der zweiten Finne wird; das Dotieren einer den Schwellenwert modifizierenden Verunreinigung in die ersten schwebenden Nanostrukturen in der ersten Finne; das Bilden eines ersten Gate-Stapels über der ersten Finne, wobei ein Abschnitt des ersten Gate-Stapels die ersten schwebenden Nanostrukturen umhüllt, wodurch ein erster Transistor mit einer ersten Schwellenspannung gebildet wird; und das Bilden eines zweiten Gate-Stapels über der zweiten Finne, wobei ein Abschnitt des zweiten Gate-Stapels die zweiten schwebenden Nanostrukturen umhüllt, wodurch ein zweiter Transistor mit einer zweiten Schwellenspannung gebildet wird, welche höher ist als die erste Schwellenspannung. In einigen Ausführungsformen ist die den Schwellenwert modifizierende Verunreinigung Ge. In einigen Ausführungsformen umfasst das Dotieren mit der den Schwellenwert modifizierenden Verunreinigung das Bilden einer Mehrzahl dritter Halbleiterschichten an den ersten schwebenden Nanostrukturen in der ersten Finne; und das Ausführen eines Temperprozesses zum Treiben der den Schwellenwert modifizierenden Verunreinigung, welche in den dritten Halbleiterschich-

ten enthalten ist, in die ersten schwebenden Nanostrukturen in der ersten Finne. In einigen Ausführungsformen umfasst das Bilden der dritten Halbleiterschichten das epitaxiale Aufwachsen jeder der dritten Halbleiterschichten derart, dass sie eine entsprechende erste schwebende Nanostruktur in der ersten Finne umhüllt, und wobei die dritten Halbleiterschichten andere Materialzusammensetzungen aufweisen als die zweiten Halbleiterschichten. In einigen Ausführungsformen enthalten die dritten Halbleiterschichten entweder SiGe oder GeSn. In einigen Ausführungsformen umfasst das Dotieren der den Schwellenwert modifizierenden Verunreinigung das Anwenden eines plasmagestützten Niedrigtemperaturdotierungsprozesses. In einigen Ausführungsformen umfasst das Verfahren ferner das Dotieren der den Schwellenwert modifizierenden Verunreinigung in die zweiten schwebenden Nanostrukturen in der zweiten Finne, wobei die den Schwellenwert modifizierende Verunreinigung in den ersten schwebenden Nanostrukturen in der ersten Finne eine höhere Konzentration aufweist als in den zweiten schwebenden Nanostrukturen in der zweiten Finne. In einigen Ausführungsformen umfasst das Dotieren der den Schwellenwert modifizierenden Verunreinigung in die ersten schwebenden Nanostrukturen in der ersten Finne ein erstes Dotieren der den Schwellenwert modifizierenden Verunreinigung gleichzeitig sowohl in die ersten schwebenden Nanostrukturen in der ersten Finne als auch in die zweiten schwebenden Nanostrukturen in der zweiten Finne, und ein zweites Dotieren der den Schwellenwert modifizierenden Verunreinigung in die ersten schwebenden Nanostrukturen in der ersten Finne, jedoch nicht in die zweiten schwebenden Nanostrukturen in der zweiten Finne. In einigen Ausführungsformen umfasst das Verfahren vor dem Dotieren der den Schwellenwert modifizierenden Verunreinigung in die ersten schwebenden Nanostrukturen das Trimmen der ersten und der zweiten schwebenden Nanostrukturen zum Verringern der Dicken derselben. In einigen Ausführungsformen umfasst das Verfahren ferner nach dem Dotieren der den Schwellenwert modifizierenden Verunreinigung in die ersten schwebenden Nanostrukturen das Trimmen der zweiten schwebenden Nanostrukturen zum weiteren Verringern der Dicke derselben.

**[0068]** In einem weiteren Aspekt stellt die vorliegende Offenbarung ein Verfahren bereit. Das Verfahren umfasst das Bilden einer Mehrzahl erster schwebender Schichten in einer ersten Finne und einer Mehrzahl zweiter schwebender Schichten in einer zweiten Finne, wobei die ersten und die zweiten schwebenden Schichten ein selbes erstes Halbleitermaterial enthalten; das Ausführen eines ersten Ätzprozesses zum gleichzeitigen Entfernen von Abschnitten der ersten und der zweiten schwebenden Schichten, wodurch die Dicken der ersten und der zweiten schwebenden Schichten verringert werden; das Ausführen

eines zweiten Ätzprozesses zum Entfernen zusätzlicher Abschnitte der zweiten schwebenden Schichten ohne dabei die ersten schwebenden Schichten zu ätzen, wodurch die Dicke der zweiten schwebenden Schichten weiter verringert werden; und das Bilden eines ersten und eines zweiten Gate-Stapels, welche mit der ersten beziehungsweise der zweiten schwebenden Schicht in Eingriff stehen. In einigen Ausführungsformen sind der erste Gate-Stapel und die ersten schwebenden Schichten in einem Bereich niedriger Schwellenspannung (LVt-Bereich) angeordnet, und der zweite Gate-Stapel und die zweiten schwebenden Schichten sind in einem Standardschwellenspannungsbereich (SVt-Bereich) angeordnet. In einigen Ausführungsformen umfasst das Verfahren ferner das Dotieren einer Verunreinigung in die ersten schwebenden Schichten, wobei die zweiten schwebenden Schichten im Wesentlichen frei von der Verunreinigung sind. In einigen Ausführungsformen sind der erste Gate-Stapel und die ersten schwebenden Schichten in einem Bereich niedriger Schwellenspannung (LVt-Bereich) angeordnet, und der zweite Gate-Stapel und die zweiten schwebenden Schichten sind in einem Bereich hoher Schwellenspannung (HVt-Bereich) angeordnet. In einigen Ausführungsformen umfasst das Dotieren der Verunreinigung in die ersten schwebenden Schichten das epitaxiale Aufwachsen einer Mehrzahl dritter Schichten an den ersten schwebenden Schichten, wobei die dritten Schichten ein zweites Halbleitermaterial enthalten, welches sich vom ersten Halbleitermaterial unterscheidet; und das Treiben der Verunreinigung, welche im zweiten Halbleitermaterial enthalten ist, zur Migration aus den dritten Schichten in die ersten schwebenden Schichten. In einigen Ausführungsformen umfasst das Verfahren ferner das Bilden einer Mehrzahl dritter schwebender Schichten in einer dritten Finne, wobei die dritten schwebenden Schichten das erste Halbleitermaterial enthalten; und das Ausführen eines dritten Ätzprozesses zum Entfernen von Abschnitten der dritten schwebenden Schichten, ohne dass die ersten und die zweiten schwebenden Schichten geätzt werden, wobei der erste und der zweite Ätzprozess auch andere Abschnitte der dritten schwebenden Schichten entfernen, wobei nach dem Ausführen des dritten Ätzprozesses die ersten schwebenden Schichten dicker sind als die zweiten schwebenden Schichten, und die zweiten schwebenden Schichten dicker sind als die dritten schwebenden Schichten.

**[0069]** In noch einem weiteren Beispielaspekt stellt die vorliegende Offenbarung eine Halbleiterstruktur bereit. Die Halbleiterstruktur weist ein Substrat; ein erste Finne angeordnet an dem Substrat, wobei die erste Finne eine Mehrzahl erster, vertikal übereinandergestapelter schwebender Nanostrukturen aufweist; einen ersten Gate-Stapel, welcher mit den ersten schwebenden Nanostrukturen in Eingriff steht; eine zweite Finne angeordnet an dem Substrat, wobei die zweite Finne eine Mehrzahl zweiter, vertikal

übereinandergestapelter schwebender Nanostrukturen aufweist; und einen zweiten Gate-Stapel, welcher mit den zweiten schwebenden Nanostrukturen in Eingriff steht, auf, wobei eine Konzentration von Germanium in mittleren Abschnitten der ersten schwebenden Nanostrukturen höher ist als eine Konzentration von Germanium in mittleren Abschnitten der zweiten schwebenden Nanostrukturen. In einigen Ausführungsformen ist die Konzentration von Germanium in den mittleren Abschnitten der ersten schwebenden Nanostrukturen höher als eine Konzentration von Germanium in zwei Endabschnitten der ersten schwebenden Nanostrukturen. In einigen Ausführungsformen ist eine Dicke der mittleren Abschnitte der ersten schwebenden Nanostrukturen größer als eine Dicke der mittleren Abschnitte der zweiten schwebenden Nanostrukturen. In einigen Ausführungsformen ist die Dicke der Mittelabschnitte der zweiten schwebenden Nanostrukturen geringer als eine Dicke von zwei Endabschnitten der zweiten schwebenden Nanostrukturen.

**[0070]** Vorstehend werden Merkmale mehrerer Ausführungsformen derart dargelegt, dass durchschnittlich geschulte Fachleute die Aspekte der vorliegenden Offenbarung besser verstehen können. Durchschnittlich geschulte Fachleute sollten erkennen, dass sie die vorliegende Offenbarung problemlos als eine Grundlage zum Designen oder Modifizieren anderer Prozesse und Strukturen zum Ausführen derselben Zwecke und/oder Erzielen derselben Vorteile der hierin dargelegten Ausführungsformen verwenden können. Durchschnittlich geschulte Fachleute sollten ferner erkennen, dass solche äquivalenten Konstruktionen nicht von der Idee und dem Umfang der vorliegenden Offenbarung abweichen, und dass sie verschiedenste Änderungen, Ersetzungen und Neugestaltungen daran vornehmen können, ohne von der Idee und dem Umfang der vorliegenden Offenbarung abzuweichen.

**ZITATE ENTHALTEN IN DER BESCHREIBUNG**

*Diese Liste der vom Anmelder aufgeführten Dokumente wurde automatisiert erzeugt und ist ausschließlich zur besseren Information des Lesers aufgenommen. Die Liste ist nicht Bestandteil der deutschen Patent- bzw. Gebrauchsmusteranmeldung. Das DPMA übernimmt keinerlei Haftung für etwaige Fehler oder Auslassungen.*

**Zitierte Patentliteratur**

- US 63/017505 [0001]

**Patentansprüche**

1. Verfahren zum Bilden einer Halbleitervorrichtung, umfassend:

Bereitstellen eines Substrats, aufweisend eine Mehrzahl erster Halbleiterschichten und eine Mehrzahl zweiter Halbleiterschichten, welche über dem Substrat angeordnet sind, wobei die ersten und die zweiten Halbleiterschichten unterschiedliche Materialzusammensetzungen aufweisen und abwechselnd zueinander angeordnet werden;

Strukturieren der ersten Halbleiterschichten und der zweiten Halbleiterschichten zum Bilden einer ersten Finne und einer zweiten Finne;

Entfernen der ersten Halbleiterschichten aus der ersten Finne und der zweiten Finne, sodass ein erster Abschnitt der strukturierten zweiten Halbleiterschichten zu ersten schwebenden Nanostrukturen in der ersten Finne wird, und ein zweiter Abschnitt der strukturierten zweiten Halbleiterschichten zu zweiten schwebenden Nanostrukturen in der zweiten Finne wird;

Dotieren einer den Schwellenwert modifizierende Verunreinigung in die ersten schwebenden Nanostrukturen in der ersten Finne;

Bilden eines ersten Gate-Stapels über der ersten Finne, wobei ein Abschnitt des ersten Gate-Stapels die ersten schwebenden Nanostrukturen umhüllt, wodurch ein erster Transistor mit einer ersten Schwellenspannung gebildet wird; und

Bilden eines zweiten Gate-Stapels über der zweiten Finne, wobei ein Abschnitt des zweiten Gate-Stapels die zweiten schwebenden Nanostrukturen umhüllt, wodurch ein zweiter Transistor mit einer zweiten Schwellenspannung, welche höher ist als die erste Schwellenspannung, gebildet wird.

2. Verfahren nach Anspruch 1, wobei die den Schwellenwert modifizierende Verunreinigung Ge ist.

3. Verfahren nach Anspruch 1 oder 2, wobei das Dotieren mit der den Schwellenwert modifizierenden Verunreinigung umfasst:

Bilden einer Mehrzahl dritter Halbleiterschichten an den ersten schwebenden Nanostrukturen in der ersten Finne; und

Ausführen eines Temperprozesses, um die den Schwellenwert modifizierende Verunreinigung, welche in den dritten Halbleiterschichten enthalten ist, in die ersten schwebenden Nanostrukturen in der ersten Finne zu treiben.

4. Verfahren nach Anspruch 3, wobei das Bilden der dritten Halbleiterschichten ein epitaxiales Aufwachsen jeder der dritten Halbleiterschichten derart umfasst, dass diese eine entsprechende erste schwebende Nanostruktur in der ersten Finne umhüllt, und wobei die dritten Halbleiterschichten andere Materialzusammensetzungen aufweisen als die zweiten Halbleiterschichten.

5. Verfahren nach Anspruch 3 oder 4, wobei die dritten Halbleiterschichten entweder SiGe oder GeSn enthalten.

6. Verfahren nach einem der vorstehenden Ansprüche, wobei das Dotieren der den Schwellenwert modifizierenden Verunreinigung ein Anwenden eines plasmagestützten Niedrigtemperaturdotierungsprozesses umfasst.

7. Verfahren nach einem der vorstehenden Ansprüche, ferner umfassend:

Dotieren der den Schwellenwert modifizierenden Verunreinigung in die zweiten schwebenden Nanostrukturen in der zweiten Finne, wobei die den Schwellenwert modifizierende Verunreinigung in den ersten schwebenden Nanostrukturen in der ersten Finne eine höhere Konzentration aufweist als in den zweiten schwebenden Nanostrukturen in der zweiten Finne.

8. Verfahren nach einem der vorstehenden Ansprüche, wobei das Dotieren der den Schwellenwert modifizierenden Verunreinigung in die ersten schwebenden Nanostrukturen in der ersten Finne ein erstes Dotieren der den Schwellenwert modifizierenden Verunreinigung gleichzeitig sowohl in die ersten schwebenden Nanostrukturen in der ersten Finne als auch in die zweiten schwebenden Nanostrukturen in der zweiten Finne, und ein zweites Dotieren der den Schwellenwert modifizierenden Verunreinigung in die ersten schwebenden Nanostrukturen in der ersten Finne, jedoch nicht in die zweiten schwebenden Nanostrukturen in der zweiten Finne, umfasst.

9. Verfahren nach einem der vorstehenden Ansprüche, ferner umfassend:

Trimmen der ersten und der zweiten schwebenden Nanostrukturen zum Verringern der Dicken derselben vor dem Dotieren der den Schwellenwert modifizierenden Verunreinigung in die ersten schwebenden Nanostrukturen.

10. Verfahren nach einem der vorstehenden Ansprüche, ferner umfassend:

Trimmen der zweiten schwebenden Nanostrukturen zum weiteren Verringern der Dicke derselben nach dem Dotieren der den Schwellenwert modifizierenden Verunreinigung in die ersten schwebenden Nanostrukturen.

11. Verfahren, umfassend:

Bilden einer Mehrzahl erster schwebender Schichten in einer ersten Finne und einer Mehrzahl zweiter schwebender Schichten in einer zweiten Finne, wobei die ersten und die zweiten schwebenden Schichten ein selbes erstes Halbleitermaterial enthalten; Ausführen eines ersten Ätzprozesses zum gleichzeitigen Entfernen von Abschnitten der ersten und der zweiten schwebenden Schichten, wodurch Dicken

der ersten und der zweiten schwebenden Schichten verringert werden;

Ausführen eines zweiten Ätzprozesses zum Entfernen zusätzlicher Abschnitte der zweiten schwebenden Schichten, ohne die ersten schwebenden Schichten zu ätzen, wodurch die Dicke der zweiten schwebenden Schichten weiter verringert wird; und Bilden eines ersten Gate-Stapels und eines zweiten Gate-Stapels, welche mit den ersten beziehungsweise den zweiten schwebenden Schichten in Eingriffs stehen.

12. Verfahren nach Anspruch 11, wobei der erste Gate-Stapel und die ersten schwebenden Schichten in einem Bereich niedriger Schwellenspannung (LVt-Bereich) angeordnet sind, und der zweite Gate-Stapel und die zweiten schwebenden Schichten in einem Standardschwellenspannungsbereich (SVt-Bereich) angeordnet sind.

13. Verfahren nach Anspruch 11 oder 12, ferner umfassend:

Dotieren einer Verunreinigung in die ersten schwebenden Schichten, wobei die zweiten schwebenden Schichten im Wesentlichen frei von der Verunreinigung sind.

14. Verfahren nach Anspruch 13, wobei das Dotieren der Verunreinigung in die ersten schwebenden Schichten umfasst:

epitaxiales Aufwachsen einer Mehrzahl dritter Schichten an den ersten schwebenden Schichten, wobei die dritten Schichten ein zweites Halbleitermaterial enthalten, welches sich vom ersten Halbleitermaterial unterscheidet; und

Treiben der Verunreinigung, welche im zweiten Halbleitermaterial enthalten ist, zur Migration aus den dritten Schichten in die ersten schwebenden Schichten.

15. Verfahren nach einem der Ansprüche 11 bis 14, wobei der erste Gate-Stapel und die ersten schwebenden Schichten in einem Bereich niedriger Schwellenspannung (LVt-Bereich) angeordnet sind, und der zweite Gate-Stapel und die zweiten schwebenden Schichten in einem Bereich hoher Schwellenspannung (HVt-Bereich) angeordnet sind.

16. Verfahren nach einem der Ansprüche 11 bis 15, ferner umfassend:

Bilden einer Mehrzahl dritter schwebender Schichten in einer dritten Finne, wobei die dritten schwebenden Schichten das erste Halbleitermaterial enthalten; und Ausführen eines dritten Ätzprozesses zum Entfernen von Abschnitten der dritten schwebenden Schichten, ohne dabei die ersten und zweiten schwebenden Schichten zu ätzen, wobei der erste und der zweite Ätzprozess auch andere Abschnitte der dritten schwebenden Schichten entfernen, wobei nach dem Ausführen des dritten Ätzprozesses die ersten schwebenden Schichten dicker sind als

die zweiten schwebenden Schichten, und die zweiten schwebenden Schichten dicker sind als die dritten schwebenden Schichten.

17. Halbleiterstruktur, aufweisend:

ein Substrat;

eine erste Finne angeordnet an dem Substrat, wobei die erste Finne eine Mehrzahl erster, vertikal übereinander gestapelter schwebender Nanostrukturen aufweist;

einen ersten Gate-Stapel, welcher mit den ersten schwebenden Nanostrukturen in Eingriff steht;

eine zweite Finne angeordnet an dem Substrat, wobei die zweite Finne eine Mehrzahl zweiter, vertikal übereinander gestapelter schwebender Nanostrukturen aufweist; und

einen zweiten Gate-Stapel, welcher mit den zweiten schwebenden Nanostrukturen in Eingriff steht,

wobei eine Konzentration von Germanium in mittleren Abschnitten der ersten schwebenden Nanostrukturen höher ist als eine Konzentration von Germanium in mittleren Abschnitten der zweiten schwebenden Nanostrukturen.

18. Halbleiterstruktur nach Anspruch 17, wobei die Konzentration von Germanium in den mittleren Abschnitten der ersten schwebenden Nanostrukturen höher ist als eine Konzentration von Germanium in zwei Endabschnitten der ersten schwebenden Nanostrukturen.

19. Halbleiterstruktur nach Anspruch 17 oder 18, wobei eine Dicke der mittleren Abschnitte der ersten schwebenden Nanostrukturen größer ist als eine Dicke der mittleren Abschnitte der zweiten schwebenden Nanostrukturen.

20. Halbleiterstruktur nach Anspruch 19, wobei die Dicke der Mittelabschnitte der zweiten schwebenden Nanostrukturen geringer ist als eine Dicke von zwei Endabschnitten der zweiten schwebenden Nanostrukturen.

Es folgen 34 Seiten Zeichnungen

Anhängende Zeichnungen

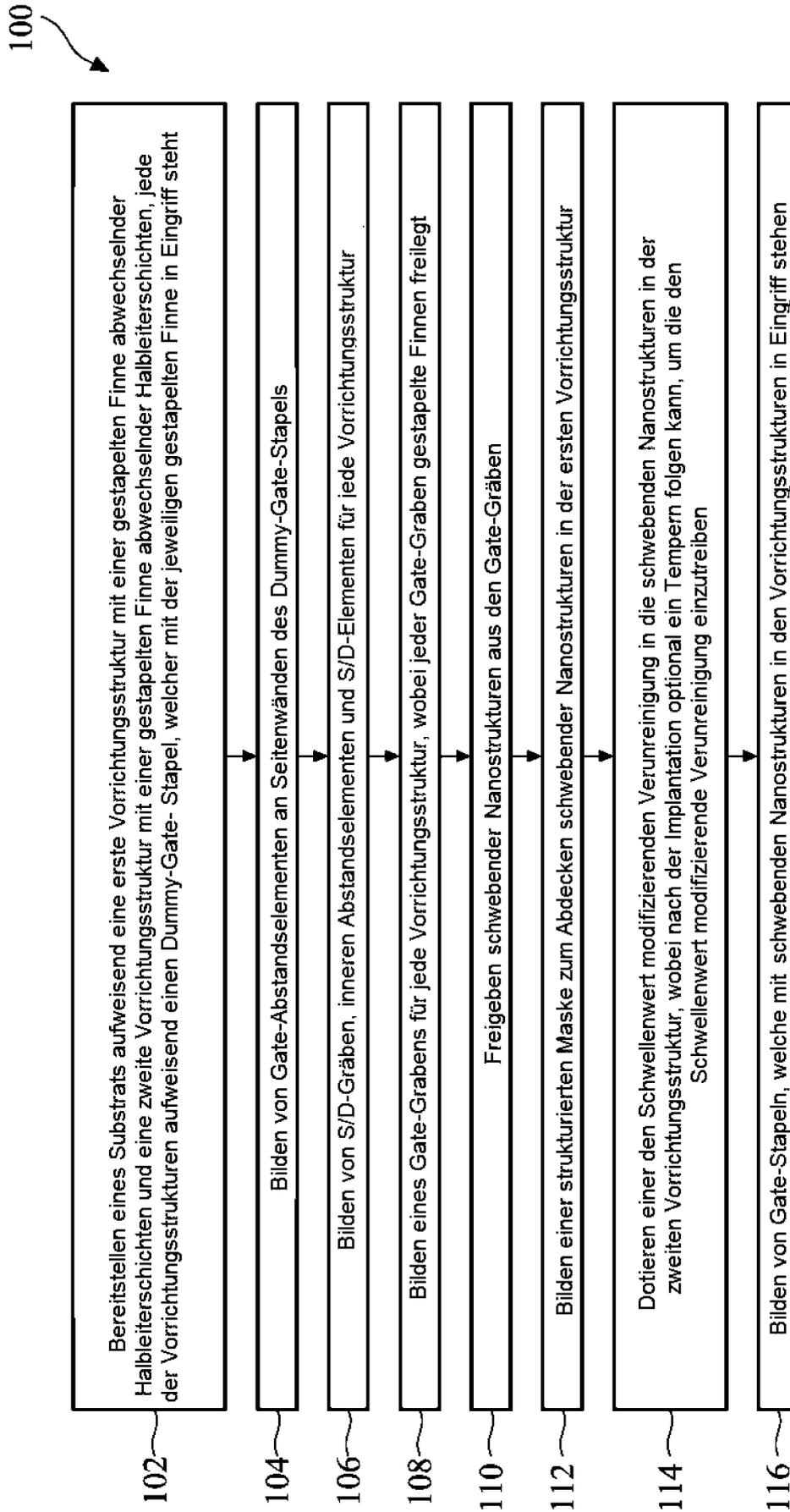


FIG. 1A

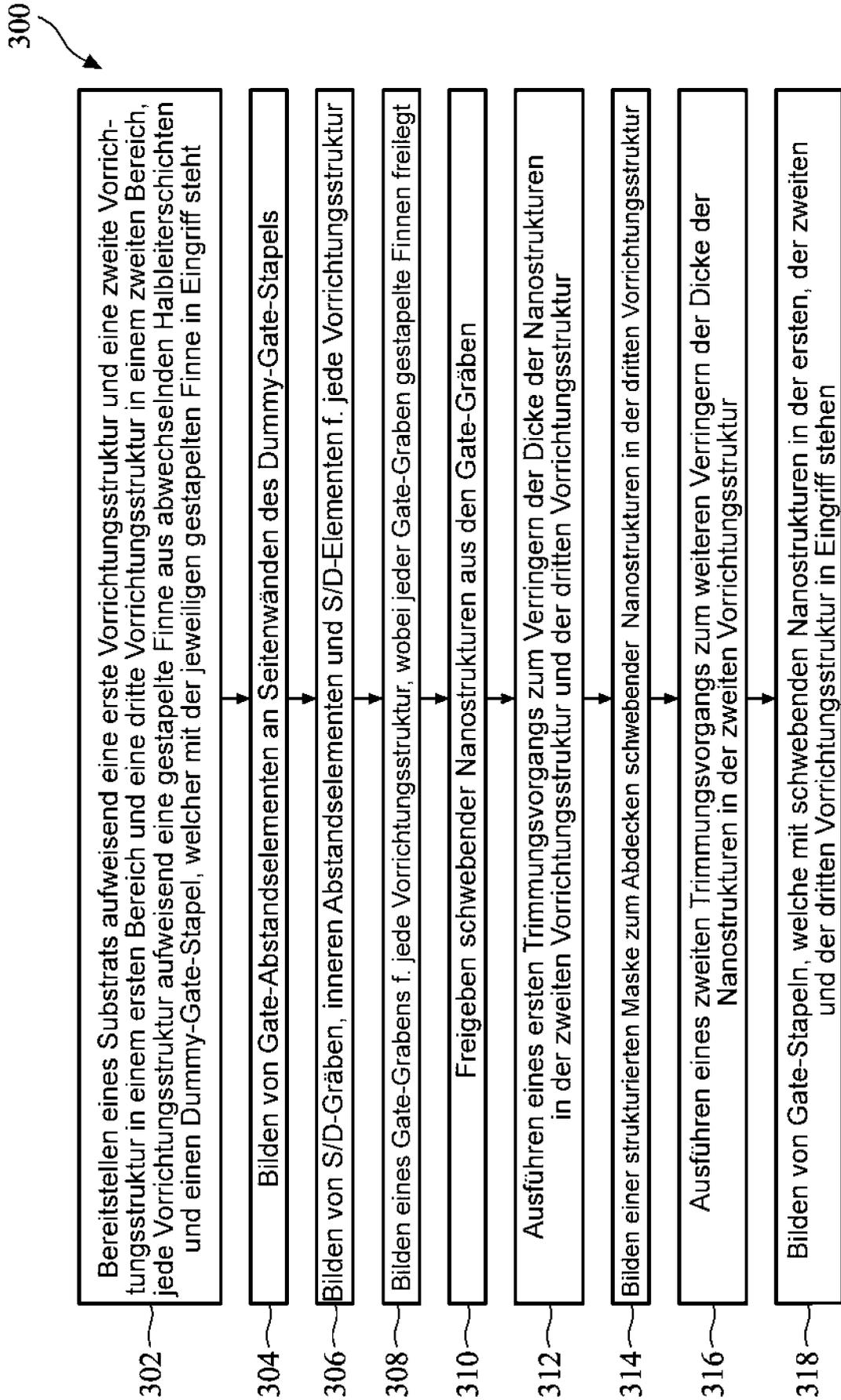


FIG. 1B

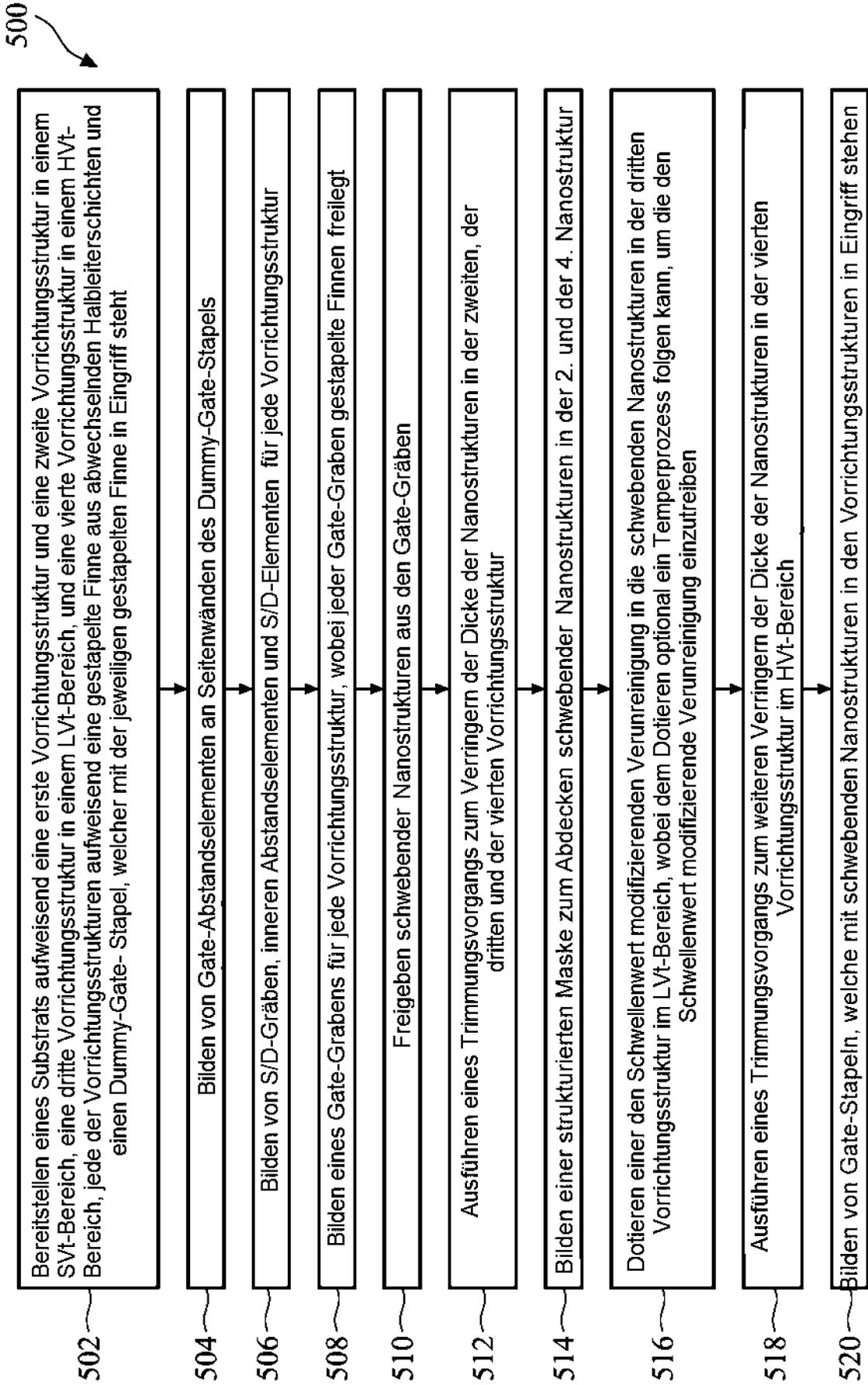


FIG. 1C

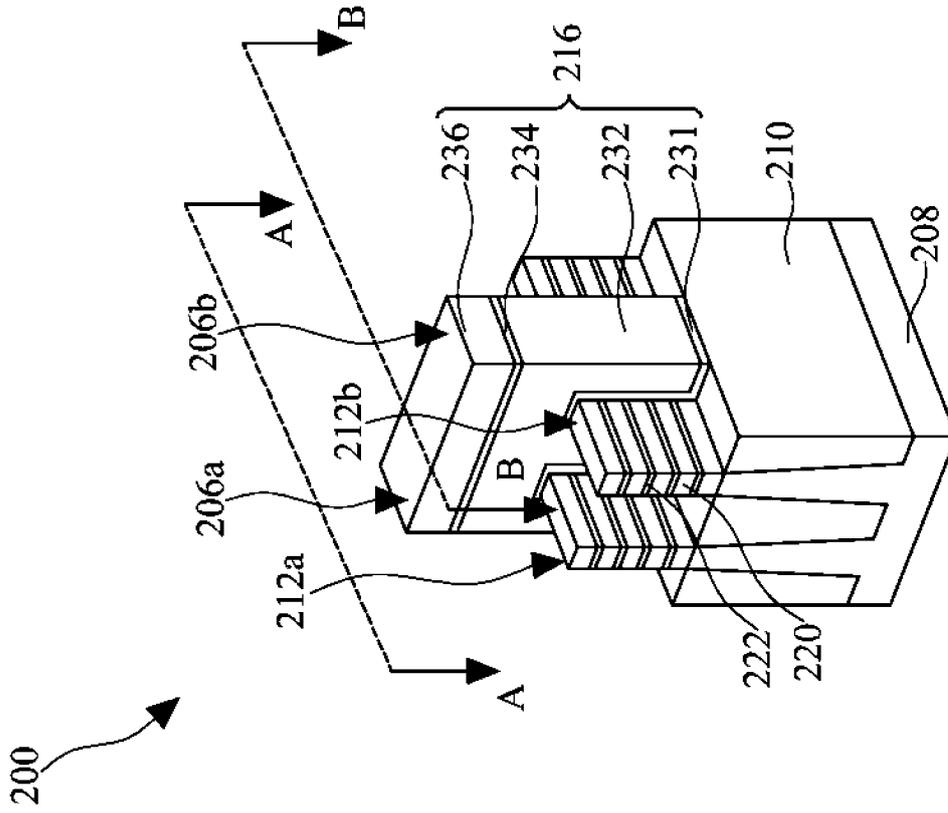
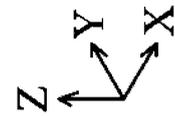


FIG. 2





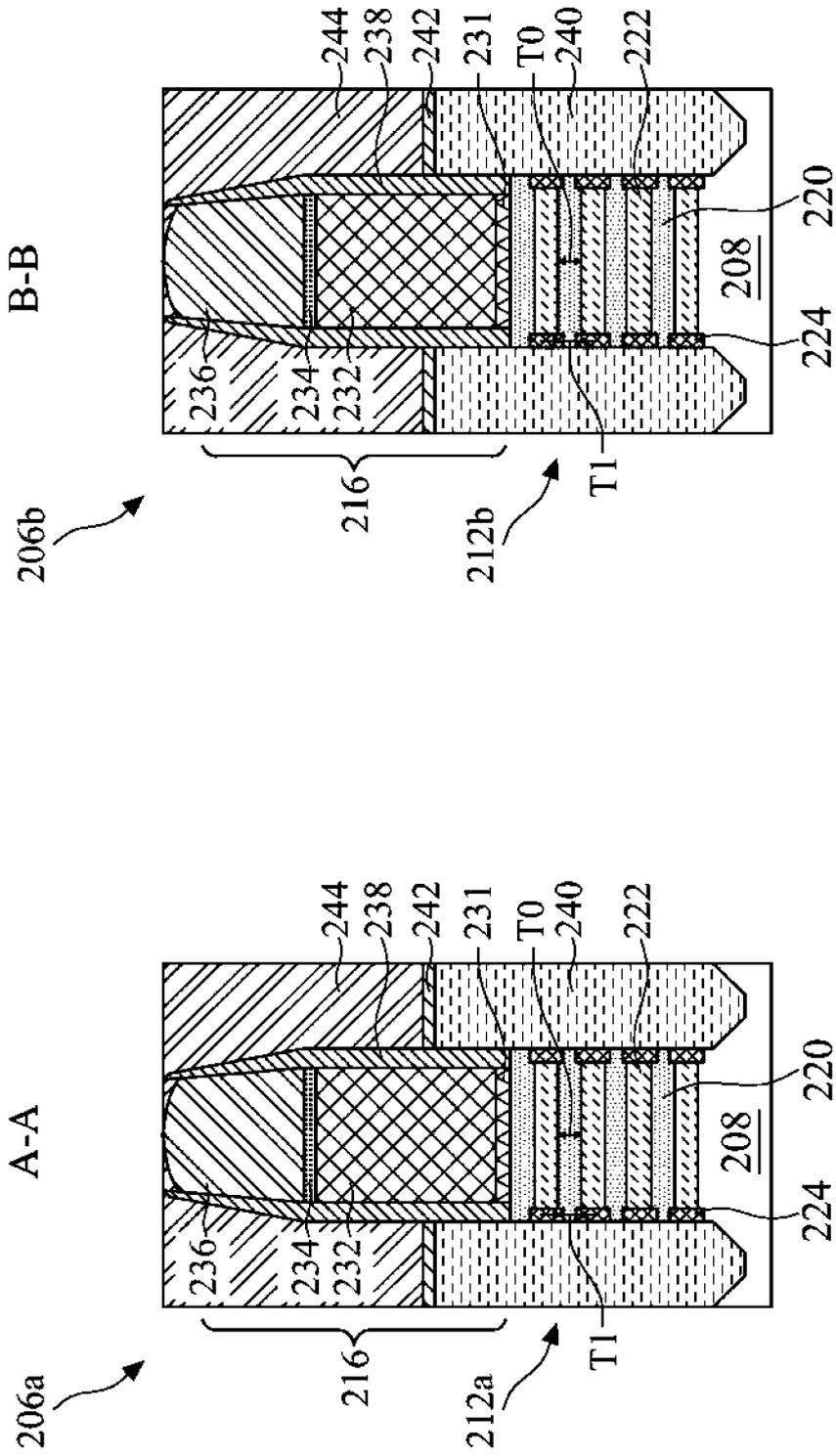
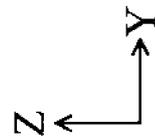


FIG. 4



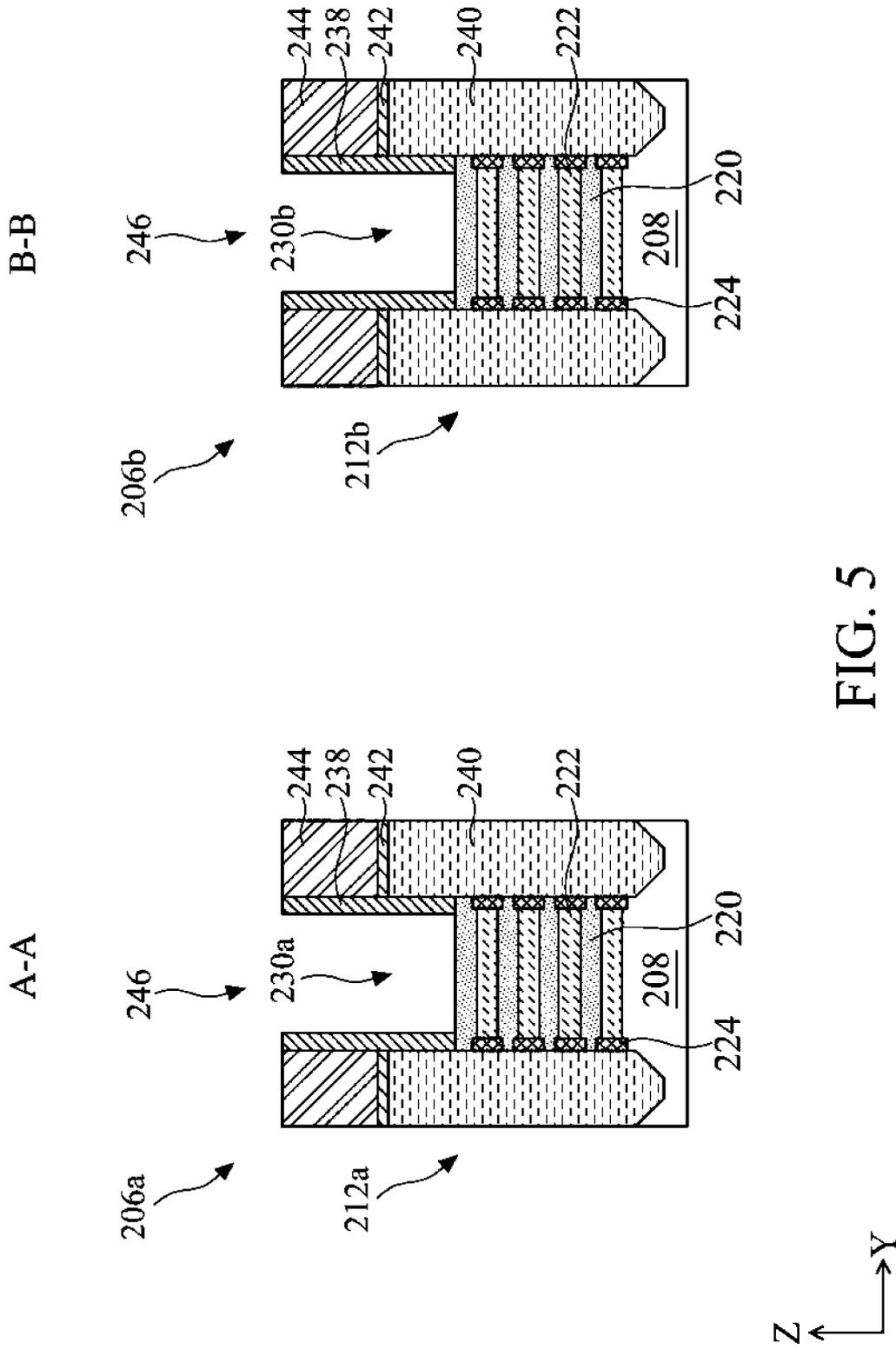


FIG. 5

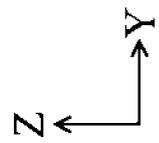
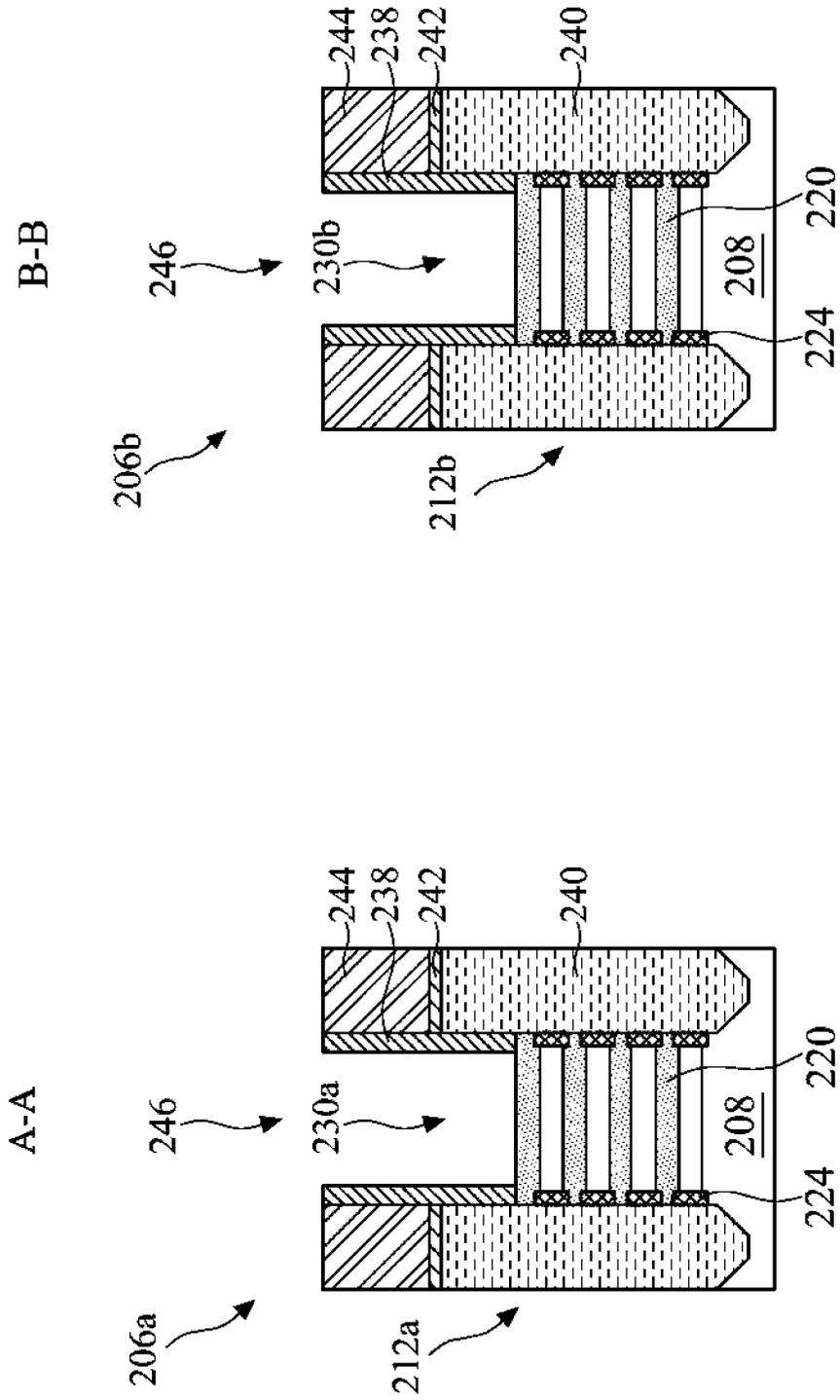


FIG. 6

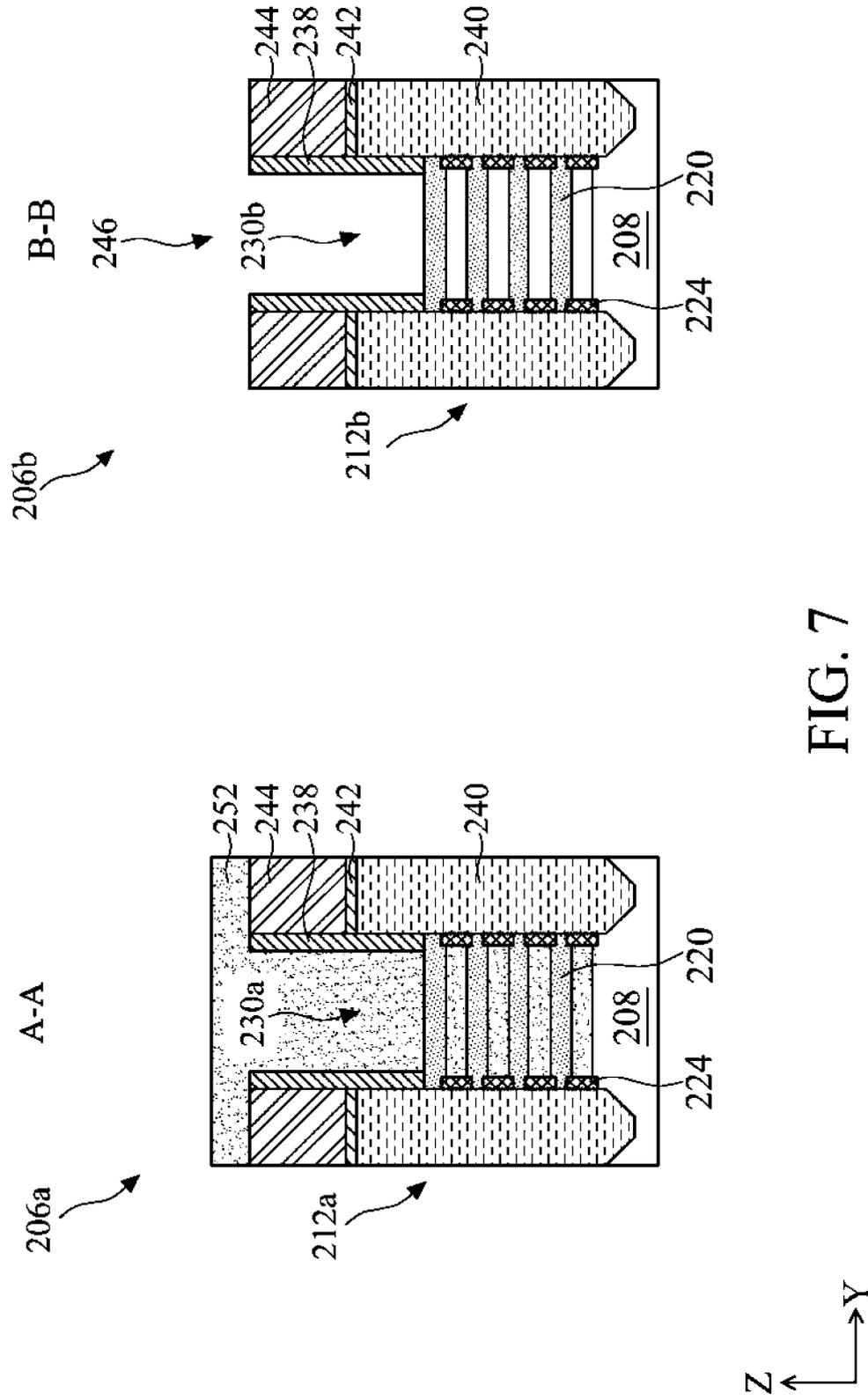


FIG. 7

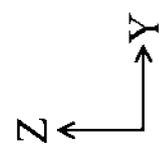
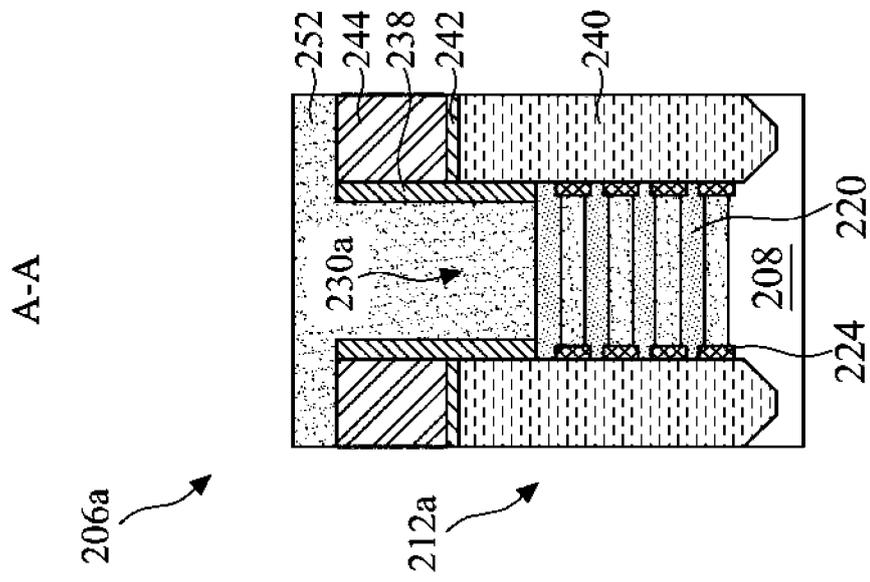
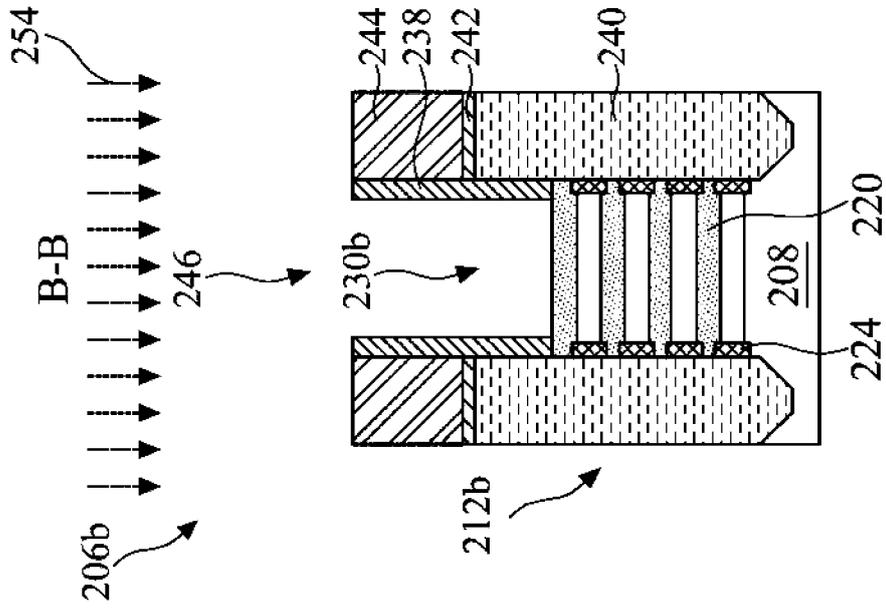


FIG. 8

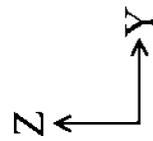
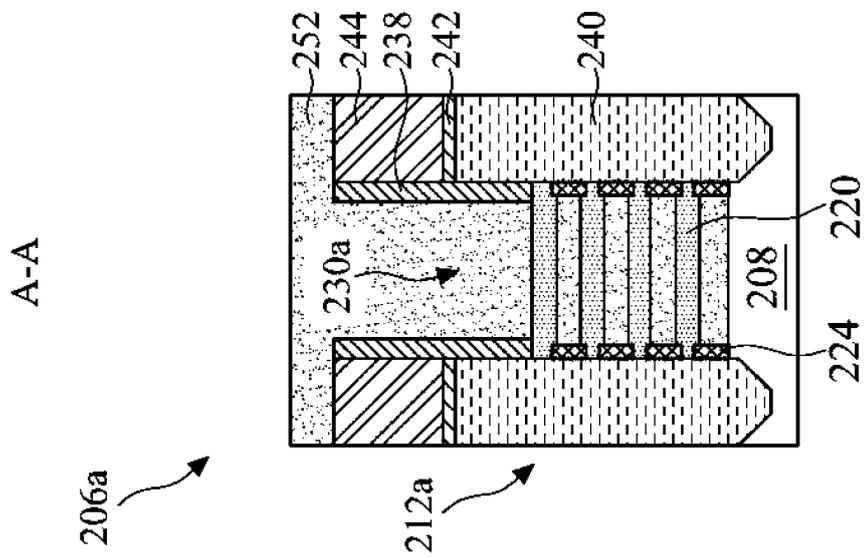
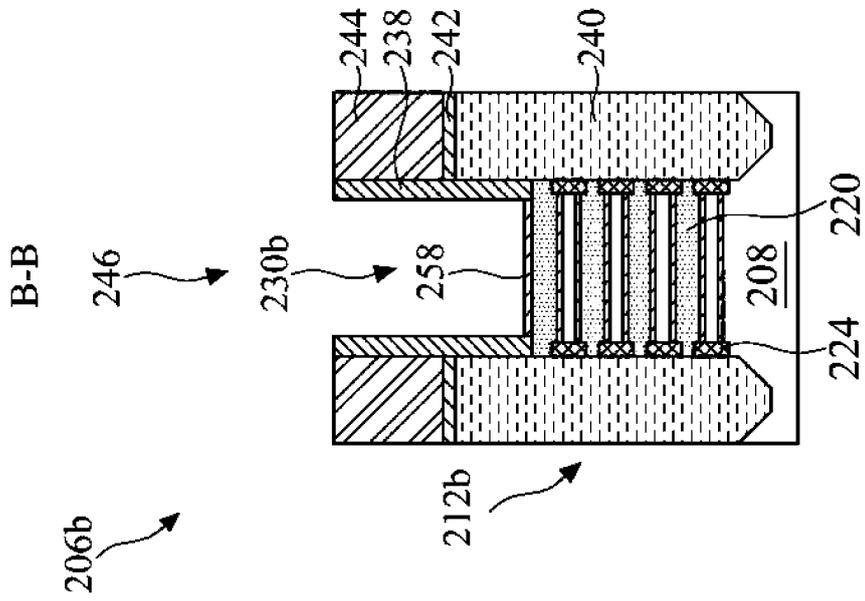


FIG. 9

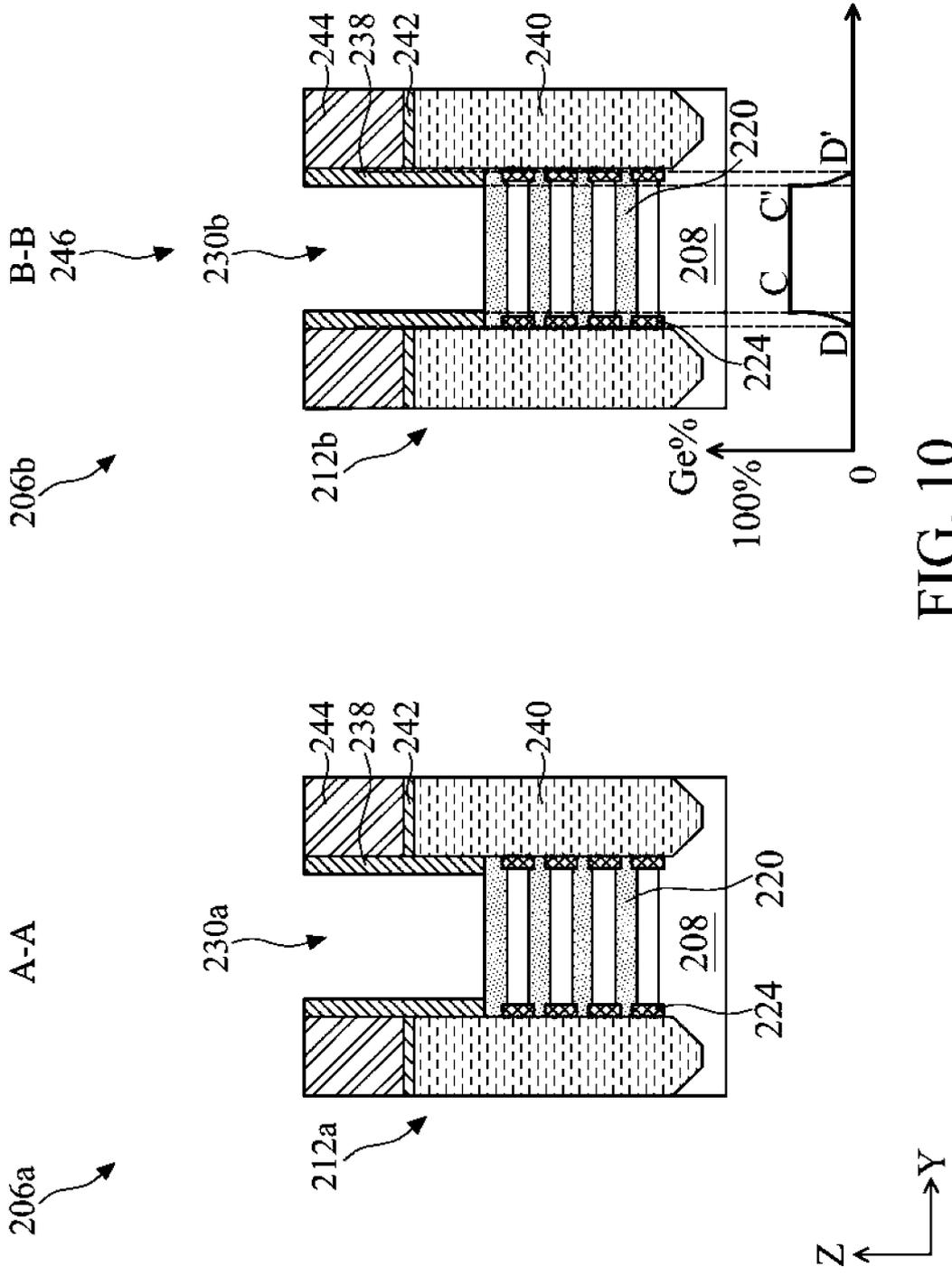


FIG. 10

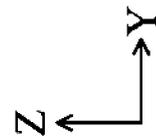
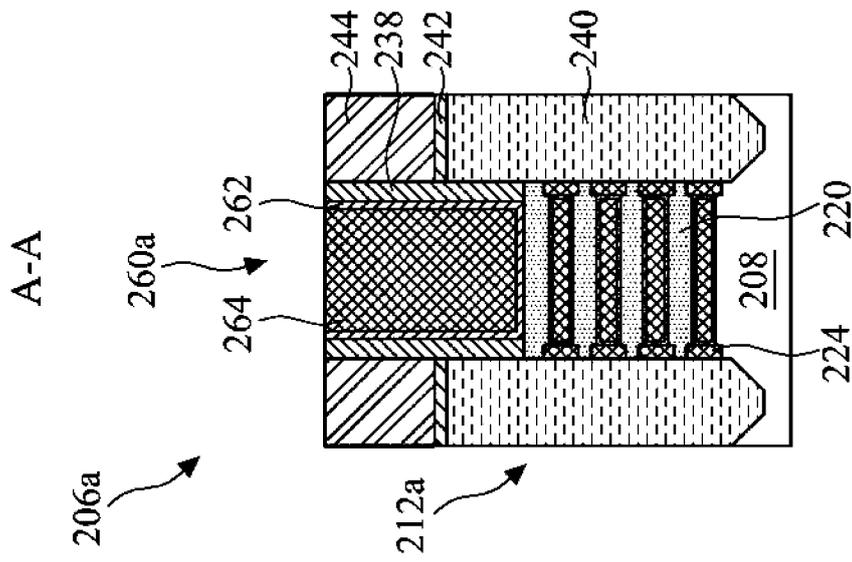
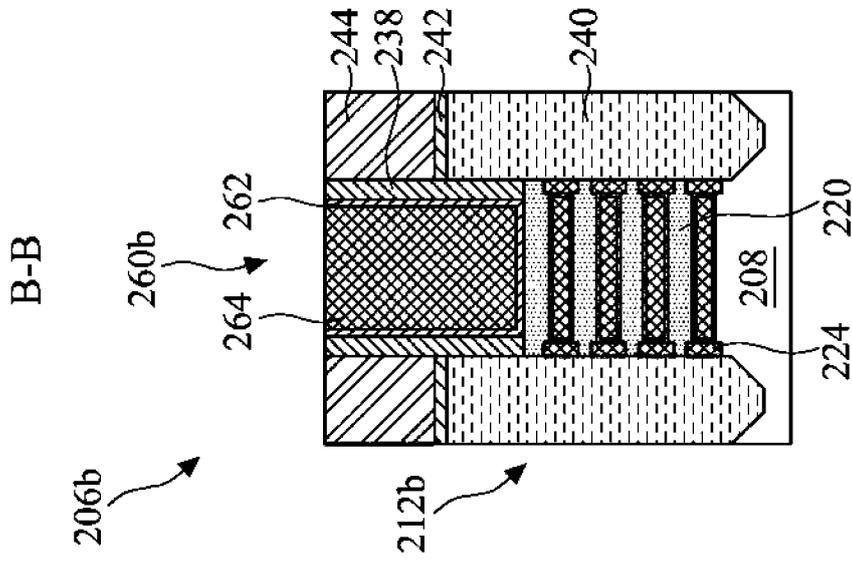


FIG. 11

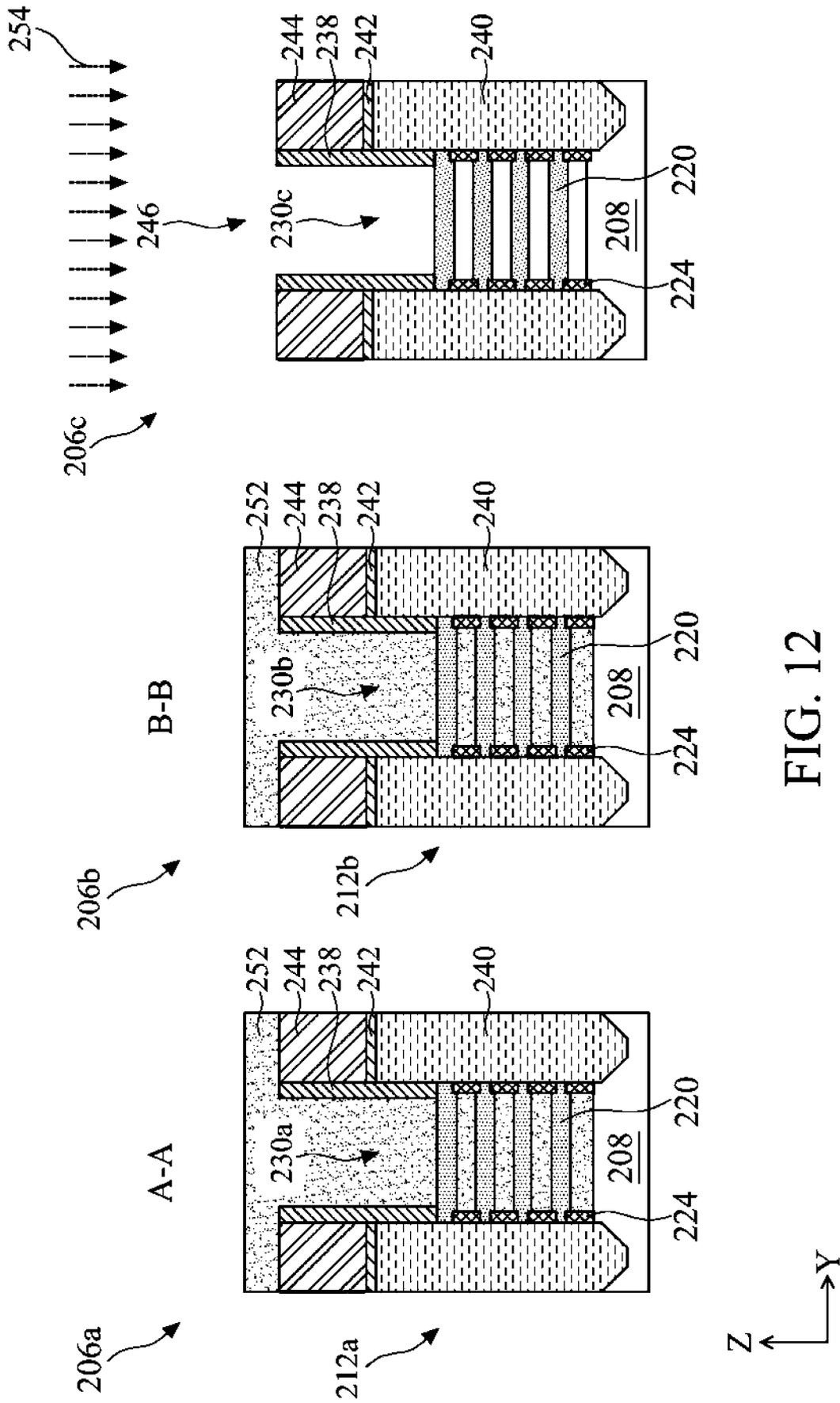


FIG. 12

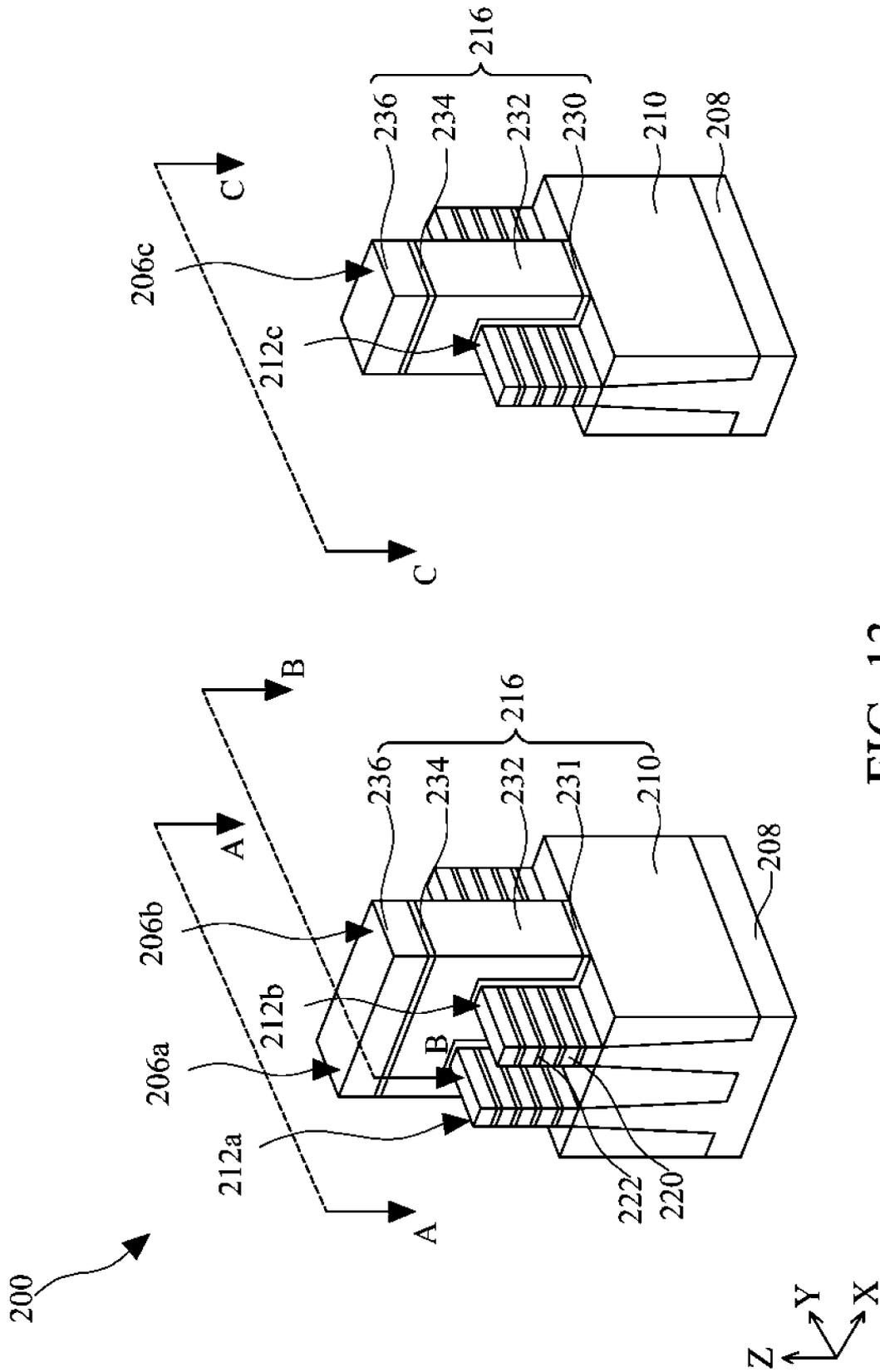


FIG. 13

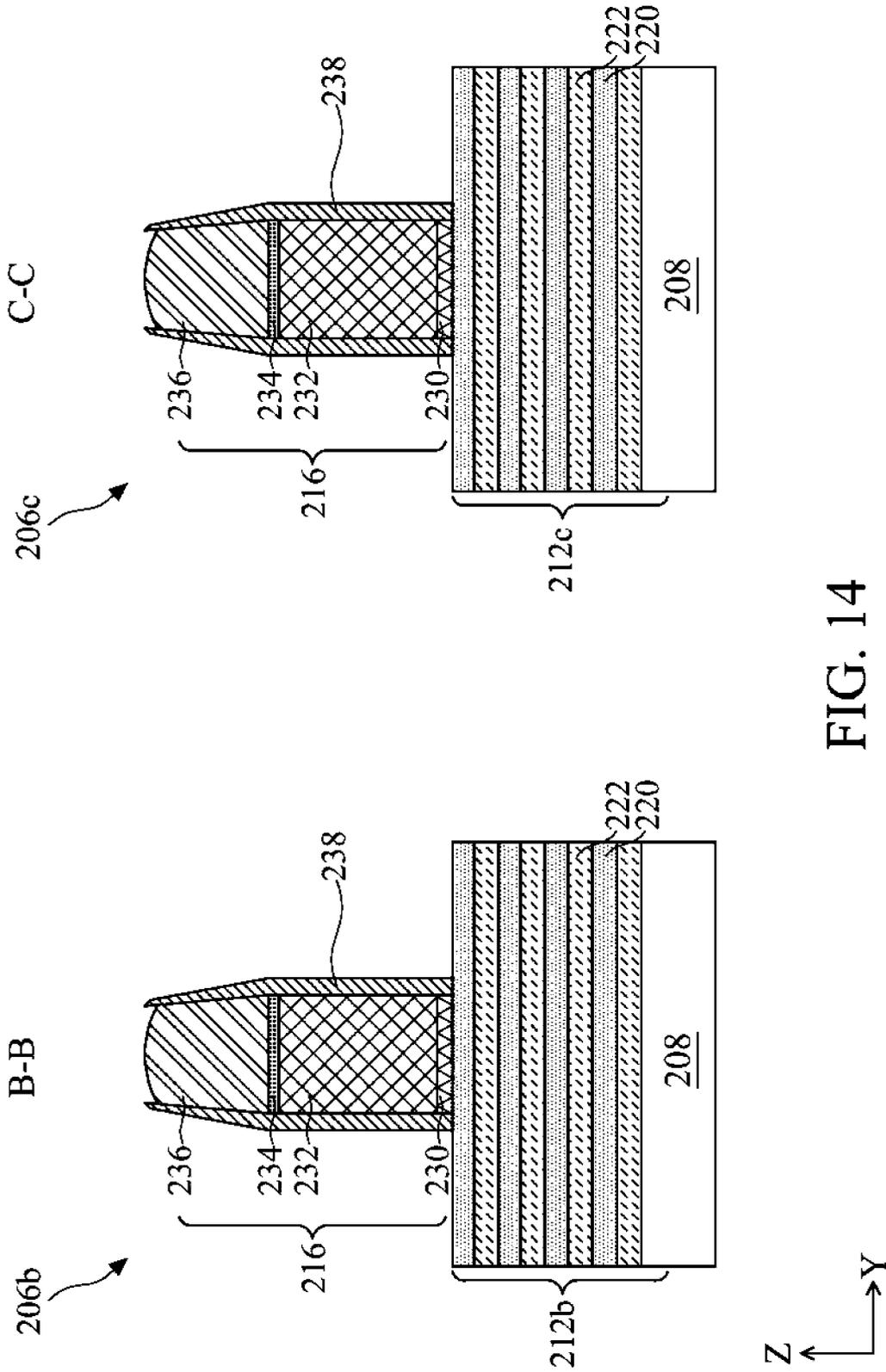


FIG. 14

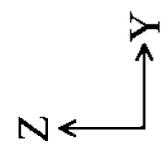
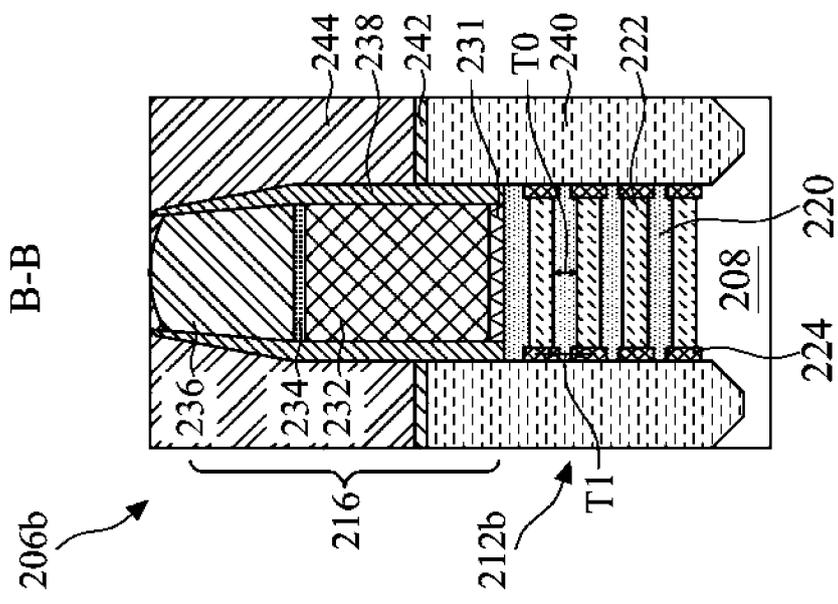
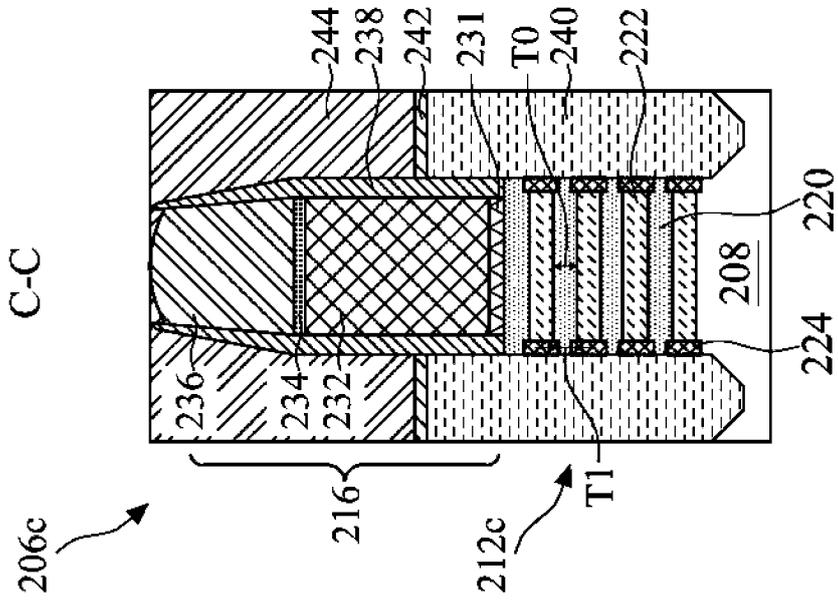


FIG. 15

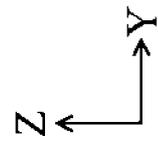
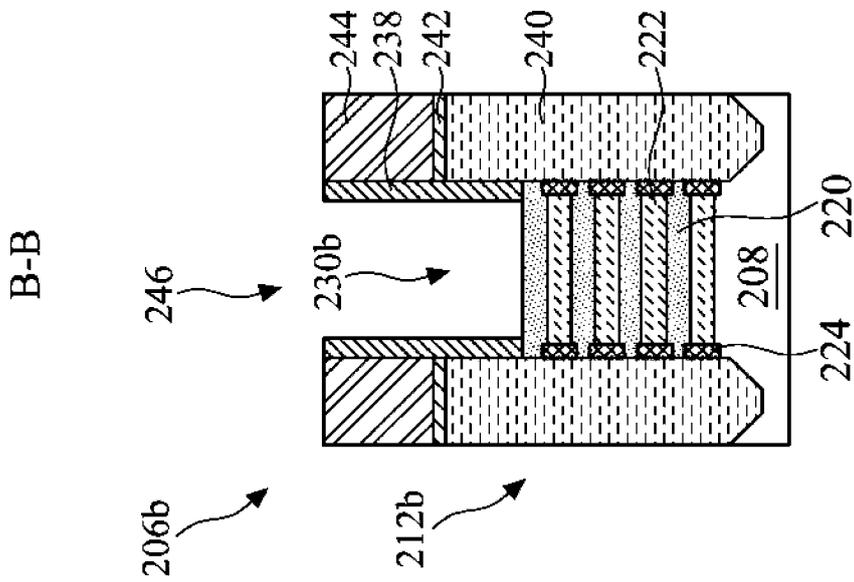
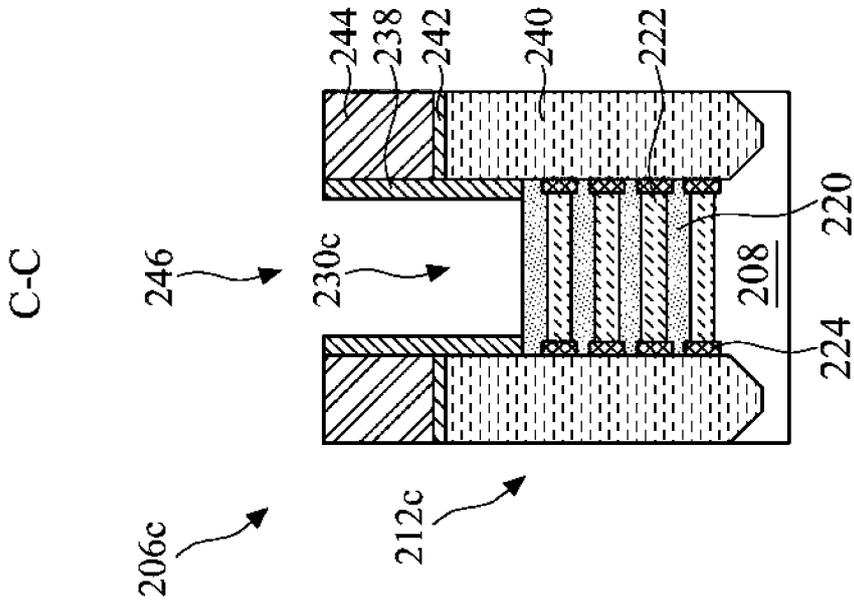


FIG. 16

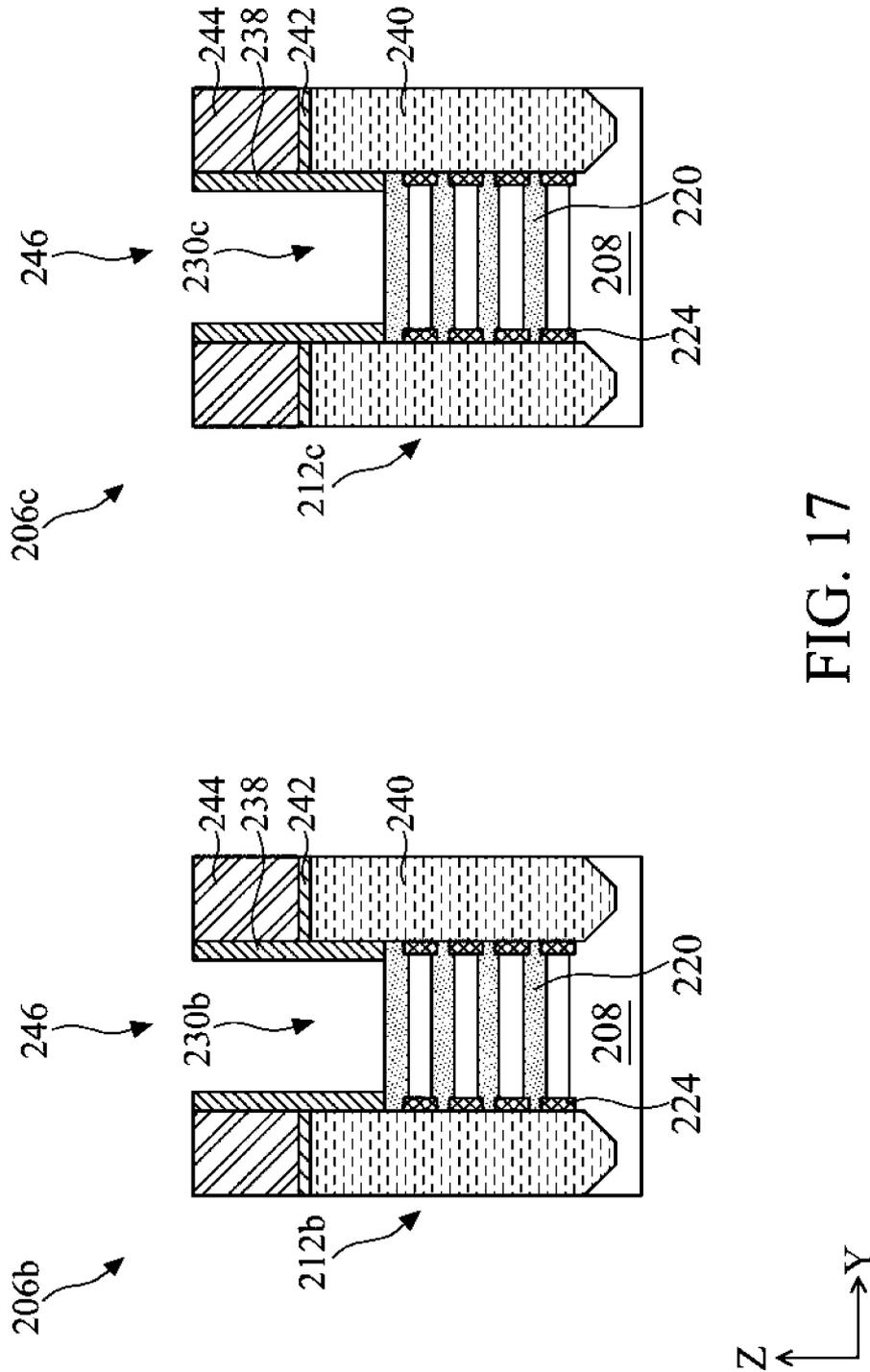


FIG. 17

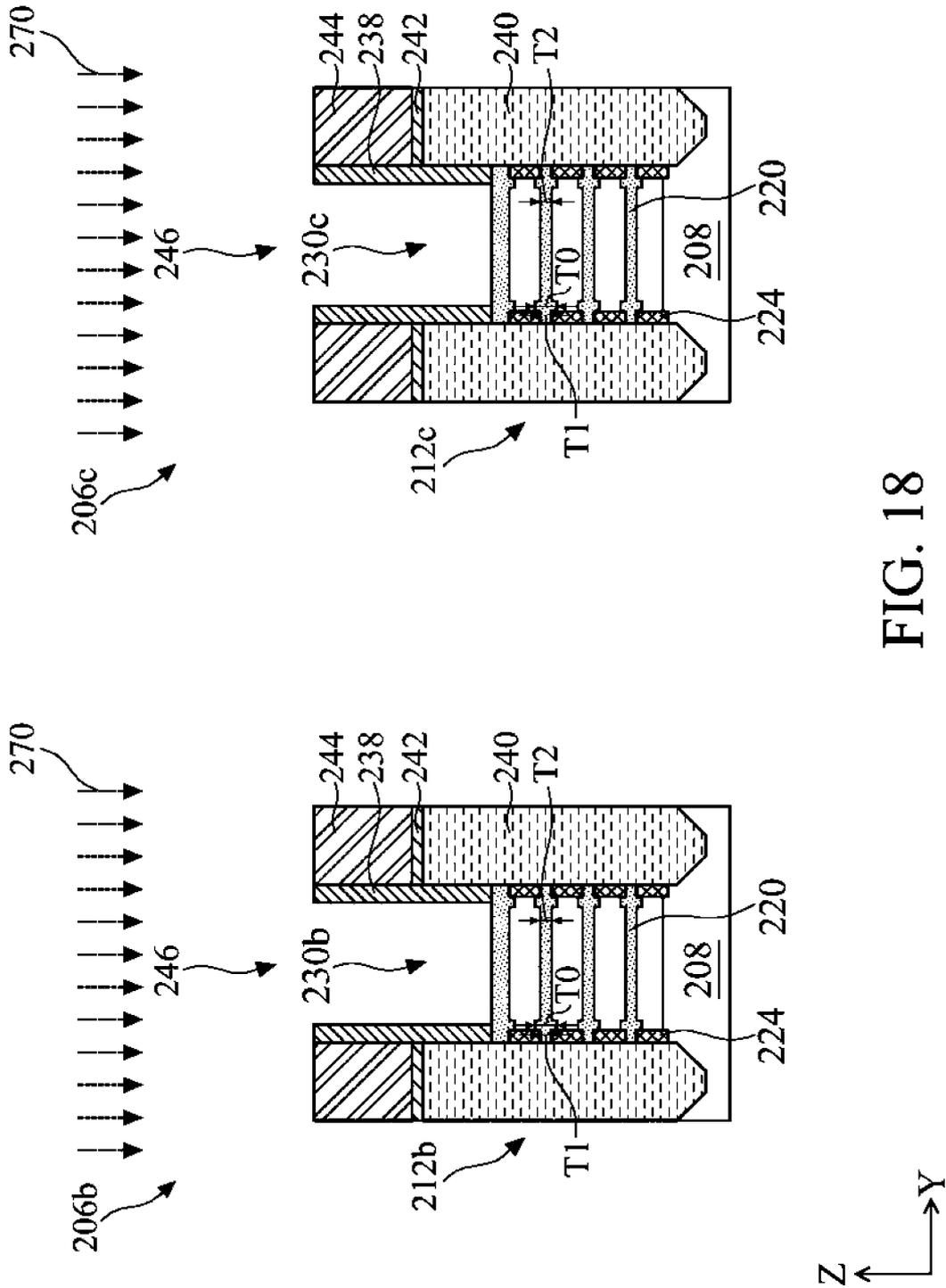


FIG. 18

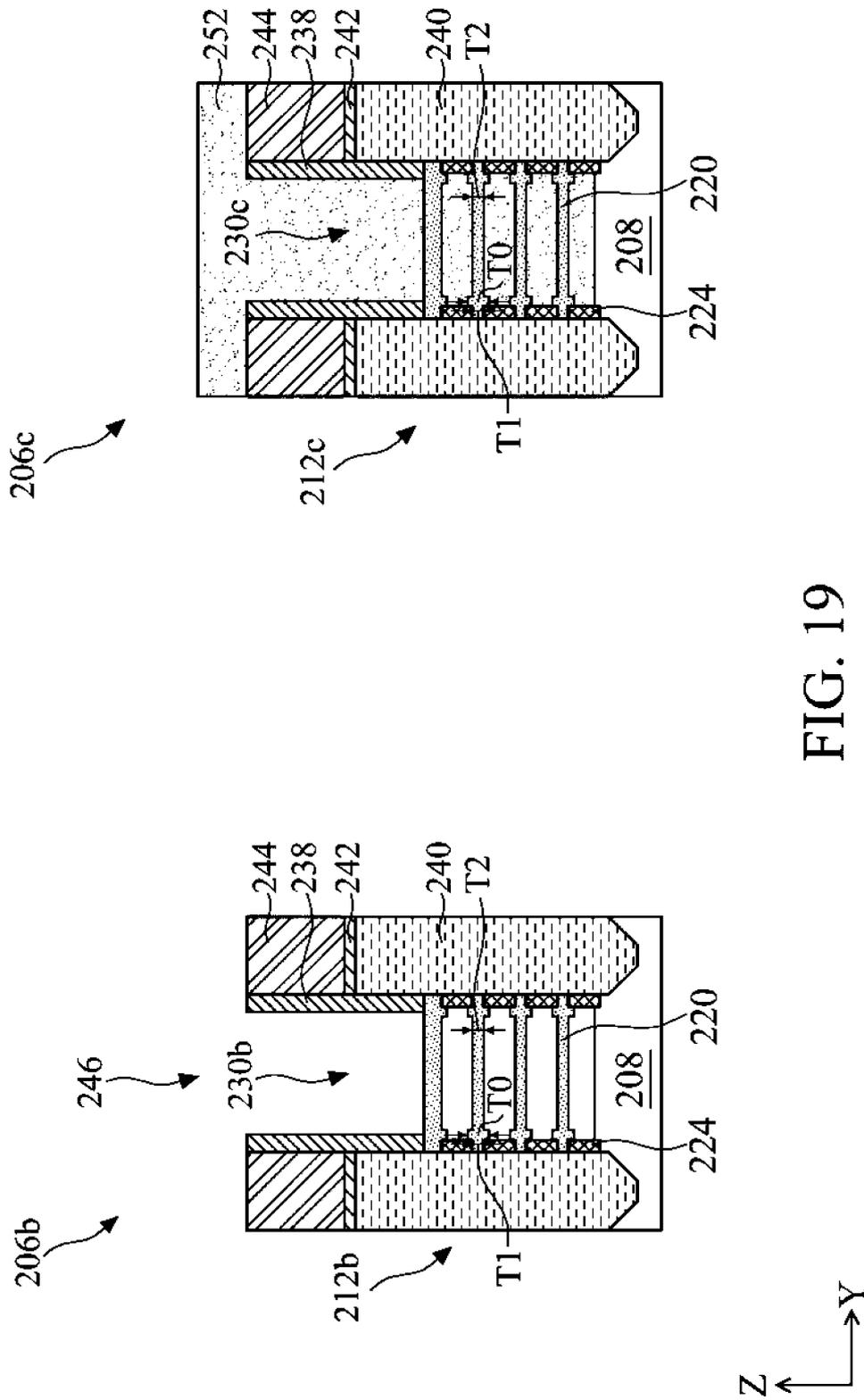


FIG. 19

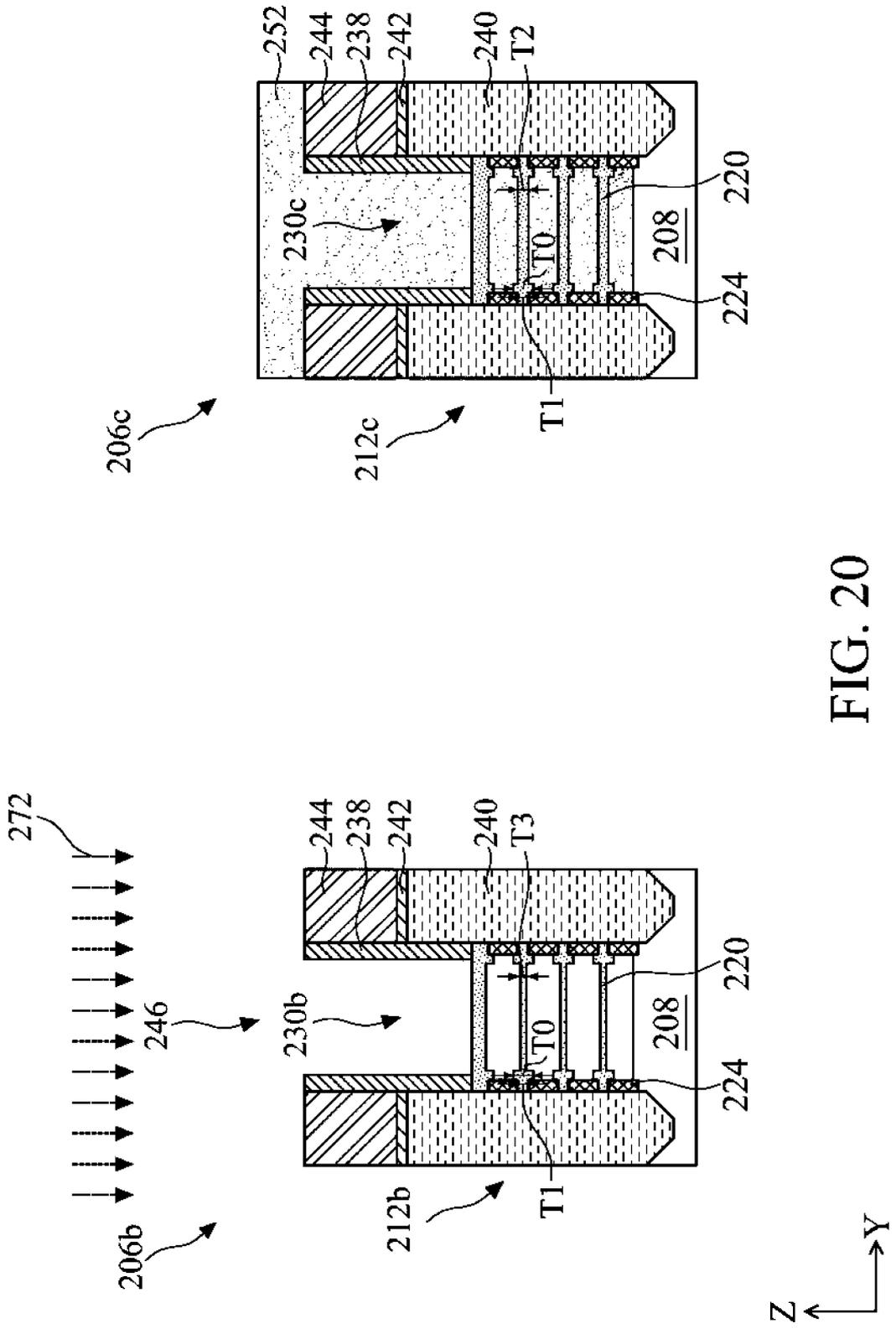


FIG. 20

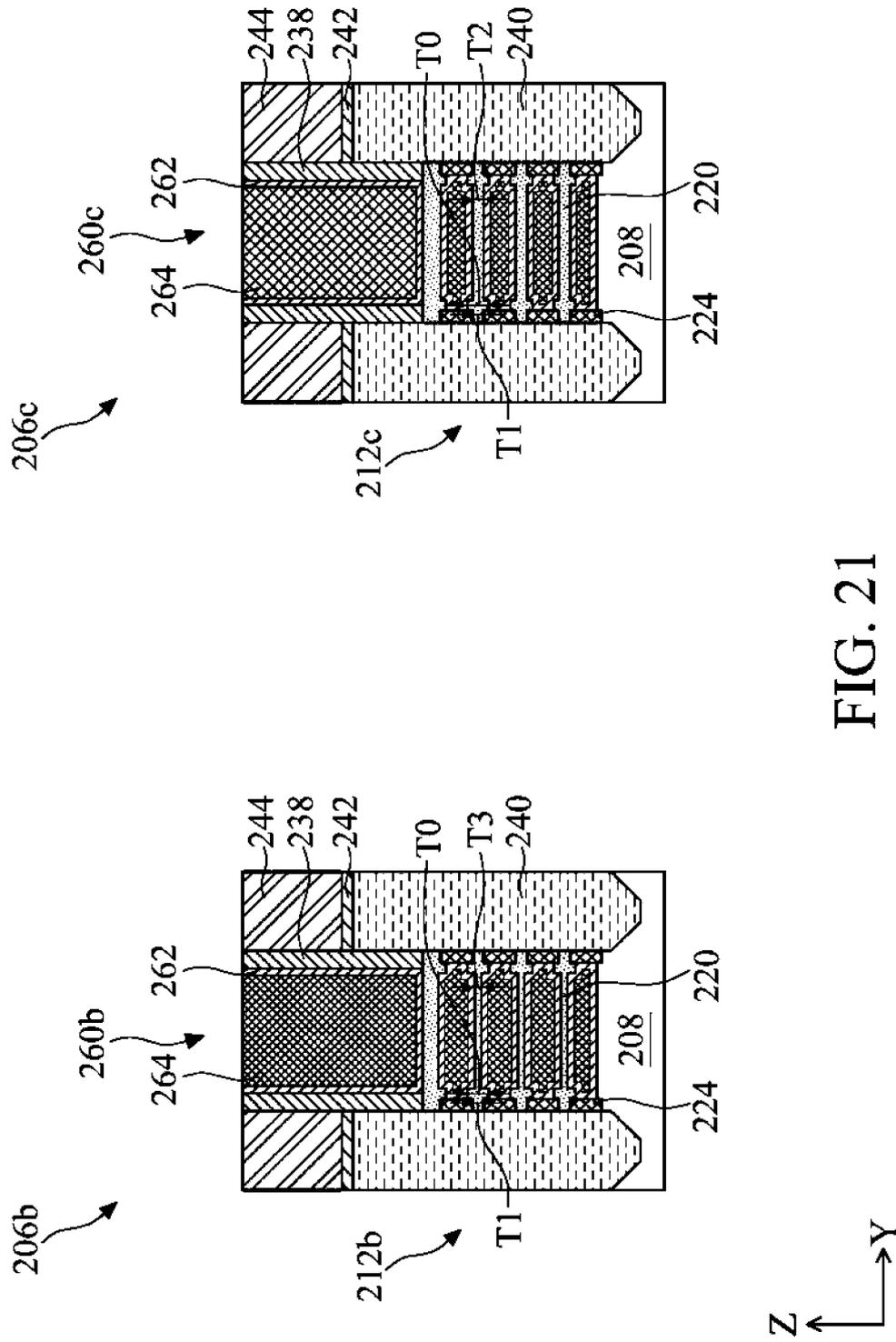


FIG. 21



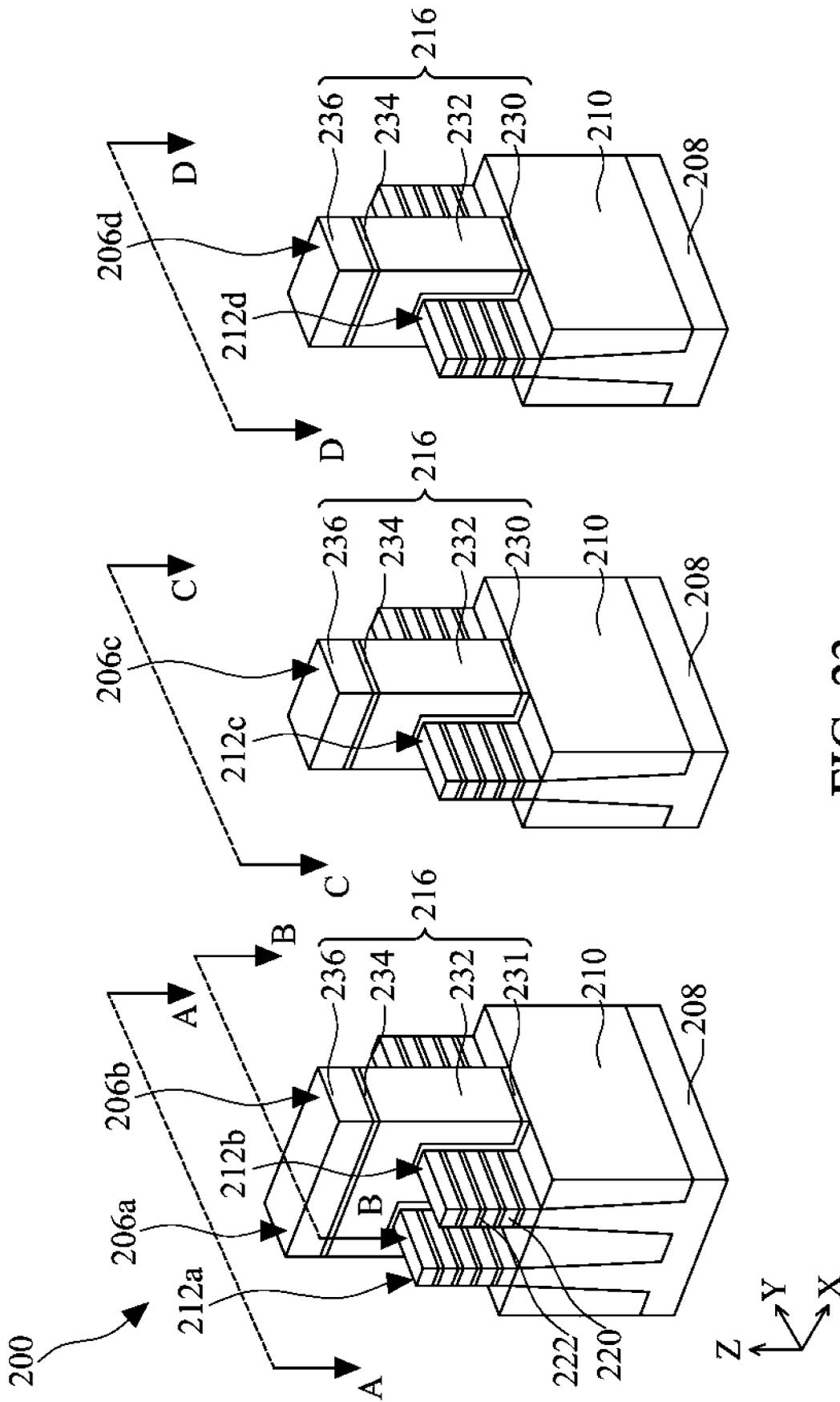


FIG. 23

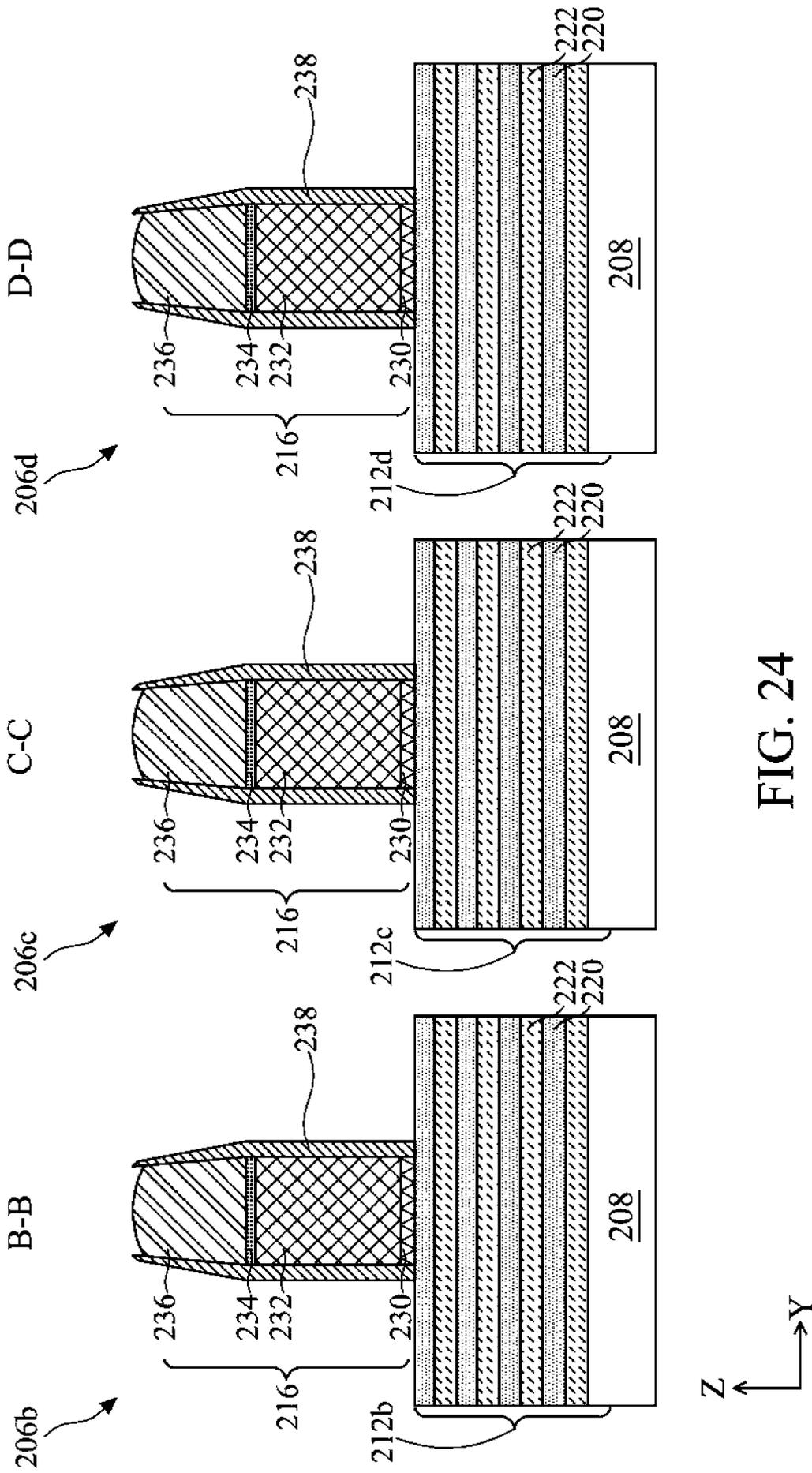


FIG. 24

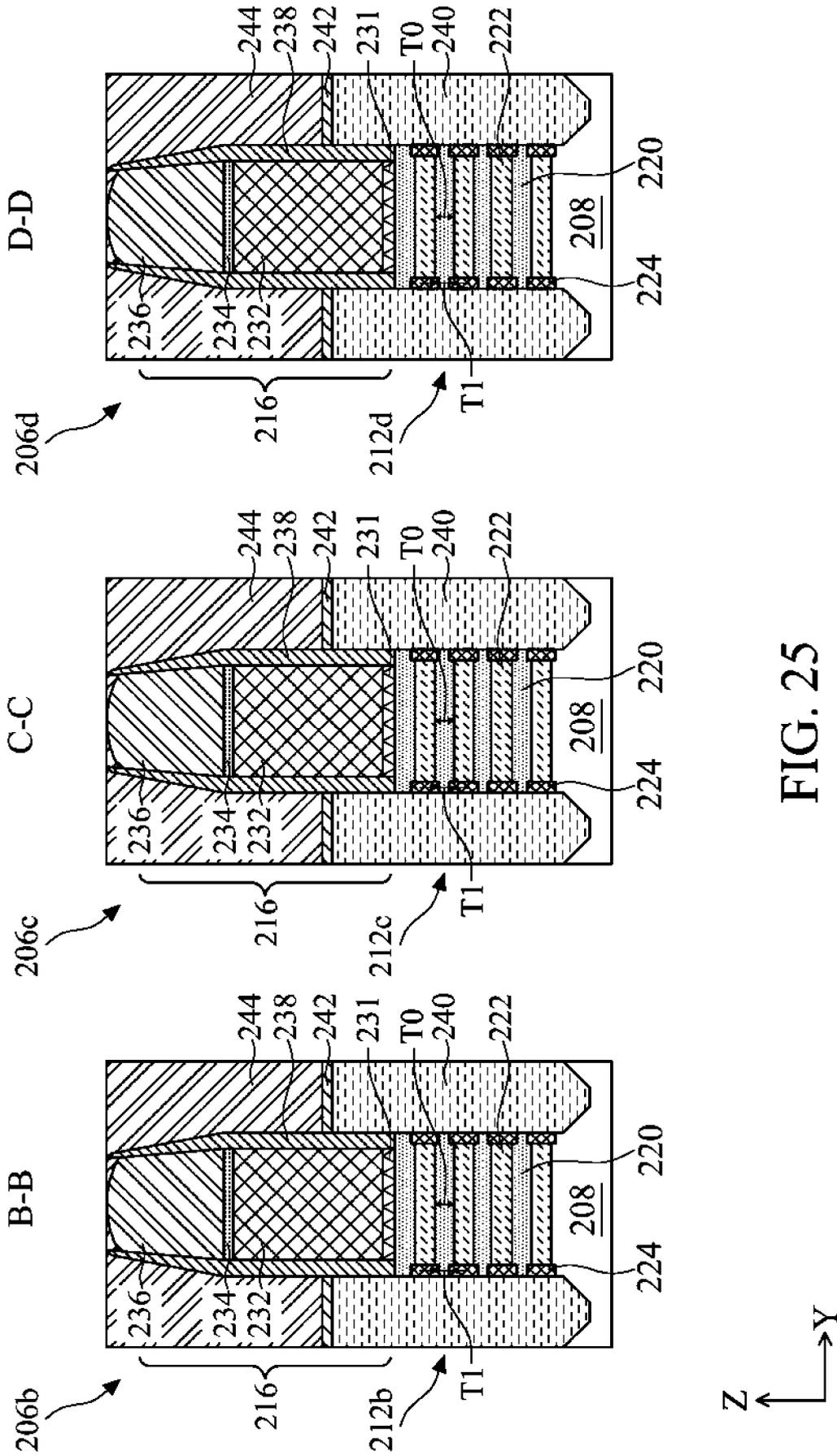


FIG. 25

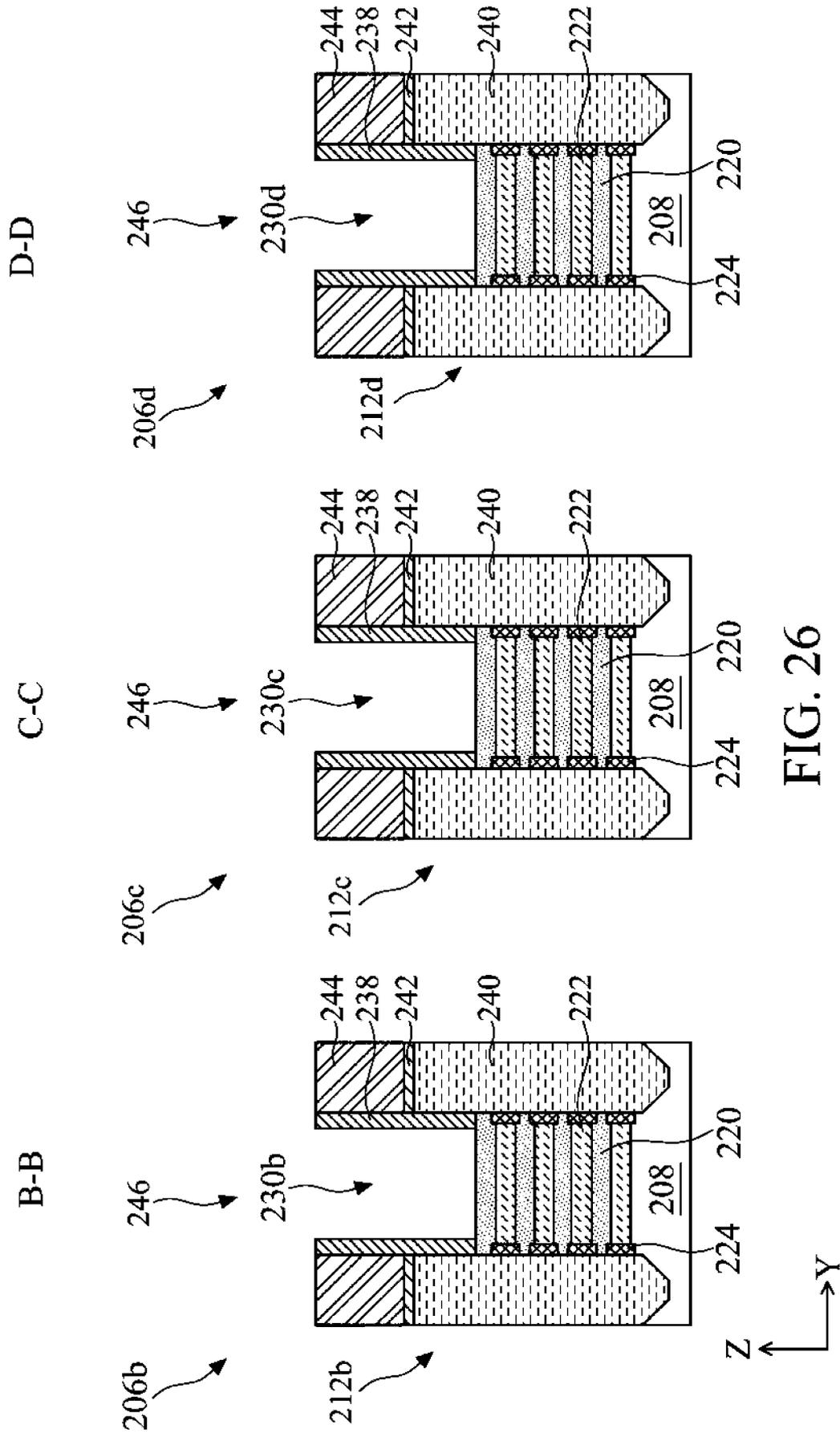


FIG. 26

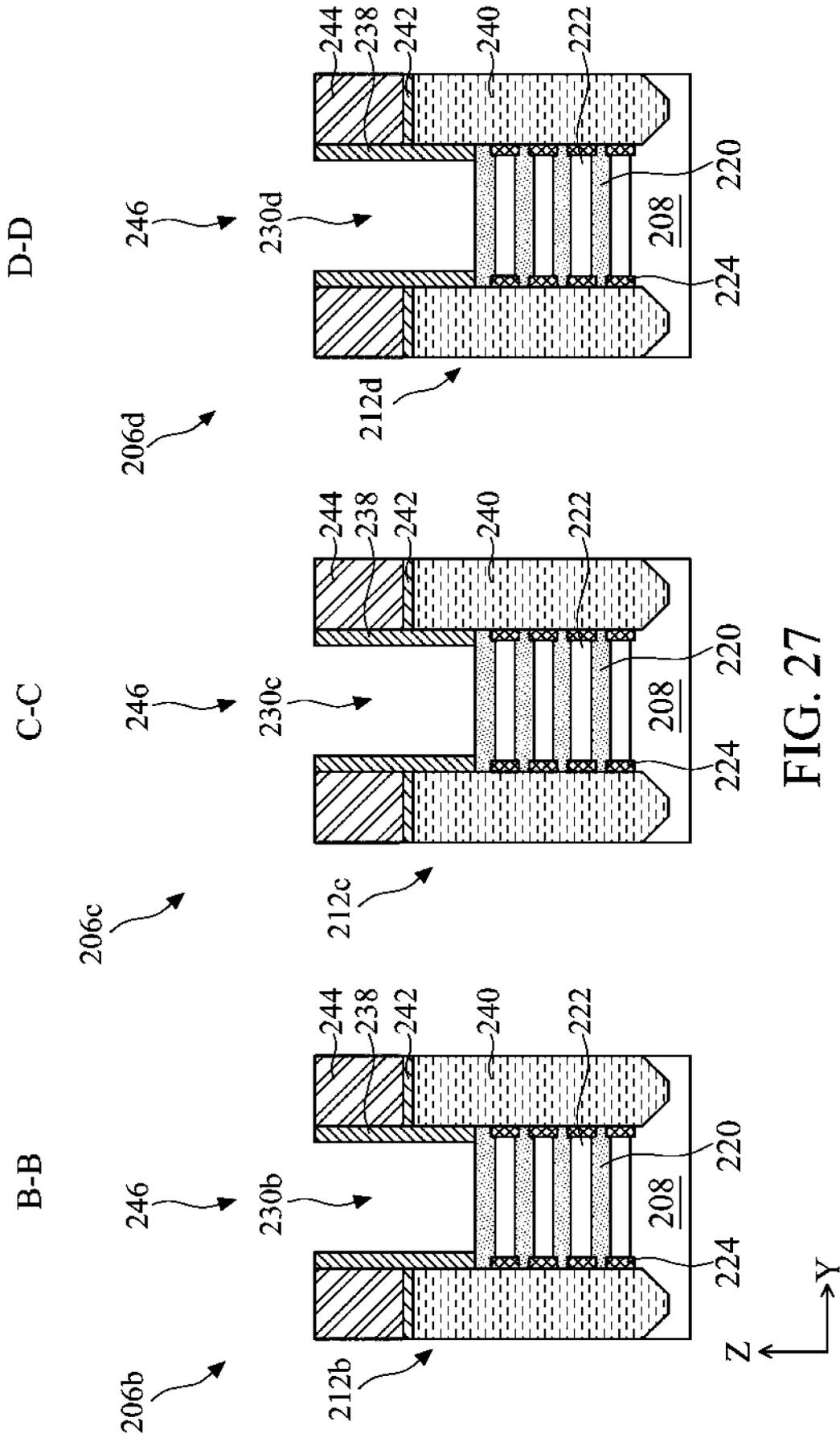


FIG. 27

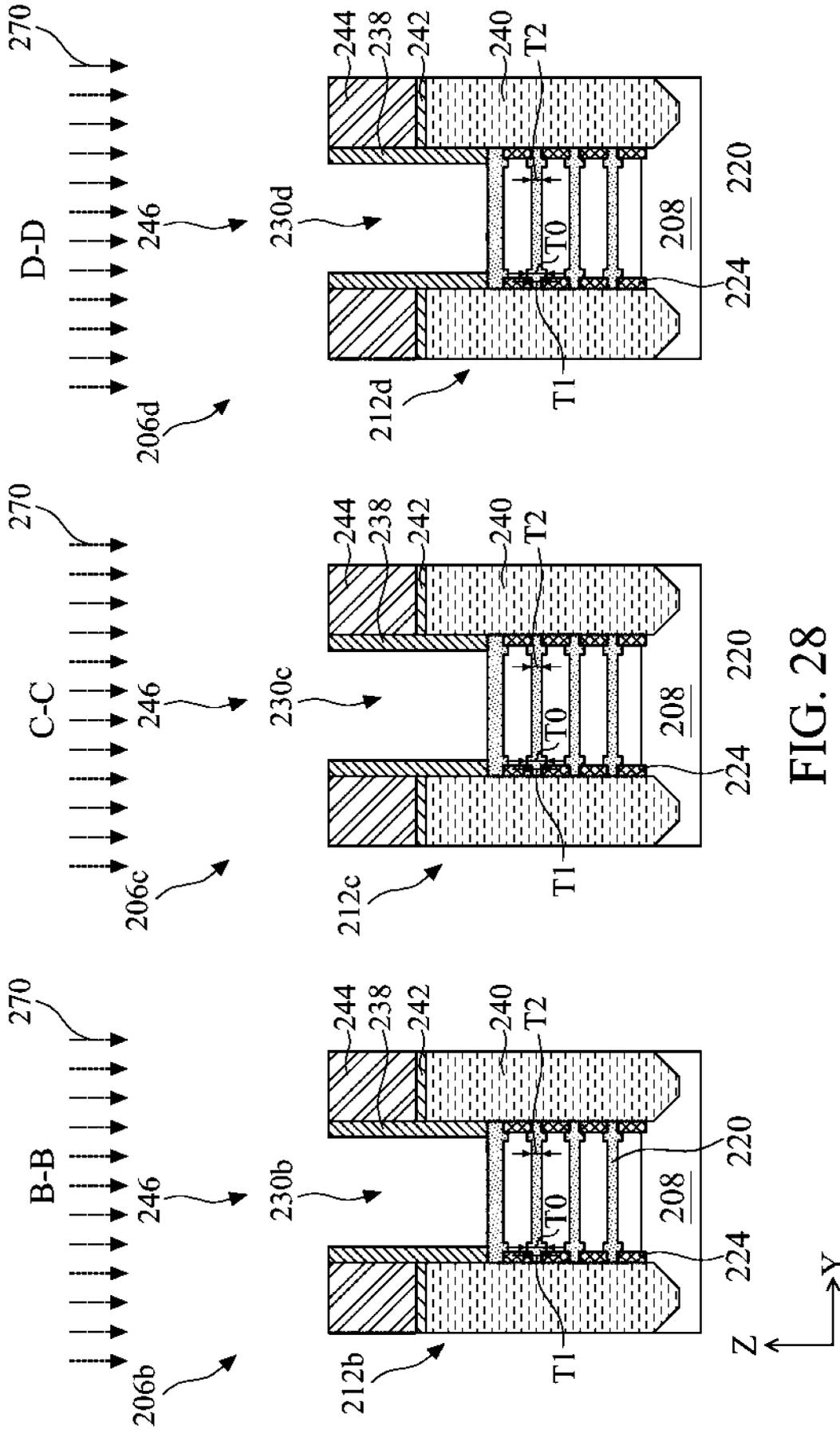


FIG. 28

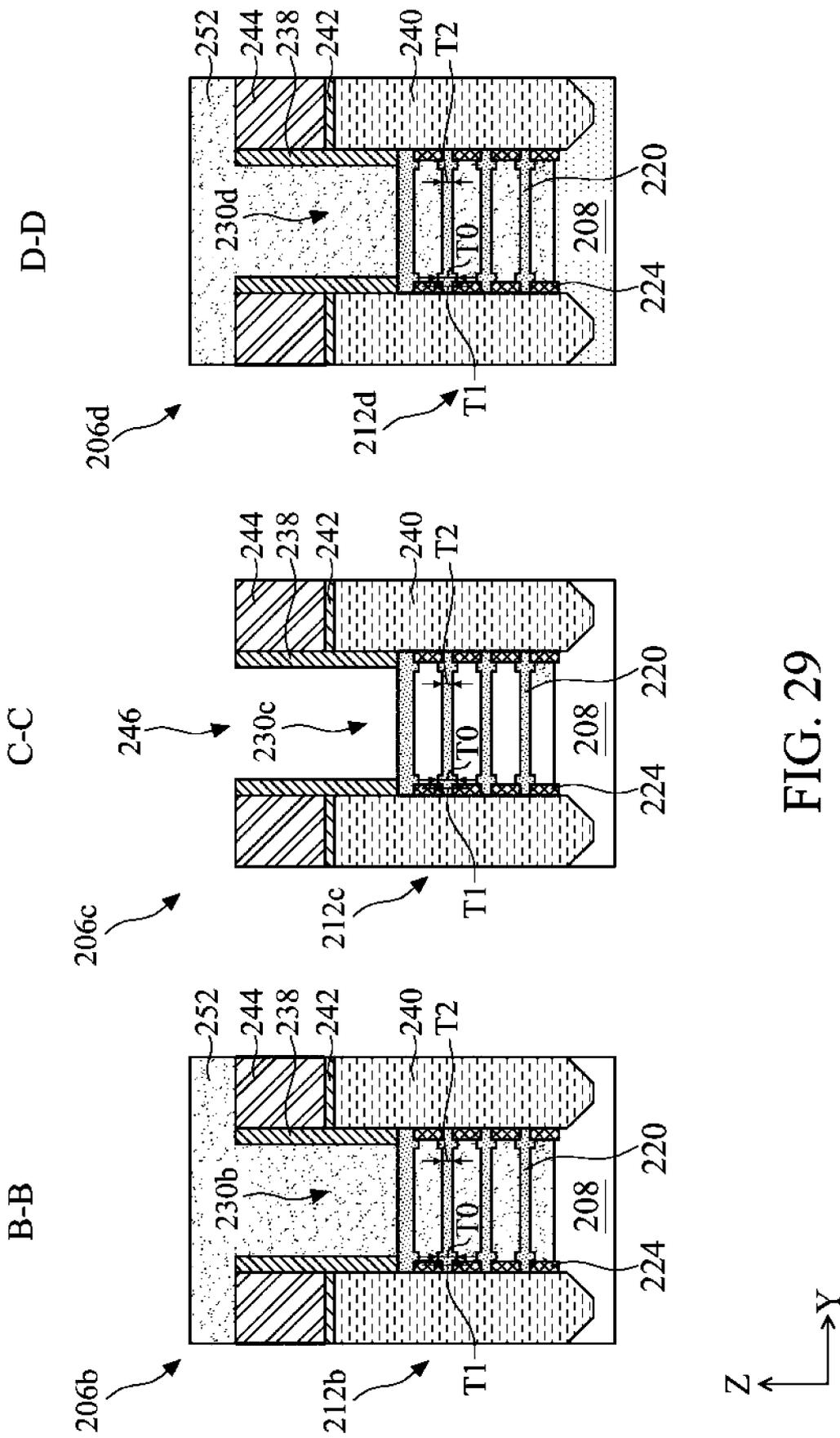


FIG. 29

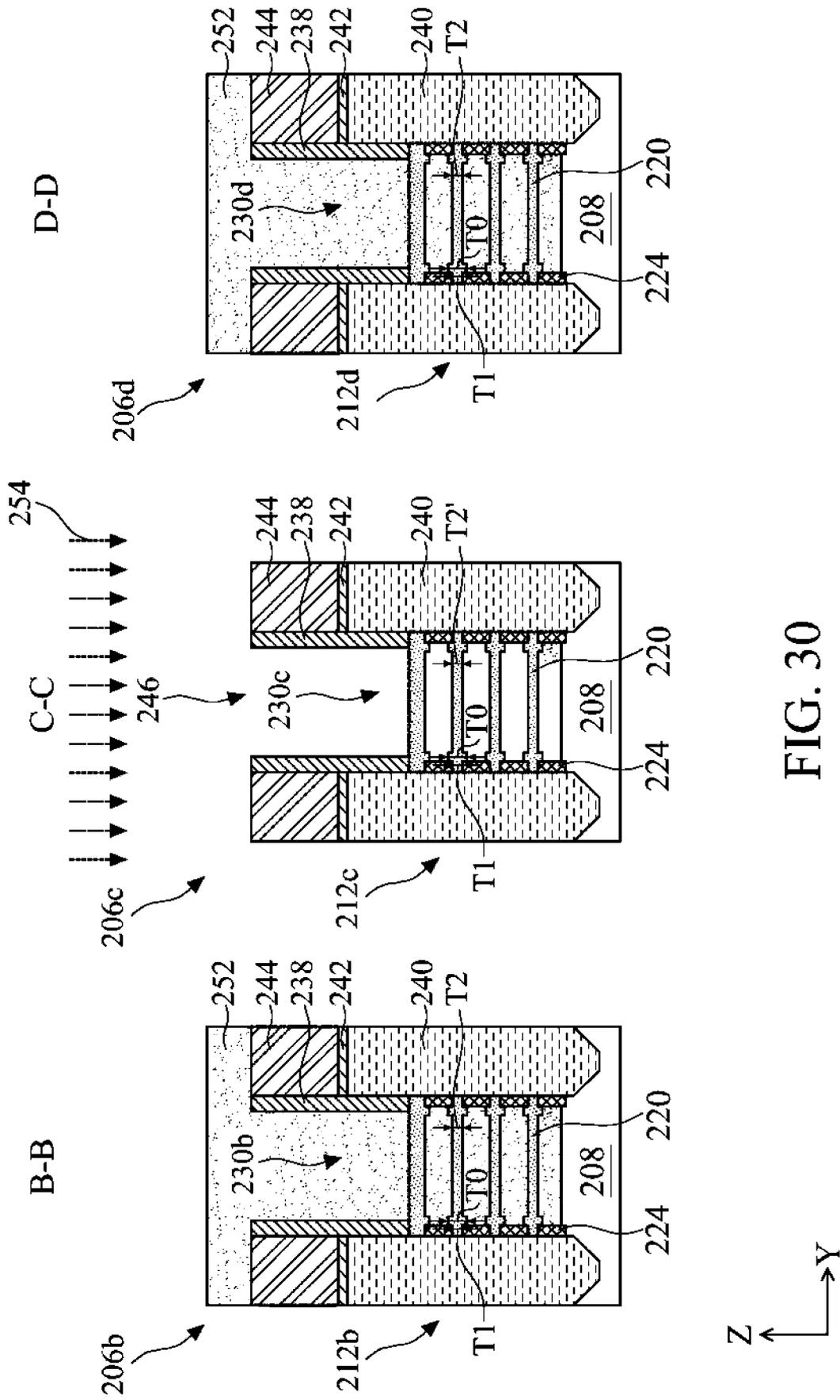


FIG. 30

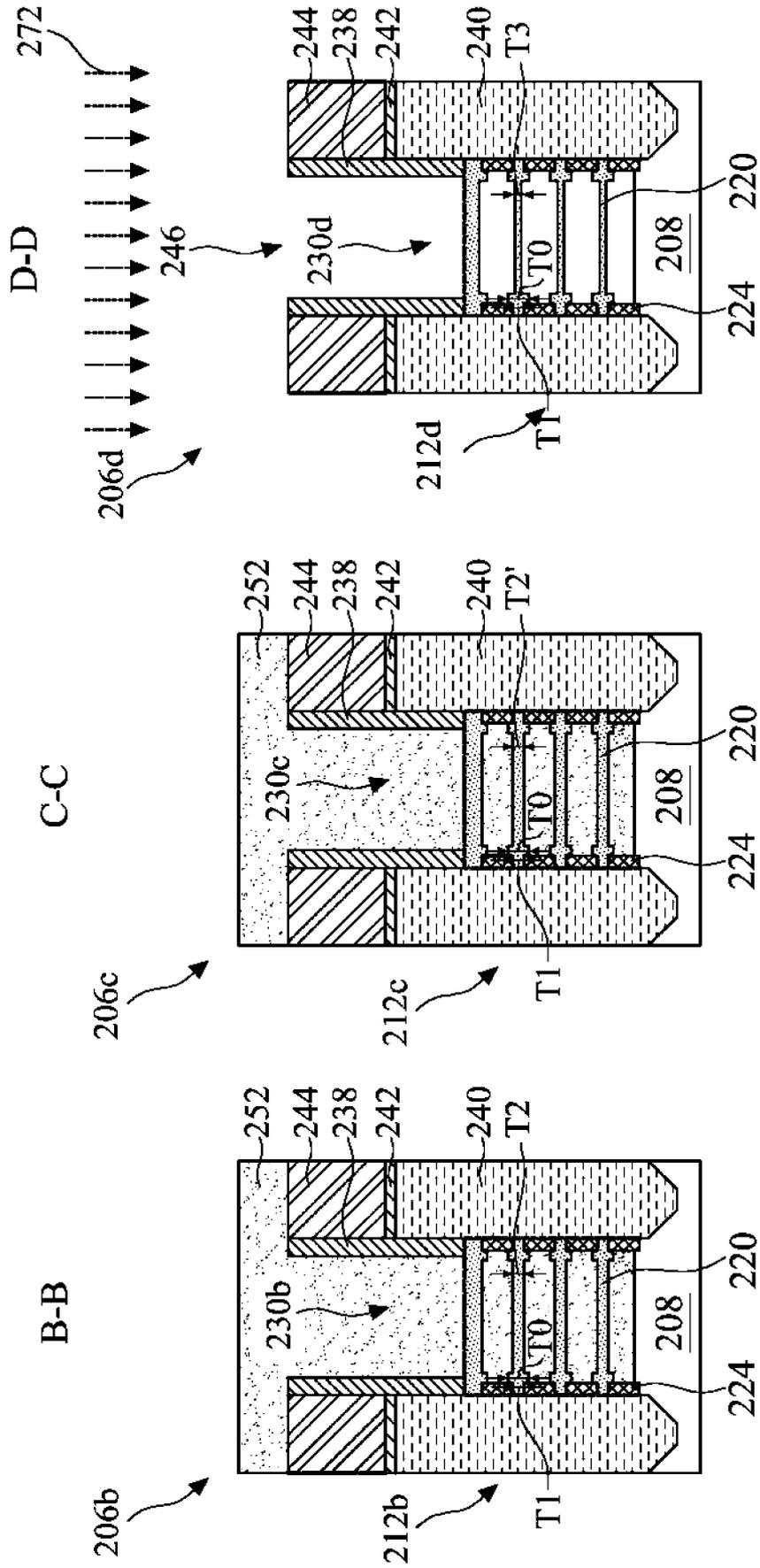


FIG. 31

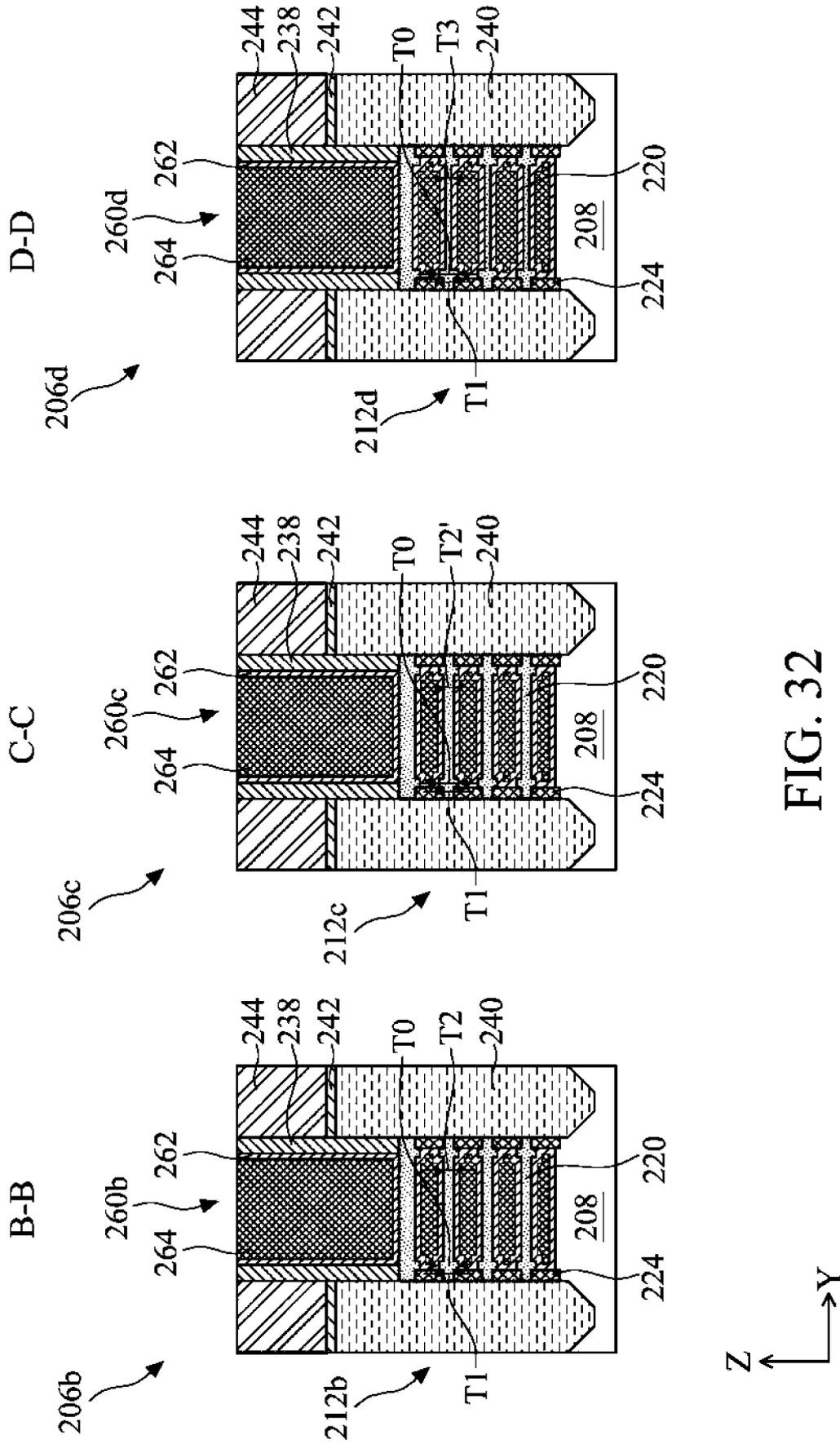


FIG. 32