



(10) **DE 10 2014 203 561 A1** 2014.09.18

(12) **Offenlegungsschrift**

(21) Aktenzeichen: **10 2014 203 561.9**

(22) Anmeldetag: **27.02.2014**

(43) Offenlegungstag: **18.09.2014**

(51) Int Cl.: **H04L 12/50 (2006.01)**

(30) Unionspriorität:

61/770,414 **28.02.2013** **US**
13/853,164 **29.03.2013** **US**

(71) Anmelder:

BROADCOM CORPORATION, Irvine, Calif., US

(74) Vertreter:

TBK, 80336 München, DE

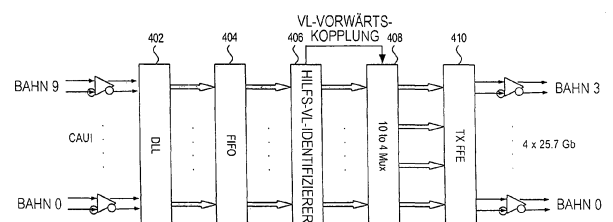
(72) Erfinder:

**Ghiasi, Ali, c/o BROADCOM CORPORATION,
Irvine, Calif., US**

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **SYSTEM UND VERFAHREN FÜR EINE DATENFLUSSIDENTIFIKATION UND AUSRICHTUNG IN EINER 40/100 GIGABIT ETHERNET GEARBOX**

(57) Zusammenfassung: Ein System und ein Verfahren für eine Datenflussidentifikation und -ausrichtung in einer 40/100 Gigabit Ethernet Gearbox. Virtuelle Bahn-(VL)Identifizierer können zur Erzeugung eines effektiven Leitungsplans für Datenflüsse identifiziert werden. Dieser Leitungsplan ermöglicht einem Multiplexer oder Demultiplexer die Ausrichtung der VL-Identifizierer zur Übereinstimmung mit physikalischen Bahn-Identifizierern.



Beschreibung

[0001] Diese Anmeldung beansprucht die Priorität der provisorischen Anmeldung Nr. 61/770,414, eingereicht am 28. Februar 2013, deren Inhalt hier durch Bezugnahme vollständig aufgenommen ist.

HINTERGRUND

Gebiet der Erfindung

[0002] Die vorliegende Erfindung bezieht sich im Allgemeinen auf einen Netzwerkbetrieb und insbesondere auf ein System und ein Verfahren für eine Datenflussidentifikation und -ausrichtung in einer 40/100 Gigabit Ethernet Gearbox.

Einführung

[0003] An die Datenkommunikationsinfrastruktur werden erhöhte Anforderungen gestellt. Diese erhöhten Anforderungen sind durch verschiedene Faktoren bedingt, einschließlich steigender Bandbreitenanforderungen von Multimediaverkehrsdaten. Um den steigenden Bandbreitenanforderungen nachzukommen, sind auch die Kommunikationsverbindungsgeschwindigkeiten fortwährend gestiegen. Heutzutage werden allgemein 10 Gigabit Ethernet-(GbE)Ports verwendet. Die Verwaltung heutiger Netzwerke wird mit zunehmender Steigerung der Netzwerkgeschwindigkeiten immer wichtiger.

KURZBESCHREIBUNG DER ZEICHNUNGEN

[0004] Zur Beschreibung der Art und Weise, wie die vorstehend angeführten und weitere Vorteile und Merkmale der Erfindung erhalten werden können, wird die zuvor kurz beschriebene Erfindung unter Bezugnahme auf bestimmte Ausführungsbeispiele der Erfindung genauer beschrieben, die in den beigefügten Zeichnungen veranschaulicht sind. Mit dem Verständnis, dass diese Zeichnungen lediglich typische Ausführungsbeispiele der Erfindung darstellen und daher deren Schutzbereich nicht einschränken, wird die Erfindung mit zusätzlicher Genauigkeit unter Verwendung der beiliegenden Zeichnungen beschrieben und erläutert. Es zeigen:

[0005] Fig. 1 eine Beispielumgebung einer 100 Gigabit Ethernet Gearbox.

[0006] Die Fig. 2A und Fig. 2B einen Beispielbetrieb einer 100 Gigabit Ethernet Gearbox in Kaskadenschaltung mit einer inversen 100 Gigabit Ethernet Gearbox.

[0007] Fig. 3 ein Ausführungsbeispiel einer Datenflussmarkierung unter Verwendung von Mehrfachbahnverteilungs-PCS-Bahnidentifizierern.

[0008] Fig. 4 ein Ausführungsbeispiel einer erfindungsgemäßen Gearbox.

[0009] Fig. 5 ein Ausführungsbeispiel einer erfindungsgemäßen inversen Gearbox.

[0010] Fig. 6 ein Ablaufdiagrammbeispiel eines erfindungsgemäßen Prozesses.

AUSFÜHRLICHE BESCHREIBUNG

[0011] Nachstehend werden verschiedene Ausführungsbeispiele der Erfindung beschrieben. Obwohl bestimmte Implementierungen beschrieben werden, sollte verstanden werden, dass dies lediglich Veranschaulichungszwecken dient. Der Fachmann erkennt, dass andere Komponenten und Konfigurationen verwendet werden können, ohne von der Idee und dem Schutzbereich der Erfindung abzuweichen.

[0012] Netzwerkschalter werden mit immer steigender Bandbreite entworfen. Gemäß einem Ausführungsbeispiel werden Schalterbandbreitenerhöhungen über einen Anstieg der I/O-Geschwindigkeit des Schalters ermöglicht. Beispielsweise können vier 25,7 Gbps-Bahnen zum Transportieren von 100 GbE-Verkehr verwendet werden. Dies steht der herkömmlichen Verwendung von zehn 10,3125 Gbps-Bahnen zum Transportieren von 100 GbE-Verkehr gegenüber.

[0013] In einem 100 GbE definiert Physical Coding Sublayer (PCS) der physikalischen Schichteinrichtung (PHY) 20 virtuelle Bahnen, wobei jede der virtuellen Bahnen danach in eine höhere Baudrate Bit-multiplext

werden kann. Erfindungsgemäß wird erkannt, dass eine der Hauptaufgaben beim Bit-Multiplexen der Verlust der Kenntnis darüber ist, wenn eine der Zwischenbahnen ein Fehlverhalten aufweist. Dieser Kenntnisverlust kann signifikant sein, da eine resultierende Unfähigkeit zum Verfolgen des Verkehrsflussweges vorhanden sein kann. Daher kann sich die Schwierigkeit der leistungsfähigen Verwaltung des Netzwerks verstärken, was die Netzwerkverwaltungskosten ansteigen lässt.

[0014] Ein Merkmal der Erfindung besteht darin, dass der sich aus dem Bit-Multiplexen ergebende Kenntnisverlust durch eine Identifikation virtueller Bahn-(VL)Identifizierer verringert werden kann, die für die Datenflüsse einen Leitungsplan effektiv erzeugen können. Bei einem Ausführungsbeispiel kann eine derartige Identifikation in einem Hilfs-Licht-PCS implementiert sein. Im Allgemeinen kann die funktionale Erzeugung eines Leitungsplans dem Multiplexer oder dem Demultiplexer die Ausrichtung der VL-Identifizierer zum Übereinstimmen mit den physikalischen Bahn-Identifizierern ermöglichen. In einem 100 GbE-Beispiel können VLs 0–9/10–19 an physikalische Bahnen 0–9 angepasst werden. Diese Anpassung virtueller Bahnen an physikalische Bahnen ermöglicht die Verfolgung von Verkehrsflusswegen.

[0015] Bei einem Ausführungsbeispiel enthält eine Einrichtung eine Vielzahl von Eingängen zum Empfangen einer entsprechenden ersten Vielzahl von Kanälen, ein Datenflussidentifizierermodule zum Identifizieren von in der ersten Vielzahl von Kanälen enthaltenen Datenflussidentifizierern und einen Bit-Multiplexer zum Multiplexen von Bits von der ersten Vielzahl von Kanälen in einen oder mehrere zweite Kanäle mit einer höheren Bitrate verglichen mit der ersten Vielzahl von Kanälen, wobei eine Anordnung von Bits, die in den einen oder die mehreren zweiten Kanäle multiplext werden, auf einer Identität der Datenflussidentifizierer beruht, die durch das Datenflussidentifizierermodule identifiziert werden.

[0016] Bei einem anderen Ausführungsbeispiel enthält eine Vorrichtung eine Vielzahl von Eingängen zum Empfangen einer entsprechenden ersten Vielzahl von Kanälen, ein Datenflussidentifizierermodule zum Identifizieren von in der ersten Vielzahl von Kanälen enthaltenen Datenflussidentifizierern und einen Bit-Demultiplexer zum Demultiplexen von Bits von der ersten Vielzahl von Kanälen in eine zweite Vielzahl von Kanälen mit einer geringeren Bitrate verglichen mit der ersten Vielzahl von Kanälen, wobei eine Anordnung von Bits, die in die zweite Vielzahl von Kanälen demultiplext werden, auf einer Identität der Datenflussidentifizierer beruht, die durch das Datenflussidentifizierermodule identifiziert werden.

[0017] Im Allgemeinen können erfindungsgemäße Einrichtungen zum Identifizieren von in einer Vielzahl von Datenflüssen enthaltenen Datenflussidentifizierern, die durch ein Datenflussidentifizierermodule in der Einrichtung empfangen werden, und Ausrichten der ersten Vielzahl von Datenflüssen mit einer Vielzahl physikalischer Bahnen beruhend auf den identifizierten Datenflussidentifizierern ausgelegt sein, die mit einem Sender der Einrichtung verbunden sind.

[0018] Zur Veranschaulichung verschiedener Merkmale der Erfindung wird zuerst auf **Fig. 1** Bezug genommen, die eine Beispielumgebung einer 40/100 Gigabit Ethernet Gearbox veranschaulicht. Die Beispielumgebung schränkt die Prinzipien der Erfindung natürlich nicht ein. Vielmehr veranschaulicht die Beispielumgebung eine Beispielanwendung der Prinzipien der Erfindung.

[0019] Wie gezeigt ist ein steckbares 100 Gigabit Klein-Form-Faktor-(CFP)Modul **110** mit einer Einrichtung **120** (beispielsweise einen 100 GbE-Schalter, Paketprozessor, ASIC, usw.) über ein 100 Gigabit Attachment Unit Interface (CAUI) verbunden. Die CAUI-Schnittstelle definiert 10 Bahnen, die bei 10,3125 Gbps arbeiten. Das CFP-Modul **110** enthält ferner eine 100 GbE-Einrichtung der physikalischen Schicht (PHY) **112**, einen LR4/ER4-Glasfasersender **114** und einen LR4/ER4-Glasfaserempfänger **116**. Mit der Bereitstellung einer Schnittstelle zwischen 10 Bahnen, die bei 10,3125 Gbps arbeiten, und vier Bahnen, die bei 25,7 Gbps arbeiten, enthält die 100 GbE PHY **112** eine Gearbox und eine inverse Gearbox, die Merkmale der vorstehend beschriebenen Erfindung enthalten. Nachstehend werden diese Merkmale näher beschrieben. Im Allgemeinen enthält die 100 GbE PHY **112** eine Gearbox und eine inverse Gearbox, die einen Bit-Multiplexer bzw. einen Bit-Demultiplexer enthält.

[0020] **Fig. 2A** veranschaulicht einen Beispielbetrieb einer herkömmlichen 100 GbE-Gearbox, die mit einer inversen 100 GbE-Gearbox hintereinander geschaltet ist. Wie gezeigt ist die Gearbox **210** mit der inversen Gearbox **220** über einen Lichtwellenleiter oder ein Kupferkabel verbunden, während die Gearbox **230** mit der inversen Gearbox **240** über den Lichtwellenleiter oder das Kupferkabel verbunden ist. Hintereinander geschaltet dient die Kombination der Gearbox **210** und der inversen Gearbox **220** sowie die Kombination der Gearbox **230** und der inversen Gearbox **240** der Erleichterung der Kommunikation von 10 Bahnen von 10,3125 Gbps-Verkehr als 100 GbE-Verbindung.

[0021] Eine Mehrfachbahnverteilung (Multi-Lane Distribution, MLD) definiert 20 virtuelle Bahnen für ein 100 GbE und vier virtuelle Bahnen für ein 40 GbE. MLD-PCS-Bahnidentifizierer sind in IEEE 802.3 Abschnitt 82 definiert. Die nachstehende Tabelle 1 identifiziert die 100 GbE-PCS-Bahnidentifizierer, die in dem in **Fig. 3** veranschaulichten Format angeordnet sind. Hier ist das Bit Interleaved Parity-(BIP)Feld BIP₇ eine bitweise Inversion von BIP₃.

| PCS-Bahn-Nummer | Kodierung (M ₀ , M ₁ , M ₂ , BIP ₃ , M ₄ , M ₅ , M ₆ , BIP ₇) |
|-----------------|---|
| 0 | 0xC1, 0x68, 0x21, BIP ₃ , 0x3E, 0x97, 0xDE, BIP ₇ |
| 1 | 0x9D, 0x71, 0x8E, BIP ₃ , 0x62, 0x8E, 0x71, BIP ₇ |
| 2 | 0x59, 0x4B, 0xE8, BIP ₃ , 0xA6, 0xB4, 0x17, BIP ₇ |
| 3 | 0x4D, 0x95, 0x7B, BIP ₃ , 0x62, 0x6A, 0x84, BIP ₇ |
| 4 | 0xF5, 0x07, 0x09, BIP ₃ , 0x0A, 0xF8, 0xF6, BIP ₇ |
| 5 | 0xDD, 0x14, 0xC2, BIP ₃ , 0x22, 0xEB, 0x3D, BIP ₇ |
| 6 | 0x9A, 0x4A, 0x26, BIP ₃ , 0x65, 0xB5, 0xD9, BIP ₇ |
| 7 | 0x7B, 0x45, 0x66, BIP ₃ , 0x84, 0xBA, 0x99, BIP ₇ |
| 8 | 0xA0, 0x24, 0x76, BIP ₃ , 0x5F, 0xDB, 0x89, BIP ₇ |
| 9 | 0x68, 0xC9, 0xFB, BIP ₃ , 0x97, 0x36, 0x04, BIP ₇ |
| 10 | 0xFD, 0x6C, 0x99, BIP ₃ , 0x02, 0x93, 0x66, BIP ₇ |
| 11 | 0xB9, 0x91, 0x55, BIP ₃ , 0x46, 0x6E, 0xAA, BIP ₇ |
| 12 | 0x5C, 0xB9, 0xB2, BIP ₃ , 0xA3, 0x46, 0x4D, BIP ₇ |
| 13 | 0x1A, 0xF8, 0xBD, BIP ₃ , 0xE5, 0x07, 0x42, BIP ₇ |
| 14 | 0x83, 0xC7, 0xCA, BIP ₃ , 0x7C, 0x38, 0x35, BIP ₇ |
| 15 | 0x35, 0x36, 0xCD, BIP ₃ , 0xCA, 0xC9, 0x32, BIP ₇ |
| 16 | 0xC4, 0x31, 0x4C, BIP ₃ , 0x3B, 0xCE, 0xB3, BIP ₇ |
| 17 | 0xAD, 0xD6, 0xB7, BIP ₃ , 0x52, 0x29, 0x48, BIP ₇ |
| 18 | 0x5F, 0x66, 0x2A, BIP ₃ , 0xA0, 0x99, 0xD5, BIP ₇ |
| 19 | 0xC0, 0xF0, 0xE5, BIP ₃ , 0x3F, 0x0F, 0x1A, BIP ₇ |

[0022] Im Allgemeinen ermöglichen die virtuellen Bahn-IDs eine Rekonstruktion des Ethernet-Rahmens durch die Empfangs-PCS. Bei dem Bit-Multiplexen läuft bestimmter virtueller Bahn-Verkehr nicht länger auf der assoziierten (begründeten) physikalischen Bahn. Das Fehlen der Entsprechung macht ein Debuggen oder Testen des Systems sehr schwierig, wodurch sich die Netzwerkverwaltungskosten erhöhen.

[0023] **Fig. 2A** veranschaulicht das Fehlen der Entsprechung zwischen virtuellem Bahn-Verkehr und physikalischen Bahnen, das durch den herkömmlichen Betrieb einer 100 GbE Gearbox hervorgerufen wird, die mit einer inversen 100 GbE Gearbox in Kaskade geschaltet ist. Wie es im Abschnitt oben links in **Fig. 2A** gezeigt ist, laufen VL 0/10 bis 9/19 jeweils auf physikalischen Bahnen 0–9. Beim Laufen durch die Gearbox **210** und die inverse Gearbox **220** sind die durch die inverse Gearbox **220** erzeugten Ausgangssignale allerdings virtuelle Bahnen, die ihre Entsprechung mit bestimmten physikalischen Bahnen verloren haben. Das heißt, die durch die inverse Gearbox **220** ausgegebenen virtuellen Bahnen haben keine Verknüpfung mehr mit bestimmten physikalischen Bahnen. Beispielsweise wird VL 8/18 durch die inverse Gearbox **220** nunmehr auf einer physikalischen Bahn 0 ausgegeben. Dies widerspricht der Verknüpfung von VL 8/18 mit der physikalischen Bahn 8 am Eingang der Gearbox **210**. Im Allgemeinen dient der herkömmliche Betrieb einer 100 GbE Gearbox, die mit einer inversen 100 GbE Gearbox kaskadiert ist, dem Verwürfeln der Verknüpfung von VLs und physikalischen Bahnen.

[0024] Im unteren rechten Abschnitt in **Fig. 2A** sind die Eingangssignale der Gearbox **213** bereits derart verwürfelt, dass es an dem Eingang der Gearbox **213** keine Entsprechung zwischen den virtuellen Bahnen und den physikalischen Bahnen gibt. Beim Laufen durch die Gearbox **230** und die inverse Gearbox **240** werden die virtuellen Bahnen noch mehr verwürfelt, wie es an den Ausgängen der inversen Gearbox **240** veranschaulicht

ist. Beispielweise wird VL 9/19 auf der physikalischen Bahn 0 am Eingang der Gearbox **230** empfangen, danach durch die inverse Gearbox **240** auf der physikalischen Bahn 4 ausgegeben. Wie vorstehend angeführt macht diese Verwürfelung und der Verlust der Entsprechung zwischen VLs und physikalischen Bahnen ein Debuggen oder Testen in VL-basierten Systemen sehr mühsam.

[0025] Erfindungsgemäß wird erkannt, dass die Identifikation von VL-Identifizierern zur effektiven Erzeugung eines Leitungsplans für eine Neuausrichtung der virtuellen Bahnen verwendet werden kann. Gemäß einem Ausführungsbeispiel ist dieses Merkmal der Erfindung als Hilfs-Licht-PCS-Element aufgenommen. Ein Merkmal der Erfindung besteht darin, dass die Identifikation von VL-Identifizierern und die Neuausrichtung beruhend auf den identifizierten VL-Identifizierern eine Ausrichtung zwischen den virtuellen Bahnen und den physikalischen Bahnen ermöglicht.

[0026] Fig. 2B veranschaulicht den Betrieb des Neuausrichtungskonzepts der Erfindung unter Verwendung derselben virtuellen Bahneingänge wie in Fig. 2A. Wie gezeigt ist eine Gearbox **250** mit einer inversen Gearbox **260** über einen Lichtwellenleiter oder ein Kupferkabel verbunden, während eine Gearbox **270** mit einer inversen Gearbox **280** über den Lichtwellenleiter oder das Kupferkabel verbunden ist. Hintereinandergeschaltet dienen die Kombination der Gearbox **250** und der inversen Gearbox **260** sowie die Kombination der Gearbox **270** und der inversen Gearbox **280** der Erleichterung der Kommunikation von 10 Bahnen von 10,3125 Gbps-Verkehr als 100 GbE-Verbindung. Entgegen Fig. 2A unterstützen die hintereinandergeschaltete Gearbox und die inverse Gearbox in Fig. 2 eine VL-Identifikation und Neuausrichtung beruhend auf den identifizierten VL-Identifizierern.

[0027] Wie gezeigt sind die Ausgänge sowohl der inversen Gearbox **260** als auch der inversen Gearbox **280** derart neu ausgerichtet, dass VL 0/10 bis 9/19 jeweils auf physikalischen Bahnen 0–9 laufen. Diese Neuausrichtungsbedingung wird unabhängig davon angewandt, ob die virtuellen Eingangsbahnen bereits verwürfelt sind oder nicht. Das heißt, während die Gearbox **250** VLs 0/10 bis 9/19 empfängt, die mit physikalischen Bahnen 0–9 ausgerichtet sind, und die Gearbox **270** VLs 0/10 bis 9/19 empfängt, die nicht mit physikalischen Bahnen 0–9 ausgerichtet sind, erzeugen die Ausgänge der kaskadierten inversen Gearboxen **260** und **280** jeweils VLs 0/10 bis 9/19, die mit physikalischen Bahnen 0–9 ausgerichtet sind.

[0028] Fig. 4 veranschaulicht ein Ausführungsbeispiel einer Gearbox, die eine VL-Identifikation und Neuausrichtung beruhend auf der VL-Identifikation ermöglicht. Wie gezeigt werden zehn Eingangssignale von einer CAUI-Schnittstelle auf physikalischen Bahnen 0–9 empfangen und zu einem Verzögerungsregelkreis (DLL) **402** geführt. Wie anhand der Beispiele von Fig. 2B demonstriert, können die auf den physikalischen Bahnen 0–9 empfangenen Eingangssignale verwürfelt sein oder nicht. Somit kann eine beliebige der physikalischen Eingangsbahnen 0–9 in einem gegebenen Aufbau eine beliebige VL von VLs 0/10, 1/11, 2/12, 3/13, usw. empfangen.

[0029] Nach dem Durchlaufen eines FIFO **404** werden die virtuellen Bahnen dann zu einem Hilfs-VL-Identifizierer **406** geführt. Im Allgemeinen ist der Hilfs-VL-Identifizierer **406** zum Identifizieren der VL-Identifizierer entwickelt, die in den Datenflüssen mitgeführt werden. Hier wird angemerkt, dass der Hilfs-VL-Identifizierer **406** als Licht-PCS-Element ausgestaltet sein kann, das keine merkliche Verzögerung hinzufügt. Die Identifikation der VL-Identifizierer in den zehn Datenflüssen ermöglicht der Gearbox eine effektive Erzeugung eines Leitungsplans, der es der Gearbox ermöglicht, die korrekten Datenflüsse mit bestimmten physikalischen Bahnen zu verknüpfen.

[0030] Wie gezeigt werden VL-basierte Informationen zu einem 10-zu-4-Multiplexer **408** zur Verwendung bei dem Bit-Multiplexvorgang geführt. Hier wird angemerkt, dass die bestimmte Form und/oder der Typ der Informationen, die durch den Hilfs-VL-Identifizierer **406** zu dem 10-zu-4-Multiplexer **408** geführt werden, implementierungsabhängig sind. Im Allgemeinen können durch den Hilfs-VL-Identifizierer **408** beliebige Informationen zu dem 10-zu-4-Multiplexer **408** weitergeleitet werden, sodass die weitergeleiteten Informationen der Steuerung der Funktion des 10-zu-4-Multiplexers **408** beim wahlweisen Multiplexen von Bits von den verschiedenen Eingangsdatenflüssen in Ausgangsdatenflüsse dienen, die schließlich zu physikalischen Ausgangskanälen geführt werden. Bei einem Beispiel können die weitergeleiteten Informationen Steuersignale darstellen, die den Betrieb von Multiplexelementen steuern.

[0031] Der 10-zu-4-Multiplexer **408** erzeugt beruhend auf den Steuerinformationen vier Kanäle mit höherer Rate aus den zehn physikalischen Eingangskanälen. Diese vier Kanäle werden dann durch einen Sender **410** zur Erzeugung von vier 25,7 Gbps-Ausgangssignalen für die vier physikalischen Bahnen ausgegeben. Durch die Bereitstellung der VL-basierten Steuerinformationen durch den Hilfs-VL-Identifizierer **406** für den

10-zu-4-Multiplexer **408**, werden die virtuellen Eingangsbahnen in eine Ausrichtung mit den physikalischen Ausgangsbahnen gezwungen.

[0032] Fig. 5 veranschaulicht ein Ausführungsbeispiel einer inversen Gearbox, die eine VL-Identifikation und eine Neuausrichtung beruhend auf der VL-Identifikation ermöglicht. Wie gezeigt werden Eingangssignale von vier 25,7 Gbps-Bahnen auf physikalischen Bahnen 0–3 empfangen und zu einem Equalization-(EQ)/Clock- und Data-Recovery-(CDR)Modul **502** geführt. Die vier 25,7 Gbps-Bahnen laufen durch einen FIFO **504** und weiter zu einem 4-zu-10-Demultiplexer **506**, der zehn 10,3125 Gbps-Datenflüsse erzeugt. Diese zehn 10,3125 Gbps-Datenflüsse werden zu einem Hilfs-VL-Identifizierer **508** zur Übertragung als Teil einer CAUI-Schnittstelle weitergeführt.

[0033] Wie in dem Gearbox-Ausführungsbeispiel von Fig. 4 kann der Hilfs-VL-Identifizierer **508** als Licht-PCS-Element ausgestaltet sein, das keine merkliche Verzögerung hinzufügt. Im Allgemeinen kann der Hilfs-VL-Identifizierer **508** zum Identifizieren der VL-Identifizierer konfiguriert sein, die in den Datenflüssen mitgeführt werden. Steuerinformationen beruhend auf der Identifikation der VL-Identifizierer können dann durch den Hilfs-VL-Identifizierer **508** zu dem 4-zu-10-Demultiplexer **506** zurück geführt werden. Diese Steuerinformationen ermöglichen der inversen Gearbox die Erzeugung eines effektiven Leitungsplans derart, dass die korrekten Datenflüsse auf bestimmten physikalischen Bahnen der CAUI-Schnittstelle ausgegeben werden.

[0034] Wie gezeigt werden die VL-basierten Informationen durch den Hilfs-VL-Identifizierer **508** zu dem 4-zu-10-Demultiplexer **506** zur Verwendung in dem Demultiplexvorgang zurück geführt. Es wird wieder angemerkt, dass die bestimmte Form und/oder der Typ der Informationen, die durch den Hilfs-VL-Identifizierer **508** zu dem 4-zu-10-Demultiplexer **506** zurückgeführt werden, implementierungsabhängig sind. Im Allgemeinen können beliebige Informationen durch den Hilfs-VL-Identifizierer **508** zu dem 4-zu-10-Demultiplexer **506** zurückgeführt werden, sodass die zurückgeführten Informationen der Steuerung der Funktion des 4-zu-10-Demultiplexers **506** bei einem wahlweisen Demultiplexen von Bits aus den verschiedenen Eingangsdatenflüssen in Ausgangsdatenflüsse dienen, die schließlich zu physikalischen Ausgangskanälen geführt werden. Bei einem Beispiel können die weitergeleiteten Informationen Steuersignale darstellen, die den Betrieb von Demultiplexelementen steuern.

[0035] In einem alternativen Ausführungsbeispiel kann die VL-Identifikation vor dem 4-zu-10-Demultiplexer **506** geschehen. Bei einem derartigen Ausführungsbeispiel arbeitet die VL-Identifikation bei dem 25,7 Gbps-Datenfluss anstelle der 10,3125 Gbps-Datenflüsse. Dieses Ausführungsbeispiel erzeugt Steuerinformationen, die dann zu dem 4-zu-10-Demultiplexer **506** weitergeleitet werden können. Wie anhand dieses alternativen Ausführungsbeispiels veranschaulicht, kann das bestimmte Verfahren, durch das die VL-Identifizierer in individuellen Datenflüssen identifiziert werden, implementierungsabhängig sein. Entscheidend ist, dass die Identifikation der VL-Identifizierer zur Steuerung der Verknüpfung virtueller Bahnen mit physikalischen Bahnen verwendet werden kann.

[0036] Es sollte verstanden werden, dass der bestimmte Ort der VL-Identifikation relativ zu den Multiplex- oder Demultiplexelementen implementierungsabhängig ist. Derartige implementierungsabhängige Einzelheiten können weitere Ausführungsbeispiele ermöglichen, in denen die VL-Identifikationskomponente zumindest teilweise mit den Multiplex- oder Demultiplexelementen integriert ist.

[0037] Die unter Bezugnahme auf die Fig. 4 und Fig. 5 beschriebenen Ausführungsbeispiele veranschaulichen Beispielhardwareimplementierungen einer Gearbox bzw. einer inversen Gearbox, die Merkmale der Erfindung beinhalten. Diese Hardware-Ausführungsbeispiele sollen nicht einschränkend sein.

[0038] Fig. 6 veranschaulicht ein Ablaufdiagramm eines Beispielprozesses der Erfindung. Wie gezeigt beginnt der Prozess in Schritt **602**, wo Datenflussidentifizierer in einer Vielzahl von Datenflüssen identifiziert werden. Bei einem Beispiel sind die Datenflussidentifizierer MLD-PCS-Bahnidentifizierer. Natürlich ist der bestimmte Typ der Datenflussidentifizierer implementierungsabhängig.

[0039] Des Weiteren kann die bestimmte Form der Vielzahl der Datenflüsse variieren. Beispielsweise kann die Vielzahl der Datenflüsse separate individuelle Datenflüsse (beispielsweise 10G-Kanäle in einer CAUI- oder XLAUI-Schnittstelle) darstellen, oder Datenflüsse darstellen, die individuell eine Gruppe von Datenflüssen darstellen, die in einen Datenfluss höherer Rate (beispielsweise einem 25,7G-Kanal) kombiniert wurden. Ungeachtet der Form, mit der die Vielzahl der Datenflüsse untersucht werden, kann der Prozess in Schritt **602** zum Identifizieren der in der Vielzahl der Datenflüsse enthaltenen Datenflussidentifizierer ausgelegt sein.

[0040] Nach der Identifizierung der Datenflussidentifizierer fährt der Prozess mit Schritt **604** fort, wo die Vielzahl der Datenflüsse beruhend auf den Datenflussidentifizierern ausgerichtet werden. Natürlich kann der bestimmte Prozess der Ausrichtung variieren und kann vom bestimmten Verfahren der Datenflussidentifikation und des Orts der Datenflussidentifikation in dem Datenfluss-Gearbox- oder inversen Gearboxprozess abhängen. Im Allgemeinen kann ein beliebiger Prozess verwendet werden, der eine Identifikation der Datenflussidentifizierer zur Korrelation eines individuellen Datenflusses mit einem Ausgang verwendet, der mit einer ausgewählten physikalischen Bahn assoziiert ist. Bei einem einfachen Beispiel kann der Ausrichtungsprozess auf einem selektiven Routing-Prozess beruhen, der einen Leitungsplan symbolisch implementiert, der einen Satz von Eingangsdatenflüssen mit einem Satz von Ausgangsdatenflüssen verbindet.

[0041] Die Ausrichtung einer Vielzahl von Datenflüssen liefert eine Basis für eine Übertragung der Vielzahl der Datenflüsse auf gezielten physikalischen Bahnen in Schritt **606**. Wie vorstehend angeführt können die Eingangsdatenflüsse hinsichtlich einer physikalischen Bahn bereits verwürfelt sein. Der in Schritt **606** gipfelnde Prozess stellt sicher, dass Ausgangsdatenflüsse in zugewiesene physikalische Bahnen gezwungen werden. Diese Ausrichtung ermöglicht ein effizienteres Debuggen und Testen des Systems.

[0042] Es wird angemerkt, dass die vorstehende Beschreibung primär auf eine Gearbox und eine inverse Gearbox fokussiert ist, die in einer CAUI-Schnittstelle angewendet werden. Diese Beschreibung soll nicht einschränkend sein. Die Merkmale der Erfindung können bei einer XLAUI-Schnittstelle, einer Schnittstelle höherer Rate, die identifizierte Unterratenkanäle enthält, Kanälen in einem Nicht-Ethernet-System usw. angewendet werden.

[0043] Ein weiteres Ausführungsbeispiel der Erfindung kann einen maschinen- und/oder computerlesbaren Speicher und/oder ein Medium mit darauf gespeichertem Maschinencode und/oder ein Computerprogramm mit zumindest einem Codeabschnitt bereitstellen, der durch eine Maschine und/oder einen Computer ausführbar ist, wodurch die Maschine und/oder der Computer zur Durchführung der hier beschriebenen Schritte veranlasst wird.

[0044] Diese und weitere Ausgestaltungen der Erfindung werden dem Fachmann durch ein Studium der vorhergehenden ausführlichen Beschreibung ersichtlich. Obwohl vorstehend eine Anzahl hervortretender Merkmale der Erfindung beschrieben wurde, kann die Erfindung andere Ausführungsbeispiele umfassen und in verschiedenen Weisen ausgeübt und ausgeführt werden, die der Fachmann nach dem Lesen der hier offenbarten Erfindung erkennt, weshalb die vorstehende Beschreibung nicht so verstanden werden sollte, als ob sie diese weiteren Ausführungsbeispiele ausschließen würde. Es sollte auch verstanden werden, dass die hier verwendete Ausdrucksweise und Terminologie dem Zweck der Beschreibung dienen und nicht als einschränkend verstanden werden sollen.

[0045] Ein System und ein Verfahren für eine Datenflussidentifikation und -ausrichtung in einer 40/100 Giga-bit Ethernet Gearbox. Virtuelle Bahn-(VL)Identifizierer können zur Erzeugung eines effektiven Leitungsplans für Datenflüsse identifiziert werden. Dieser Leitungsplan ermöglicht einem Multiplexer oder Demultiplexer die Ausrichtung der VL-Identifizierer zur Übereinstimmung mit physikalischen Bahn-Identifizierern.

ZITATE ENTHALTEN IN DER BESCHREIBUNG

Diese Liste der vom Anmelder aufgeführten Dokumente wurde automatisiert erzeugt und ist ausschließlich zur besseren Information des Lesers aufgenommen. Die Liste ist nicht Bestandteil der deutschen Patent- bzw. Gebrauchsmusteranmeldung. Das DPMA übernimmt keinerlei Haftung für etwaige Fehler oder Auslassungen.

Zitierte Nicht-Patentliteratur

- IEEE 802.3 Abschnitt 82 [0021]

Patentansprüche

1. Einrichtung mit einer Vielzahl von Eingängen zum Empfangen einer entsprechenden ersten Vielzahl von Kanälen, einem Datenflussidentifizieremodul zum Identifizieren von in der ersten Vielzahl von Kanälen enthaltenen Datenflussidentifizierern und einem Bit-Multiplexer zum Multiplexen von Bits aus der ersten Vielzahl von Kanälen in einen oder mehrere zweite Kanäle mit einer höheren Bitrate verglichen mit der ersten Vielzahl von Kanälen, wobei eine Anordnung von Bits, die in den einen oder die mehreren zweiten Kanäle multiplext werden, auf einer Identität der durch das Datenflussidentifizieremodul identifizierten Datenflussidentifizierer beruht.
2. Einrichtung nach Anspruch 1, wobei die erste Vielzahl von Kanälen 10 Gbit/s-Kanäle sind, und der eine oder die mehreren zweiten Kanäle 25 Gbit/s-Kanäle sind.
3. Einrichtung nach Anspruch 1, wobei der Bit-Multiplexer Datenflussidentifiziererinformationen von dem Datenflussidentifizieremodul empfängt.
4. Einrichtung nach Anspruch 3, wobei die Datenflussidentifiziererinformationen durch das Datenflussidentifizieremodul zu dem Bit-Multiplexer weitergeleitet werden.
5. Einrichtung nach Anspruch 1, wobei die Datenflussidentifizierer durch IEEE 802.3ba definiert sind.
6. Einrichtung nach Anspruch 1, wobei die Anordnung eine Ausrichtung der ersten Vielzahl von Kanälen mit physikalischen Kanalbahnen bereitstellt.
7. Einrichtung mit einer Vielzahl von Eingängen zum Empfangen einer entsprechenden ersten Vielzahl von Kanälen, einem Datenflussidentifizieremodul zum Identifizieren von in der ersten Vielzahl von Kanälen enthaltenen Datenflussidentifizierern und einem Bit-Demultiplexer zum Demultiplexen von Bits von der ersten Vielzahl von Kanälen in eine zweite Vielzahl von Kanälen mit einer niedrigeren Bitrate verglichen mit der ersten Vielzahl von Kanälen, wobei eine Anordnung von Bits, die in die zweite Vielzahl von Kanälen demultiplext werden, auf einer Identität der durch das Datenflussidentifizieremodul identifizierten Datenflussidentifizierer beruht.
8. Einrichtung nach Anspruch 7, wobei die erste Vielzahl von Kanälen 25 Gbit/s-Kanäle sind, und die zweite Vielzahl von Kanälen 10 Gbit/s-Kanäle sind.
9. Einrichtung nach Anspruch 7, wobei der Bit-Demultiplexer Datenflussidentifiziererinformationen von dem virtuellen Bahnidentifizieremodul empfängt.
10. Einrichtung nach Anspruch 9, wobei die Datenflussidentifiziererinformationen von dem Datenflussidentifizieremodul zu dem Bit-Demultiplexer zurückgeführt werden.
11. Einrichtung nach Anspruch 9, wobei die Datenflussidentifiziererinformationen von dem Datenflussidentifizieremodul zu dem Bit-Demultiplexer weitergeleitet werden.
12. Einrichtung nach Anspruch 7, wobei die Datenflussidentifizierer durch IEEE 802.3ba definiert sind.
13. Einrichtung nach Anspruch 7, wobei die Anordnung eine Ausrichtung der ersten Vielzahl von Kanälen mit physikalischen Kanalbahnen bereitstellt.
14. Verfahren, das durch eine Netzwerkeinrichtung durchgeführt wird, mit Identifizieren von Datenflussidentifizierern, die in einer Vielzahl von Kanälen enthalten sind, die durch ein Datenflussidentifizieremodul in der Netzwerkeinrichtung empfangen werden, und Ausrichten der ersten Vielzahl von Kanälen mit einer Vielzahl von physikalischen Kanalbahnen, die mit einem Sender der Netzwerkeinrichtung verbunden sind, beruhend auf den identifizierten Datenflussidentifizierern.
15. Verfahren nach Anspruch 14, wobei die Vielzahl von Kanälen 10 Gbit/s-Kanäle sind.

16. Verfahren nach Anspruch 14, wobei die Ausrichtung eine Ausrichtung unter Verwendung eines Bit-Multiplexers umfasst.

17. Verfahren nach Anspruch 14, wobei das Ausrichten ein Ausrichten unter Verwendung eines Bit-Demultiplexers umfasst.

18. Verfahren nach Anspruch 14, wobei die Datenflussidentifizierer durch IEEE 802.3ba definiert sind.

19. Verfahren nach Anspruch 14, wobei die Vielzahl von physikalischen Kanalbahnen mit 10 Gbit/s-Datenflüssen verknüpft sind.

20. Verfahren nach Anspruch 14, wobei die Vielzahl von physikalischen Kanalbahnen mit 25 Gbit/s-Datenflüssen verknüpft sind.

Es folgen 7 Seiten Zeichnungen

Anhängende Zeichnungen

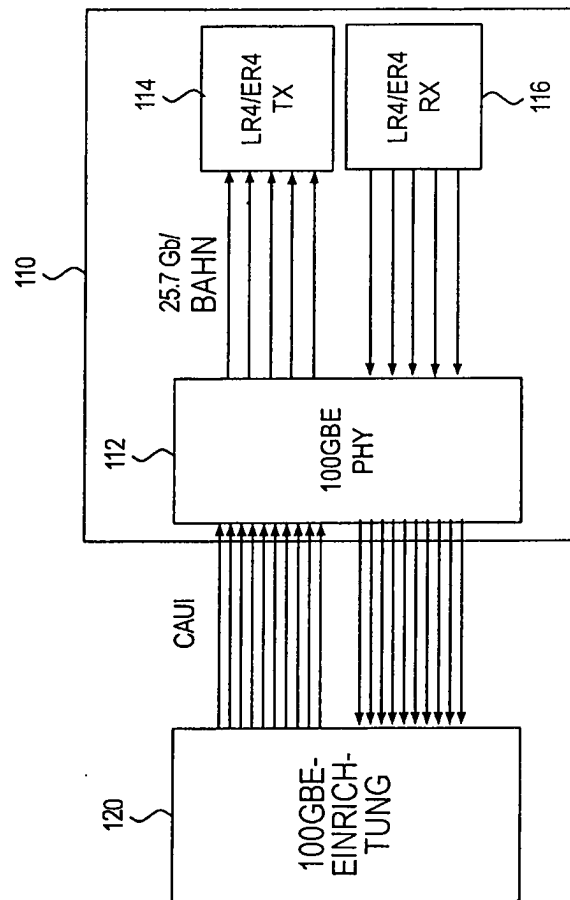


FIG. 1

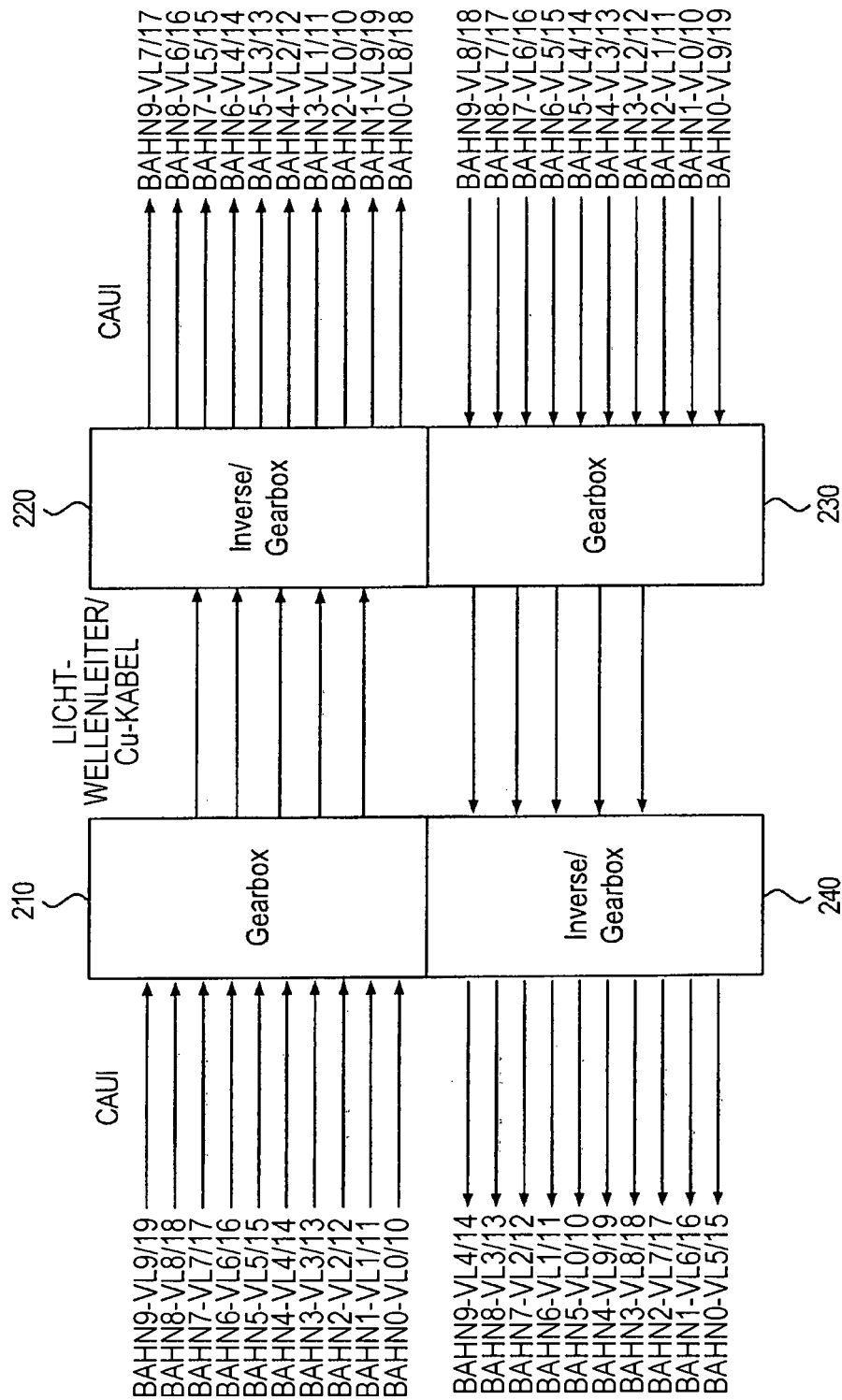


FIG. 2A

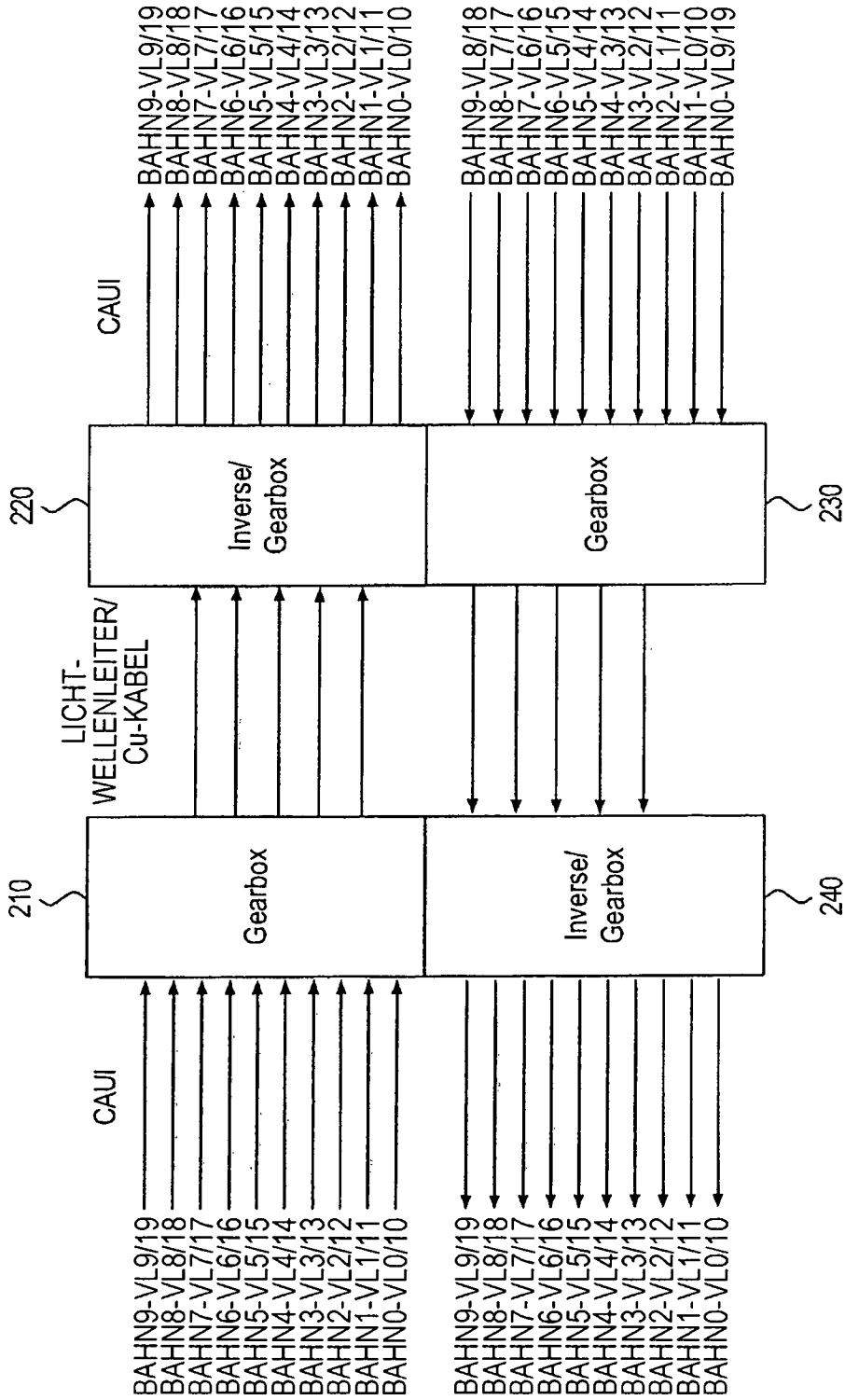


FIG. 2B

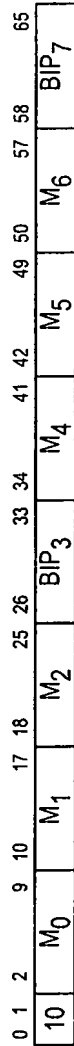


FIG. 3

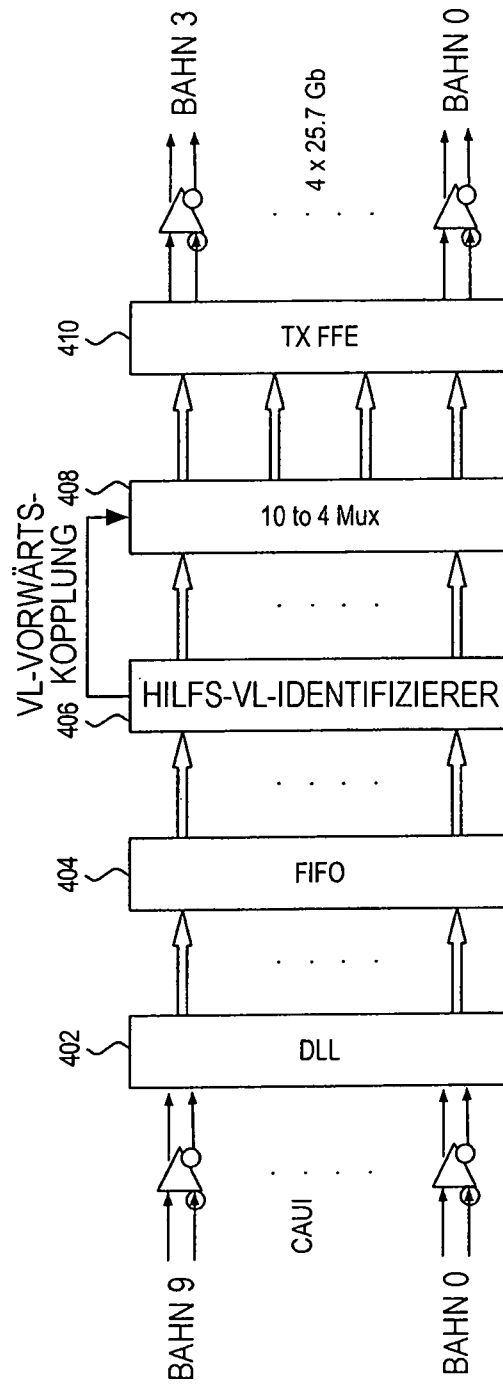


FIG. 4

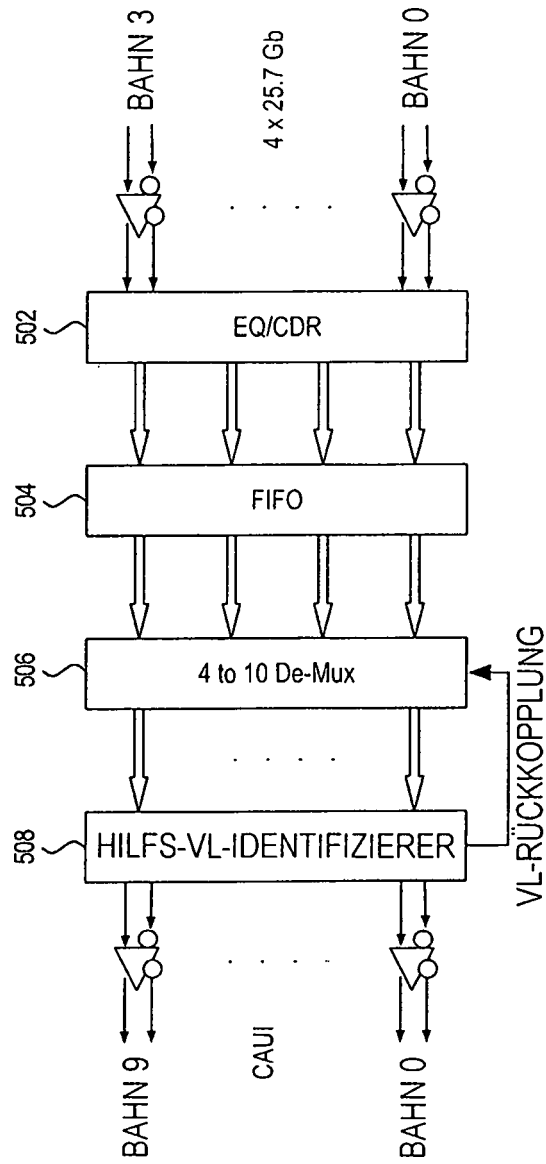


FIG. 5

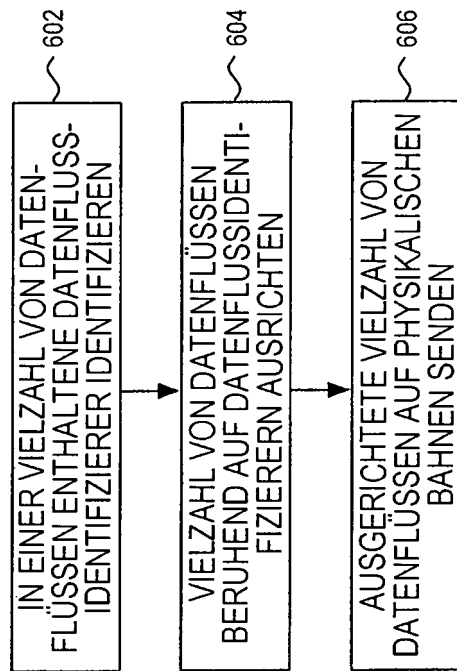


FIG. 6