



(10) **DE 10 2019 113 506 B4** 2023.11.09

(12) **Patentschrift**

(21) Aktenzeichen: **10 2019 113 506.0**
(22) Anmeldetag: **21.05.2019**
(43) Offenlegungstag: **13.02.2020**
(45) Veröffentlichungstag
der Patenterteilung: **09.11.2023**

(51) Int Cl.: **H01L 27/04 (2006.01)**
H01L 21/82 (2006.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
10-2018-0093997 10.08.2018 KR

(73) Patentinhaber:
**Samsung Electronics Co., Ltd., Suwon-si,
Gyeonggi-do, KR**

(74) Vertreter:
**KUHLEN & WACKER Patent- und
Rechtsanwaltsbüro PartG mbB, 85354 Freising,
DE**

(72) Erfinder:
**Lim, Jin-young, Seoul, KR; Park, Jae-Ho, Suwon-
si, Gyeonggi-do, KR; Baek, Sang-hoon, Seoul, KR;
You, Hyeon-gyu, Jeollabuk-do, KR; Lee, Dal-hee,
Seoul, KR**

(56) Ermittelter Stand der Technik:

US	2017 / 0 062 403	A1
US	2017 / 0 236 823	A1

(54) Bezeichnung: **Integrierte Schaltung umfassend eine Zelle mit mehrfacher Höhe**

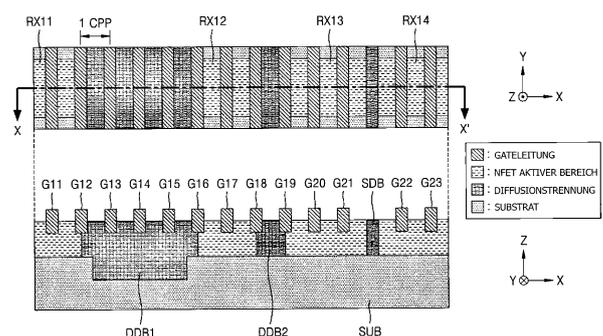
(57) Hauptanspruch: Integrierte Schaltung, die Folgendes aufweist:

mindestens einen ersten aktiven Bereich (RX1, RX2), der sich in einer ersten Zeile (R11; R61; R81; R91; R111; R131; R141; R151) in einer ersten Richtung (X) erstreckt; mindestens einen zweiten aktiven Bereich (RX3, RX4), der sich in einer zweiten Zeile (R12; R62; R82; R92; R112; R132; R142; R152) in der ersten Richtung (X) erstreckt; eine Zelle (C02; C60a; C60b; C80a; C80b; C90a; C90b; C10'; C12'; C14a; C14b; C15a; C15b) mit mehrfacher Höhe, die den mindestens einen ersten aktiven Bereich (RX1, RX2) in der ersten Zeile (R11; R61; R81; R91; R111; R131; R141; R151), den mindestens einen zweiten aktiven Bereich (RX3, RX4) in der zweiten Zeile (R12; R62; R82; R92; R112; R132; R142; R152) und mindestens eine Gateleitung, die sich in einer zweiten Richtung (Y) erstreckt, welche die erste Richtung (X) kreuzt, aufweist; und

eine Zelle (C01; C03; C04; C05; C40a; C40b) mit einfacher Höhe, die einer gleichen Schaltung wie die Zelle (C02; C60a; C60b; C80a; C80b; C90a; C90b; C10'; C12'; C14a; C14b; C15a; C15b) mit mehrfacher Höhe entspricht und mindestens einen dritten aktiven Bereich (RX41a; RX42a; RX41b; RX42b) aufweist, der durch eine Diffusionstrennung (SDB1, SDB2, SDB3, SDB4, DDB1, DDB2) abgeschlossen wird,

wobei sowohl der mindestens eine erste aktive Bereich (RX1, RX2) in der ersten Zeile (R11; R61; R81; R91; R111; R131; R141; R151) als auch der mindestens eine zweite aktive Bereich (RX3, RX4) in der zweiten Zeile

(R12; R62; R82; R92; R112; R132; R142; R152) durch eine Diffusionstrennung (DDB1, DDB2, SDB1, SDB2, SDB3, SDB4) abgeschlossen sind.



Beschreibung

Hintergrund

[0001] Ausführungsformen des erfinderischen Konzepts betreffen eine integrierte Schaltung und insbesondere eine integrierte Schaltung, die eine Zelle mit mehrfacher Höhe (engl. multiple height cell) umfasst.

[0002] Eine integrierte Schaltung kann eine Mehrzahl von Zellen umfassen, die in einer Mehrzahl von Zeilen angeordnet sind. Eine integrierte Schaltung kann Zellen umfassen, die eine ähnliche oder identische Funktion vorsehen, Zellen, die unterschiedliche Funktionen vorsehen, oder Zellen, die gleichzeitig ähnliche/identische Funktionen und unterschiedliche Eigenschaften vorsehen. Zum Beispiel können aus einer Mehrzahl Zellen, die eine ähnliche oder identische Funktion vorsehen, diejenigen Zellen, die basierend auf ihren Eigenschaften wie beispielsweise Betriebsgeschwindigkeit, Leistungsverbrauch, Fläche oder dergleichen ausgewählt wurden, in einer integrierten Schaltung umfasst sein. Zudem kann eine integrierte Schaltung eine Zelle mit einfacher Höhe umfassen, die in einer Zeile angeordnet ist, oder eine Zelle mit mehrfacher Höhe, die durchgehend in zwei oder mehr Zeilen angeordnet ist.

[0003] Aus der Druckschrift US 2017 / 0 236 823 A1 ist eine Halbleitervorrichtung bekannt, welche umfasst: einen ersten aktiven Bereich; einen zweiten aktiven Bereich; eine erste Gateleitung, die so angeordnet ist, dass sie den ersten und zweiten aktiven Bereich überlappt; eine zweite Gateleitung, die so angeordnet ist, dass sie den ersten und zweiten aktiven Bereich überlappt; eine erste Metalleitung, die die erste Gateleitung und zweite Gateleitung elektrisch verbindet und ihnen ein erstes Signal liefert; eine erste Kontaktstruktur, die elektrisch mit einem Teil des ersten aktiven Bereichs verbunden ist; eine zweite Kontaktstruktur, die elektrisch mit einem Teil des zweiten aktiven Bereichs verbunden ist; und eine zweite Metalleitung, die elektrisch mit der ersten und zweiten Kontaktstruktur verbunden ist und ein zweites Signal überträgt, wobei ein überlappter Bereich, der von der zweiten Metalleitung überlappt wird, keinen Unterbrechungsbereich enthält.

[0004] Aus der Druckschrift US 2017 / 0 062 403 A1 ist eine Halbleitervorrichtung bekannt, welche umfasst: ein Substrat, das einen ersten aktiven Bereich und einen zweiten aktiven Bereich umfasst, wobei der erste aktive Bereich einen Leitfähigkeitstyp aufweist, der sich von einem Leitfähigkeitstyp des zweiten aktiven Bereichs unterscheidet, und der erste aktive Bereich von dem zweiten aktiven Bereich in einer ersten Richtung beabstandet ist; Gate-Elektroden, die sich in der ersten Richtung erstrecken, wobei die Gate-Elektroden den ersten aktiven Bereich und den zweiten aktiven Bereich

schneiden; ein erstes flaches Isolationsmuster, das in einem oberen Abschnitt des ersten aktiven Bereichs angeordnet ist, wobei sich das erste flache Isolationsmuster in der ersten Richtung erstreckt; und ein tiefes Isolationsmuster, das in einem oberen Abschnitt des zweiten aktiven Bereichs angeordnet ist, wobei sich das tiefe Isolationsmuster in der ersten Richtung erstreckt und das tiefe Isolationsmuster den zweiten aktiven Bereich in einen ersten Bereich und einen zweiten Bereich unterteilt.

Kurzfassung

[0005] Das erfinderischen Konzept sieht eine integrierte Schaltung vor, die eine Mehrzahl Zellen umfasst, das heißt, Zellen mit mehrfacher Höhe mit günstigen Eigenschaften.

[0006] Eine erfindungsgemäße integrierte Schaltung ist durch Hauptanspruch 1 und durch die Nebenansprüche 16 und 21 definiert. Vorteilhafte Ausgestaltungen sind Gegenstand der Unteransprüche.

Kurze Beschreibung der Zeichnungen

[0007] Ausführungsformen des erfinderischen Konzepts werden deutlicher aus der folgenden detaillierten Beschreibung in Verbindung mit den beigefügten Zeichnungen verstanden werden, in welchen:

Fig. 1 eine schematische Ansicht ist, die einen Abschnitt einer integrierten Schaltung gemäß einiger Ausführungsformen des erfinderischen Konzepts darstellt;

Fig. 2 Beispiele von Diffusionstrennungen gemäß einiger Ausführungsformen des erfinderischen Konzepts darstellt;

Fig. 3 eine Beziehung zwischen einer Diffusionstrennung (engl. diffusion break) und einem Element gemäß einiger Ausführungsformen des erfinderischen Konzepts darstellt;

Fig. 4A und **Fig. 4B** Draufsichten sind, die Wechselrichterzellen gemäß Ausführungsformen des erfinderischen Konzepts darstellen, und **Fig. 5** ein Schaltbild ist, das den Wechselrichterzellen aus den **Fig. 4A** und **Fig. 4B** entspricht, gemäß einiger Ausführungsformen des erfinderischen Konzepts;

Fig. 6A und **Fig. 6B** Draufsichten sind, die Wechselrichterzellen gemäß einiger Ausführungsformen des erfinderischen Konzepts darstellen, und die **Fig. 7A** und **Fig. 7B** Schaltbilder sind, die den Wechselrichterzellen aus den **Fig. 6A** und **Fig. 6B** gemäß einiger Ausführungsformen des erfinderischen Konzepts entsprechen;

Fig. 8A und **Fig. 8B** Draufsichten sind, die Wechselrichterzellen gemäß einiger Ausführungsformen des erfinderischen Konzepts darstellen;

Fig. 9A und **Fig. 9B** Draufsichten sind, die Zellen gemäß einiger Ausführungsformen des erfinderischen Konzepts darstellen;

Fig. 10 ein Schaltbild einer Zelle gemäß einiger Ausführungsformen des erfinderischen Konzepts ist und **Fig. 11** eine Draufsicht ist, die ein Beispiel für ein Layout einer Zelle entsprechend dem Schaltbild aus **Fig. 10** gemäß einiger Ausführungsformen des erfinderischen Konzepts darstellt;

Fig. 12 ein Schaltbild einer Zelle gemäß einiger Ausführungsformen des erfinderischen Konzepts ist und **Fig. 13** eine Draufsicht ist, die ein Beispiel für ein Layout einer Zelle entsprechend dem Schaltbild aus **Fig. 12** gemäß einiger Ausführungsformen des erfinderischen Konzepts darstellt;

Fig. 14A und **Fig. 14B** Draufsichten sind, die Wechselrichterzellen gemäß einiger Ausführungsformen des erfinderischen Konzepts darstellen;

Fig. 15A und **Fig. 15B** Draufsichten sind, die Wechselrichterzellen gemäß einiger Ausführungsformen des erfinderischen Konzepts darstellen;

Fig. 16 eine schematische Draufsicht ist, die eine integrierte Schaltung gemäß einiger Ausführungsformen des erfinderischen Konzepts darstellt;

Fig. 17 ein Flussdiagramm eines Herstellungsverfahrens für eine integrierte Schaltungsvorrichtung gemäß einiger Ausführungsformen des erfinderischen Konzepts ist;

Fig. 18 ein Blockschaltbild ist, das ein System-on-a-Chip (SoC) gemäß einiger Ausführungsformen des erfinderischen Konzepts darstellt; und

Fig. 19 ein Blockschaltbild ist, das ein Rechen-system gemäß einiger Ausführungsformen des erfinderischen Konzepts darstellt, welches einen Speicher umfasst, der eingerichtet ist, ein Programm zu speichern.

[0008] Die der vorliegenden Spezifikation beigelegten Zeichnungen sind möglicherweise nicht genau maßstabsgetreu oder es können Elemente in den Zeichnungen für eine bessere Darstellung übermäßig vergrößert oder verkleinert sein.

Detaillierte Beschreibung der Ausführungsformen

[0009] Das erfinderische Konzept wird nun unter Bezugnahme auf die beiliegenden Zeichnungen detaillierter beschrieben, in denen beispielhafte Ausführungsformen des erfinderischen Konzepts gezeigt werden. Gleiche Bezugszeichen können sich in der gesamten Anmeldung auf gleiche Elemente beziehen. Wie hierin verwendet beinhalten die Begriffe „und/oder“ und „beziehungsweise“ irgendeine und alle Kombinationen von einem oder mehreren der dazugehörigen aufgelisteten Elemente.

[0010] Um einen Local Layout Effect (LLE) zwischen Zellen in einer integrierten Schaltung zu reduzieren, kann eine Diffusionstrennung (DB) in einer Grenze zwischen Zellen eingefügt werden. Zusätzlich zur Reduzierung des LLE zwischen Zellen kann die DB auch vorteilhaft bei Transistoren sein, die zu den DB benachbart positioniert sind. Insbesondere können zu den DB benachbarte Transistoren einen höheren Strom vorsehen als Transistoren, die weiter weg liegen, was eine Betriebsgeschwindigkeit verbessern kann. Einige Ausführungsformen des erfinderischen Konzepts können eine verbesserte integrierte Schaltung vorsehen, die eine Zelle mit mehrfacher Höhe mit einer erhöhten Anzahl an Transistoren, die zu einer DB benachbart sind, umfasst. Eine Zelle mit mehrfacher Höhe kann aktive Bereiche umfassen, die basierend auf einem Leitfähigkeitstypen von einer einfachen DB oder einer doppelten DB abgeschlossen sind. Zum Beispiel können PFETS verbesserte Betriebseigenschaften aufweisen, wenn sie zu einer einfachen DB benachbart sind, während NFETS verbesserte Betriebseigenschaften aufweisen können, wenn sie zu einer doppelten DB benachbart sind.

[0011] **Fig. 1** ist eine schematische Ansicht, die einen Abschnitt einer integrierten Schaltung 10 gemäß einiger Ausführungsformen des erfinderischen Konzepts darstellt. Genauer gesagt stellt **Fig. 1** auf einer Ebene ein Layout der integrierten Schaltung 10 dar, die eine Mehrzahl Zellen C01 bis C05 umfasst, welche in einer ersten Zeile R11 und einer zweiten Zeile R12 entlang einer X-Achse und einer Y-Achse platziert sind. In der vorliegenden Ausführungsform kann eine X-Achsenrichtung und eine Y-Achsenrichtung jeweils als erste Horizontalrichtung und zweite Horizontalrichtung bezeichnet werden, und eine Z-Achsenrichtung kann als Vertikalrichtung bezeichnet werden. Eine Ebene, die von einer X-Achse und einer Y-Achse ausgebildet wird, kann als horizontale Ebene bezeichnet werden und eine Komponente, die im Vergleich zu einer anderen Komponente relativ in +Z-Richtung angeordnet ist, kann als über der anderen Komponente befindlich angegeben werden, und eine Komponente, die im Vergleich zu einer anderen Komponente relativ in -Z-Richtung angeordnet ist, kann als unter der anderen

Komponente befindlich angegeben werden. Außer in der vorliegenden Spezifikation anderweitig angegeben, kann sich eine Höhe einer Komponente auf eine Länge der Komponente in Y-Achsenrichtung beziehen und eine Breite einer Komponente kann sich auf eine Länge der Komponente in X-Achsenrichtung beziehen. Zudem kann sich eine Fläche einer Komponente auf eine Größe der Komponente auf einer Ebene beziehen, die parallel zu einer horizontalen Ebene ist. In den Zeichnungen der vorliegenden Spezifikation können zum Zwecke der einfacheren Darstellung nur einige Schichten dargestellt sein und Durchkontaktierungen können dargestellt sein, um eine Verbindung zwischen einer Struktur einer Metallschicht und einer leitfähigen Struktur darunter anzugeben, obwohl sich die Durchkontaktierungen unter der Struktur der Metallschicht befinden.

[0012] Eine Zelle ist eine Einheit eines Layouts, das in einer integrierten Schaltung umfasst ist und kann auch als Standardzelle bezeichnet werden. Eine integrierte Schaltung kann eine Mehrzahl verschiedener Zellen umfassen. Zellen können einen Aufbau aufweisen, der vorgegebene Standards erfüllt und können in einer Mehrzahl an Zeilen aufgereiht und platziert sein. Zum Beispiel können, wie in **Fig. 1** dargestellt, eine erste Zelle C01 und eine dritte Zelle C03 in der ersten Zeile R11 platziert sein und eine vierte Zelle C04 und eine fünfte Zelle C05 können in der zweiten Zeile R12 platziert sein. Die erste Zeile R11 und die zweite Zeile R12 können gleiche oder im Wesentlichen gleiche Höhen aufweisen und die erste Zelle C01 und die vierte Zelle C04 können gleiche oder im Wesentlichen gleiche Höhen aufweisen, das heißt, gleiche oder im Wesentlichen gleiche Längen in Y-Achsenrichtung.

[0013] In **Fig. 1** kann eine zweite Zelle C02 durchgehend in der ersten Zeile R11 und der zweiten Zeile R12 platziert sein, d. h., die zweite Zelle C02 überspannt die erste Zeile R11 und die zweite Zeile R12. Daher kann die zweite Zelle C02 eine Länge aufweisen, die einer Summe von Höhen der zwei Zeilen entspricht, das heißt, der ersten Zeile R11 und der zweiten Zeile R12. Wie oben beschrieben kann eine Zelle, die über zwei oder mehr aufeinanderfolgende Zeilen durchgehend oder dieselben überspannend platziert ist, als Zelle mit mehrfacher Höhe bezeichnet werden und insbesondere kann eine Zelle, die durchgehend in zwei benachbarten Zeilen platziert ist, als Zelle mit doppelter Höhe bezeichnet werden. Eine Zelle mit mehrfacher Höhe kann eine Höhe aufweisen, die einem Vielfachen einer Höhe einer Zeile entspricht (oder einer Höhe einer Zelle mit einfacher Höhe), wohingegen eine Zelle, die in einer Zeile platziert ist, wie die erste Zelle C01, als Zelle mit einfacher Höhe bezeichnet werden kann.

[0014] Die erste bis fünfte Zelle C01 bis C05 können aktive Bereiche umfassen, die sich in X-Achsenrichtung wie in **Fig. 1** dargestellt erstrecken. Obwohl nicht in **Fig. 1** dargestellt, können in einigen Ausführungsformen die erste bis fünfte Zelle C01 bis C05 ferner Finnen, die sich in X-Achsenrichtung erstrecken, sowie eine Gateleitung umfassen, die sich in Y-Achsenrichtung erstreckt. In einigen Ausführungsformen kann ein aktiver Bereich in einem Substrat ausgebildet sein und das Substrat kann einen Halbleiter wie beispielsweise Si oder Ge umfassen, einen Verbindungshalbleiter wie beispielsweise SiGe, SiC, GaAs, InAs oder InP, oder einen leitfähigen Bereich, wie beispielsweise eine verunreinigungsdotierte Wanne oder einen verunreinigungsdotierten Aufbau. In einigen Ausführungsformen kann die Gateleitung eine metallhaltige Austrittsarbeits-Schicht und eine Spaltfüllmetallschicht umfassen. Zum Beispiel kann die metallhaltige Austrittsarbeits-Schicht eines oder mehrere Metalle umfassen, einschließlich aber nicht ausschließlich Ti, W, Ru, Nb, Mo, Hf, Ni, Co, Pt, Yb, Tb, Dy, Er und Pd und die Spaltfüllmetallschicht kann aus einer W-Schicht und/oder einer Al-Schicht ausgebildet sein. In einigen Ausführungsformen kann die Gateleitung einen gestapelten Aufbau aus TiAlC/TiN/W, einen gestapelten Aufbau aus TiN/TaN/TiAlC/TiN/W oder einen gestapelten Aufbau aus TiN/TaN/TiN/TiAlC/TiN/W umfassen. In den nachfolgenden Zeichnungen können Finnen oder ein aktiver Bereich zum Zwecke einer einfacheren Darstellung nicht dargestellt sein, aber es versteht sich, dass Ausführungsformen des erfinderischen Konzepts nicht nur auf Zellen anwendbar sind, die planare Transistoren umfassen, sondern auch auf Zellen, die einen Fin Field-Effect Transistor (FinFET) umfassen. Zudem kann in einigen Ausführungsformen ein aktiver Bereich mindestens einen Abschnitt eines Fennenaufbaus umfassen und in diesem Fall kann eine Finne als aktiver Bereich mit Finnen bezeichnet werden. Zudem kann man in einigen Ausführungsformen sagen, dass eine Finne Source-/Drainbereiche auf beiden Seiten einer Gateleitung umfasst.

[0015] Die zweite Zelle C02 als Zelle mit mehrfacher Höhe kann einen ersten und zweiten aktiven Bereich RX1 und RX2 (welches Beispiele für den beanspruchten ersten aktiven Bereich RX1 und den beanspruchten zweiten aktiven Bereich RX2 sind) umfassen, welche sich in der ersten Zeile R11 in X-Achsenrichtung erstrecken, und einen dritten und vierten aktiven Bereich RX3 und RX4 (welches Beispiele für den beanspruchten ersten zweiten aktiven Bereich RX3 und den beanspruchten zweiten aktiven Bereich RX4 sind), die sich in der zweiten Zeile R12 in X-Achsenrichtung erstrecken, und der erste aktive Bereich RX1 und der dritte aktive Bereich RX3 können zueinander benachbart sein. Obwohl nicht in **Fig. 1** dargestellt, kann die integrierte Schaltung 10 eine Mehrzahl Stromleitungen umfassen, die sich an Zellgrenzen in X-Achsenrichtung

erstrecken, um die Zellen mit Leistung zu versorgen. In einigen Ausführungsformen kann eine positive Zufuhrspannung an ungeradzahligem Stromleitungen von einer Mehrzahl Stromleitungen angelegt werden, wohingegen eine Massespannung (oder eine negative Zufuhrspannung) an geradzahligem Stromleitungen angelegt werden kann. In einigen Ausführungsformen können Zufuhrspannungen an einer Mehrzahl Stromleitungen auf eine zu der obigen Beschreibung entgegengesetzte Art und Weise angelegt werden. Dementsprechend kann, wie in **Fig. 1** dargestellt, ein Paar aktiver Bereiche eines gleichen Leitfähigkeitstypen, das heißt, ein Paar aktiver Bereiche für einen n-Kanal-Feldeffekttransistor (NFET) oder ein Paar aktiver Bereiche für einen p-Kanal-Feldeffekttransistor (PFET) nebeneinander in Y-Achsenrichtung angeordnet sein. Zum Beispiel kann sich eine Stromleitung, an der eine Massespannung angelegt wird, auf einer Grenze zwischen der ersten Zeile R11 und der zweiten Zeile R12 in X-Achsenrichtung erstrecken, und der erste aktive Bereich RX1 und der dritte aktive Bereich RX3, die zu dieser Stromleitung benachbart sind, können aktive Bereiche für einen NFET sein, wohingegen der zweite aktive Bereich RX2 und der vierte aktive Bereich RX4 aktive Bereiche für einen PFET sein können.

[0016] In einigen Ausführungsformen können die ersten bis vierten aktiven Bereiche RX1 bis RX4 der zweiten Zelle C02 von einer Diffusionstrennung abgeschlossen sein. Eine Diffusionstrennung kann eingefügt sein, um eine Wirkung zu reduzieren, zum Beispiel einen Local Layout Effect (LLE) zwischen benachbarten Zellen. Eine Diffusionstrennung kann Diffusionsbereiche zwischen benachbarten Zellen trennen und kann mit einem Isolierkörper gefüllt sein oder diesen enthalten. In einigen Ausführungsformen kann eine Diffusionstrennung Finnen von benachbarten Zellen trennen. In einigen Ausführungsformen kann eine Diffusionstrennung einen Diffusionsbereich von benachbarten Zellen trennen, indem sie einen Diffusionsbereich und/oder mindestens einen Abschnitt des Diffusionsbereichs entfernt. Beispiele für die Diffusionstrennung werden später unter Bezugnahme auf **Fig. 2** beschrieben. Zudem kann, wie später unter Bezugnahme auf **Fig. 3** beschrieben wird, eine Diffusionstrennung einen LLE vorsehen, der für einen benachbarten Transistor vorteilhaft ist, und je näher ein Transistor an einer Diffusionstrennung ist, desto besser können seine Eigenschaften sein, und die zweite Zelle C02 kann mehr Transistoren umfassen als eine Zelle mit einfacher Höhe, die eine identische Funktion wie die zweite Zelle C02 durchführt (oder die einer Schaltung entspricht, die derjenigen der zweiten Zelle C02 ähnlich oder mit dieser identisch ist), wobei die Transistoren zu der Diffusionstrennung benachbart sind. Dementsprechend kann die zweite Zelle C02 bessere Eigenschaften vorsehen als eine Zelle mit ein-

facher Höhe und daher kann die integrierte Schaltung 10 eine verbesserte Leistung aufweisen.

[0017] In einigen Ausführungsformen kann die zweite Zelle C02 zwei oder mehr Transistoren umfassen, die eine ähnlich oder eine identische Funktion haben, und sie kann eine relativ hohe Treiberstärke oder -fähigkeit aufweisen. Wie nachfolgend unter Bezugnahme auf die **Fig. 4A** und **Fig. 4B** beschrieben wird, kann eine Wechselrichterzelle zum Beispiel für einen Wechselrichtervorgang mit hoher Geschwindigkeit sechs PFETs umfassen, die parallel zueinander geschaltet sind, und sechs NFETs, die parallel zueinander geschaltet sind. Wenn eine Zelle mit hoher Treiberstärke als Zelle mit einfacher Höhe implementiert wird und die Transistorenanzahl erhöht wird, um eine Treiberstärke zu verbessern, kann die Anzahl Transistoren, die von einer Diffusionstrennung beabstandet sind, erhöht werden. Im Gegenzug kann, wenn eine Zelle mit hoher Treiberstärke als Zelle mit doppelter Höhe implementiert wird, wie beispielsweise die zweite Zelle C02 in **Fig. 1**, oder als Zelle mit mehrfacher Höhe, bei der Zellen überspannen oder durchgehend in drei oder mehr Zeilen platziert sind, die Anzahl Transistoren, die zu einer Diffusionstrennung benachbart sind, erhöht werden.

[0018] Obwohl **Fig. 1** darstellt, dass Diffusionstrennungen in der zweiten Zelle C02 umfasst sind, können in einigen Ausführungsformen Diffusionstrennungen außerhalb der zweiten Zelle C02 vorhanden sein, und man kann sagen, dass die zweite Zelle C02 die Diffusionstrennungen mit benachbarten Zellen teilt, das heißt, der ersten Zelle C01, der dritten Zelle C03, der vierten Zelle C04 und der fünften Zelle C05. Während die Diffusionstrennungen als eine Länge in Y-Achsenrichtung, wie die zweite Zelle C02 in **Fig. 1**, aufweisend dargestellt werden, können in einigen Ausführungsformen zudem Diffusionstrennungen auch eine kürzere Länge in Y-Achsenrichtung aufweisen als die zweite Zelle C02 und in einigen Ausführungsformen können die Diffusionstrennungen diskontinuierlich als Abschnitte getrennt sein, die jeweils den ersten bis vierten aktiven Bereichen RX01 bis RX04 entsprechen.

[0019] **Fig. 2** stellt Beispiele von Diffusionstrennungen gemäß einiger Ausführungsformen des erfindersischen Konzepts dar. Im Detail ist ein oberer Abschnitt aus **Fig. 2** eine Draufsicht eines Layouts, das Diffusionstrennungen umfasst, und ein unterer Abschnitt aus **Fig. 2** ist eine Querschnittsansicht der Diffusionstrennungen, die entlang der Linie X-X' in dem oberen Abschnitt der **Fig. 2** vorgenommen wurde. Für eine einfachere Darstellung wird zwischen Source-/Drainbereiche auf zwei Seiten einer Gateleitung in **Fig. 2** in **Fig. 2** nicht unterschieden.

[0020] In **Fig. 2** können der erste bis vierte aktive Bereich RX11 bis RX14 auf einem Substrat SUB angeordnet sein und eine Mehrzahl Gateleitungen G11 bis G23 können sich parallel zueinander in Y-Achsenrichtung in dem ersten bis vierten aktiven Bereich RX11 bis RX14 erstrecken. Ein Abstand zwischen der Mehrzahl der Gateleitungen G11 bis G23 kann als 1 Contacted Poly Pitch (1 CPP) bezeichnet werden. Die ersten bis vierten aktiven Bereiche RX11 bis RX14 können voneinander durch Diffusionstrennungen getrennt sein. Zum Beispiel kann der erste aktive Bereich RX11 und der zweite aktive Bereich RX12 mittels einer ersten doppelten Diffusionstrennung DDB 1 getrennt sein und der zweite aktive Bereich RX12 und der dritte aktive Bereich RX13 können mittels einer zweiten doppelten Diffusionstrennung DDB2 getrennt sein, und der dritte aktive Bereich RX13 und der vierte aktive Bereich RX14 können mittels einer einfachen Diffusionstrennung SDB getrennt sein.

[0021] Eine doppelte Diffusionstrennung DDB kann eine Breite von etwa 1 CCP oder mehr aufweisen, das heißt, eine Länge in einer X-Achsenrichtung. Eine doppelte Diffusionstrennung kann ausgebildet werden, indem ein aktiver Bereich geätzt wird, wie beispielsweise die zweite doppelte Diffusionstrennung DDB2 oder wie beispielsweise die erste doppelte Diffusionstrennung DDB1, indem ein Abschnitt des Substrats zusätzlich zu dem aktiven Bereich geätzt wird. Eine Gateleitung auf einer doppelten Diffusionstrennung kann als Dummy-Gateleitung bezeichnet werden, wo möglicherweise kein aktiver Bereich und kein Transistor ausgebildet sind, und in einigen Ausführungsformen kann die Gateleitung als Leiterpfad verwendet werden. Zum Beispiel können die Gateleitungen G12 bis G16 auf der ersten doppelten Diffusionstrennung DDB 1 die Dummy-Gateleitungen sein, auf denen möglicherweise kein Transistor ausgebildet ist, und die Gateleitungen G18 und G19 auf der zweiten doppelten Diffusionstrennung DDB2 können ebenfalls Dummy-Gateleitungen sein, auf denen möglicherweise kein Transistor ausgebildet ist. Die einfache Diffusionstrennung (SDB, engl. single diffusion break) kann eine Breite aufweisen, die in etwa einer Breite einer Gateleitung entspricht, das heißt, eine Länge in einer X-Achsenrichtung. Wie in **Fig. 2** dargestellt, ist möglicherweise keine Gateleitung auf der einfachen Diffusionstrennung SDB ausgebildet. Nachfolgend konzentriert sich die Beschreibung von Ausführungsformen des erfinderischen Konzepts auf die zweite doppelte Diffusionstrennung DDB2 und die einfache Diffusionstrennung SDB, die wie die zweite doppelte Diffusionstrennung DDB2 eine Breite von etwa 1 CPP aufweisen.

[0022] **Fig. 3** stellt eine Beziehung zwischen einer Diffusionstrennung und einem Element gemäß einigen Ausführungsformen des erfinderischen Kon-

zepts dar. Im Detail ist ein oberer Abschnitt aus **Fig. 3** eine Draufsicht auf ein Layout, das eine doppelte Diffusionstrennung DDB umfasst, und ein unterer Abschnitt aus **Fig. 3** zeigt eine Beziehung zwischen einem Abstand eines Elements von der doppelten Diffusionstrennung DDB und einem Strom des Elements.

[0023] In dem oberen Abschnitt aus **Fig. 3** können die ersten und zweiten Gateleitungen G31 und G32 auf der doppelten Diffusionstrennung DDB Dummy-Gateleitungen sein und die dritten bis sechsten Gateleitungen G33 bis G36 können jeweils einen aktiven Bereich und einen NFET ausbilden. In dem unteren Abschnitt aus **Fig. 3** gilt, dass, je näher eine Vorrichtung, wie beispielsweise ein NFET, an einer doppelten Diffusionstrennung DDB liegt, desto höher ist der Strom, den die Vorrichtung vorsehen kann, wohingegen je weiter eine Vorrichtung, wie beispielsweise ein NFET, von der doppelten Diffusionstrennung DDB liegt, desto niedriger ist der Strom, den die Vorrichtung liefern kann. Mit anderen Worten, gemäß einiger Ausführungsformen des erfinderischen Konzepts kann eine Vorrichtung zunehmenden Strom mit zunehmender Nähe an einer DDB liefern und abnehmenden Strom mit zunehmendem Abstand von einer DDB. Zum Beispiel kann ein NFET, der mittels der dritten Gateleitung G33, welche der doppelten Diffusionstrennung DDB am nächsten an liegt, gebildet wird, einen höheren Strom liefern als ein NFET, der mittels der sechsten Gateleitung G36 ausgebildet wird. Eine Vorrichtung, die einen relativ hohen Strom liefert, kann eine relativ hohe Betriebsgeschwindigkeit aufweisen und dementsprechend gilt, dass, je größer die Transistorenanzahl neben der doppelten Diffusionstrennung DDB ist, desto niedriger kann eine Betriebsgeschwindigkeit einer Zelle sein, die die Transistoren umfasst, zum Beispiel eine Reaktionszeit eines Ausgangssignals bezüglich eines Eingangssignals. Obwohl **Fig. 3** ein Beispiel der doppelten Diffusionstrennung DDB darstellt, kann eine einfache Diffusionstrennung eine ähnliche Betriebseigenschaft wie die DDB vorsehen, das heißt, eine Vorrichtung, die relativ nahe an der einfachen Diffusionstrennung liegt, kann einen relativ hohen Strom liefern und auf ähnliche Weise wie die Ausführungsform aus **Fig. 3** eine relativ hohe Betriebsgeschwindigkeit haben.

[0024] **Fig. 4A** und **Fig. 4B** sind Draufsichten, welche die Wechselrichterzellen C40a und C40b gemäß einiger Ausführungsformen des erfinderischen Konzepts darstellen, und **Fig. 5** ist ein Schaltbild, das den Wechselrichterzellen C40a und C40b aus den **Fig. 4A** und **Fig. 4B** gemäß einiger Ausführungsformen des erfinderischen Konzepts entspricht. Im Detail stellen die **Fig. 4A** und **Fig. 4B** jeweils Layouts der Wechselrichterzellen C40a und C40b dar, welche Zellen mit einfacher Höhe sind und die sechs Tran-

sistoren umfassen, die parallel zueinander geschaltet sind.

[0025] In **Fig. 4A** kann die Wechselrichterzelle C40a einen ersten aktiven Bereich RX41a und einen zweiten aktiven Bereich RX42a umfassen, die sich in X-Achsenrichtung erstrecken, und der erste aktive Bereich RX41a und der zweite aktive Bereich RX42a kann jeweils von doppelten Diffusionstrennungen DDB 1 und DDB2 abgeschlossen sein. Dementsprechend können, wie in **Fig. 5** dargestellt, zwei PFETs und zwei NFETs einer Wechselrichterzelle C40 benachbart zu den Diffusionstrennungen DDB 1 oder DDB2 angeordnet sein.

[0026] Ebenso kann die Wechselrichterzelle C40b in **Fig. 4B** einen ersten aktiven Bereich RX41b und einen zweiten aktiven Bereich RX42b umfassen, die sich in X-Achsenrichtung erstrecken, und der erste aktive Bereich RX41b und der zweite aktive Bereich RX42b können jeweils von einfachen Diffusionstrennungen SDB1 und SDB2 abgeschlossen sein. Dementsprechend können, wie in **Fig. 5** dargestellt, zwei PFETs und zwei NFETs der Wechselrichterzelle C40 benachbart zu den einfachen Diffusionstrennungen SDB 1 oder SDB2 angeordnet sein.

[0027] Die **Fig. 6A** und **Fig. 6B** sind Draufsichten, welche die Wechselrichterzellen C60a und C60b gemäß Ausführungsformen des erfinderischen Konzepts darstellen, und die **Fig. 7A** und **Fig. 7B** sind Schaltbilder, die den Wechselrichterzellen C60a und C60b aus den **Fig. 6A** und **Fig. 6B** gemäß einiger Ausführungsformen des erfinderischen Konzepts entsprechen. Im Detail stellen die **Fig. 6A** und **Fig. 6B** jeweils Layouts der Wechselrichterzellen C60a und C60b dar, welche Zellen mit doppelter Höhe sind und die sechs Transistoren umfassen, die zueinander parallel geschaltet sind.

[0028] In **Fig. 6A** kann die Wechselrichterzelle C60a in einer ersten Zeile R61 und einer zweiten Zeile R62 platziert sein und eine Stromleitung P60a, an der eine Massespannung GND angelegt wird, kann sich in X-Achsenrichtung an einer Grenze zwischen der ersten Zeile R61 und der zweiten Zeile R62 erstrecken. Dementsprechend kann die Wechselrichterzelle C60a aktive Bereiche für einen NFET neben der Stromleitung P60a umfassen. Zudem kann jede der Mehrzahl aktiver Bereiche, die in der Wechselrichterzelle C60a umfasst sind, von der doppelten Diffusionstrennung DDB 1 und DDB2 abgeschlossen sein. Dementsprechend können, wie in **Fig. 7A** dargestellt, vier PFETs und vier NFETs zu den doppelten Diffusionstrennungen DDB 1 oder DDB2 in der Wechselrichterzelle C60a benachbart angeordnet sein.

[0029] Wie in **Fig. 6A** dargestellt, kann die Wechselrichterzelle C60a eine erste Struktur M21 in einer

Schicht M2 umfassen, um Strukturen einer Schicht M1 entsprechend einem Ausgangssignal Y elektrisch zu verbinden, und sie kann eine zweite Struktur M22 einer Schicht M2 umfassen, um Strukturen einer Schicht M1 entsprechend einem Eingangssignal A elektrisch zu verbinden. Die erste Struktur M21 und die zweite Struktur M22 können durch die Grenze zwischen der ersten Zeile R61 und der zweiten Zeile R62 gehen und sich in Y-Achsenrichtung wie in **Fig. 6A** dargestellt erstrecken. Zudem kann die erste Struktur M21 als Ausgangspin der Wechselrichterzelle C60a fungieren und die zweite Struktur M22 kann als Eingangspin der Wechselrichterzelle C60a fungieren. Das heißt, die erste Struktur M21 und die zweite Struktur M22 können verwendet werden, um eine Signalführung durchzuführen, und kann auch als Pin von Zellen fungieren und dementsprechend kann die Wechselrichterzelle C60a einen relativ einfachen Verdrahtungsaufbau aufweisen.

[0030] Die Wechselrichterzelle C60a kann im Vergleich zu der Wechselrichterzelle C40a aus **Fig. 4A** eine verbesserte Signalführungsfähigkeit vorsehen. Wie nachfolgend unter Bezugnahme auf **Fig. 17** beschrieben, kann, nachdem Zellen platziert wurden, ein Signalführungs- bzw. Routing-Vorgang durchgeführt werden, um Eingangspins und/oder Ausgangspins von Zellen elektrisch zu verbinden. Zum Beispiel können, nachdem die Wechselrichterzelle C60a aus **Fig. 6A** platziert wurde, Strukturen einer Schicht M3 so über der Schicht M2 angeordnet werden, dass sie einen Eingangspin der Schicht M2 entsprechend einem Eingangssignal A und einen Ausgangspin der Schicht M2 entsprechend dem Ausgangssignal Y führen bzw. routen. Während die Schicht M2 Strukturen umfassen kann, die sich in Y-Achsenrichtung erstrecken, kann die Schicht M3 Strukturen umfassen, die sich in X-Achsenrichtung erstrecken. Aufgrund erweiterter Längen der ersten Struktur M21 und der zweiten Struktur M22 aus **Fig. 6A** in Y-Achsenrichtung können dementsprechend die erste Struktur M21 und die zweite Struktur M22 aus **Fig. 6A** mehr Punkte vorsehen, an denen mit den Strukturen der Schicht M3 zu verbindende Durchkontaktierungen angeordnet sein können, das heißt, es kann mehr potenzielle Durchkontaktierungspunkte in der Wechselrichterzelle C60a der **Fig. 6A** geben als in der Wechselrichterzelle C40a aus **Fig. 4A**. Dementsprechend kann die Wechselrichterzelle C60a aus **Fig. 6A** eine verbesserte Signalführungsfähigkeit vorsehen und Signalführungsüberlastung kann in einer integrierten Schaltung, welche die Wechselrichterzelle C60a umfasst, reduziert werden.

[0031] In **Fig. 6B** kann die Wechselrichterzelle C60b in der ersten Zeile R61 und der zweiten Zeile R62 platziert sein und eine Stromleitung P60b, an der eine Zufuhrspannung VDD angelegt wird, kann sich in X-Achsenrichtung an einer Grenze zwischen der ersten Zeile R61 und der zweiten Zeile R62 erstre-

cken. Dementsprechend kann die Wechselrichterzelle C60b aktive Bereiche für einen PFET neben der Stromleitung P60b umfassen. Zudem kann jeder der Mehrzahl aktiver Bereiche, die in der Wechselrichterzelle C60b umfasst sind, von der doppelten Diffusionstrennung DDB 1 und DDB2 abgeschlossen sein. Dementsprechend können, wie in **Fig. 7B** dargestellt, vier PFETs und vier NFETs zu der doppelten Diffusionstrennung DDB 1 oder DDB2 in der Wechselrichterzelle C60b benachbart angeordnet sein.

[0032] Wie die Wechselrichterzelle C60a aus **Fig. 6A** und die Wechselrichterzelle C60b aus **Fig. 6B** können zwei unterschiedliche Zellen vorgesehen sein, die jeweils unterschiedliche Layouts aufweisen, und die eine gleiche oder ähnliche Funktion und gleiche oder ähnliche Eigenschaften gemäß einer an einer Stromleitung angelegten Spannung vorsehen. Wie nachfolgend unter Bezugnahme auf **Fig. 17** beschrieben wird, kann eine Zellenbibliothek D72 aus **Fig. 17** zwei unterschiedliche Zellen definieren und eine der zwei unterschiedlichen Zellen kann basierend auf einer Spannung einer Stromleitung während eines Platzierungs- und Routing-Verfahrens ausgewählt und platziert werden. Zudem versteht es sich, dass, obwohl die **Fig. 6A** und **Fig. 6B** die Wechselrichterzellen C60a und C60b darstellen, welche aktive Bereiche umfassen, die von den doppelten Diffusionstrennungen abgeschlossen sind, auch Wechselrichterzellen, die aktive Bereiche umfassen, die von einfachen Diffusionstrennungen abgeschlossen sind, als Zellen mit doppelter Höhe gemäß einiger Ausführungsformen des erfindерischen Konzepts umfasst sein können.

[0033] Die **Fig. 8A** und **Fig. 8B** sind Draufsichten, die Wechselrichterzellen C80a und C80b gemäß einiger Ausführungsformen des erfindерischen Konzepts darstellen. Im Detail stellen die **Fig. 8A** und **Fig. 8B** jeweils Wechselrichterzellen C80a und C80b dar, die Zellen mit mehrfacher Höhe sind, welche durchgehend platziert sind oder erste bis dritte Zeile R81, R82 und R83 überspannen, und die sechs Transistoren umfassen, welche parallel zueinander geschaltet sind, wie die Wechselrichterzellen C40a und C40b aus den **Fig. 4A** und **Fig. 4B** und die Wechselrichterzellen C60a und C60b aus den **Fig. 6A** und **Fig. 6B**. Nachfolgend wird die Beschreibung von Elementen oder Merkmalen, die oben unter Bezugnahme auf die **Fig. 6A** und **Fig. 6B** gegeben wurde, in der Beschreibung der Ausführungsformen aus den **Fig. 8A** und **Fig. 8B** der Kürze halber ausgelassen.

[0034] In **Fig. 8A** kann die Wechselrichterzelle C80a in der ersten Zeile R81, der zweiten Zeile R82 und der dritten Zeile R83 platziert sein oder sie kann diese überspannen, und eine erste Stromleitung P81a, an der eine positive Zufuhrspannung VDD angelegt wird, kann sich in X-Achsenrichtung an

einer Grenze zwischen der ersten Zeile R81 und der zweiten Zeile R82 erstrecken, und die zweite Stromleitung P82a, an der eine Massespannung GND angelegt wird, kann sich in X-Achsenrichtung an einer Grenze zwischen der zweiten Zeile R82 und der dritten Zeile R83 erstrecken. Dementsprechend kann die Wechselrichterzelle C80a aktive Bereiche für einen PFET neben der ersten Stromleitung P81a und aktive Bereiche für einen NFET neben der zweiten Stromleitung P82a umfassen. Zudem kann jeder der Mehrzahl aktiver Bereiche, die in der Wechselrichterzelle C80a umfasst sind, von der doppelten Diffusionstrennung DDB 1 und DDB2 abgeschlossen sein. Dementsprechend können sechs PFETs und sechs NFETs zu der doppelten Diffusionstrennung DDB 1 oder DDB2 in der Wechselrichterzelle C80a benachbart angeordnet sein.

[0035] In **Fig. 8B** kann die Wechselrichterzelle C80b in der ersten Zeile R81, der zweiten Zeile R82 und der dritten Zeile R83 platziert sein, oder sie kann diese überspannen, und eine erste Stromleitung P81b, an der eine Massespannung GND angelegt wird, kann sich in X-Achsenrichtung an einer Grenze zwischen der ersten Zeile R81 und der zweiten Zeile R82 erstrecken, und eine zweite Stromleitung P82b, an der eine positive Zufuhrspannung VDD angelegt wird, kann sich in X-Achsenrichtung an einer Grenze zwischen der zweiten Zeile R82 und der dritten Zeile R83 erstrecken. Dementsprechend kann die Wechselrichterzelle C80b aktive Bereiche für einen NFET neben der ersten Stromleitung P81b und aktive Bereiche für einen PFET neben der zweiten Stromleitung P82b umfassen. Zudem kann jede der Mehrzahl aktiver Bereiche, die in der Wechselrichterzelle C80b umfasst sind, von der doppelten Diffusionstrennung DDB1 und DDB2 abgeschlossen sein. Dementsprechend können sechs PFETs und sechs NFETs zu der doppelten Diffusionstrennung DDB1 oder DDB2 in der Wechselrichterzelle C80b benachbart angeordnet sein.

[0036] Wie oben unter Bezugnahme auf die **Fig. 4A** bis **Fig. 8B** beschrieben, können Zellen, die einer identischen Schaltung entsprechen, unterschiedliche Layouts aufweisen, und je höher die Transistoranzahl benachbart zu einer Diffusionstrennung ist, desto mehr Fläche benötigen die Zellen und desto höher ist die Leistung, die vorgesehen werden kann. Zum Beispiel weist die Wechselrichterzelle C60a aus **Fig. 6A**, die eine Zelle mit doppelter Höhe ist, eine größere Fläche auf als die Wechselrichterzelle C40a aus **Fig. 4A**, die eine Zelle mit einfacher Höhe ist. Aufgrund einer erweiterten Fläche einer doppelten Diffusionstrennung und auch aufgrund einer erhöhten Transistoranzahl neben der doppelten Diffusionstrennung kann die Wechselrichterzelle C60a eine höhere Leistung vorsehen als die Wechselrichterzelle C40a aus **Fig. 4A**. Zudem weist die Wechselrichterzelle C80a aus **Fig. 8A**, die eine

Zelle mit mehrfacher Höhe ist, welche durchgehend über drei Zeilen platziert ist bzw. diese überspannt, eine größere Fläche auf als die Wechselrichterzelle C60a aus **Fig. 6A**, welche eine Zelle mit doppelter Höhe ist. Aufgrund einer erweiterten Fläche der doppelten Diffusionstrennung und auch aufgrund einer erhöhten Transistoranzahl neben der doppelten Diffusionstrennung kann die Wechselrichterzelle C80a eine höhere Leistung vorsehen als die Wechselrichterzelle C60a aus **Fig. 6A**.

[0037] Dementsprechend kann die Wechselrichterzelle C40a aus **Fig. 4A** in einem Abschnitt einer integrierten Schaltung verwendet werden, in dem ein hoher Integrationsgrad erforderlich ist (zum Beispiel die integrierte Schaltung 10 aus **Fig. 1**) und die Wechselrichterzelle C80a aus **Fig. 8A** kann in einem Abschnitt einer integrierten Schaltung verwendet werden, bei der hohe Leistung erforderlich ist, und die Wechselrichterzelle C60a aus **Fig. 6A** kann in einem Bereich einer integrierten Schaltung verwendet werden, welche eine ausgewogene Balance aus hohem Integrationsgrad und hoher Leistung erfordert.

[0038] **Fig. 9A** und **Fig. 9B** sind Draufsichten, die Zellen C90a und C90b gemäß einiger Ausführungsformen des erfinderischen Konzepts darstellen. Im Detail ist die Zelle C90a aus **Fig. 9A** eine Zelle mit mehrfacher Höhe und kann aktive Bereiche umfassen, die von doppelten Diffusionstrennungen DDB 1 und DDB2 abgeschlossen sind und die Zelle C90b aus **Fig. 9B** ist eine Zelle mit mehrfacher Höhe und kann aktive Bereiche umfassen, die von einfachen Diffusionstrennungen SDB1 und SDB2 abgeschlossen sind. Nachfolgend wird eine Beschreibung von Elementen von Merkmalen, die mit Ausführungsformen aus den **Fig. 9A** und **Fig. 9B** assoziiert sind, welche bereits oben gegeben wurde, der Kürze halber ausgelassen.

[0039] In **Fig. 9A** kann die Zelle C90a in einer ersten Zeile R91 und einer zweiten Zeile R92 platziert sein oder sie kann diese umspannen und kann den ersten bis dritten aktiven Bereich RX1, RX2 und RX3, die sich in X-Achsenrichtung erstrecken, sowie Gateleitungen umfassen, die sich in Y-Achsenrichtung erstrecken. Der erste bis dritte aktive Bereich RX1, RX2 und RX3, welche sich in X-Achsenrichtung erstrecken, können von den doppelten Diffusionstrennungen DDB 1 und DDB2 abgeschlossen sein. Der erste aktive Bereich RX1 kann durch eine Grenze zwischen der ersten Zeile R91 und der zweiten Zeile R92 passieren und sich in Y-Achsenrichtung erstrecken. Das heißt, der erste aktive Bereich RX1, der in der Zelle 90a umfasst ist, kann einem aktiven Bereich entsprechen, mit dem der erste aktive Bereich RX1 und der dritte aktive Bereich RX3, die in der zweiten Zelle C02 aus **Fig. 1** umfasst sind, mindestens teilweise verbunden sind, d. h.,

Abschnitte derselben sind miteinander verbunden, oder ein aktiver Bereich, in dem der erste aktive Bereich RX1 und der dritte aktive Bereich RX3 zusammenhängend sind. Daher kann eine Länge eines aktiven Bereichs für einen NFET der Zelle 90a (das heißt, des ersten aktiven Bereichs RX1) in Y-Achsenrichtung größer sein als eine Summe von Längen von aktiven Bereichen für einen NFET der zweiten Zelle C02 aus **Fig. 1** (das heißt, den ersten und dritten aktiven Bereich RX1 und RX3) in Y-Achsenrichtung.

[0040] Die Zelle 90a kann eine Mehrzahl Finnen F01 bis F16 umfassen, die sich in X-Achsenrichtung erstrecken. Mindestens einige der Mehrzahl Finnen F10 bis F16 (zum Beispiel eine Finne F02) kann einen Transistor mit Gateleitungen ausbilden und mindestens einige andere Finnen (zum Beispiel eine Finne F04) kann bzw. können eine Dummy-Finne sein. Eine Größe oder eine Stromtreiberstärke eines Transistors kann basierend auf einer Anzahl von Finnen, welche die Gateleitung kreuzen, bestimmt werden. Wie oben beschrieben kann die Zelle 90a einen aktiven Bereich mit einer erweiterten Länge in Y-Achsenrichtung für einen NFET umfassen (das heißt, den ersten aktiven Bereich RX1) und daher kann eine Anzahl von Finnen, die den aktiven Bereich für einen NFET überlappen, größer sein als eine Anzahl von Finnen, die die aktiven Bereiche für einen PFET überlappen (der erste und dritte aktive Bereich RX2 und RX3). Zum Beispiel können, wie in **Fig. 9A** dargestellt, sechs Finnen, die Finnen F06 bis F11, den ersten aktiven Bereich RX1 überlappen, und vier Finnen, die Finnen F02, F03, F14 und F15 können den zweiten aktiven Bereich RX2 (Finnen F02 und F03) oder den dritten aktiven Bereich RX3 (Finnen F04 und F15) überlappen. Dementsprechend kann die Zelle 90a einen relativ verstärkten NFET aufweisen und, wie nachfolgend unter Bezugnahme auf **Fig. 10** beschrieben wird, können in Reihe geschaltete Transistoren in dem Schaltbild in dem ersten aktiven Bereich RX1 ausgebildet sein. Während **Fig. 9A** ein Beispiel darstellt, in dem ein aktiver Bereich für einen NFET (das heißt, der erste aktive Bereich RX1) eine erweiterte Länge in Y-Achsenrichtung aufweist, versteht es sich, dass ein aktiver Bereich für einen PFET auch eine erweiterte Länge in Y-Achsenrichtung in anderen Ausführungsformen des erfinderischen Konzepts aufweisen kann.

[0041] In **Fig. 9B** kann die Zelle C90b in der ersten Zeile R91 und der zweiten Zeile R92 platziert sein oder sie kann diese umspannen, und sie kann den ersten bis dritten aktiven Bereich RX1, RX2 und RX3 umfassen, die sich in X-Achsenrichtung erstrecken, und der erste aktive Bereich RX1 kann durch eine Grenze zwischen der ersten Zeile R91 und der zweiten Zeile R92 hindurchgehen und sich in Y-Achsenrichtung erstrecken. Zudem kann die Zelle C90b

Gateleitungen umfassen, die sich in Y-Achsenrichtung erstrecken, und eine Mehrzahl Finnen F01 bis F16, die sich in X-Achsenrichtung erstrecken. Im Vergleich zu der Zelle 90a aus **Fig. 9A** können der erste bis dritte aktive Bereich RX1, RX2 und RX3, die sich in X-Achsenrichtung erstrecken, von einfachen Diffusionstrennungen SDB1 und SDB2 abgeschlossen sein.

[0042] Der erste aktive Bereich RX1 kann basierend auf einer Konstruktionsregel, die entsprechend einem Halbleiterprozess definiert werden kann, von einer Grenze der Zelle C90b beabstandet sein. Eine Zelle, die zu der Zelle C90b in X-Achsenrichtung in einer integrierten Schaltung benachbart ist, kann aktive Bereiche für einen NFET umfassen, welche an der Grenze zwischen der ersten Zeile R91 und der zweiten Zeile R92 wie die Zellen aus **Fig. 1** verbunden oder zusammenhängend kombiniert sind, und Freiraum, der für die Ausbildung von aktiven Bereichen unterschiedlichen Aufbaus in einem Halbleiterprozess wie oben beschrieben erforderlich ist, kann basierend auf einer Konstruktionsregel definiert werden. Wie in **Fig. 9B** dargestellt, kann zum Beispiel der erste aktive Bereich RX1 von Grenzen der Zelle C90b, welche einander in X-Achsenrichtung zugewandt sind, um etwa 1 CPP beabstandet sein.

[0043] **Fig. 10** ist ein Schaltbild einer Zelle gemäß einiger Ausführungsformen des erfinderischen Konzepts und **Fig. 11** ist eine Draufsicht, die ein Beispiel für ein Layout einer Zelle entsprechend dem Schaltbild aus **Fig. 10** gemäß einiger Ausführungsformen des erfinderischen Konzepts darstellt. Im Detail stellen die **Fig. 10** und **Fig. 11** NAND-Zellen C10 und C10' dar, die als NAND-Gate mit zwei Eingängen fungieren, welche Eingangssignale A und B und ein Ausgangssignal Y haben.

[0044] In **Fig. 10** kann die NAND-Zelle C10 eine Mehrzahl Transistorgruppen G11 bis G18 als Zellen mit hoher Treiberstärke umfassen. Eine Transistorgruppe und eine andere Transistorgruppe kann zueinander parallel geschaltet sein und kann im Allgemeinen ein Eingangssignal erhalten. Zum Beispiel die Transistorgruppen G11, G13, G15 und G17, die einen PFET umfassen, können zueinander zwischen einem Ausgangsknoten, das heißt, einem Knoten, der dem Ausgangssignal Y entspricht, und einer positiven Zufuhrspannung VDD parallel geschaltet sein, und können im Allgemeinen Eingangssignale A und B erhalten. Zudem können die Transistorgruppen G12, G14, G16 und G18, die einen NFET umfassen, zwischen einem Ausgangsknoten und einer Massespannung GND zueinander parallel geschaltet sein, und können im Allgemeinen Eingangssignale A und B erhalten.

[0045] In **Fig. 11** ist die NAND-Zelle C10' eine Zelle mit doppelter Höhe und kann in einer ersten Zeile

R111 und einer zweiten Zeile R112 platziert sein oder diese überspannen, und sie kann den ersten bis vierten aktiven Bereich RX1, RX2, RX3 und RX4 umfassen, die von doppelten Diffusionstrennungen DDB 1 und DDB2 abgeschlossen sind. Eine Stromleitung P11, an der eine Massespannung GND an einer Grenze zwischen der ersten Zeile R111 und der zweiten Zeile R112 angelegt wird, kann sich in X-Achsenrichtung erstrecken und der erste und der dritte aktive Bereich RX1 und RX3 kann zu der Stromleitung P11 benachbart angeordnet sein. Um eine Massespannung GND durch die Stromleitung P11 zu erhalten, kann die NAND-Zelle C10', wie in **Fig. 11** dargestellt, Kontakte CT1 und CT2 umfassen, die mit dem ersten und dem dritten aktiven Bereich RX1 und RX3 verbunden sind, und die sich durch die Grenze zwischen der ersten Zeile R111 und der zweiten Zeile R112 erstrecken. Zudem kann die NAND-Zelle C10' Durchkontaktierungen V01 und V02 umfassen, welche mit der Stromleitung P11 verbunden sind und auf der Grenze zwischen der ersten Zeile R111 und der zweiten Zeile R112 platziert sind, und in einigen Ausführungsformen können die Durchkontaktierungen V01 und V02 schienenartige Durchkontaktierungen sein, die sich wie in **Fig. 11** dargestellt in Y-Achsenrichtung erstrecken. Mit zunehmender Fläche der Durchkontaktierungen V01 und V02 kann ein IR-Abfall (oder Spannungsabfall), der auf einem Strompfad von der Stromleitung P11 zu Elementen der NAND-Zelle C10', das heißt, beispielsweise Transistoren, auftritt, reduziert werden.

[0046] **Fig. 12** ist ein Schaltbild einer Zelle gemäß einiger Ausführungsformen des erfinderischen Konzepts und **Fig. 13** ist eine Draufsicht, die ein Beispiel für ein Layout einer Zelle entsprechend dem Schaltbild aus **Fig. 12** gemäß einiger Ausführungsformen des erfinderischen Konzepts darstellt. Im Detail stellen die **Fig. 12** und **Fig. 13**, ähnlich wie die **Fig. 10** und **Fig. 11**, NAND-Zellen C12 und C12' dar, die als NAND-Gate mit zwei Eingängen fungieren, welche Eingangssignale A und B und ein Ausgangssignal Y aufweisen. Nachfolgend wird die Beschreibung von Elementen oder Merkmalen, die oben unter Bezugnahme auf die **Fig. 10** und **Fig. 11** gegeben wurde, in der Beschreibung der Ausführungsformen aus den **Fig. 12** und **Fig. 13** ausgelassen.

[0047] Unter Bezugnahme auf die **Fig. 12** kann die NAND-Zelle C 12 eine Mehrzahl Transistorgruppen G21 bis G26 umfassen. Im Vergleich zu der NAND-Zelle C10 aus **Fig. 10** kann die NAND-Zelle C12 aus **Fig. 12** Transistorgruppen G22 und G26 umfassen, die einen relativ großen NFET aufweist, das heißt, einen NFET mit einer hohen Stromtreiberstärke. Dementsprechend können NFETs der NAND-Zelle C12 verstärkt werden und eine Betriebsgeschwindigkeit der NAND-Zelle C12 kann erhöht werden.

[0048] In **Fig. 13** ist die NAND-Zelle C12' eine Zelle mit doppelter Höhe und kann in einer ersten Zeile R131 und einer zweiten Zeile R132 platziert sein oder diese überspannen, und sie kann den ersten bis dritten aktiven Bereich RX1, RX2 und RX3 umfassen, die von doppelten Diffusionstrennungen DDB 1 und DDB2 abgeschlossen sind. Eine Stromleitung P13, an der eine Massepotential GND an einer Grenze zwischen der ersten Zeile R131 und der zweiten Zeile R132 angelegt wird, kann sich in X-Achsenrichtung erstrecken, und ähnlich wie die oben unter Bezugnahme auf die **Fig. 9A** und **Fig. 9B** gegebene Beschreibung kann sich der erste aktive Bereich RX1 als aktiver Bereich für einen NFET in Y-Achsenrichtung über die Grenze zwischen der ersten Zeile R131 und der zweiten Zeile R132 erstrecken. Dementsprechend können Transistoren, die mittels des ersten aktiven Bereichs RX1 und Gateleitungen ausgebildet werden, das heißt, NFETs, im Vergleich zu den NFETs, die in der NAND-Zelle C10' aus **Fig. 11** umfasst sind, eine relativ hohe Stromtreiberstärke aufweisen und können, wie oben unter Bezugnahme auf **Fig. 12** beschrieben, verstärkt werden. Wie oben beschrieben können Transistoren, die verstärkt werden sollen, von denen in einer Zelle umfassten Transistoren, zum Beispiel Transistoren, die in Reihe geschaltet sind, und eine Transistorgruppe, die diese Transistoren umfasst, in einem aktiven Bereich ausgebildet werden, welcher eine in Y-Achsenrichtung erweiterte Länge aufweist (oder einem zusammenhängenden aktiven Bereich).

[0049] Die **Fig. 14A** und **Fig. 14B** sind Draufsichten, die Wechselrichterzellen C14a und C14b gemäß einiger Ausführungsformen des erfindungsgemäßen Konzepts darstellen. Im Detail stellen die **Fig. 14A** und **Fig. 14B** Layouts der Wechselrichterzellen C14a und C14b dar, welche Zellen mit doppelter Höhe sind, die in einer ersten Zeile R141 und einer zweiten Zeile R142 platziert sind oder diese überspannen und einer identischen Schaltung entsprechen. Nachfolgend wird eine Beschreibung von Elementen oder Merkmalen, die oben vorgesehen sind und in der Beschreibung von Ausführungsformen unter Bezugnahme auf die **Fig. 14A** und **Fig. 14B** umfasst sind, der Kürze halber ausgelassen.

[0050] In einigen Ausführungsformen kann eine Zelle aktive Bereiche umfassen, die entsprechend einem Leitfähigkeitstypen der aktiven Bereiche von einer einfachen Diffusionstrennung oder einer doppelten Diffusionstrennung abgeschlossen sind. Ein Element, zum Beispiel ein Transistor, kann Eigenschaften aufweisen, die basierend auf einem Abstand zwischen dem Element und einer Diffusionstrennung variieren und entsprechend einer Art der Diffusionstrennung wie oben unter Bezugnahme auf **Fig. 3** beschrieben unterschiedliche Eigenschaften aufweisen. Zum Beispiel kann ein PFET benach-

bart zu einer einfachen Diffusionstrennung bessere Eigenschaften vorsehen, beispielsweise eine höhere Stromstärke, als ein PFET benachbart zu einer doppelten Diffusionstrennung. Zudem kann ein NFET benachbart zu einer doppelten Diffusionstrennung bessere Eigenschaften vorsehen, beispielsweise eine höhere Stromstärke, als ein NFET benachbart zu einer einfachen Diffusionstrennung. Dementsprechend können die Wechselrichterzellen C14a und C14b, wie in den **Fig. 14A** und **Fig. 14B** dargestellt, aktive Bereiche für einen NFET umfassen, welche von einer doppelten Diffusionstrennung abgeschlossen sind, und aktive Bereiche für einen PFET, die von einer einfachen Diffusionstrennung abgeschlossen sind. Wie oben beschrieben kann ein Aufbau, bei dem Diffusionstrennungen unterschiedlichen Aufbaus verwendet werden, als Mischdiffusionstrennung bezeichnet werden (MDB, engl. mixed diffusion break). Wie oben unter Bezugnahme auf die Zeichnungen beschrieben, können die Wechselrichterzellen C14a und C14b als Zellen mit doppelter Höhe mehr Transistoren umfassen, die zu einer Mischdiffusionstrennung benachbart sind, als eine Zelle mit einfacher Höhe und daher können sie eine relativ hohe oder verbesserte Leistung vorsehen.

[0051] In **Fig. 14A** kann die Wechselrichterzelle C14a aktive Bereiche für einen NFET umfassen, die an einem inneren Bereich angeordnet sind, das heißt, der erste und dritte aktive Bereich RX1 und RX3, und aktive Bereiche für einen PFET, welche an einer äußeren Region angeordnet sind, das heißt, der zweite und vierte aktive Bereich RX2 und RX4. Zudem kann die Wechselrichterzelle C14a aktive Bereiche umfassen, die von einer Mischdiffusionstrennung abgeschlossen werden. Zum Beispiel der erste und der dritte aktive Bereich RX1 und RX3, welche aktive Bereiche für einen NFET sind, können von doppelten Diffusionstrennungen DDB 1 und DDB2 abgeschlossen sein, während der zweite und der vierte aktive Bereich RX2 und RX4, welche aktive Bereiche für einen PFET sind, jeweils von zwei einfachen Diffusionstrennungen aus einfachen Diffusionstrennungen SDB1 bis SDB4 abgeschlossen sein können. Zudem versteht es sich, dass, wie der erste aktive Bereich RX1, der in der NAND-Zelle C12' aus **Fig. 13** umfasst ist, ein zusammenhängender aktiver Bereich entsprechend eines Leitfähigkeitstypen des aktiven Bereichs auch von einer einfachen Diffusionstrennung oder einer doppelten Diffusionstrennung abgeschlossen sein kann.

[0052] In **Fig. 14B** kann die Wechselrichterzelle C14b aktive Bereiche für einen PFET umfassen, die an einem inneren Bereich angeordnet sind, das heißt, der erste und dritte aktive Bereich RX1 und RX3, und aktive Bereiche für einen NFET, welche an einer äußeren Region angeordnet sind, das heißt, der zweite und vierte aktive Bereich RX2 und RX4. Zudem kann die Wechselrichterzelle C14b

aktive Bereiche umfassen, die von einer Mischdiffusionstrennung abgeschlossen werden. Zum Beispiel der erste und der dritte aktive Bereich RX1 und RX3, welche aktive Bereiche für einen PFET sind, können von einfachen Diffusionstrennungen DDB 1 und DDB2 abgeschlossen sein, während der zweite und der vierte aktive Bereich RX2 und RX4, welche aktive Bereiche für einen NFET sind, jeweils von zwei doppelten Diffusionstrennungen aus doppelten Diffusionstrennungen DDB1 bis DDB4 abgeschlossen sein können.

[0053] Die **Fig. 15A** und **Fig. 15B** sind Draufsichten, die Wechselrichterzellen C15a und C15b gemäß einiger Ausführungsformen des erfinderischen Konzepts darstellen. Im Detail stellen die **Fig. 15A** und **Fig. 15B** Layouts der Wechselrichterzellen C15a und C15b dar, welche Zellen mit mehrfacher Höhe sind, die durchgehend in einer ersten Zeile R151, einer zweiten Zeile R152 und einer dritten Zeile R153 platziert sind oder diese überspannen und einer identischen Schaltung entsprechen. Nachfolgend wird die Beschreibung von Elementen und Merkmalen, die oben unter Bezugnahme auf die Ausführungsformen aus den **Fig. 14A** und **Fig. 14B** gegeben wurde, in der Beschreibung der Ausführungsformen aus den **Fig. 15A** und **Fig. 15B** der Kürze halber ausgelassen.

[0054] Unter Bezugnahme auf **Fig. 15A** kann die Wechselrichterzelle C15a aktive Bereiche umfassen, die von einer Mischdiffusionstrennung abgeschlossen sind. Zum Beispiel kann die Wechselrichterzelle C15a aufeinanderfolgend einen aktiven Bereich für einen NFET, ein Paar aktiver Bereiche für einen PFET, ein Paar aktiver Bereiche für einen NFET und einen aktiven Bereich für einen PFET in einer -(minus)-Y-Richtung (das heißt, einer nach unten verlaufenden Richtung in **Fig. 15A**) umfassen. Dementsprechend können eine doppelte Diffusionstrennung, eine einfache Diffusionstrennung, eine doppelte Diffusionstrennung und eine einfache Diffusionstrennung aufeinanderfolgend in einer -Y-Richtung angeordnet sein.

[0055] Unter Bezugnahme auf **Fig. 15B** kann die Wechselrichterzelle C15b aktive Bereiche umfassen, die von einer Mischdiffusionstrennung abgeschlossen sind. Zum Beispiel kann die Wechselrichterzelle C15b aufeinanderfolgend einen aktiven Bereich für einen PFET, ein Paar aktiver Bereiche für einen NFET, ein paar aktiver Bereiche für einen PFET und einen aktiven Bereich für einen NFET in -Y-Richtung umfassen. Dementsprechend können eine einfache Diffusionstrennung, eine doppelte Diffusionstrennung, eine einfache Diffusionstrennung und eine doppelte Diffusionstrennung aufeinanderfolgend in einer -Y-Richtung angeordnet sein.

[0056] **Fig. 16** ist eine schematische Draufsicht, die eine integrierte Schaltung 16 gemäß einiger Ausführungsformen des erfinderischen Konzepts darstellt. Im Detail stellt **Fig. 16** die integrierte Schaltung 16 dar, welche die erste bis dritte Zelle C21, C22 und C23 umfasst, welche in der ersten bis fünften Zeile R01 bis R05 platziert ist oder diese umspannt.

[0057] In einigen Ausführungsformen kann die integrierte Schaltung 16 eine Mehrzahl Zellen umfassen, die einer identischen Schaltung entsprechen, das heißt, Zellen mit einer ähnlichen oder identischen Funktion aber unterschiedlichen Höhen. Zum Beispiel die erste Zelle C21, die zweite Zelle C22 und die dritte Zelle C23 aus **Fig. 16** können eine gleiche Anzahl NFETs und eine gleiche Anzahl PFETs umfassen und können einer ähnlichen oder identischen Schaltung entsprechen. Die erste Zelle C21 kann eine Diffusionstrennung umfassen, die im Vergleich zu der zweiten Zelle C22 und der dritten Zeile C23 die kleinste Fläche aufweist und daher kann die erste Zelle C21 eine kleinere Fläche aufweisen als die zweite Zelle C22 und die dritte Zelle C23. Zudem kann die dritte Zelle C23 im Vergleich zu der ersten Zelle C21 und der zweiten Zelle C22 die größte Anzahl Transistoren umfassen, die zu einer Diffusionstrennung benachbart sind, und daher kann die dritte Zelle C23 eine relativ höhere oder verbesserte Leistung im Vergleich zu der ersten Zelle C21 und der zweiten Zelle C22 aufweisen. Zudem kann die zweite Zelle C22 im Vergleich zu der ersten Zelle C21 und der dritten Zelle C23 eine Fläche und eine funktionelle Leistung von mittlerem Niveau aufweisen. Dementsprechend kann die integrierte Schaltung 16 Zellen umfassen, die eine ähnliche oder identische Funktion vorsehen, welche zweckmäßig basierend auf Anforderungen, wie beispielsweise einer Fläche, Leistung oder dergleichen, platziert werden, und folglich können Effizienz, Leistung und/oder Betriebssicherheit der integrierten Schaltung 16 verbessert werden.

[0058] **Fig. 17** ist ein Flussdiagramm eines Herstellungsverfahrens für eine integrierte Schaltung IC gemäß einiger Ausführungsformen des erfinderischen Konzepts.

[0059] Eine Zellenbibliothek (oder eine Standard-Zellenbibliothek) D72 kann Informationen über Zellen umfassen, zum Beispiel Funktionalitätsinformationen, Element- oder Vorrichtungseigenschaftsinformationen, Layoutinformationen oder dergleichen. Wie in **Fig. 17** dargestellt, kann die Zellenbibliothek D72 Daten umfassen (zum Beispiel erste bis dritte Daten D72_1, D72_2, D72_3 oder dergleichen), die ein Layout einer Zelle mit mehrfacher Höhe definieren. In einigen Ausführungsformen können bezüglich Zellen, die eine ähnliche oder eine identische Funktion vorsehen, die ersten Daten D72_1 Zellen mit ein-facher Höhe wie die Wechselrichterzelle C40a und

C40b aus den **Fig. 4A** und **Fig. 4B** definieren, und die zweiten Daten D72_2 können Zellen mit doppelter Höhe wie die Wechselrichterzellen C60a und C60b aus den **Fig. 6A** und **Fig. 6B** definieren, und die dritten Daten D72_3 können Zellen mit mehrfacher Höhe definieren, die durchgehend in drei Zeilen platziert sind oder diese umspannen, wie die Wechselrichterzellen C80a und C80b aus den **Fig. 8A** und **Fig. 8B**.

[0060] In Vorgang S10 kann ein Logiksynthesenvorgang durchgeführt werden, bei dem Netzlistendaten D73 aus RTL-Daten D71 erzeugt werden. Zum Beispiel kann ein Halbleiter-Design-Tool (zum Beispiel ein Logiksynthese-Tool) eine Logiksynthese durchführen, indem es auf die Zellenbibliothek D72 von den RTL-Daten D71 Bezug nimmt, die in Hardwarebeschreibungssprache (engl. Hardware Description Language, HDL) wie beispielsweise VHSIC Hardwarebeschreibungssprache (VHDL) und Verilog geschrieben sind, wodurch die Netzlistendaten D73 erzeugt werden, welche einen Bitstream oder eine Netzliste umfassen. Die Zellenbibliothek D72 kann Informationen über die relativ hohe Leistungsfähigkeit von Zellen mit mehrfacher Höhe umfassen und die Zellen mit mehrfacher Höhe können in einer integrierten Schaltung IC umfasst werden, indem in einem Logiksynthesenvorgang auf diese Informationen Bezug genommen wird.

[0061] In Vorgang S20 kann ein Place-&-Routing-Vorgang (P&R) durchgeführt werden, bei dem aus den Netzlistendaten D73 Layout-Daten D74 erzeugt werden. Wie in **Fig. 17** dargestellt, kann der P&R-Vorgang (S20) eine Mehrzahl Vorgänge umfassen (Vorgänge S21, S22 und S23).

[0062] Im Vorgang S21 kann ein Vorgang durchgeführt werden, bei dem Zellen platziert werden. Zum Beispiel kann ein Halbleiter-Design-Tool (zum Beispiel ein P&R-Tool) verwendet werden, um eine Mehrzahl Zellen zu platzieren, indem von den Netzlistendaten D37 auf die Zellenbibliothek D72 Bezug genommen wird. Wie oben beschrieben können Zellen mit einfacher Höhe und Zellen mit mehrfacher Höhe unter Verwendung des Halbleiterwerkzeugs platziert werden.

[0063] In Vorgang S22 kann ein Vorgang durchgeführt werden, bei dem eine Verschaltung bzw. Verbindungen hergestellt werden. Eine Verbindung kann einen Ausgangspin und einen Eingangspin elektrisch verbinden und kann, zum Beispiel, mindestens eine Durchkontaktierung und mindestens eine leitfähige Struktur umfassen. Wie oben unter Bezugnahme auf **Fig. 6A** beschrieben, können die oben beschriebenen Zellen mit mehrfacher Höhe einen Eingangspin und/oder einen Ausgangspin aufweisen, welche potentielle Durchkontaktierungspunkte vorsehen, wodurch eine Verdrahtung bzw. Routing und ein

Reduzieren oder Verhindern von Signalführungsüberlastung erleichtert wird. Zudem können Verbindungen untereinander einen relativ einfachen Aufbau aufweisen und eine Signalverzögerung, die in den Verbindungen auftritt, kann reduziert werden.

[0064] In Vorgang S23 kann ein Vorgang durchgeführt werden, bei dem Layout-Daten D74 erzeugt werden. Die Layout-Daten D74 können ein Format aufweisen, wie GSDII, und können geometrische Informationen über Zellen und Verbindungen umfassen.

[0065] In Vorgang S30 kann eine Optical Proximity Correction (OPC) durchgeführt werden. OPC kann einen Vorgang bezeichnen, bei dem eine gewünschte Struktur ausgebildet wird, indem Abweichungen korrigiert werden, wie beispielsweise Refraktionen, die aufgrund von Lichteigenschaften in der Fotolithografie verursacht werden, die in einem Halbleiterprozess zur Herstellung einer integrierten Schaltung IC umfasst ist, und während OPC bei den Layout-Daten D74 angewandt wird, kann eine Struktur auf einer Maske bestimmt werden. In einigen Ausführungsformen kann ein Layout der integrierten Schaltung IC in Vorgang S30 begrenzt modifiziert werden und diese begrenzte Umformung der integrierten Schaltung IC in Vorgang S30 kann eine Nachbearbeitung sein, die durchgeführt wird, um einen Aufbau der integrierten Schaltung IC zu verbessern oder zu optimieren und kann als Design-Feinschliff bezeichnet werden.

[0066] In Vorgang S40 kann ein Vorgang durchgeführt werden, bei dem eine Maske hergestellt wird. Während OPC bei den Layout-Daten D74 angewandt wird, können zum Beispiel Strukturen auf einer Maske definiert werden, um Strukturen, die in einer Mehrzahl Schichten ausgebildet sind, auszubilden, und es kann mindestens eine Maske (oder eine Fotomaske) hergestellt werden, die zur Ausbildung jeweiliger Strukturen auf einer Mehrzahl Schichten verwendet werden soll.

[0067] In Vorgang S50 kann ein Vorgang durchgeführt werden, bei dem die Fertigung der integrierten Schaltung IC durchgeführt wird. Zum Beispiel kann die integrierte Schaltung IC hergestellt werden, indem die Mehrzahl Schichten unter Verwendung der in Vorgang S40 mindestens einen hergestellten Maske mit einer Struktur versehen werden. Wie in **Fig. 17** dargestellt, kann der Vorgang S50 Vorgänge S51 und S52 umfassen.

[0068] In Vorgang S51 kann ein Front-End-of-Line-Vorgang (FEOL-Vorgang) durchgeführt werden. FEOL kann sich auf einen Vorgang beziehen, in dem individuelle Elemente wie beispielsweise ein Transistor, ein Kondensator, ein Widerstand oder dergleichen auf einem Substrat in einem Fertigungsprozess der

integrierten Schaltung IC ausgebildet wird. Zum Beispiel kann FEOL einen Vorgang zur Planarisierung und Reinigung eines Wafers umfassen, einen Vorgang zur Ausbildung eines Grabens, einen Vorgang zur Ausbildung einer Wanne, einen Vorgang zur Ausbildung einer Gateleitung, einen Vorgang zur Ausbildung eines Source und eines Drain oder dergleichen.

[0069] In Vorgang S52 kann ein Back-End-of-Line-Vorgang (BEOL-Vorgang) durchgeführt werden. BEOL kann sich auf einen Vorgang beziehen, in dem individuelle Elemente wie beispielsweise ein Transistor, ein Kondensator, ein Widerstand oder dergleichen in einem Fertigungsprozess der integrierten Schaltung IC untereinander verbunden werden. Zum Beispiel kann BEOL einen Vorgang zur Silizidierung bei Gate-, Source- und Drain-Gebieten umfassen, einen Vorgang, bei dem ein Dielektrikum hinzugeführt wird, einen Planarisierungsvorgang, einen Vorgang, bei dem ein Loch ausgebildet wird, einen Vorgang, bei dem eine Metallschicht hinzugefügt wird, einen Vorgang, bei dem eine Durchkontaktierung ausgebildet wird, einen Vorgang, bei dem eine Passivierungsschicht oder dergleichen ausgebildet wird, aber er ist nicht darauf beschränkt. Als nächstes kann die integrierte Schaltung IC in ein Halbleitergehäuse eingebracht werden und kann in verschiedenen Anwendungen als Komponente verwendet werden.

[0070] Fig. 18 ist ein Blockschaltbild, das ein Ein-Chip-System (SoC) 180 gemäß einiger Ausführungsformen des erfinderischen Konzepts darstellt. Das SoC 180 kann eine integrierte Schaltung gemäß einiger Ausführungsformen des erfinderischen Konzepts als Halbleitervorrichtung umfassen. Das SoC 180 kann ein Chip sein, auf dem komplexe funktionale Blöcke wie beispielsweise geistiges Eigentum (IP), welche verschiedene Funktionen durchführen, implementiert sind, und die Zellen mit mehrfacher Höhe gemäß den Ausführungsformen des erfinderischen Konzepts können in einem oder mehreren der funktionalen Blöcke des SoC 180 umfasst sein und daher kann das SoC 180 eine höhere Effizienz, verbesserte Leistung und/oder verbesserte Betriebssicherheit vorsehen.

[0071] In Fig. 18 kann das SoC 180 ein Modem 182, einen Anzeigencontroller 183, einen Speicher 184, einen externen Speichercontroller 185, eine zentrale Verarbeitungseinheit (CPU) 186, eine Transaktionseinheit 187, eine Power Management Integrated Circuit (PMIC) 188 und einen Grafikprozessor (GPU) 189 umfassen, und jeder funktionale Block des SoC 180 kann mittels eines Systembus 181 miteinander kommunizieren.

[0072] Die CPU 186, die den Gesamtbetrieb des SoC 180 steuert, kann einen Betrieb anderer funktionaler Blöcke steuern, wie zum Beispiel das Modem 182, den Anzeigencontroller 183, den Speicher 184,

den externen Speichercontroller 185, die Transaktionseinheit 187, die PMIC 188 und den GPU 189. Das Modem 182 kann ein Signal demodulieren, das von außerhalb des SoC 180 erhalten wurde, und/oder ein Signal demodulieren, das innerhalb des SoC 180 erzeugt wurde, und das modulierte Signal nach außen übermitteln. Der externe Speichercontroller 185 kann Vorgänge steuern, bei denen er Daten von einer externen Speichervorrichtung, die mit dem SoC 180 verbunden ist, überträgt und/oder an diese empfängt. Zum Beispiel kann ein auf einer externen Speichervorrichtung gespeichertes Programm und/oder Daten, gesteuert von dem externen Speichercontroller 185, der CPU 186 oder dem GPU 189 zur Verfügung gestellt werden. Die CPU 189 kann Programmanweisungen ausführen, die mit einer Grafikverarbeitung assoziiert sind. Die GPU 189 kann Grafikdaten mittels des externen Speichercontrollers 185 erhalten und/oder Grafikdaten, die unter Verwendung des GPU 189 verarbeitet wurden, aus dem SoC 180 mittels des externen Speichercontrollers 185 übermitteln. Die Transaktionseinheit 187 kann Datentransaktionen von jedem funktionalen Block überwachen und die PMIC 188 kann eine Leistung, die jedem funktionalen Block, die von der Transaktionseinheit 187 gesteuert wird, zugeführt wird, steuern. Der Anzeigencontroller 183 kann Daten, die innerhalb des SoC 180 erzeugt wurden, an eine Anzeige (oder eine Anzeigenvorrichtung) außerhalb des SoC 180 übertragen, indem er die Anzeige steuert.

[0073] Der Speicher 184 kann ein nichtflüchtiger Speicher sein wie beispielsweise ein elektrisch löschbarer, programmierbarer Nur-Lese-Speicher (EEPROM), ein Flash-Speicher, ein Phasenänderungs-Direktzugriffsspeicher (PRAM), ein Widerstands-Direktzugriffsspeicher (RRAM), ein Nano Floating Gate Memory (NFGM), ein Polymer-Direktzugriffsspeicher (PoRAM), ein magnetischer Direktzugriffsspeicher (MRAM), ein ferroelektrischer Direktzugriffsspeicher (FRAM) oder dergleichen, und als flüchtiger Speicher ein dynamischer Direktzugriffsspeicher (DRAM), ein statischer Direktzugriffsspeicher (SRAM), ein mobiler DRAM, ein Double Data Rate Synchronous dynamischer Direktzugriffsspeicher (DDR SDRAM), ein Low Power DDR (LPDDR), ein SDRAM, ein Graphic DDR (GDDR) SDRAM, ein Rambus-Dynamischer-Direktzugriffsspeicher (RDRAM) oder dergleichen, ist aber nicht darauf beschränkt.

[0074] Fig. 19 ist ein Blockschaltbild, das ein Rechensystem 190 gemäß einiger Ausführungsformen des erfinderischen Konzepts darstellt, welches einen Speicher umfasst, der eingerichtet ist, ein Programm zu speichern. Mindestens einer der Vorgänge die in dem Verfahren zur Fertigung einer integrierten Schaltung gemäß einiger Ausführungsformen des erfinderischen Konzepts umfasst sind (zum Beispiel

das Verfahren aus **Fig. 17**) kann bzw. können auf dem Rechensystem 190 durchgeführt werden.

[0075] Das Rechensystem 190 kann ein Rechensystem mit festem Standort sein, wie beispielsweise ein Desktop-Computer, eine Workstation oder ein Server, oder es kann ein tragbares Rechensystem wie beispielsweise ein Laptop-Computer sein. Wie in **Fig. 19** dargestellt, kann das Rechensystem 190 einen Prozessor 191, Ein-/Ausgabegeräte 192, eine Netzwerkschnittstelle 193, einen Direktzugriffsspeicher (RAM) 194, einen Nur-Lese-Speicher (ROM) 195 und eine Speichervorrichtung 196 umfassen. Der Prozessor 191, die Ein-/Ausgabegeräte 192, die Netzwerkschnittstelle 193, der RAM 194, der ROM 195 und die Speichervorrichtung 196 können mit einem Bus 197 verbunden sein und können mittels des Bus 197 miteinander kommunizieren.

[0076] Der Prozessor 191 kann als Verarbeitungseinheit bzw. Prozessoreinheit bezeichnet werden und kann mindestens einen Kern, wie beispielsweise einen Mikroprozessor, einen Anwendungsprozessor (AP), einen digitalen Signalprozessor (DSP), einen Grafikprozessor (GPU) umfassen, wobei der mindestens eine Kern eine beliebige eingestellte Anweisung ausführen kann (zum Beispiel Intel Architecture-32 (IA-32), 64 Bit Extension IA-32, x86-64, PowerPC, Sparc, MIPS, ARM, IA-64 oder dergleichen). Zum Beispiel kann der Prozessor 191 mittels des Bus 197 auf einen Speicher zugreifen, das heißt, den RAM 194 oder den ROM 195, und kann auf dem RAM 194 und/oder dem ROM 195 gespeicherte Anweisungen ausführen.

[0077] Der RAM 194 kann ein Programm 194_1 zur Herstellung einer integrierten Schaltung gemäß einiger Ausführungsformen des erfinderischen Konzepts oder einen Teil des Programms 194_1 speichern, und das Programm 194_1 kann den Prozessor 191 veranlassen, mindestens einen der in dem Herstellungsverfahren einer integrierten Schaltung umfassten Vorgänge durchzuführen (zum Beispiel das Verfahren **Fig. 17**). Das heißt, das Programm 194_1 kann eine Mehrzahl Anweisungen umfassen, die von einem Prozessor 191 ausführbar sind, und die Mehrzahl Anweisungen, die in dem Programm 194_1 umfasst sind, können den Prozessor 191 veranlassen, mindestens einige der Vorgänge durchzuführen, die in dem Flussdiagramm umfasst sind, welches oben zum Beispiel unter Bezugnahme auf **Fig. 17** beschrieben wurde.

[0078] Möglicherweise verliert die Speichervorrichtung 196 gespeicherte Daten selbst dann nicht, wenn die Leistungsversorgung an das Rechensystem 190 unterbrochen wird. Zum Beispiel kann die Speichervorrichtung 196 eine nichtflüchtige Speichervorrichtung oder ein Speichermedium umfassen, wie beispielsweise ein Magnetband, eine opti-

sche Platte, eine magnetische Platte oder dergleichen. Zudem kann die Speichervorrichtung 196 an bzw. von dem Rechensystem 190 montierbar oder demontierbar sein. Die Speichervorrichtung 196 kann das Programm 194_1 gemäß einiger Ausführungsformen des erfinderischen Konzepts speichern oder das Programm 194_1 oder mindestens ein Teil des Programms 194_1 kann in dem RAM 194 aus der Speichervorrichtung 196 geladen werden, bevor das Programm 194_1 von dem Prozessor 191 ausgeführt wird. Alternativ kann die Speichervorrichtung 196 eine Datei speichern, die in einer Programmiersprache geschrieben ist, und das Programm 194_1, das aus einer Datei unter Verwendung eines Compilers oder dergleichen erzeugt wurde, oder mindestens ein Abschnitt des Programms 194_1, kann in den RAM 194 geladen werden. Zudem kann, wie in **Fig. 19** dargestellt, die Speichervorrichtung 196 eine Datenbank 196_1 speichern und die Datenbank 196_1 kann Informationen umfassen, die verwendet werden um eine integrierte Schaltung zu entwerfen, zum Beispiel die Zellenbibliothek D72 aus **Fig. 17**.

[0079] Auf der Speichervorrichtung 196 können Daten gespeichert sein, die von dem Prozessor 191 zu verarbeiten sind, oder von dem Prozessor 191 verarbeitete Daten. Das heißt, gemäß dem Programm 194_1 kann der Prozessor 191 Daten erzeugen, indem er Daten verarbeitet, die auf der Speichervorrichtung 196 gespeichert sind, oder er kann erzeugte Daten auf der Speichervorrichtung 196 speichern. Zum Beispiel können auf der Speichervorrichtung 196 die RTL-Daten D71, die Netzlistendaten D73 und/oder die Layout-Daten D74 aus **Fig. 17** gespeichert sein.

[0080] Die Ein-/Ausgabegeräte 192 können ein Eingabegerät wie beispielsweise eine Tastatur oder eine Zeigevorrichtung oder ein Ausgabegerät wie beispielsweise eine Anzeigevorrichtung oder einen Drucker umfassen. Zum Beispiel indem die Ein-/Ausgabegeräte 192 verwendet werden, kann ein Nutzer ein Ausführen des Programms 194_1 mittels des Prozessors 191 auslösen, die RTL-Daten D71 und/oder die Netzlistendaten D73 aus **Fig. 17** eingeben und/oder die Layout-Daten D74 aus **Fig. 17** bestimmen.

[0081] Die Netzwerkschnittstelle 193 kann einen Zugang zu einem externen Netzwerk für das Rechensystem 190 vorsehen. Zum Beispiel kann ein Netzwerk eine Mehrzahl Rechensysteme und Kommunikationsverbindungen umfassen und die Kommunikationsverbindungen können Drahtverbindungen, optische Verbindungen, drahtlose Verbindungen oder andere Verbindungstypen umfassen.

Patentansprüche

1. Integrierte Schaltung, die Folgendes aufweist: mindestens einen ersten aktiven Bereich (RX1,

RX2), der sich in einer ersten Zeile (R11; R61; R81; R91; R111; R131; R141; R151) in einer ersten Richtung (X) erstreckt;

mindestens einen zweiten aktiven Bereich (RX3, RX4), der sich in einer zweiten Zeile (R12; R62; R82; R92; R112; R132; R142; R152) in der ersten Richtung (X) erstreckt;

eine Zelle (C02; C60a; C60b; C80a; C80b; C90a; C90b; C10'; C12'; C14a; C14b; C15a; C15b) mit mehrfacher Höhe, die den mindestens einen ersten aktiven Bereich (RX1, RX2) in der ersten Zeile (R11; R61; R81; R91; R111; R131; R141; R151), den mindestens einen zweiten aktiven Bereich (RX3, RX4) in der zweiten Zeile (R12; R62; R82; R92; R112; R132; R142; R152) und mindestens eine Gateleitung, die sich in einer zweiten Richtung (Y) erstreckt, welche die erste Richtung (X) kreuzt, aufweist; und

eine Zelle (C01; C03; C04; C05; C40a; C40b) mit einfacher Höhe, die einer gleichen Schaltung wie die Zelle (C02; C60a; C60b; C80a; C80b; C90a; C90b; C10'; C12'; C14a; C14b; C15a; C15b) mit mehrfacher Höhe entspricht und mindestens einen dritten aktiven Bereich (RX41a; RX42a; RX41b; RX42b) aufweist, der durch eine Diffusionstrennung (SDB1, SDB2, SDB3, SDB4, DDB1, DDB2) abgeschlossen wird,

wobei sowohl der mindestens eine erste aktive Bereich (RX1, RX2) in der ersten Zeile (R11; R61; R81; R91; R111; R131; R141; R151) als auch der mindestens eine zweite aktive Bereich (RX3, RX4) in der zweiten Zeile (R12; R62; R82; R92; R112; R132; R142; R152) durch eine Diffusionstrennung (DDB1, DDB2" SDB1, SDB2, SDB3, SDB4) abgeschlossen sind.

2. Integrierte Schaltung nach Anspruch 1, wobei der mindestens eine erste aktive Bereich (RX1, RX2), der sich in der ersten Zeile (R11) erstreckt, einen ersten aktiven Bereich (RX1), der sich in der ersten Zeile (R11) in der ersten Richtung (X) erstreckt, und einen zweiten aktiven Bereich (RX2), der sich in der ersten Zeile (R12) in der ersten Richtung (X) erstreckt, aufweist;

wobei der mindestens eine zweite aktive Bereich (RX3, RX4), der sich in der zweiten Zeile (R12) erstreckt, einen ersten zweiten aktiven Bereich (RX3), der sich in der zweiten Zeile (R12) in der ersten Richtung (X) erstreckt, und einen zweiten zweiten aktiven Bereich (RX4) aufweist, der sich in der zweiten Zeile (R12) in der ersten Richtung (X) erstreckt;

wobei die Zelle (C02) mit mehrfacher Höhe Folgendes aufweist:

den ersten aktiven Bereich (RX1) und den zweiten aktiven Bereich (RX2), die sich in der ersten Zeile (R11) in der ersten Richtung (X) erstrecken und die jeweils einen ersten Leitfähigkeitstypen und einen zweiten Leitfähigkeitstypen haben; und

den ersten zweiten aktiven Bereich (RX3) und den zweiten zweiten aktiven Bereich (RX4), die sich in der zweiten Zeile (R12) in der ersten Richtung (X) erstrecken und die jeweils den ersten Leitfähigkeitstypen und den zweiten Leitfähigkeitstypen haben, wobei der erste erste aktive Bereich (RX1) und der erste zweite aktive Bereich (RX3) zueinander benachbart sind.

3. Integrierte Schaltung nach Anspruch 2, wobei die Diffusionstrennung (DDB1, DDB2, SDB1, SDB2, SDB3, SDB4) eine einfache Diffusionstrennung (SDB1, SDB2, SDB3, SDB4) und eine doppelte Diffusionstrennung (DDB1, DDB2) aufweist; wobei der erste erste aktive Bereich (RX1) und der erste zweite aktive Bereich (RX3) jeweils durch die doppelte Diffusionstrennung (DDB1, DDB2) abgeschlossen sind, und der zweite erste aktive Bereich (RX2) und der zweite zweite aktive Bereich (RX4) jeweils durch die einfache Diffusionstrennung (SDB1, SDB2, SDB3, SDB4) abgeschlossen sind.

4. Integrierte Schaltung nach Anspruch 2, wobei die Diffusionstrennung (DDB1, DDB2, SDB1, SDB2, SDB3, SDB4) eine einfache Diffusionstrennung (SDB1, SDB2, SDB3, SDB4) und eine doppelte Diffusionstrennung (DDB1, DDB2) aufweist; wobei der erste erste aktive Bereich (RX1) und der erste zweite aktive Bereich (RX3) jeweils durch die einfache Diffusionstrennung (SDB1, SDB2, SDB3, SDB4) abgeschlossen sind, und der zweite erste aktive Bereich (RX2) und der zweite zweite aktive Bereich (RX4) jeweils durch die doppelte Diffusionstrennung (DDB1, DDB2) abgeschlossen sind.

5. Integrierte Schaltung nach Anspruch 2, wobei jeweilige Teilabschnitte des ersten aktiven Bereichs (RX1) und des ersten zweiten aktiven Bereichs (RX3) miteinander verbunden sind.

6. Integrierte Schaltung nach Anspruch 5, wobei die Diffusionstrennung (DDB1, DDB2, SDB1, SDB2, SDB3, SDB4) eine doppelte Diffusionstrennung (DDB1, DDB2) aufweist; und wobei der erste erste aktive Bereich (RX1) und der erste zweite aktive Bereich (RX3) durch die doppelte Diffusionstrennung (DDB1, DDB2) abgeschlossen sind.

7. Integrierte Schaltung nach Anspruch 5, wobei die Zelle (C90a) mit mehrfacher Höhe eine Mehrzahl von Finnen (F01 bis F16) aufweist, die sich in der ersten Richtung (X) erstrecken, wobei eine Anzahl Finnen, die in einer Draufsicht auf die integrierte Schaltung den ersten aktiven Bereich (RX1) oder den ersten zweiten aktiven Bereich (RX3) überlappen, größer ist als die Anzahl Finnen, die den zweiten aktiven Bereich

(RX2) oder den zweiten zweiten aktiven Bereich (RX4) überlappen.

8. Integrierte Schaltung nach Anspruch 7, wobei die Zelle (C60a; C60b; C80a; C80b; C10'; C12'; C14a; C14b; C15a; C15b) mit mehrfacher Höhe Transistoren aufweist, die miteinander in Reihe geschaltet sind und in dem ersten ersten aktiven Bereich (RX1) und dem ersten zweiten aktiven Bereich (RX3) ausgebildet sind.

9. Integrierte Schaltung nach Anspruch 2, wobei die Zelle (C60a; C60b; C80a; C80b; C10'; C12'; C14a; C14b; C15a; C15b) mit mehrfacher Höhe einen Kontakt (CT1, CT2) aufweist, der mit dem ersten ersten aktiven Bereich (RX1) und dem ersten zweiten aktiven Bereich (RX3) verbunden ist und sich in der zweiten Richtung (Y) durch eine Grenze zwischen der ersten Zeile (R61; R81; R111; R131; R141; R151) und der zweiten Zeile (R62; R82; R112; R132; R142; R152) erstreckt.

10. Integrierte Schaltung nach Anspruch 2, wobei die Zelle (C60a; C60b; C80a; C80b; C10'; C12'; C14a; C14b; C15a; C15b) mit mehrfacher Höhe ferner Folgendes aufweist:
eine Stromleitung (P60a; P60b; P81a; P81b; P11; P13), die sich in der ersten Richtung (X) auf einer Grenze zwischen der ersten Zeile (R61; R81; R111; R131; R141; R151) und der zweiten Zeile (R62; R82; R112; R132; R142; 152) erstreckt; und
eine Durchkontaktierung (V01, V02) auf der Grenze zwischen der ersten Zeile (R61; R81; R111; R131; R141; R151) und der zweiten Zeile (R62; R82; R112; R132; R142; 152), die mit der Stromleitung (P60a; P60b; P81a; P81b; P11; P13) verbunden ist.

11. Integrierte Schaltung nach Anspruch 1, wobei die Zelle (C60a; C60b; C80a; C80b; C10'; C12'; C14a; C14b; C15a; C15b) mit mehrfacher Höhe Folgendes aufweist:
mindestens eine erste leitfähige Struktur, die auf einer ersten leitfähigen Schicht (M1) ausgebildet ist; und
eine zweite leitfähige Struktur, die auf einer zweiten leitfähigen Schicht (M2) auf der ersten leitfähigen Schicht (M1) ausgebildet ist, wobei die zweite leitfähige Struktur eingerichtet ist, ein Eingangssignal (A) oder ein Ausgangssignal (Y) zu führen,
wobei sich die zweite leitfähige Struktur in der zweiten Richtung (Y) durch eine Grenze zwischen der ersten Zeile (R61; R81; R111; R131; R141; R151) und der zweiten Zeile (R62; R82; R112; R132; R142; R152) erstreckt.

12. Integrierte Schaltung nach Anspruch 1, wobei sowohl der mindestens eine erste aktive Bereich (RX1, RX2) der ersten Zeile (R11) als auch der mindestens eine zweite aktive Bereich (RX3, RX4) der zweiten Zeile (R12) durch eine ein-

fache Diffusionstrennung (SDB1, SDB2, SDB3, SDB4) oder eine doppelte Diffusionstrennung (DDB1, DDB2) basierend auf einem Leitfähigkeitstypen der ersten und zweiten aktiven Bereiche (RX1, RX2, RX3, RX4) abgeschlossen wird.

13. Integrierte Schaltung nach Anspruch 1, die ferner Folgendes aufweist:
Zellen (C01; C02; C03; C04; C05), die in mindestens einer Zeile von der ersten Zeile (R11) und der zweiten Zeile angeordnet (R12) sind; und
wobei die Zelle (C02) mit mehrfacher Höhe von benachbarten Zellen in der ersten Richtung (X) um 1 Contacted Poly Pitch (CPP) oder mehr beabstandet ist.

14. Integrierte Schaltung nach Anspruch 1, wobei die Zelle (C02; C60a; C60b; C80a; C80b; C90a; C90b; C10'; C12'; C14a; C14b; C15a; C15b) mit mehrfacher Höhe eingerichtet ist, eine höhere Betriebsgeschwindigkeit als die Zelle (C01; C03; C04; C05; C40a; C40b) mit einfacher Höhe zu bieten.

15. Integrierte Schaltung nach Anspruch 1, wobei die Zelle (C60a; C60b; C80a; C80b) mit mehrfacher Höhe eine Mehrzahl von Transistorgruppen (G11, G13, G15, G17; G21, G23, G25, G27) aufweist, die parallel zueinander geschaltet sind und eingerichtet sind, gemeinsam ein Eingangssignal (A, B) zu erhalten,
wobei jede der mindestens zwei Transistorgruppen (G11, G13, G15, G17; G21, G23, G25, G27) aus der Mehrzahl von Transistorgruppen (G11, G13, G15, G17; G21, G23, G25, G27) Transistoren umfasst, die sich eine Gateleitung der mindestens einen Gateleitung teilen.

16. Integrierte Schaltung, die Folgendes aufweist:
eine Zelle (C02; C60a; C60b; C80a; C80b; C90a; C90b; C10'; C12'; C14a; C14b; C15a; C15b) mit mehrfacher Höhe, die eine Mehrzahl von aktiven Bereichen (RX1, RX2, RX3, RX4) in zwei oder mehr Zeilen aufweist und sich in einer ersten Richtung (X) erstreckt; und
eine Zelle (C01; C03; C04; C05; C40a; C40b) mit einfacher Höhe, die einer gleichen Schaltung wie die Zelle (C02; C60a; C60b; C80a; C80b; C90a; C90b; C10'; C12'; C14a; C14b; C15a; C15b) mit mehrfacher Höhe entspricht und mindestens einen dritten aktiven Bereich (RX41a; RX42a; RX41b; RX42b) aufweist, der durch eine Diffusionstrennung (DDB1, DDB2, SDB1, SDB2, SDB3, SDB4) abgeschlossen wird,
wobei die Zelle (C02; C60a; C60b; C80a; C80b; C90a; C90b; C10'; C12'; C14a; C14b; C15a; C15b) mit mehrfacher Höhe Folgendes aufweist:
die Mehrzahl von aktiven Bereichen (RX1, RX2, RX3, RX4), die sich in der ersten Richtung (X)

erstrecken durch eine Diffusionstrennung (SDB1, SDB2, SDB3, SDB4, DDB1, DDB2) abgeschlossen sind;

mindestens eine Gateleitung, die sich in einer zweiten Richtung (Y) erstreckt, welche die erste Richtung (X) kreuzt; und

eine Mehrzahl von Transistorgruppen (G11, G13, G15, G17; G21, G23, G25, G27), die parallel zueinander geschaltet sind und eingerichtet sind, gemeinsam ein Eingangssignal (A, B) zu erhalten, wobei jede der mindestens zwei Transistorgruppen aus der Mehrzahl von Transistorgruppen (G11, G13, G15, G17; G21, G23, G25, G27) Transistoren umfasst, die sich eine Gateleitung teilen.

17. Integrierte Schaltung nach Anspruch 16, wobei die Diffusionstrennung (SDB 1, SDB2, SDB3, SDB4, DDB1, DDB2) eine einfache Diffusionstrennung (SDB1, SDB2, SDB3, SDB4) und eine doppelte Diffusionstrennung (DDB1, DDB2) aufweist; und wobei jeder der Mehrzahl von aktiven Bereichen (RX1, RX2, RX3, RX4) durch die einfache Diffusionstrennung (SDB 1, SDB2, SDB3, SDB4) oder die doppelte Diffusionstrennung (DDB1, DDB2) basierend auf einem Leitfähigkeitstypen des aktiven Bereichs (RX1, RX2, RX3, RX4) abgeschlossen ist.

18. Integrierte Schaltung nach Anspruch 17, wobei ein aktiver Bereich für einen n-Kanal-Feldeffekttransistor (NFET) aus der Mehrzahl von aktiven Bereichen (RX1, RX2, RX3, RX4) durch die doppelte Diffusionstrennung (DDB1, DDB2) abgeschlossen ist, und wobei der aktive Bereich für einen p-Kanal-Feldeffekttransistor (PFET) von der Mehrzahl von aktiven Bereichen durch die einfache Diffusionstrennung (SDB1, SDB2, SDB3, SDB4) abgeschlossen ist.

19. Integrierte Schaltung nach Anspruch 16, wobei sich mindestens ein aktiver Bereich der Mehrzahl von aktiven Bereichen (RX1, RX2, RX3, RX4) in der zweiten Richtung (Y) über eine Grenze von zwei benachbarten Zeilen der Zeilen erstreckt.

20. Integrierte Schaltung nach Anspruch 16, wobei die Zelle (C02; C60a; C60b; C80a; C80b; C90a; C90b; C10'; C12'; C14a; C14b; C15a; C15b) mit mehrfacher Höhe Folgendes aufweist:

mindestens eine erste leitfähige Struktur, die auf einer ersten leitfähigen Schicht (M1) ausgebildet ist; und

eine zweite leitfähige Struktur, die auf einer zweiten leitfähigen Schicht (M2) auf der ersten leitfähigen Schicht (M1) ausgebildet ist, wobei die zweite leitfähige Struktur eingerichtet ist, ein Eingangssignal (A, B) oder ein Ausgangssignal (Y) zu führen, wobei die zweite leitfähige Struktur durch eine Grenze zwischen mindestens zwei durchgehenden

Zeilen der Zeilen passiert und sich in der zweiten Richtung (Y) erstreckt.

21. Integrierte Schaltung, die Folgendes aufweist:

eine Zelle (C02; C60a; C60b; C80a; C80b; C90a; C90b; C10'; C12'; C14a; C14b; C15a; C15b) mit mehrfacher Höhe, die eine Mehrzahl von aktiven Bereichen in zwei oder mehr Zeilen (R11; R61; R81; R91; R111; R131; R141; R151; (R12; R62; R82; R92; R112; R132; R142; R152)) aufweist und sich in einer ersten Richtung (X) erstreckt; und

eine Zelle (C01; C03; C04; C05; C40a; C40b) mit einfacher Höhe, die einer gleichen Schaltung wie die Zelle (C02; C60a; C60b; C80a; C80b; C90a; C90b; C10'; C12'; C14a; C14b; C15a; C15b) mit mehrfacher Höhe entspricht und mindestens einen dritten aktiven Bereich (RX41a; RX42a; RX41b; RX42b) aufweist, der durch eine Diffusionstrennung (SDB1, SDB2, SDB3, SDB4, DDB1, DDB2) abgeschlossen wird,

wobei die Zelle (C02; C60a; C60b; C80a; C80b; C90a; C90b; C10'; C12'; C14a; C14b; C15a; C15b) mit mehrfacher Höhe Folgendes aufweist:

die Mehrzahl von aktiven Bereichen (RX1, RX2, RX3, RX4), die sich in der ersten Richtung (X) erstrecken; und

mindestens eine Gateleitung, die sich in einer zweiten Richtung (Y) erstreckt, welche die erste Richtung (X) kreuzt,

wobei jeder der Mehrzahl von aktiven Bereichen (RX1, RX2, RX3, RX4) durch eine Diffusionstrennung (SDB1, SDB2, SDB3, SDB4, DDB1, DDB2) abgeschlossen ist.

22. Integrierte Schaltung nach Anspruch 21, wobei die Diffusionstrennung (SDB 1, SDB2, SDB3, SDB4, DDB1, DDB2) eine einfache Diffusionstrennung (SDB1, SDB2, SDB3, SDB4) und eine doppelte Diffusionstrennung (DDB1, DDB2) aufweist; und wobei jeder der Mehrzahl von aktiven Bereichen (RX1, RX2, RX3, RX4) durch die einfache Diffusionstrennung (SDB 1, SDB2, SDB3, SDB4) oder die doppelte Diffusionstrennung (DDB1, DDB2) basierend auf einem Leitfähigkeitstyp der aktiven Bereiche (RX1, RX2, RX3, RX4) abgeschlossen ist.

23. Integrierte Schaltung nach Anspruch 22, wobei ein aktiver Bereich für einen n-Kanal-Feldeffekttransistor (NFET) aus der Mehrzahl von aktiven Bereichen (RX1, RX2, RX3, RX4) durch die doppelte Diffusionstrennung (DDB1, DDB2) abgeschlossen ist, und ein aktiver Bereich für einen p-Kanal-Feldeffekttransistor (PFET) aus der Mehrzahl von aktiven Bereichen (RX1, RX2, RX3, RX4) durch die einfache Diffusionstrennung (SDB1, SDB2, SDB3, SDB4) abgeschlossen wird.

24. Integrierte Schaltung nach Anspruch 21, wobei sich mindestens ein aktiver Bereich der Mehrzahl von aktiven Bereichen (RX1, RX2, RX3, RX4) in die zweite Richtung (Y) über eine Grenze von zwei benachbarten Zeilen der Zeilen erstreckt.

Es folgen 26 Seiten Zeichnungen

Anhängende Zeichnungen

FIG. 1

10

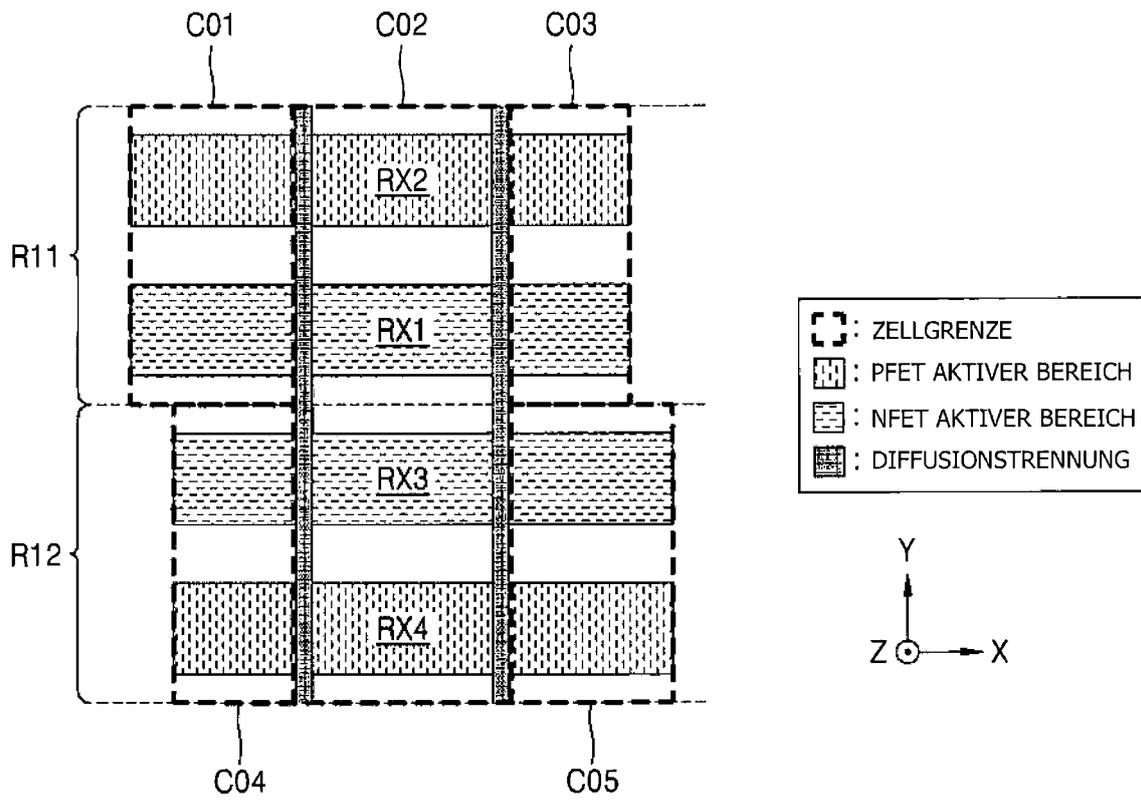


FIG. 2

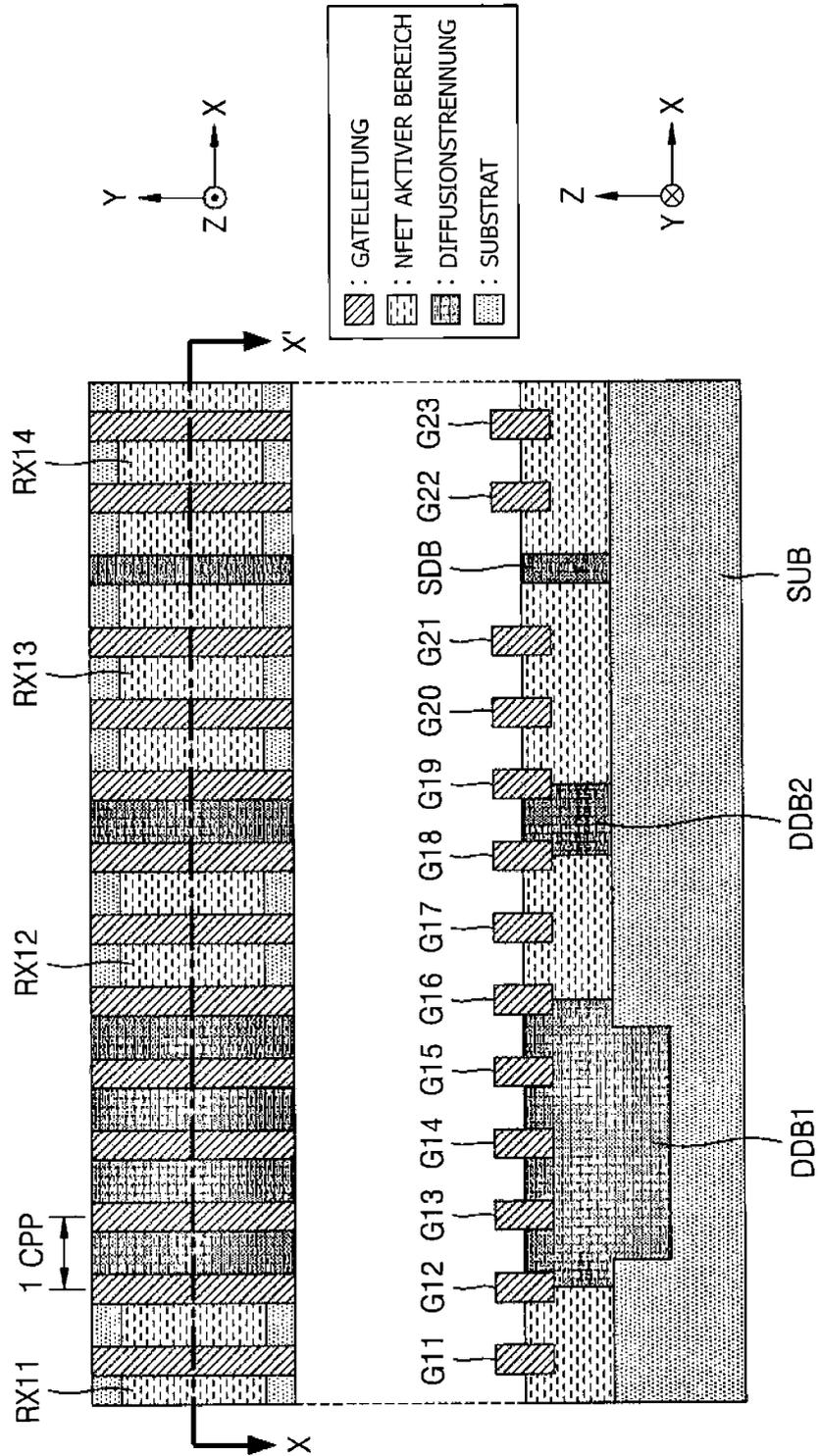


FIG. 3

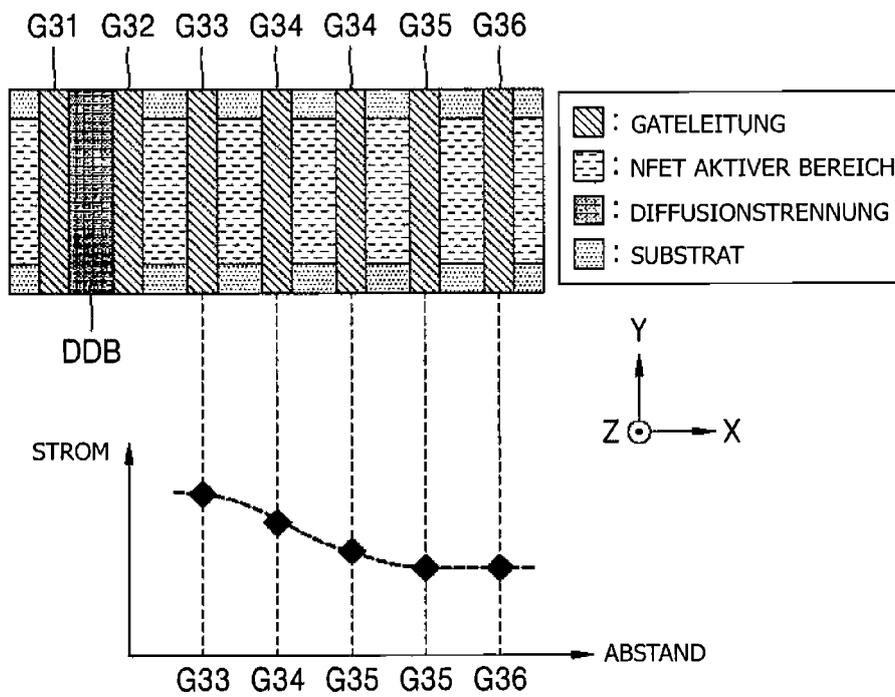


FIG. 4A

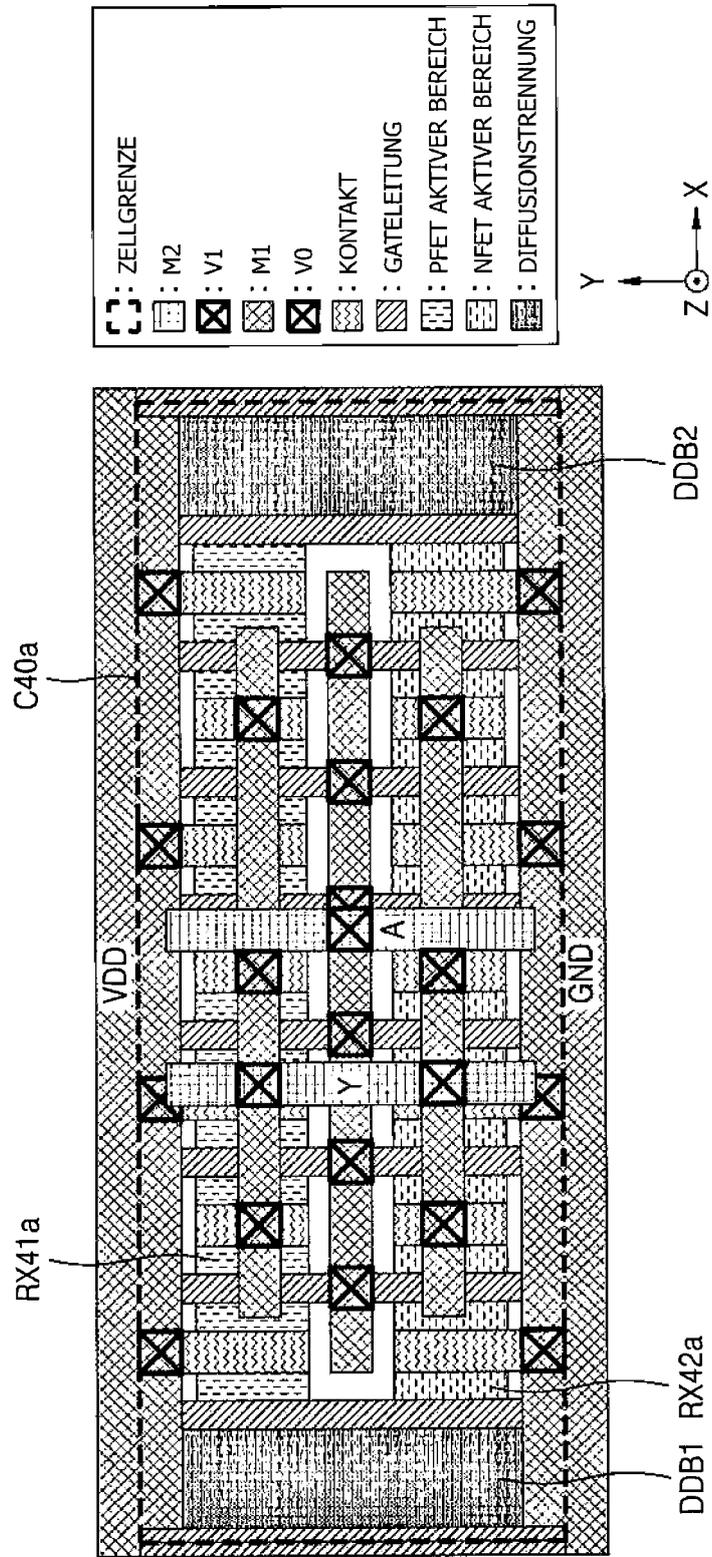


FIG. 4B

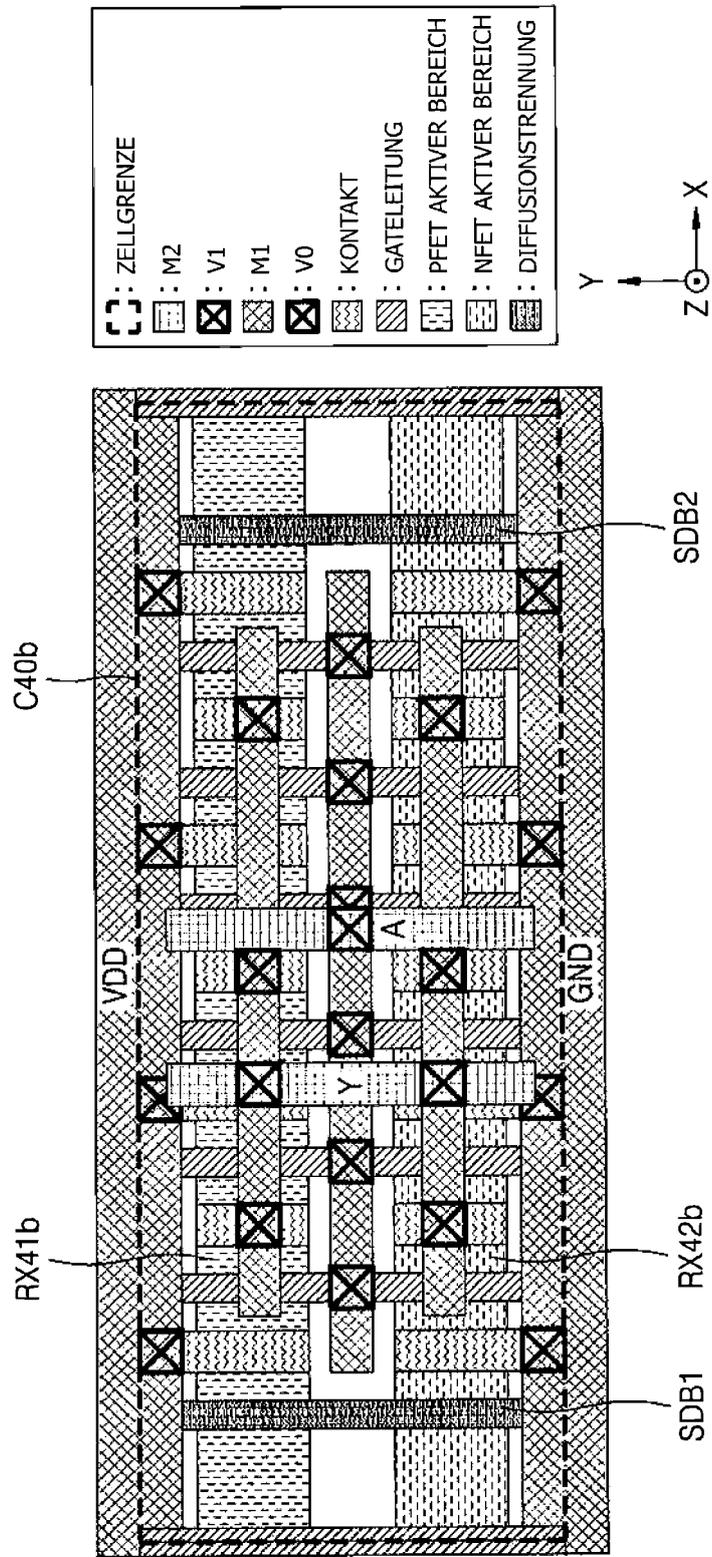


FIG. 5

C40

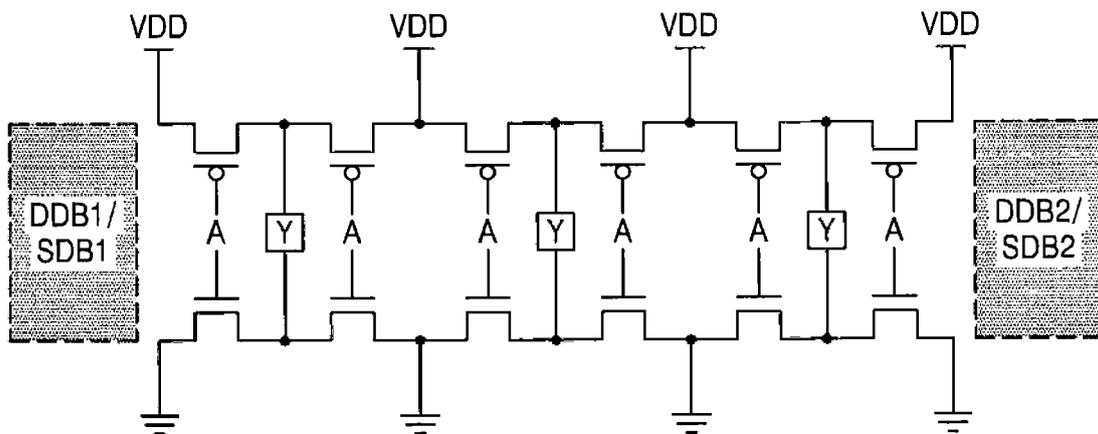


FIG. 6A

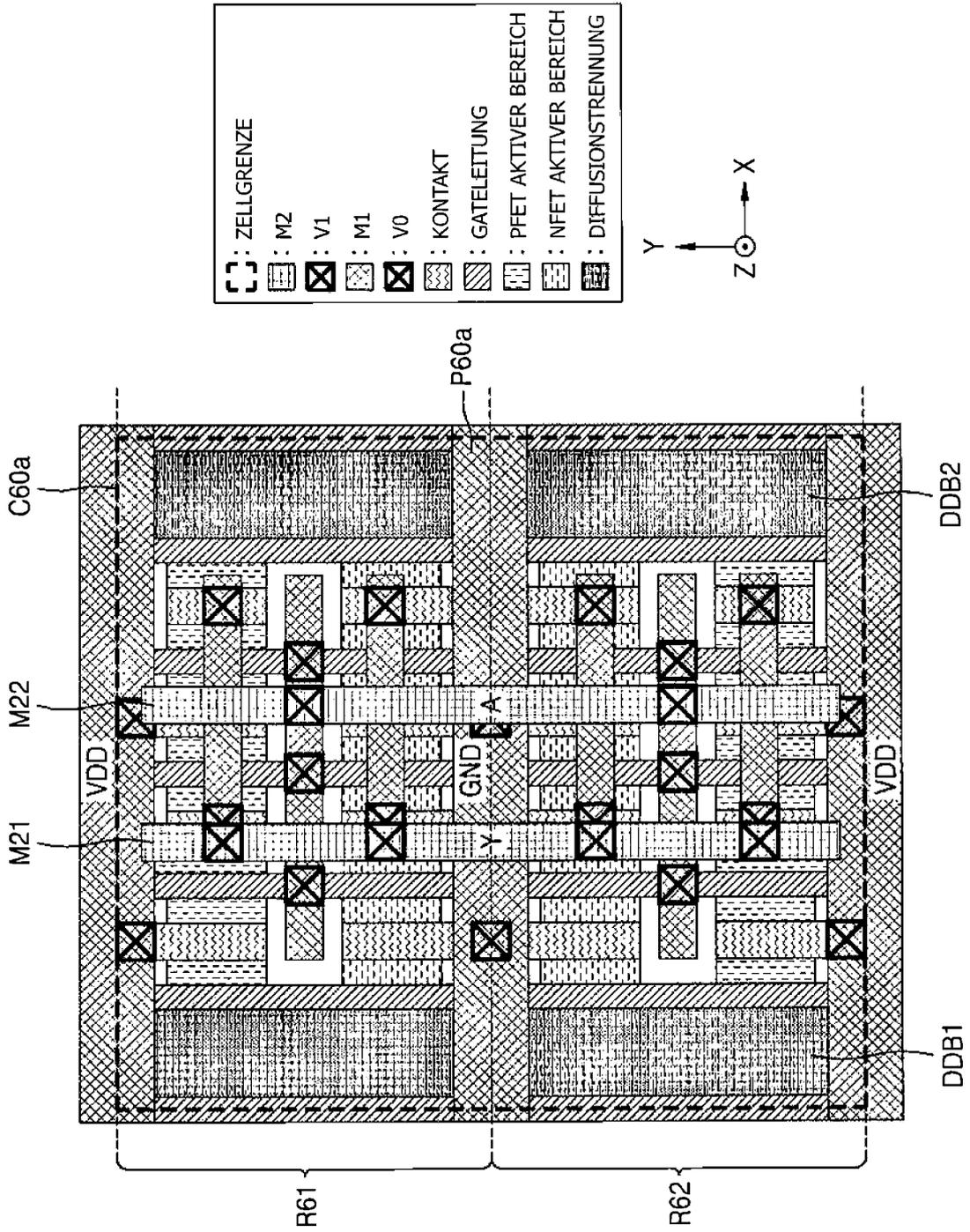


FIG. 6B

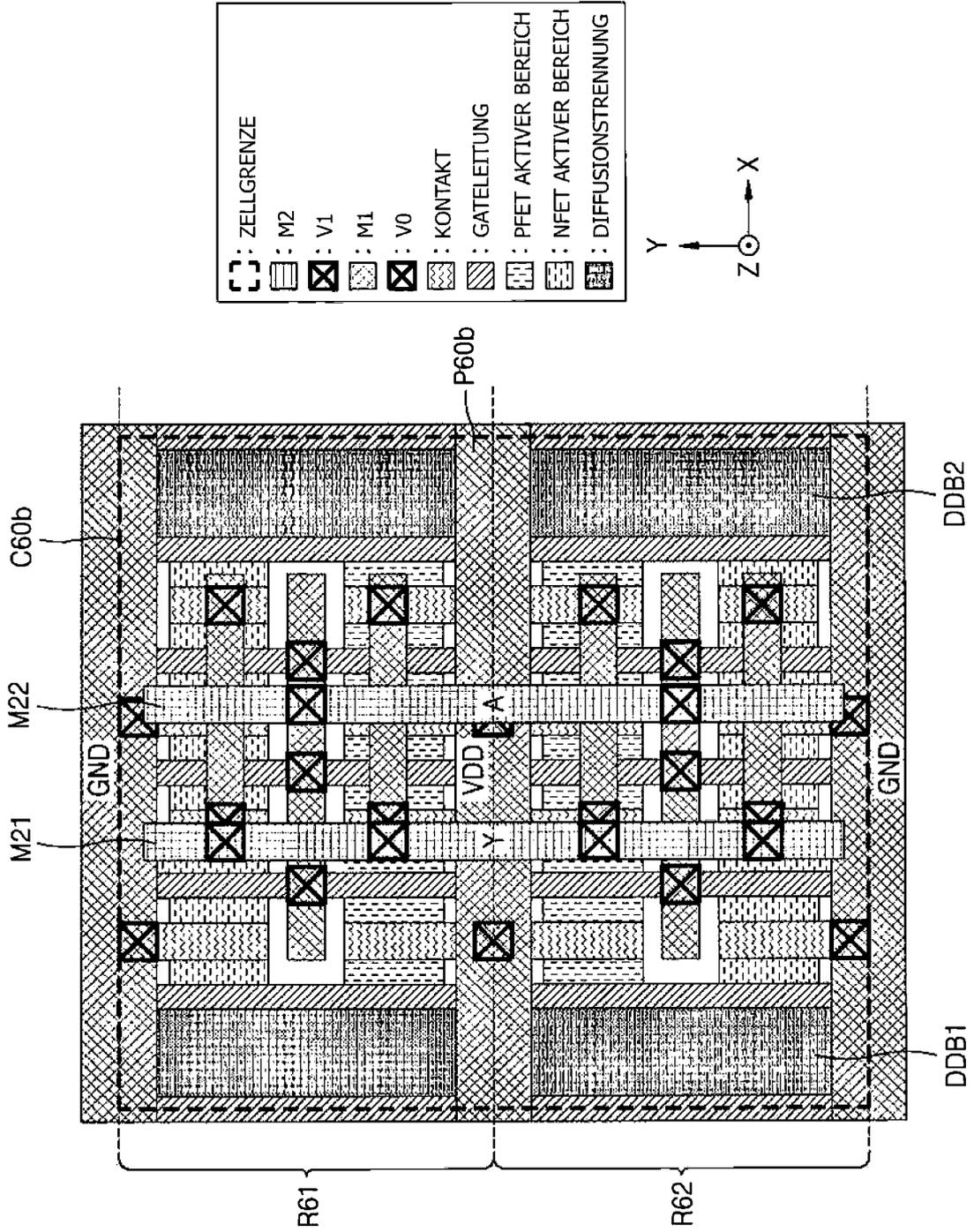


FIG. 7B

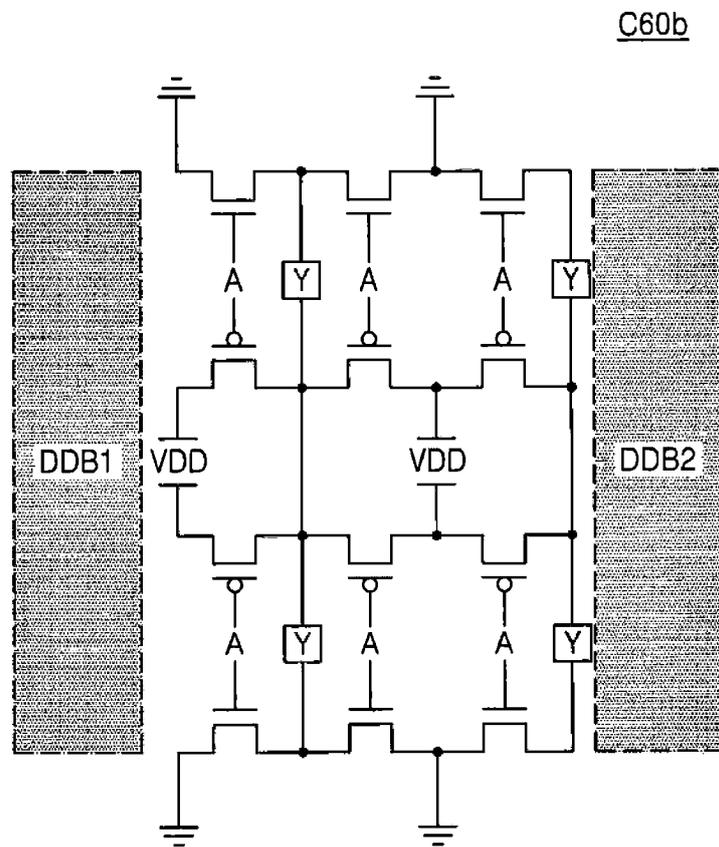


FIG. 8A

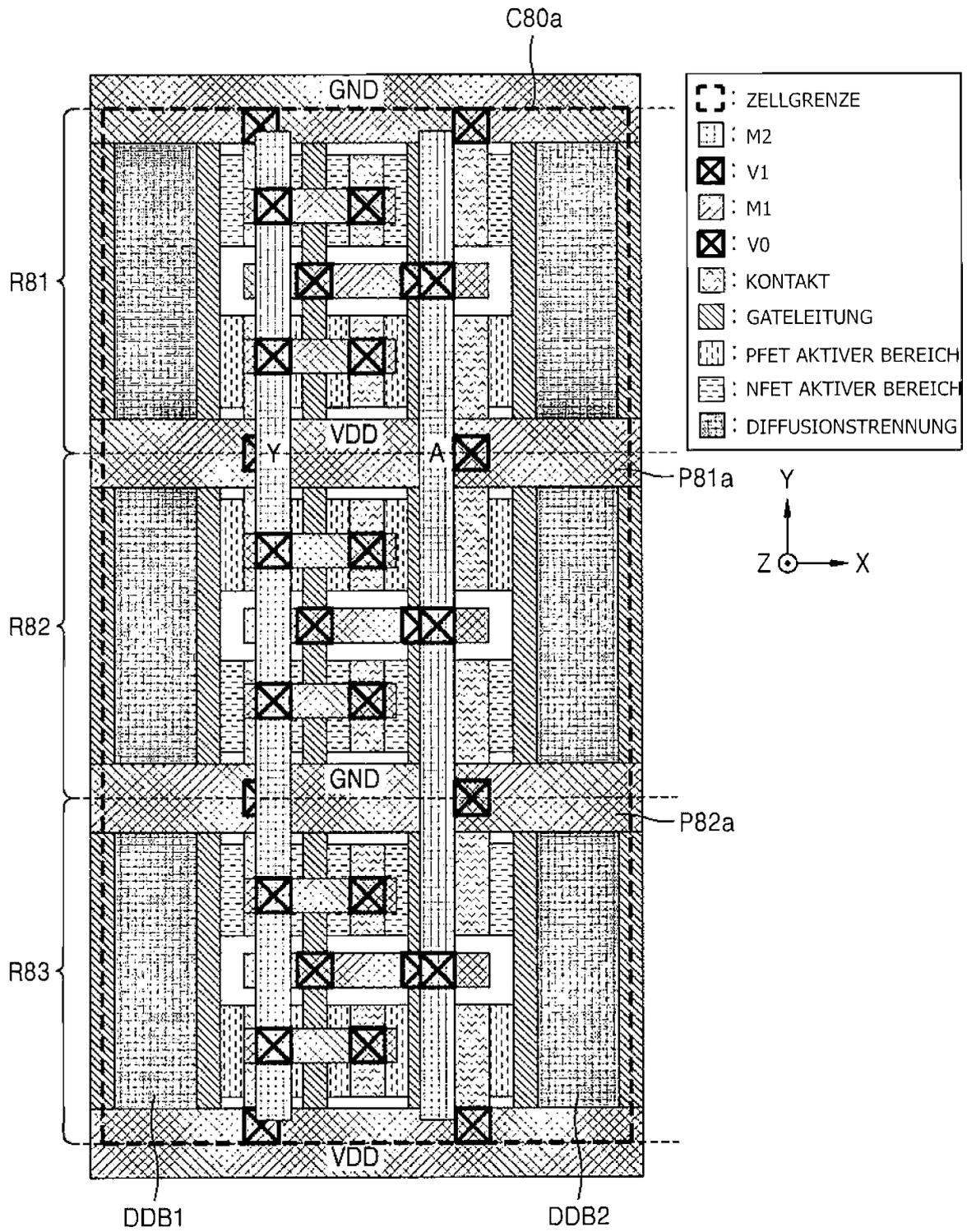


FIG. 8B

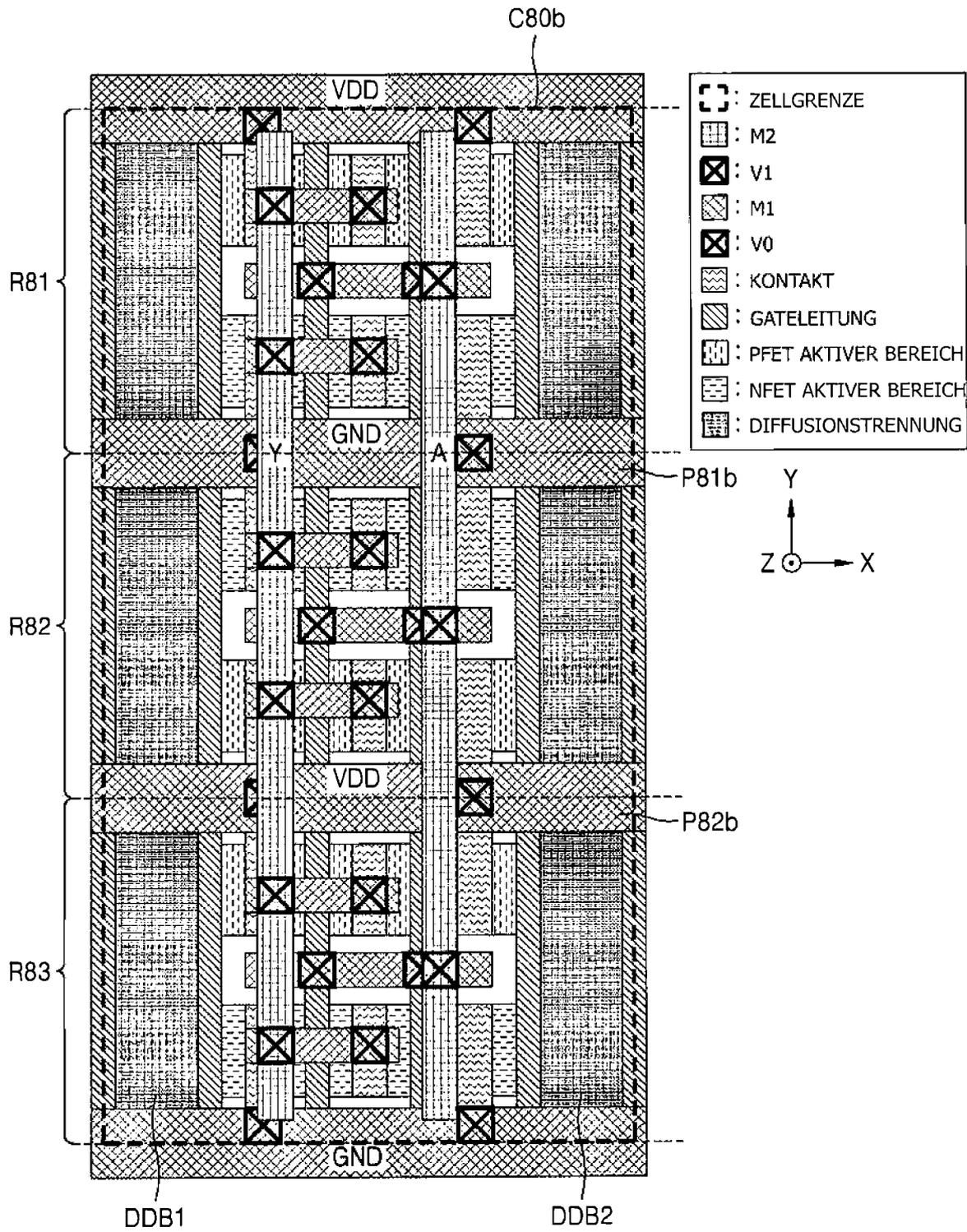


FIG. 9A

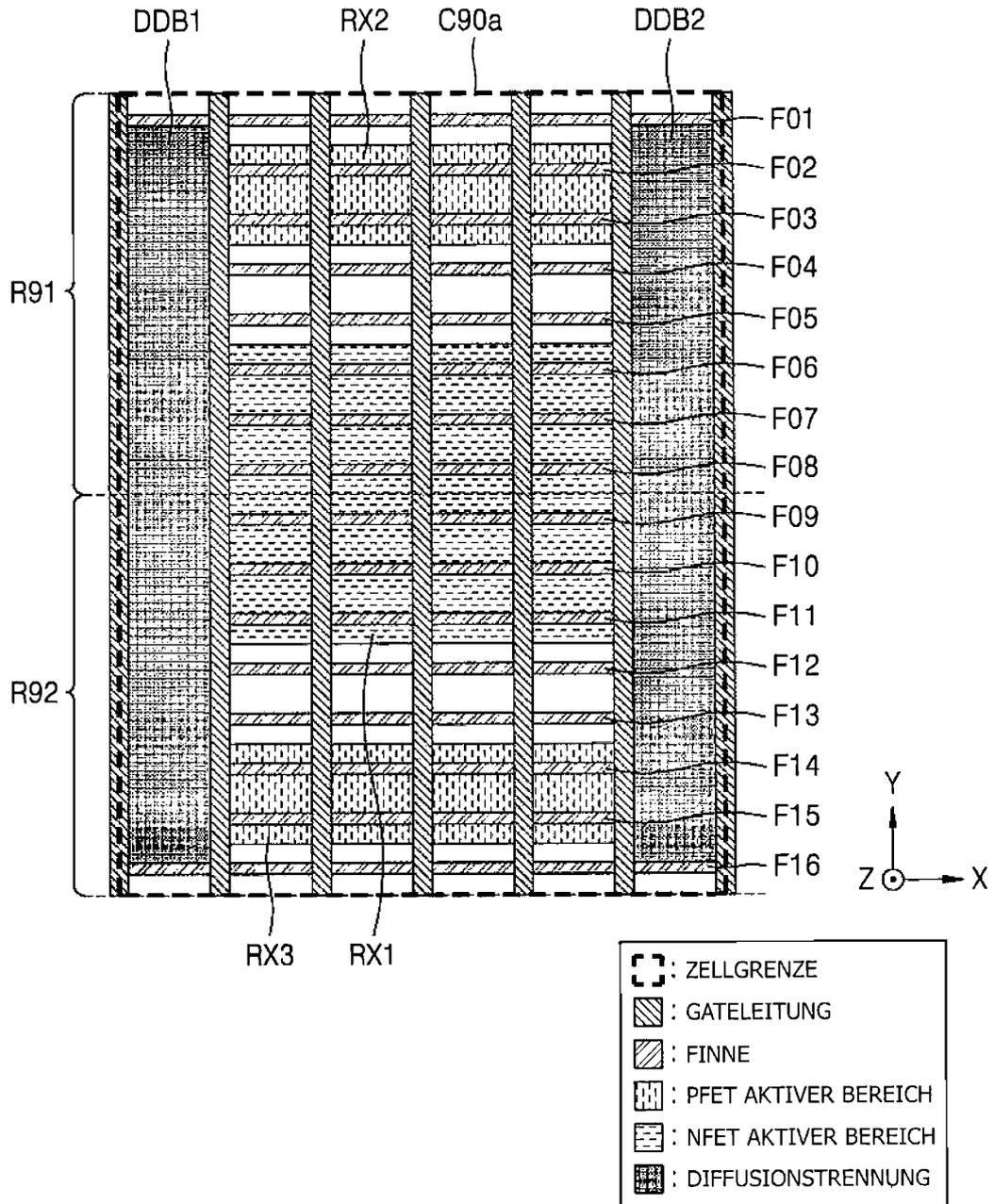


FIG. 9B

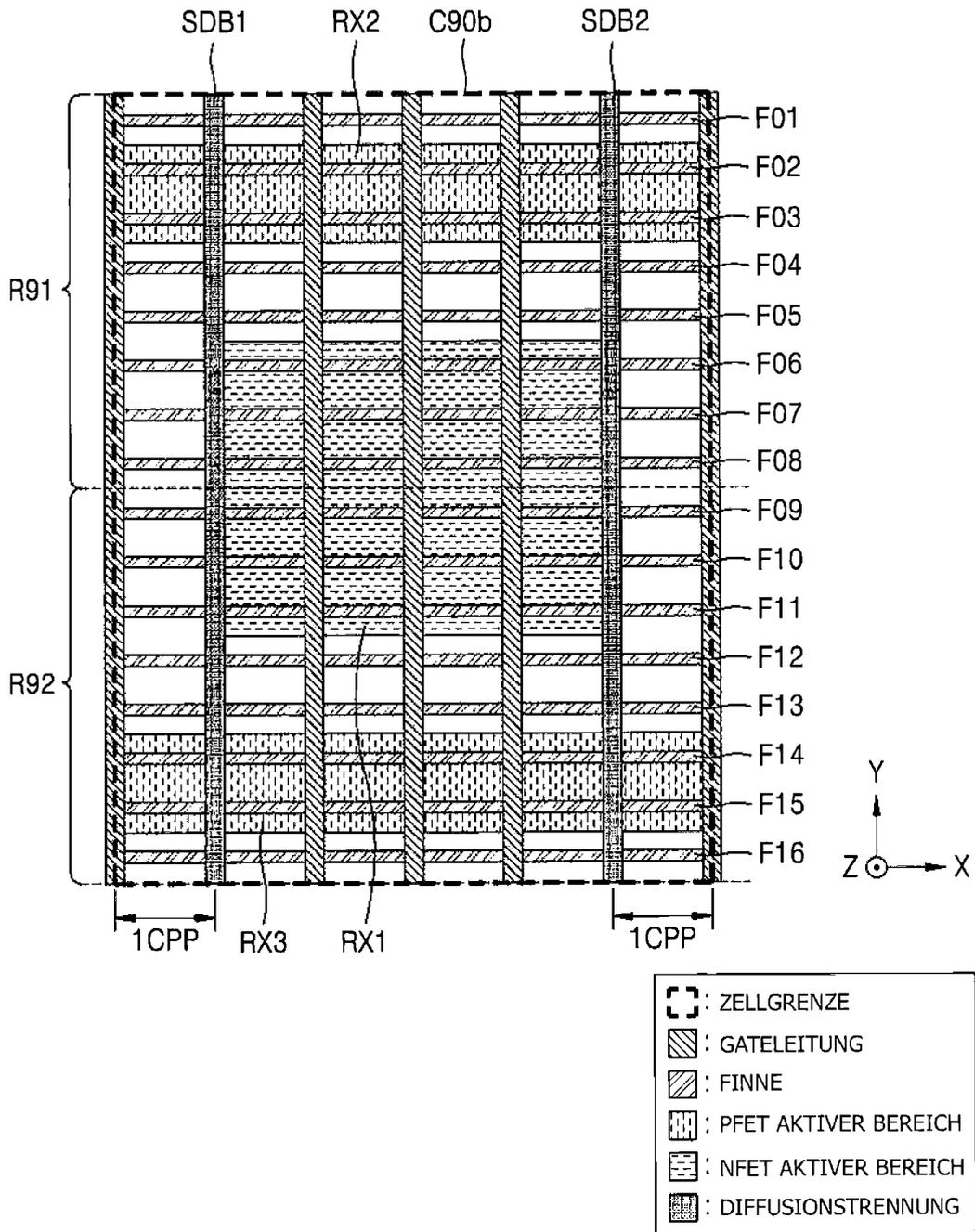


FIG. 10

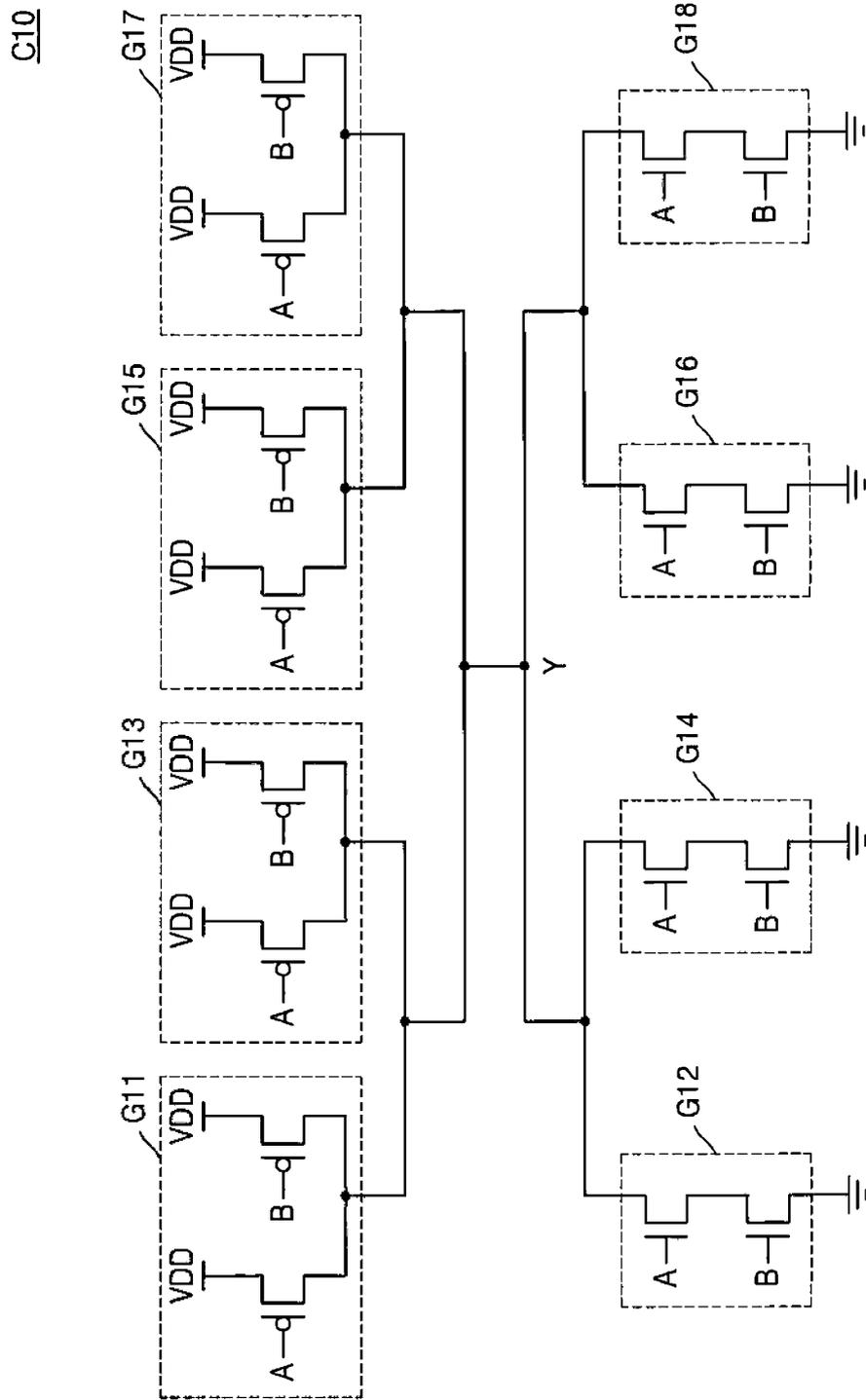


FIG. 12

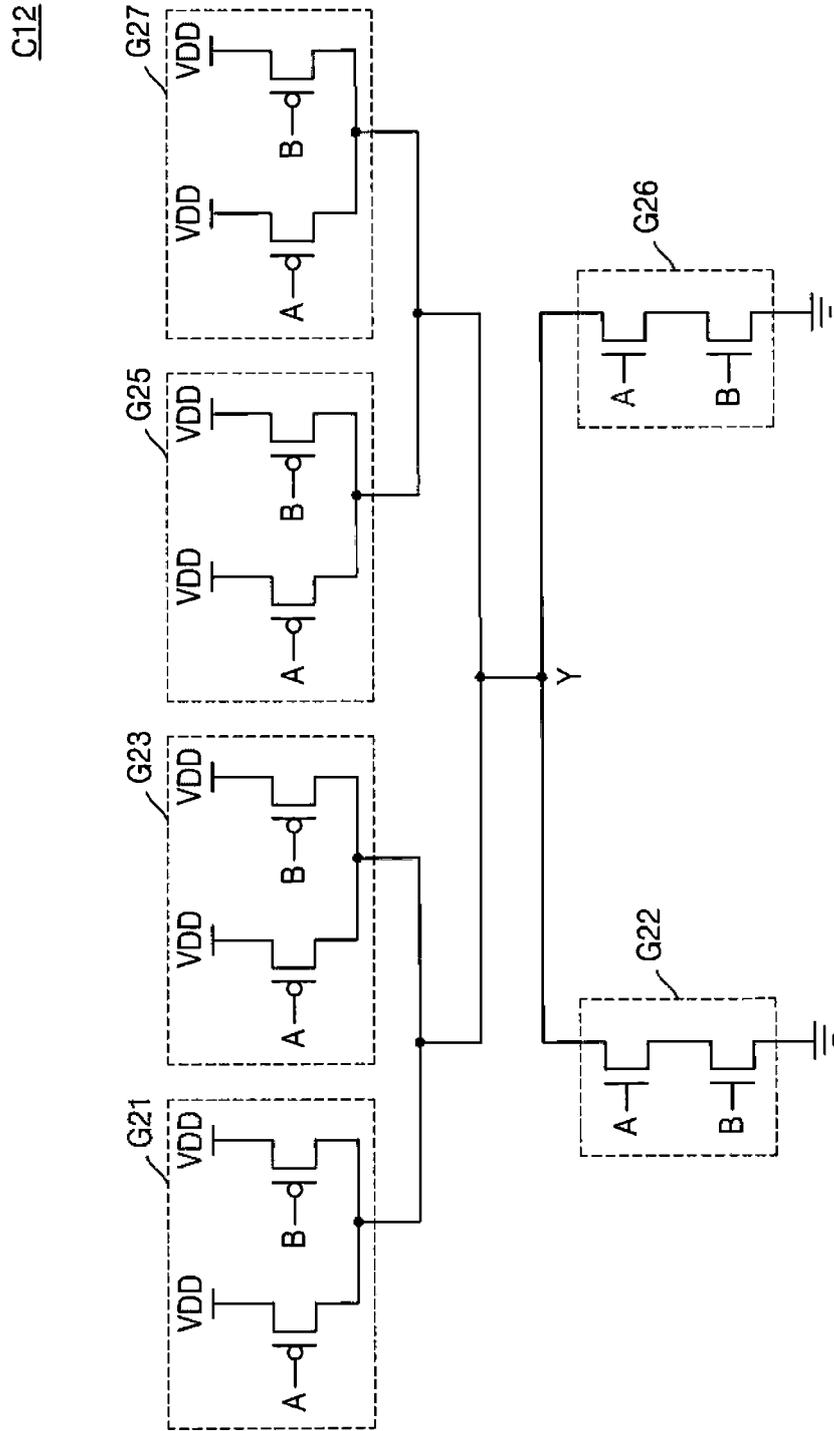


FIG. 14A

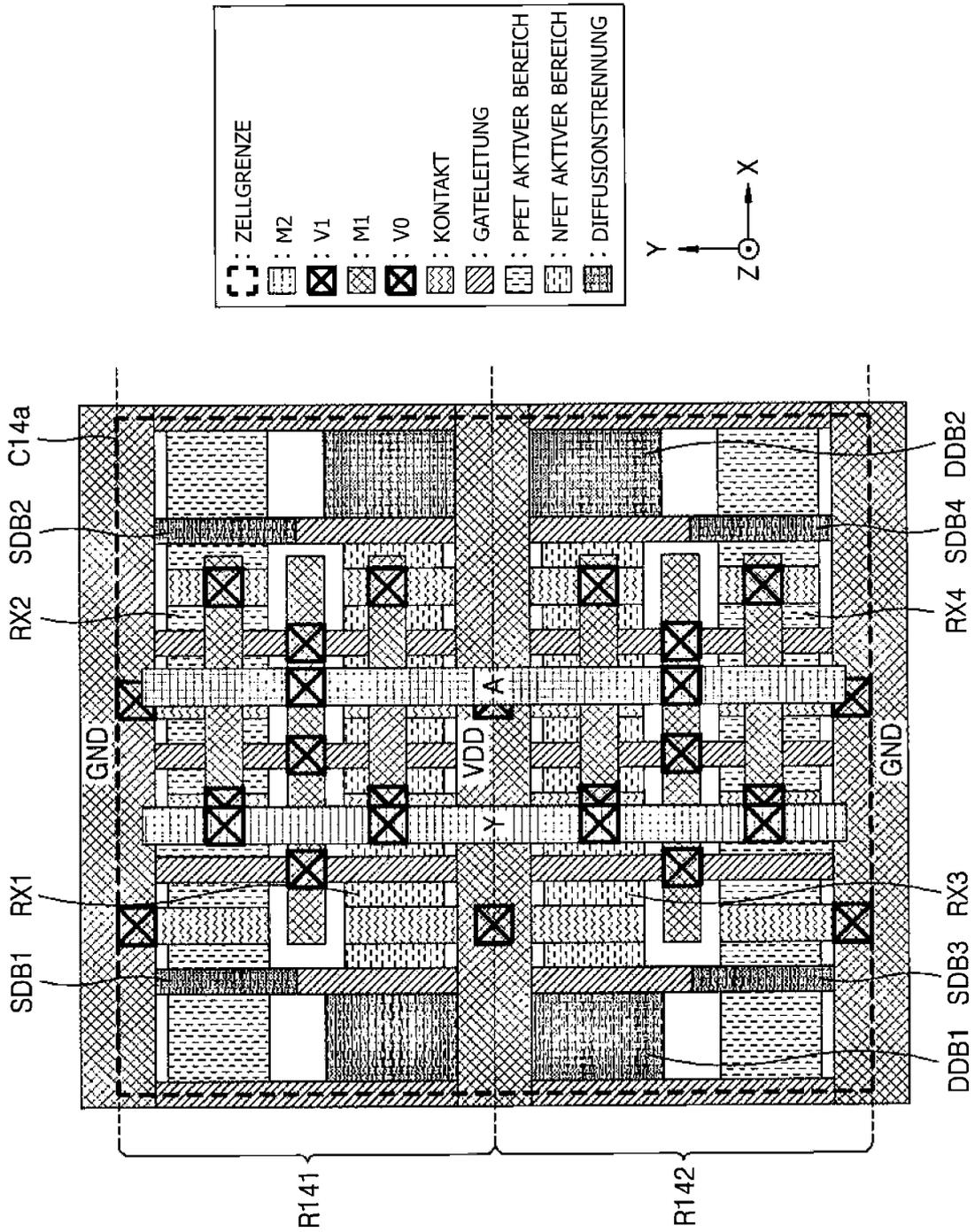


FIG. 14B

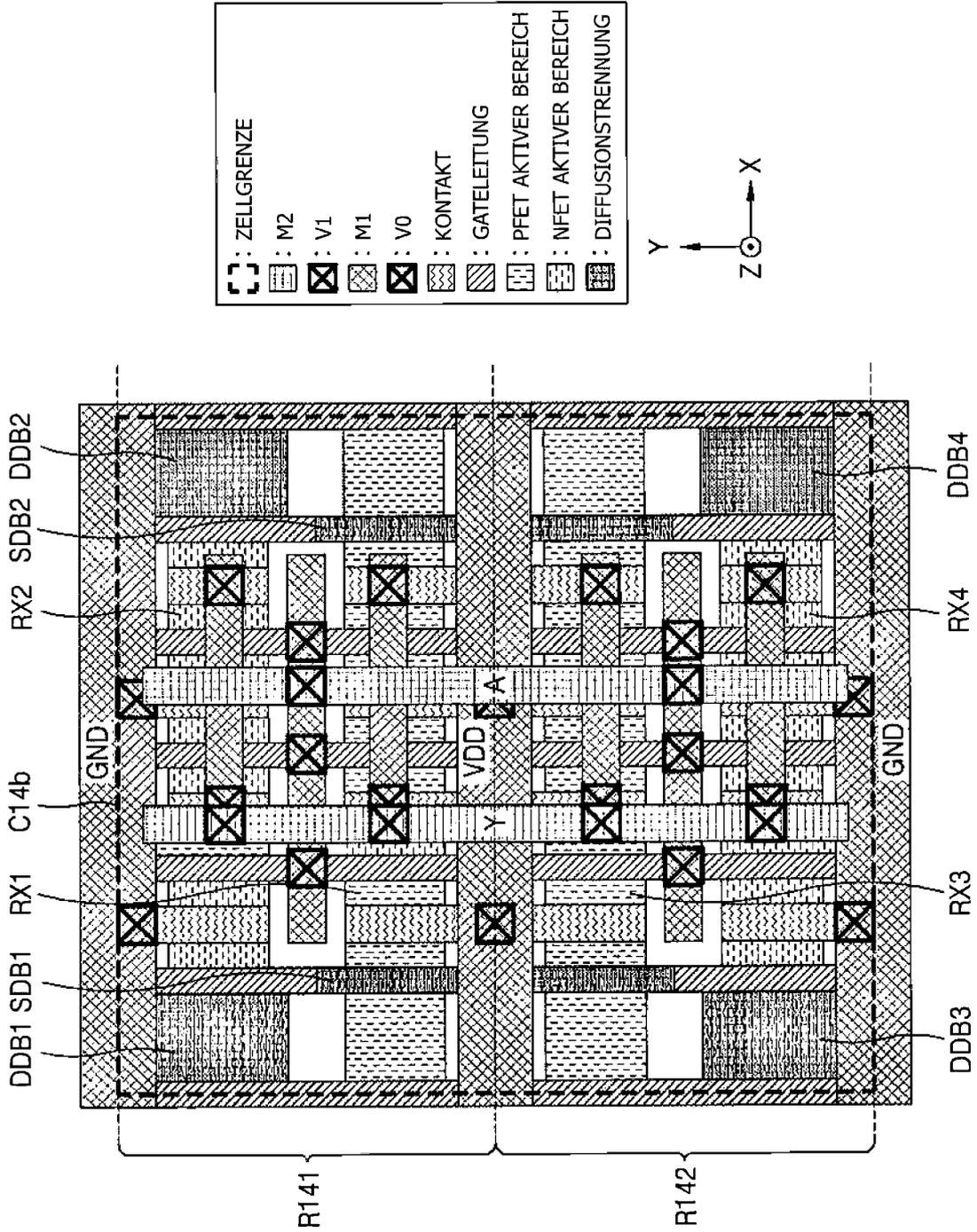


FIG. 15A

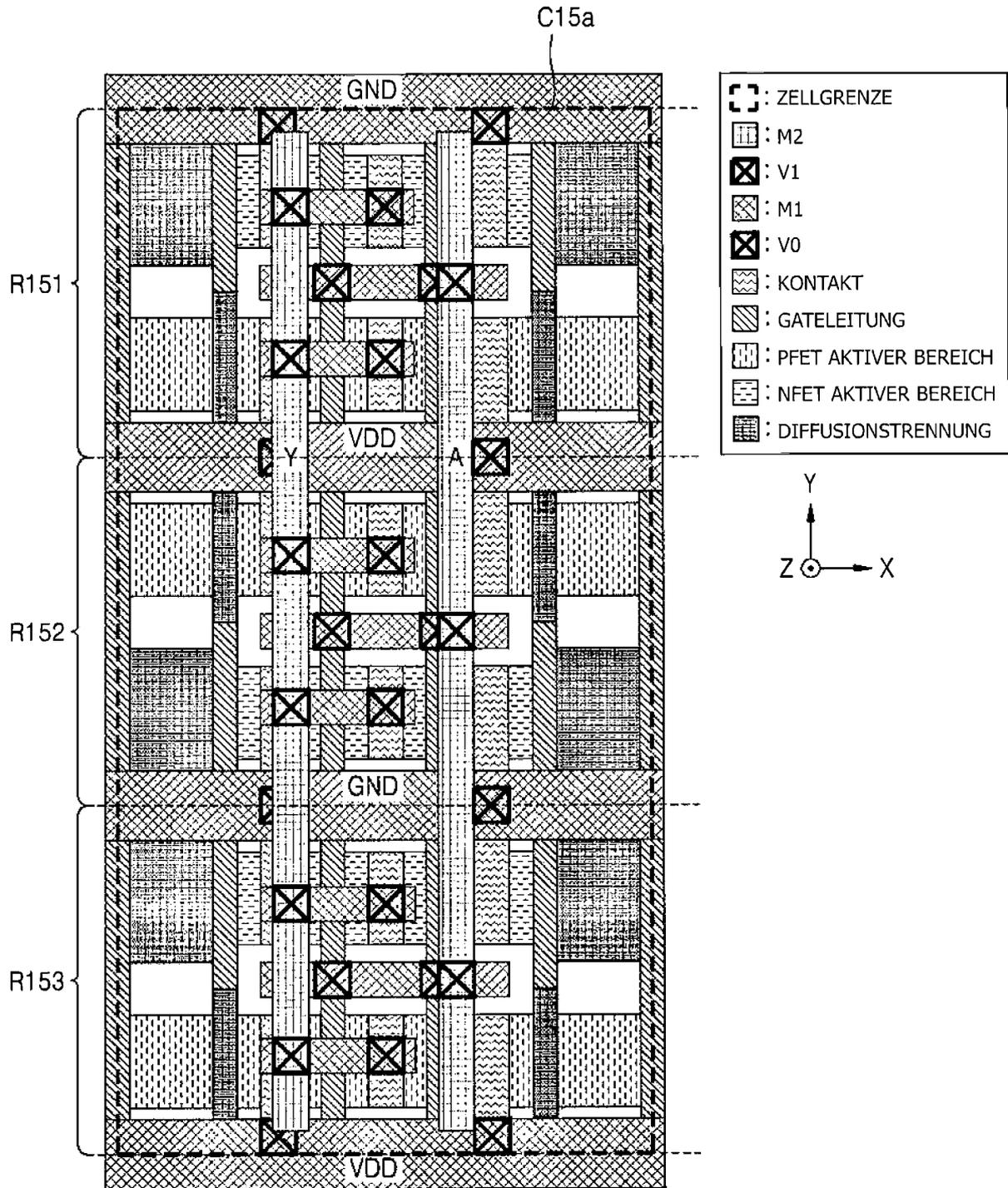


FIG. 15B

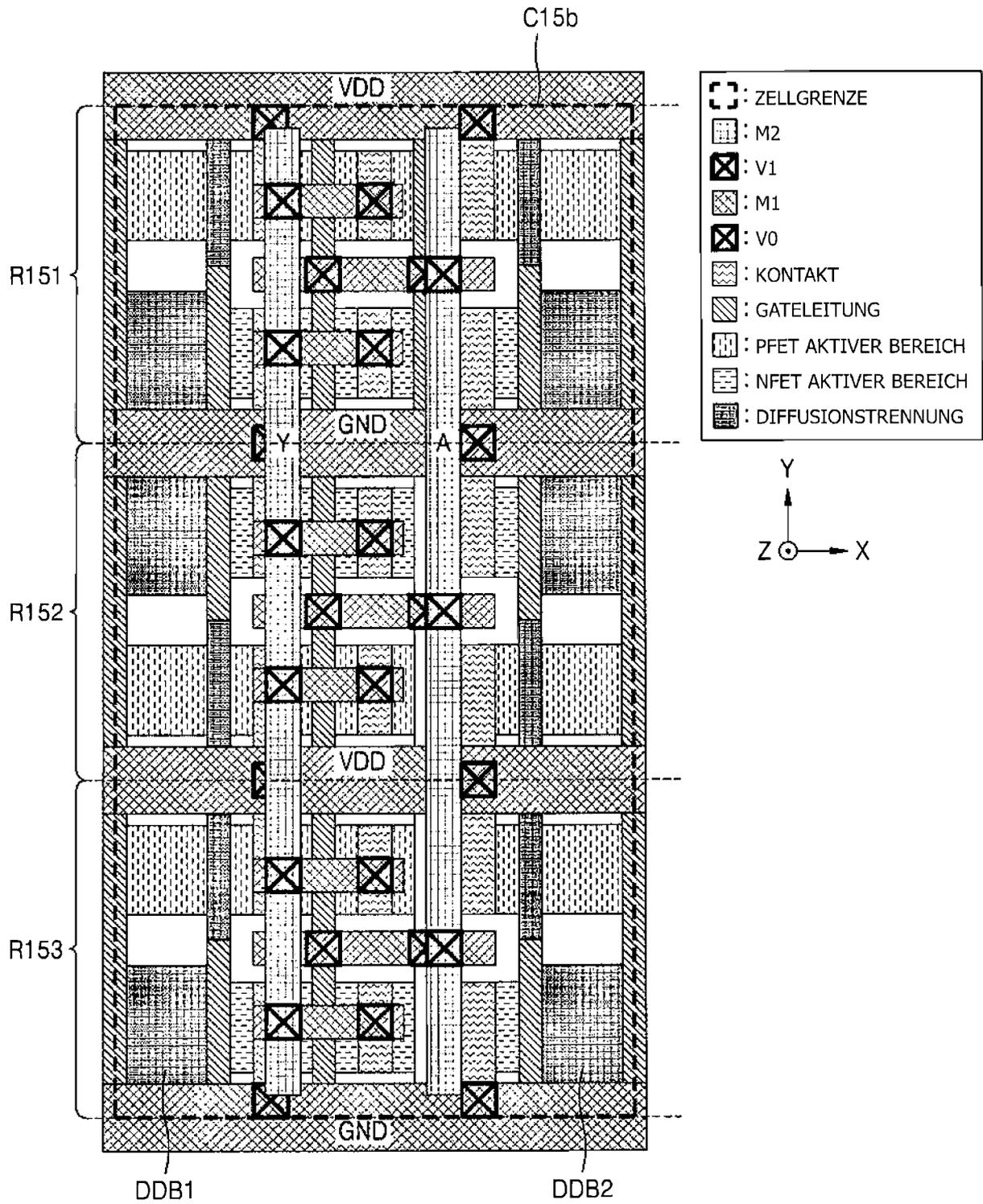


FIG. 16

16

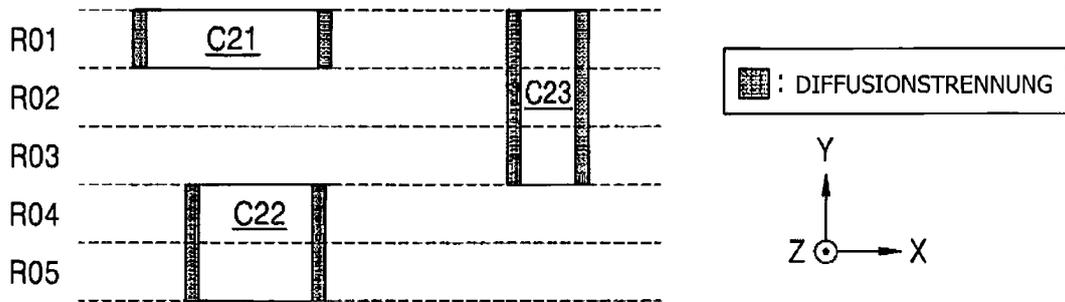


FIG. 17

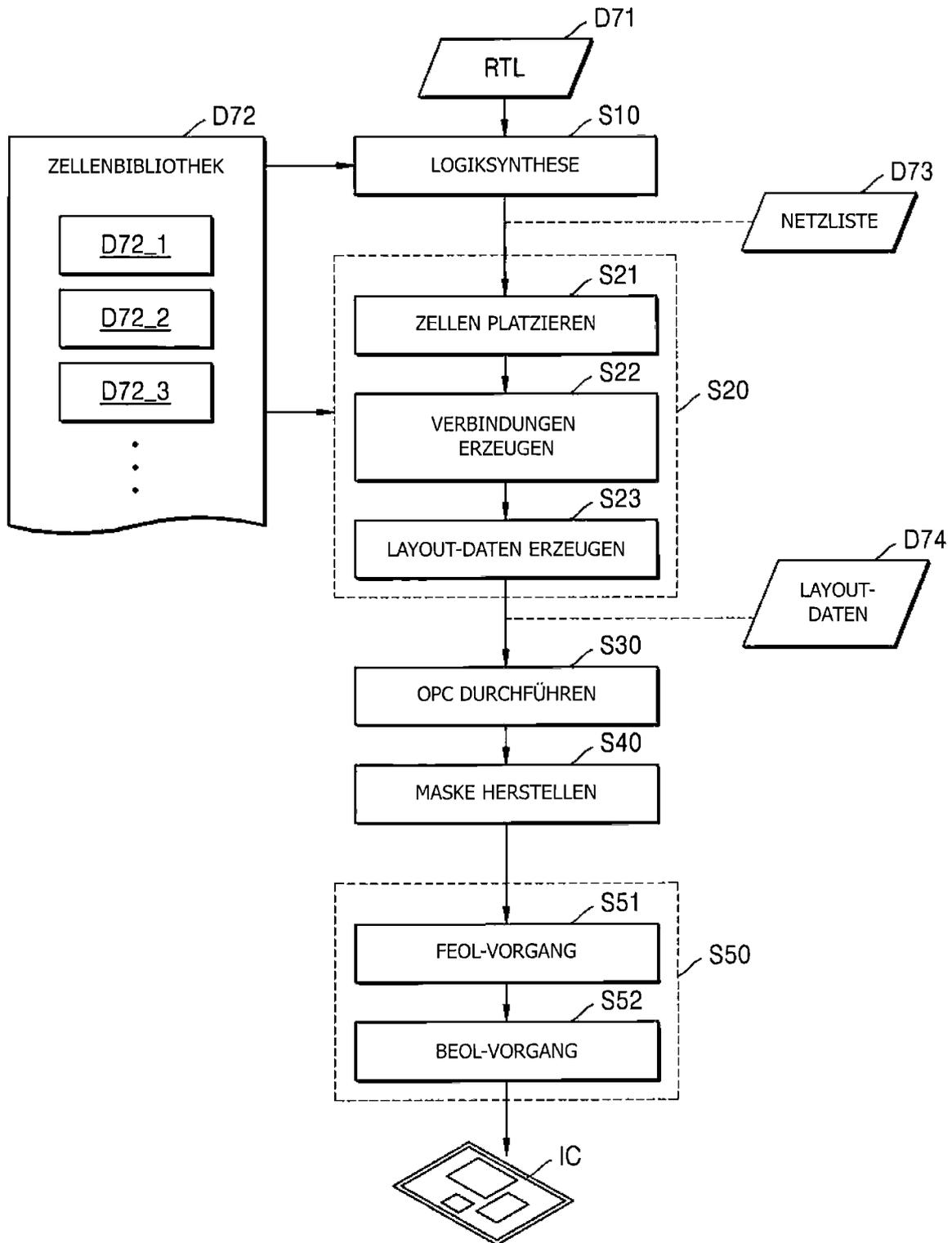


FIG. 18

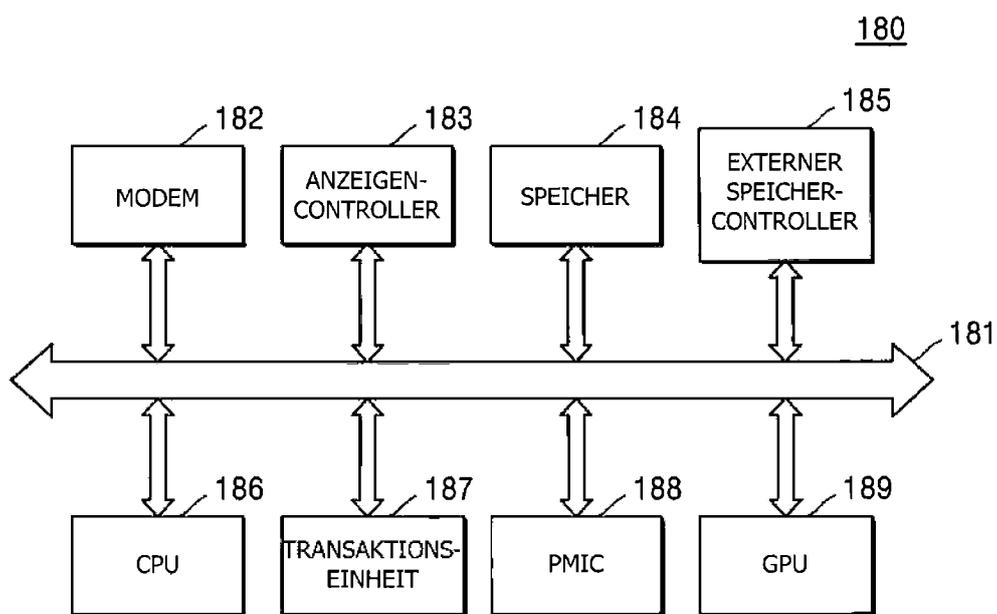


FIG. 19

