



(12) 发明专利

(10) 授权公告号 CN 111052613 B

(45) 授权公告日 2023. 12. 08

(21) 申请号 201880058791.X

(22) 申请日 2018.09.10

(65) 同一申请的已公布的文献号
申请公布号 CN 111052613 A

(43) 申请公布日 2020.04.21

(30) 优先权数据
15/700,957 2017.09.11 US
62/648,225 2018.03.26 US
16/040,140 2018.07.19 US

(85) PCT国际申请进入国家阶段日
2020.03.11

(86) PCT国际申请的申请数据
PCT/US2018/050268 2018.09.10

(87) PCT国际申请的公布数据
W02019/051414 EN 2019.03.14

(73) 专利权人 美国亚德诺半导体公司
地址 美国马萨诸塞州

(72) 发明人 陈宝箴 L·D·费尔南多 谭志超

(74) 专利代理机构 中国贸促会专利商标事务所
有限公司 11038
专利代理师 张丹

(51) Int.Cl.
H03M 1/46 (2006.01)

(56) 对比文件
US 5543795 A,1996.08.06
US 5736953 A,1998.04.07
CN 107070455 A,2017.08.18
Jelle Van Rethy等.Predictive sensing
in analog-to-digital converters for
biomedical applications.《international
symposium on signals ,circuits and
systems ISSCS2013》.2013,第1-4页.

审查员 谢冬莹

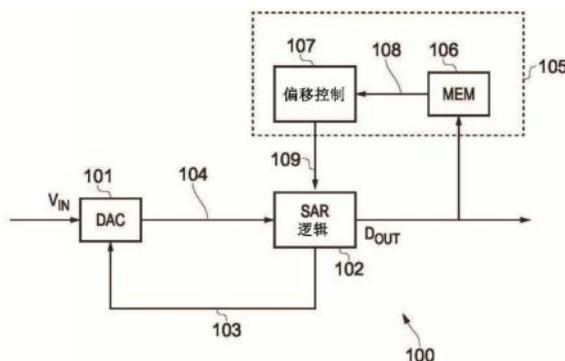
权利要求书2页 说明书7页 附图7页

(54) 发明名称

执行模数转换的方法

(57) 摘要

使用逐次逼近 (SAR) 模数转换器 (ADC) 执行模数转换的方法。将先前数字输出与基于先前数字输出的第一M位的范围进行比较。如果先前数字输出在该范围内,则在进行位试验之前,将SAR ADC的数模转换器 (DAC) 与先前数字输出的第一M位一起预加载。如果先前数字输出在该范围外,则在执行位置试验之前,将偏移应用于先前数字输出的第一M位,并基于M位和偏移对DAC进行预加载。这种方法减少下一个输入超出预加载定义的其他范围的可能性。



1. 一种使用逐次逼近寄存器模数转换器来执行模数转换的方法,包括:
使用逐次逼近寄存器模数转换器的数模转换器电路来执行位试验,以将模拟输入信号的第一采样转换为N位数字输出;
在对所述模拟输入信号的第二采样执行位试验之前,将所述N位数字输出与第一范围进行比较,该第一范围基于所述N位数字输出的前M位;
当所述N位数字输出在所述第一范围内时,将来自所述第一采样的所述N位数字输出的前M位预加载到数模转换器电路上;
当所述N位数字输出在所述第一范围外时,将来自所述第一采样的所述N位数字输出的前M位加上偏移预加载到数模转换器电路上;和
对第二采样执行位试验以确定剩余位。
2. 根据权利要求1所述的方法,其中所述N位数字输出定义第二范围,并且所述N位数字输出在所述第二范围内,并且所述第一范围是所述第二范围的子范围。
3. 根据权利要求2所述的方法,其中所述第二范围的宽度与所述N位数字输出的第M位相同。
4. 根据权利要求3所述的方法,其中所述第二范围的下限是所述N位数字输出的最高有效位到第M位的值,并且上限是所述下限的值加上第M位的值。
5. 根据权利要求4所述的方法,其中所述第一范围的宽度与所述N位数字输出的第M+1位相同。
6. 根据权利要求1所述的方法,其中所述偏移是第M位的一半。
7. 根据权利要求6所述的方法,其中如果所述N位数字输出大于所述第一范围的上限,则向所述第M位加上半位;并且如果所述N位数字输出小于所述第一范围的下限,则从所述第M位减去半位。
8. 根据权利要求7所述的方法,其中数模转换器包括每位至少一个电容器,并且对于最高有效位至第M位,数模转换器包括电容器对,每个电容器具有单个电容器的一半的值。
9. 根据权利要求8所述的方法,其中通过使用用于所述第M位的电容器对中的一个电容器来添加半位。
10. 一种逐次逼近寄存器模数转换器,被配置为执行位试验以将模拟输入信号的第一采样转换为N位数字输出,该逐次逼近寄存器模数转换器包括:
数模转换器电路;和
控制电路,被配置为:
在对所述模拟输入信号的第二采样执行位试验之前,将N位数字输出与第一范围进行比较,所述第一范围基于所述N位数字输出的前M位;
当所述N位数字输出在所述第一范围内时,指示数模转换器将来自所述第一采样的所述N位数字输出的前M位预加载到数模转换器电路上;
当所述N位数字输出在所述第一范围外时,指示数模转换器将来自所述第一采样的所述N位数字输出的前M位加上偏移预加载到数模转换器电路上;和
指示数模转换器对第二采样执行位试验以确定剩余位。
11. 根据权利要求10所述的逐次逼近寄存器模数转换器,其中所述数模转换器包括:
二进制加权的电容器的阵列,其中所述二进制加权的电容器中的一个或多个对应于数

模转换器的每个位。

12. 根据权利要求11所述的逐次逼近寄存器模数转换器,其中数模转换器的一个或多个位具有在阵列中的相应的二进制加权的电容器对,并且所述电容器对中的每个电容器均被配置为产生等效于半位的模拟输出。

13. 根据权利要求12所述的逐次逼近寄存器模数转换器,其中阵列中的每个二进制加权的电容器对进一步被配置为产生等效于数模转换器的相应位的模拟输出。

14. 根据权利要求12所述的逐次逼近寄存器模数转换器,其中半位值通过对其中一个电容器充电来实现,而全位值通过对两个电容器充电来实现。

15. 根据权利要求10所述的逐次逼近寄存器模数转换器,其中所述偏移是第M位的一半。

16. 根据权利要求10所述的逐次逼近寄存器模数转换器,其中第M位从最高有效位数起的。

17. 一种预加载布置成在模数转换器中执行位试验的数模转换器的方法,包括:
确定由模数转换器的先前N位数字输出的前M位定义的子范围,该子范围具有中心部分和边缘部分;

确定所述先前数字输出在所述子范围内的位置;

当所述先前数字输出在所述子范围的中心部分内时,将前M位预加载到数模转换器上;

当所述先前数字输出在所述边缘部分内时,将前M位加上偏移预加载到数模转换器上。

18. 根据权利要求17所述的方法,其中所述偏移是半位。

19. 根据权利要求17所述的方法,其中所述中心部分是所述子范围的中间两个四分之一,并且所述边缘部分是所述子范围的外部两个四分之一。

20. 根据权利要求17所述的方法,其中当所述先前数字输出在上边缘部分中时,正偏移被添加到预加载,而当所述先前数字输出在下边缘部分中时,负偏移被添加到预加载。

执行模数转换的方法

[0001] 要求优先权

[0002] 本专利申请要求于2018年7月19日提交的美国专利申请No.16/040,140的优先权的利益,该专利申请要求于2018年3月26日提交的美国临时专利申请No.62,648,225和于2017年9月11日提交的美国专利申请序列15/700,957的优先权的利益,这些申请和出版物的全部内容通过引用合并于此。

技术领域

[0003] 本公开涉及执行模数转换的方法。

背景技术

[0004] 模数转换器(ADC)将模拟输入信号转换为数字代码。一种类型的ADC是逐次逼近寄存器(SAR)ADC。SAR ADC通过依次比较不同的数字代码和输入信号来猜测数字输出代码。为此,使用数模转换器(DAC)。将DAC设置为特定值,并将DAC的模拟输出与模拟输入信号进行比较。例如,在4位DAC中,DAC可以设置为1,0,0,0,这在DAC范围的中点生成模拟信号。如果模拟输入信号高于此值,则SAR保持为'1',然后移至下一位。如果模拟输入信号低于此值,则将该位设置为'0'。假设模拟输入高于数字信号,则SAR将DAC设置为1,1,0,0,并执行相同的比较。这些比较中的每一个都称为位试验,并且该过程一直持续到SAR确定为模拟输入的近似数字代码为止。

[0005] 当输入信号缓慢移动时,最高有效位(MSB)可能不会在转换之间改变。这样,为了加快过程并降低功耗,可以对MSB进行预加载。这样,仅对后面的位执行位测试,而不是对所有位执行位测试。但是,当输入信号移向位边界时,下一个数字输出信号将不会共享MSB的可能性越来越大。这样,如果基于先前的数字输出对MSB进行预加载,则可发生误差。

发明内容

[0006] 使用逐次逼近(SAR)模数转换器(ADC)执行模数转换的方法。将先前数字输出与基于先前数字输出的第一M位的范围进行比较。如果先前数字输出在该范围内,则在位试验之前,将SAR ADC的数模转换器(DAC)与先前数字输出的第一M位一起预加载。如果先前数字输出在该范围外,则在执行位置试验之前,将偏移应用于先前数字输出的第一M位,并基于M位和偏移对DAC进行预加载。这种方法减少下一个输入超出预加载定义的其他范围的可能性。

[0007] 在第一方面,本公开提供一种使用逐次逼近寄存器(SAR)模数转换器(ADC)来执行模数转换的方法,包括:使用SAR ADC的数模转换器(DAC)电路来执行位试验,以将模拟输入信号的第一采样转换为N位数字输出;在对所述模拟输入信号的第二采样执行位试验之前,将所述N位数字输出与第一范围进行比较,该第一范围基于所述N位数字输出;如果所述N位数字输出在所述第一范围内,将所述N位数字输出的M位从所述第一采样预加载到DAC电路;如果所述N位数字输出在所述第一范围外,将所述N位数字输出的M位从所述第一采样加上

偏移预加载到DAC电路上;在第二采样上执行位试验以确定剩余位。

[0008] 在第二方面,本公开提供逐次逼近寄存器(SAR)模数转换器(ADC),被配置为执行位试验以将模拟输入信号的第一采样转换为N位数字输出,该SAR ADC包括:数模转换器(DAC)电路;和控制电路,被配置为:在对所述模拟输入信号的第二采样执行位试验之前,将N位数字输出与第一范围进行比较,所述第一范围基于所述N位数字输出;如果所述N位数字输出在所述第一范围内,指示DAC将所述N位数字输出的M位从所述第一采样预加载到DAC电路;如果所述N位数字输出在所述第一范围外,指示DAC将所述N位数字输出的M位从所述第一采样加上偏移预加载到DAC电路上;和指示DAC在第二采样上执行位试验以确定剩余位。

[0009] 在第三方面,本公开提供一种预加载布置成在模数转换器(ADC)中执行位试验的数模转换器(DAC)的方法,包括:确定由ADC的先前N位数字输出的第一M位定义的子范围,该子范围具有中心部分和边缘部分;确定所述子范围内先前数字输出的位置;如果所述先前数字输出在所述子范围的中心部分内,将M位预加载到DAC上;如果所述先前数字输出在所述边缘部分内,将M位加上偏移预加载到DAC上。

[0010] 本公开的其他方面在说明书中描述并且在所附权利要求中限定。

附图说明

[0011] 现在将仅通过示例并参考附图来描述本公开,其中:

[0012] 图1是根据本公开实施例的SAR ADC的示意性电路图。

[0013] 图2显示了通过预加载M位定义的范围;

[0014] 图3显示了将范围划分为四分之一的方式。

[0015] 图4示出了根据本公开的实施例的如何将偏移量添加到预加载。

[0016] 图5是根据本公开实施例的二进制加权电容DAC的示意性电路图。

[0017] 图6是示出图1的SAR ADC的操作的流程图。

[0018] 图7是示出图1的SAR ADC的进一步操作的流程图。

[0019] 图8是根据本公开的替代实施例的二进制加权电容DAC的示意性电路图。

[0020] 图9是显示各种SAR ADC的平均位试验次数与平均代码电荷的关系图。

具体实施方式

[0021] 本公开提供了一种模数转换的方法,其中可以修改预加载的位以考虑到接近位边界的先前的数字输出。它通过确定先前的数字输出与位边界的距离来实现此目的。如果距离边界足够远,则不会修改预加载,并且会预加载第一个或多个位,以使其与先前数字输出的第一个或多个位相同。如果先前的数字输出接近边界,则将偏移量添加到第一个或多个位,以便将先前的数字输出居中在预加载定义的范围的中间。

[0022] 例如,如果先前的数字输出接近顶部边界,则将半位添加到预加载中。如果先前的数字输出接近边界的底部,则从预加载中减去半位。可以通过在DAC中使用分流电容器来获得半位,从而可以将每个位设置为其值的一半。

[0023] 图1是根据本公开的实施例的逐次逼近寄存器(SAR)模数转换器(ADC)100的示意性电路图。SAR ADC 100包括数模转换器(DAC)101和SAR逻辑102。DAC101是二进制加权电容DAC。这样,DAC 101对模拟输入信号 V_{IN} 执行采样和保持操作。此外,DAC 101包括比较器,以

在位试验期间将模拟输入信号 V_{IN} 的采样与由DAC产生的模拟信号进行比较。除了接收 V_{IN} 作为DAC 101的输入外,DAC还接收来自SAR逻辑102的控制信号103。控制信号103用于控制DAC 101内的开关,以基于SAR逻辑102生成的数字代码来产生不同的电压电平。DAC 101的比较器产生输出104,该输出被SAR逻辑用来确定数字输出信号 D_{OUT} ,该数字输出信号 D_{OUT} 是模拟输入信号 V_{IN} 的近似值。下面提供了DAC 101的结构和操作的更多细节。

[0024] SAR ADC通过使用DAC 101执行位试验来确定数字输出信号 D_{OUT} ,该数字输出信号 D_{OUT} 与模拟输入信号 V_{IN} 近似。DAC 101包括多个二进制加权电容器,每个电容器代表一个位(尽管一些位可以包括两个电容器,这将在下面更详细地描述)。SAR逻辑102使用多个开关来控制每个电容器,以产生与电容器所代表的位等效的电压。比较器将这些电压与模拟输入信号 V_{IN} 进行比较,以确定该位应设置为“1”还是“0”。SAR逻辑102通过从最高有效位(MSB)开始并且通过电容器移动到最低有效位(LSB)来做到这一点。该过程一直进行到所有位试验完成为止,并且SAR逻辑102已确定数字输出信号 D_{OUT} 。

[0025] SAR ADC 100还能够预加载DAC 101的某些位,以降低SAR ADC 100的功耗。例如,基于模拟输入信号 V_{IN} 先前采样的N位数字输出信号 D_{OUT} ,在对其余位执行位试验之前,DAC可以预加载前M位。在此示例中,第一位是MSB,最后一位是LSB。这样,第M位是MSB加M位。从MSB到第M位的所有位均已预加载。当输入信号移动缓慢时,下一个数字输出可能会与先前数字输出信号共享一定数量的位。假设前一个和下一个数字输出之间的前M个位是公共的,则无需对前M个位执行位试验。这样,预加载这些位可以节省功耗。

[0026] 为了确定预加载位的值,SAR ADC 100包括预加载控制电路105。预加载控制电路105包括存储器106和偏移控制107。存储器106从上一次转换的SAR逻辑102接收N位数字输出 D_{OUT} 。存储器106通过连接108向偏移控制107提供先前的N位数字输出信号。偏移控制107确定要预加载多少位,以及那些位的值应该是多少。一旦做出该确定,偏移控制107就通过连接109指示SAR逻辑102将必要的位预加载到DAC 101中。在该示例中,对于每次转换,预加载的位的数目是固定的。

[0027] 如下面将更详细描述,一旦预加载了M个位,则模拟输入信号 V_{IN} 的下一个采样必须具有数字值,其中前M个位与预加载的位相同。否则,电路将产生错误信号,或者必须清除预加载的位,并对所有位进行位试验。虽然下一个数字输出可能会与预加载共享M位,但在某些情况下可能不会。图2中显示了一个示例。预加载的位实质上定义了下一个信号必须落入的范围。在此示例中,使用了一个6位DAC。先前的信号为101110(46), $M=2$ 。这样,预加载的位将为1,0。那么下一个数字输出的可能范围是100000(32)到110000(48)。在这种情况下,先前的数字输出101110(46)非常接近范围的边缘。这样,模拟输入信号的下一个采样很容易超出该范围。在此示例中,下一个信号的数字等效值为110001(49)。在这种情况下,SAR ADC 100必须放弃预加载的位并对所有位执行位试验,否则将产生错误的输出。本质上,任何给定的二进制数都可以落在前M位定义的范围内的任何位置。这意味着,当先前数字输出接近该范围的边缘时,使用先前数字输出的前M位作为下一个输出必须落入的范围的基础是容易出错的。

[0028] 偏移控制107确定先前的数字输出在该输出的前M位所定义的范围内的位置。如果先前的输出落入该范围的中间部分,则偏移控制107指示SAR逻辑102将先前的数字输出的前M位预加载到DAC 101中。然而,如果先前的数字信号朝向该范围的末端,则偏移控制107

将偏移添加到预加载,以便向上或向下移动范围。通过这样做,可以移动范围,以使先前的数字输出朝向该范围的中间。这增加了下一个样本将朝向范围中间部分的可能性,并减少了出错的机会。例如,偏移控制107可以确定先前的数字信号是在范围的中间四分之一内还是在范围的外四分之一内。如图3所示。

[0029] 图4示出了基于图3所示的先前数字输出而由偏移控制107施加的偏移的示例。在该示例中,为了确定先前数字输出是否在中间四分之一内,偏移控制107必须确定由中间四分之一定义的子范围的上限和下限。偏移控制107通过将第M个位的四分之一加到M位来确定子范围的下限,并且通过将第M个位的四分之三加到M位来确定子范围的上限。对于M为2的6位数字信号,第M位等于16。这样,将四个(000100)添加到M位以获得下限,并且将十二个(001100)添加到M位以获得上限。在上面给出的示例中,M位为1,0,因此下限为100100,上限为101100。先前的数字输出为101110,位于该范围之外的高四分之一。这样,偏移控制107将偏移添加到预加载。在此示例中,偏移量是第M位的一半;即 $0, \frac{1}{2}$ 。这样,预加载变为 $1, \frac{1}{2}$,然后范围变为101000 (40) 到111000 (56),如图4所示。这样,先前的数字输出现在朝向该范围的中间,在上面给出的示例中下一个模拟输入信号也在该范围内。

[0030] 通过使用分体电容器布置来提供半位。DAC 101的一些位由两个电容器表示,每个电容器具有单个等效电容器的一半的值。例如,在6位DAC中,代表16的第二位可以包括两个电容器,它们等效于代表8的第三位。因此,通过使用两个电容器,DAC输出等于16,而如果使用一个电容器,输出等效于8。将参考图5更详细地描述这种安排。

[0031] 图5是示出DAC 101的内部组件的示意图。如上所述,DAC 101是二进制加权电容DAC。这样,它包括代表数字输入代码不同位的多个电容器。在图5所示的示例中,DAC是6位DAC。DAC的每个位都包含一个二进制加权电容器或一对分体电容器,每个电容器都可以保持与各自位等效的电荷。位1是最高有效位(MSB),它表示32位的二进制等效值。在该示例中,位1由分别具有等于十六的值的一对分离电容器110A和110B表示。位2代表16的二进制等效值,并且包括一对分离电容器111A和111B。这些电容器中的每一个具有等于八个的值。位3代表8的数字等效值,并且具有单个电容器112。位4具有代表数字4的单个电容器113。位5具有代表数字2的一个电容器114。位6是具有代表数字1的单个电容器115的最低有效位(LSB)。位7是一个虚拟位,其值等效于115。

[0032] 位1的电容为C,因此每个电容器110A和110B的电容为C/2。其余位的电容如下:

[0033] 位2=C/2

[0034] 位3=C/4

[0035] 位4=C/8

[0036] 位5=C/16

[0037] 位6=C/32

[0038] 位7=C/32

[0039] 因此,剩余电容器的值如下:

[0040] 111A=C/4

[0041] 111B=C/4

[0042] 112=C/4

[0043] 113=C/8

[0044] $114=C/16$

[0045] $115=C/32$

[0046] $116=C/32$

[0047] 阵列的总电容 $C_{\text{总}}$ 为 $2C$ 。伪位(位7)用于确保总数为 $2C$ 。每个电容器的上板连接到公共节点117,公共节点117连接到比较器118的负输入。公共节点117还通过开关119接地。每个电容器的底板连接到相应的开关120A至120I。每个开关都是三路开关,可以连接到模拟输入信号 V_{IN} 、参考电压 V_{REF} 和地。模拟输入信号 V_{IN} 通过另一个开关121连接到开关。这些开关由SAR逻辑102的控制信号103控制。

[0048] 现在将参考图6描述SAR ADC 100的操作。在该示例中, $M=2$,因此,SAR ADC 100被配置为预加载位1和2。模拟输入信号 V_{IN} 的第一采样被转换为数字输出信号,而无需预加载DAC 101的电容器(S600)。基于模拟输入信号的第一采样确定数字输出信号的过程如图7所示。为了获取输入信号,开关119闭合以将公共端子117接地。开关121闭合,并且开关120A至120I中的每一个都连接至模拟输入信号 V_{IN} (S700)。在获取之后,开关121和119断开,并且等效于 V_{IN} 的电荷被存储在电容器阵列两端(S701)。

[0049] 然后将开关120A至120I接地,从而使公共端子117下降至 $-V_{\text{IN}}$ 。然后,从最高有效位(MSB)开始进行位试验(S702)。为此,将电容器110A和110B连接到 V_{REF} ,从而向 $-V_{\text{IN}}$ 增加等于 $1/2 \times V_{\text{REF}}$ 的电压(S703)。因此,节点117的公共电压为 $-V_{\text{IN}} + 1/2 \times V_{\text{REF}}$ 。然后,比较器118将公共节点上的电压比较为零(S704)。如果公共电压低于0(即,如果 V_{IN} 大于 $1/2 \times V_{\text{REF}}$),则比较器118产生逻辑1。如果公共电压大于0(即,如果 V_{IN} 小于 V_{REF} 的 $1/2$),则比较器118产生逻辑0。如果比较器产生逻辑1,则SAR逻辑102将电容器110A和110B保持连接到 V_{REF} ,并将逻辑1存储在存储器中(S705)。SAR逻辑确定是否还有其他位(S706)。如果是,则位试验将移至下一位,然后继续进行该过程。在这种情况下,然后将电容器111A和111B连接到 V_{REF} ,将等于 $V_{\text{REF}}/4$ 的电压加到公共节点117上的电压。同样,如果公共电压小于0,则比较器产生逻辑1,如果公共节点117上的电压大于0,则它产生逻辑0。在逻辑0的情况下,SAR逻辑将其存储在存储器中并将电容器111A和111B接地,从而从节点117(S707)去除 $V_{\text{REF}}/4$ 电压。这一过程持续到所有位试验都完成为止。然后,将代表模拟输入信号 V_{IN} 的第一采样的N位数字字存储在存储器106中(S708)。

[0050] 然后,偏移控制107确定要预加载到DAC 101中用于第二转换的位的值。在该示例中,SAR ADC 100被布置为预加载DAC的前两位。如上所述,DAC的前两位包括分离电容器。前两位的值定义了一个范围,在该范围内将执行后续的位试验。例如,如果前两位的值为1,0,并且如果这些位已预加载,则范围将为1,0,0,0,0,0和1,1,0,0,0,0。该范围可以进一步分为四个季度。偏移控制107的目的是确定先前的数字输出是在中间的两个四分之一内还是在外部的四分之一内。这样,偏移控制107确定等于内部两个四分之一的子范围。它通过将第二个(Mth)位的四分之一添加到前两个位来确定下限来进行此操作(S601)。使用图2和图4中所示的示例,下限将为1,0,0,0,0,0(32)加上等于1,0,0,1,0,0(36)的0,0,0,1,0,0(4)。偏移控制107然后将四分之三加到前两位以确定上限(S602)。在此示例中,上限为1,0,0,0,0,0(32)加上等于1,0,1,1,0,0(44)的0,0,1,1,0,0(12)。

[0051] 偏移控制107然后确定存储在存储器106中的先前的数字输出是否在子范围内(S603)。如果在子范围内,则偏移控制107指示SAR逻辑102将前两位预加载为与先前的数字

输出相同 (S604)。通过根据先前的数字输出,通过将电容器110A、110B、111A、111B中的每一个连接到 V_{REF} 或接地,在模拟输入信号的第二采样已加载到节点117上后,它执行此操作。在上面给出的示例中,预加载的位将为1,0,因此,电容器110A和110B将连接到 V_{REF} ,电容器111A和111B将接地。然后以上述方式对位3进行位试验 (S605)。

[0052] 在此示例中,先前的数字输出1,0,1,1,1,0在子范围之外。这样,偏移控制107接下来确定先前的数字值是在上四分之一还是下四分之一中 (S606)。在该示例中,它在上四分之一中,因此SAR逻辑102向前M个比特添加偏移量 (S607)。在该示例中,SAR逻辑102将半位添加到位2(第M位)。因此,预加载为 $1, \frac{1}{2}$ 。这导致将要进行进一步位试验的范围向上移动第M位的一半,从而将先前的数字输出居中。这减少了下一个输入超出范围的可能性。在这个例子中,通过将电容器110A和110B连接到 V_{REF} 来对其进行预加载,从而将位1设置为“1”;数字等效值32。电容器111A通过将其连接到 V_{REF} 而被预加载,而电容器111B没有通过将其接地而被预加载,从而将位2设置为“1/2”,数字等效值8。然后,以上述方式对位3进行位试验 (S605)。如果先前的数字输出已经在较低的四分之一中,则偏移控制107将指示SAR逻辑107减去半位 (S608)。因此,预加载为 $\frac{1}{2}, \frac{1}{2}$ 。在这种情况下,通过将电容器110A和111A连接到 V_{REF} 来对其进行预加载,从而将位1设置为“1/2”;数字等效值16。电容110B和111B不通过将其接地来预加载,从而将位2设置为“1/2”,数字等效值8。因此,总预加载为24。然后,以上述方式对位3进行位试验 (S605)。

[0053] 在以上示例中,DAC是6位DAC,并且预加载位的数量是2。将理解的是,本公开内容可以应用于具有不同位数和不同M值的DAC。

[0054] 上面的示例是在单端输入的情况下给出的。本公开还可以应用于差分SAR ADC。图8示出了用于实现本公开的差分DAC 800的示例。图8的布置与图5所示的布置相似,但是存在两个二进制加权的电容器阵列;每个输入一个。

[0055] 在图8所示的示例中,DAC是6位差分DAC。每个输入都连接到不同的电容器阵列。第一阵列801A连接到第一模拟输入 V_{INP} 。第二阵列801B连接到第二模拟输入 V_{INM} 。在该示例中,第一阵列的位1由一对均具有等于十六的值的分离电容器802A和802B表示。第一阵列的位2代表二进制等效值16,并且包括一对分离电容器803A和803B。这些电容器中的每一个具有等于八个的值。位3代表8的数字等效值,并且具有单个电容器804。位4具有代表数字4的单个电容器805。位5具有代表数字2的一个电容器806。位6是具有代表数字1的单个电容器807的最低有效位(LSB)。位7是虚拟位,其电容器808的值等效于807。

[0056] 第二阵列包括一组电容器,其与第一阵列的电容器成镜像。在该示例中,第二阵列的位1由一对分割电容器809A和809B表示,每个分割电容器具有等于十六的值。第二阵列的位2表示16的二进制等效值,并且包括一对分离电容器810A和810B。这些电容器中的每一个具有等于八个的值。位3代表8的数字等效值,并且具有单个电容器811。位4具有代表数字4的单个电容器812。位5具有代表数字2的一个电容器813。位6是具有代表数字1的单个电容器814的最低有效位(LSB)。位7是一个虚拟位,其值等于814的电容器815。

[0057] 位1的电容为C,因此,每个电容器802A、802B、809A和809B的电容为C/2。其余位的电容如下:

[0058] 位2=C/2

[0059] 位3=C/4

[0060] 位4=C/8

[0061] 位5=C/16

[0062] 位6=C/32

[0063] 位7=C/32

[0064] 因此,剩余电容器的值如下:

[0065] 803A=C/4

[0066] 803B=C/4

[0067] 810A=C/4

[0068] 810B=C/4

[0069] 804=C/4

[0070] 811=C/4

[0071] 805=C/8

[0072] 812=C/8

[0073] 806=C/16

[0074] 813=C/16

[0075] 807=C/32

[0076] 814=C/32

[0077] 808=C/32

[0078] 815=C/32

[0079] 阵列的总电容 $C_{\text{总}}$ 为 $2C$ 。伪位(位7)用于确保总数为 $2C$ 。

[0080] 第一阵列的每个电容器的上板连接到相应的开关816A至816I。每个开关都是三路开关,可以连接到模拟输入信号 V_{INP} 、参考电压 V_{REF} 和地。模拟输入信号 V_{INP} 通过另一个开关817连接到开关。每个电容器的底板连接到公共节点818,公共节点818连接到比较器819的正输入。公共节点819也通过开关820接地。

[0081] 第二阵列的每个电容器的下板连接到相应的开关821A至821I。每个开关都是三路开关,可以连接到模拟输入信号 V_{INM} 、参考电压 V_{REF} 和地。模拟输入信号 V_{INM} 通过另一个开关822连接到开关。每个电容器的上板连接到公共节点823,该公共节点823连接到比较器819的负输入。公共节点823也通过开关824接地。

[0082] 开关由来自SAR逻辑的控制信号控制,就像图5所示的DAC一样。除了上面指出的结构差异之外,图8所示的DAC的运行方式与SAR ADC 100的运行方式相同。

[0083] 图9是显示四个不同的10位SAR ADC的平均位试验次数与平均代码变化的图表。不管每个样本的代码更改如何,常规SAR总是会进行10位试验,这是可以预期的。当平均代码更改增加时,LSB的第一个SAR会进行10多个位的试验。随着平均代码变化的增加,没有偏移的自适应SAR通常在每个样本大约10位试验时趋于平稳。使用该偏移量的本公开的SARADC在每个样本大约10位试验时也趋于平稳,在较低的平均代码变化下,该比特的性能优于无偏移的自适应SAR。

[0084] 应当理解,本公开可以应用于具有除上述布置之外的布置的DAC。

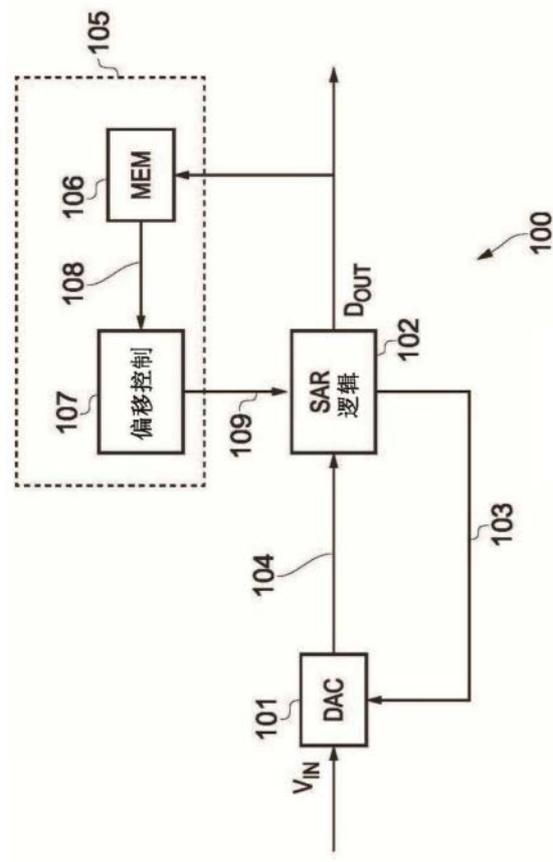


图1

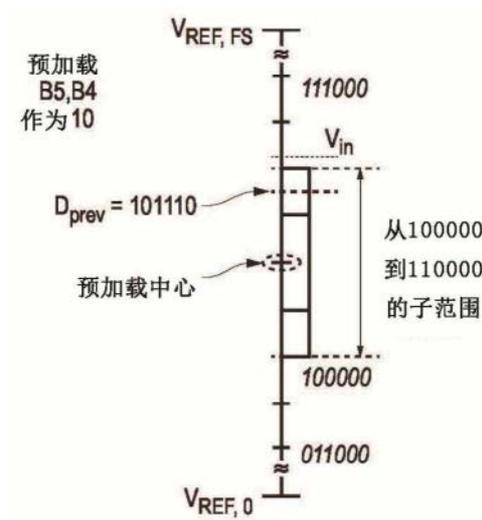


图2

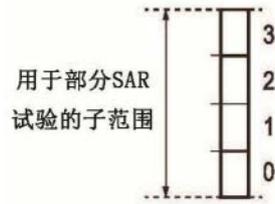


图3

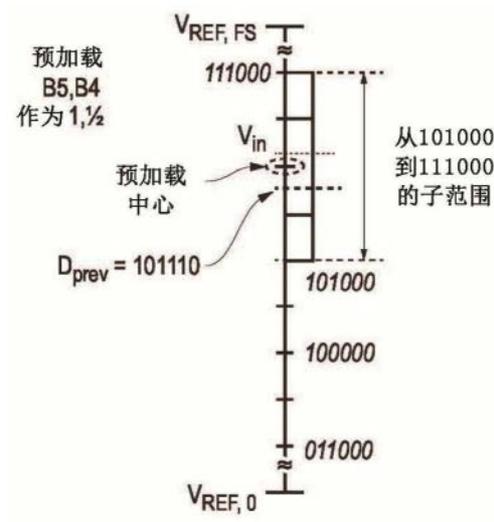


图4

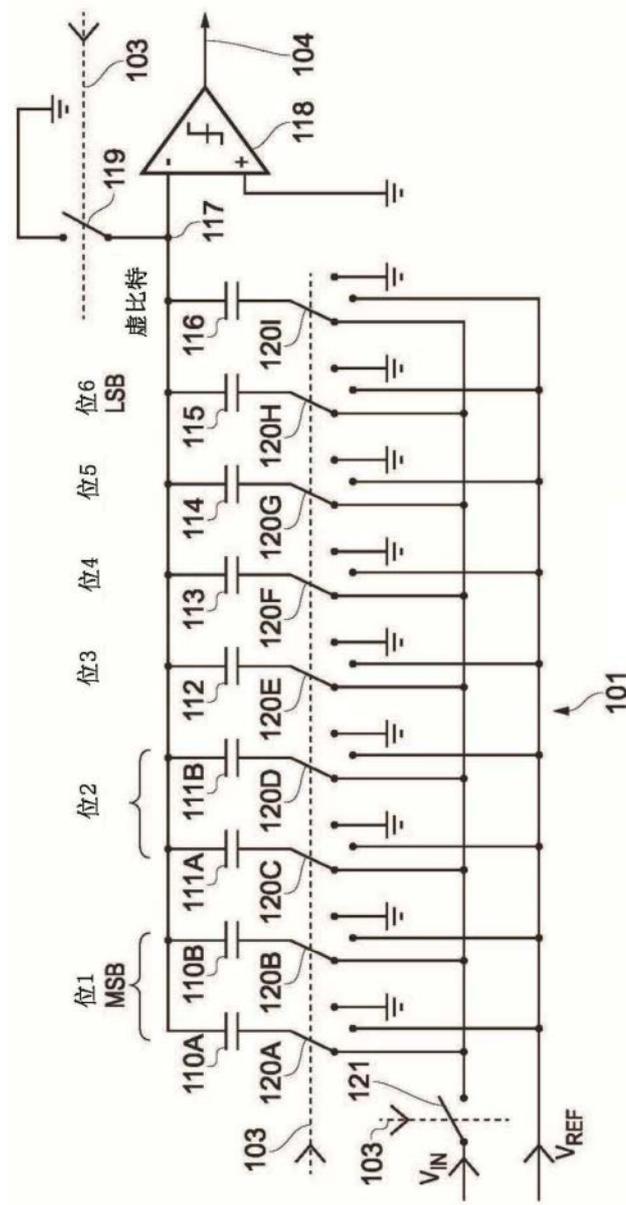


图5

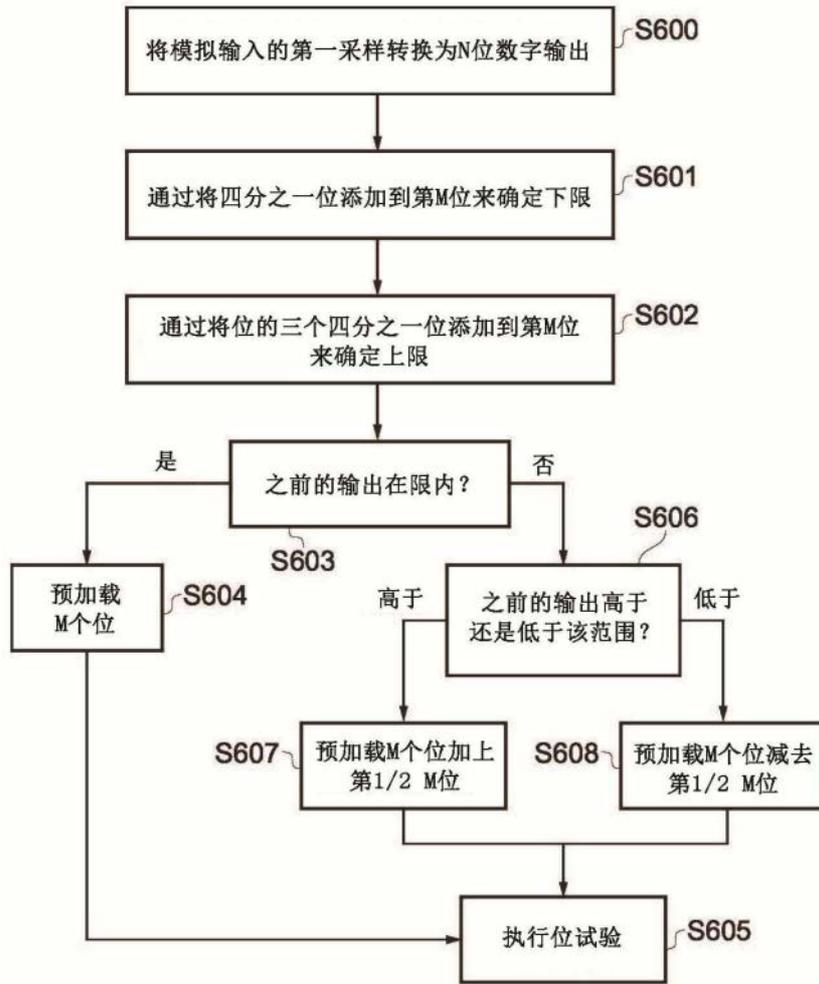


图6

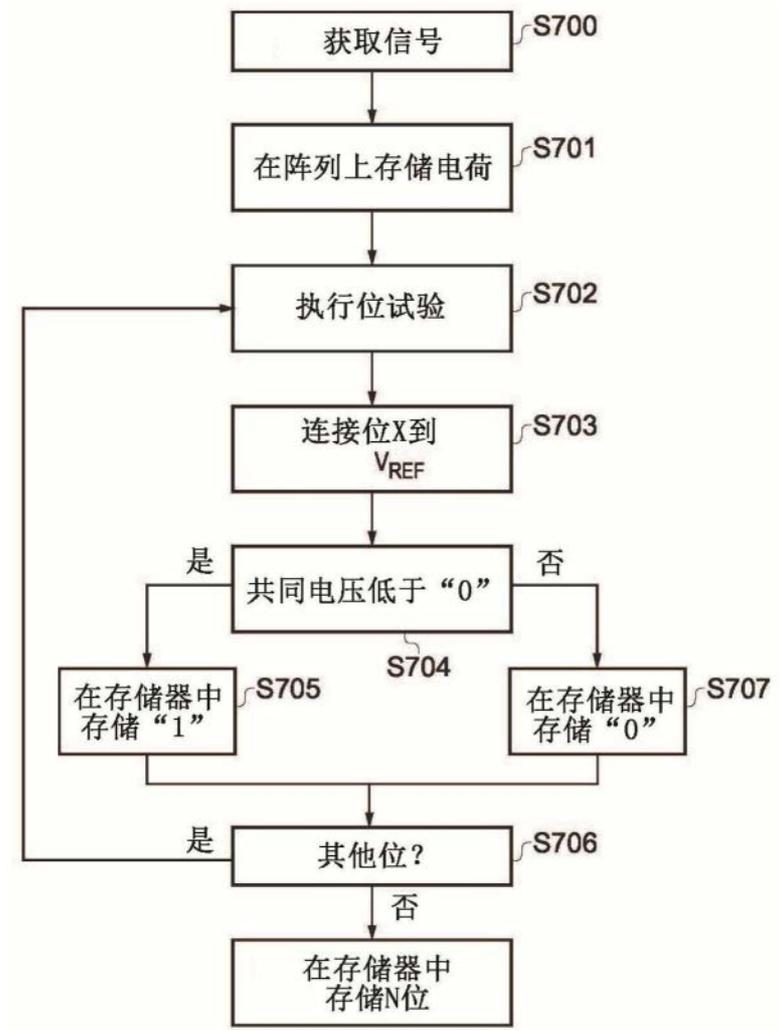


图7

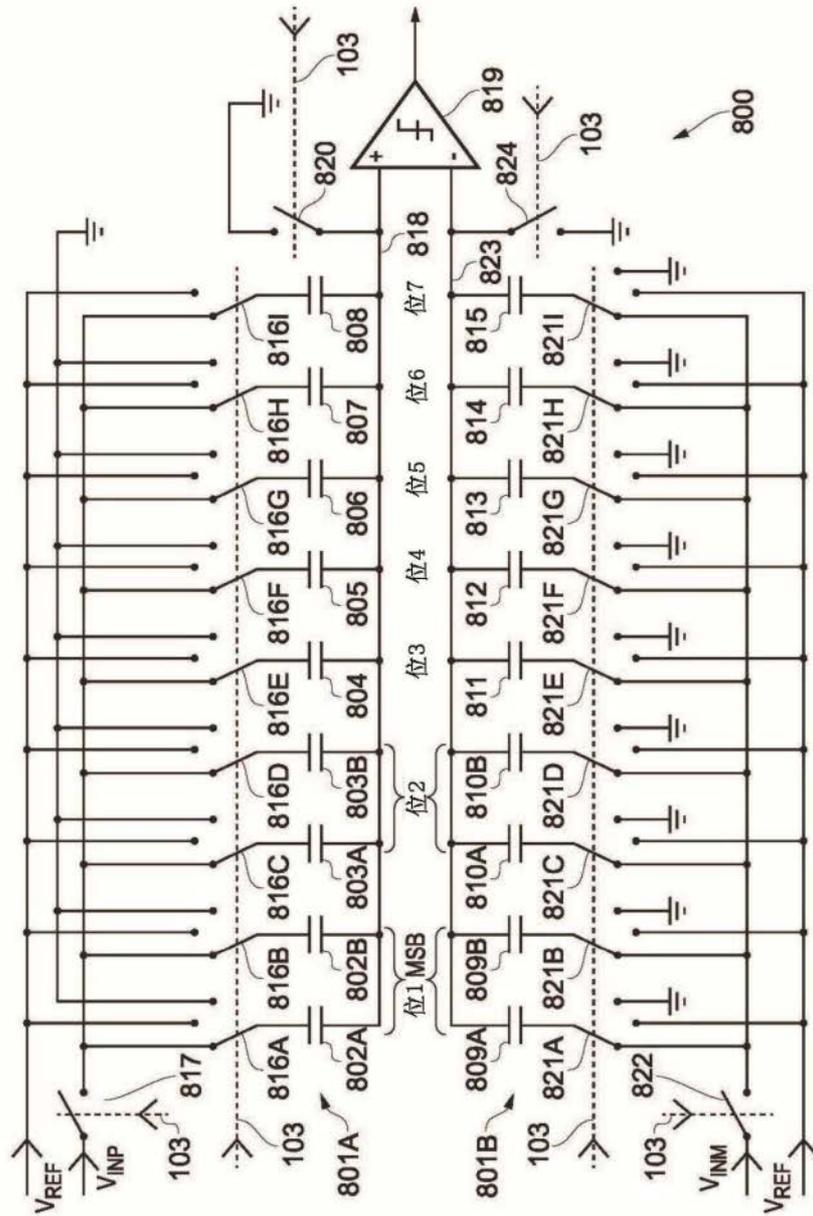


图8

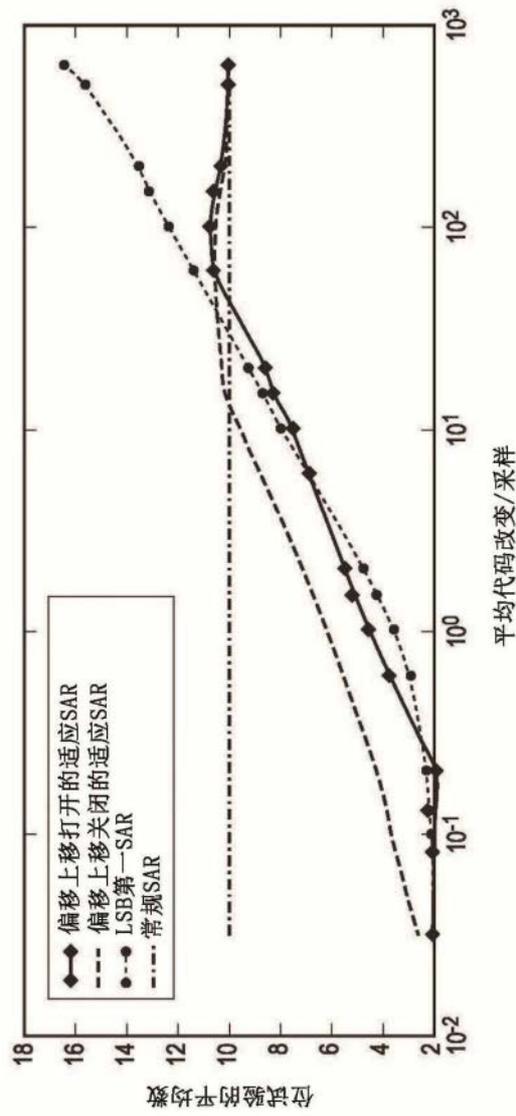


图9