



(10) **DE 10 2015 117 218 B4** 2020.08.06

(12)

Patentschrift

(21) Aktenzeichen: **10 2015 117 218.6**
(22) Anmeldetag: **09.10.2015**
(43) Offenlegungstag: **06.04.2017**
(45) Veröffentlichungstag
der Patenterteilung: **06.08.2020**

(51) Int Cl.: **H01L 29/78 (2006.01)**
H01L 21/336 (2006.01)
H01L 27/11 (2006.01)
H01L 21/8244 (2006.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:

14/875,504 05.10.2015 US

(73) Patentinhaber:

**Taiwan Semiconductor Manufacturing Company,
Ltd., Hsin-Chu, TW**

(74) Vertreter:

**BOEHMERT & BOEHMERT Anwaltspartnerschaft
mbB - Patentanwälte Rechtsanwälte, 28209
Bremen, DE**

(72) Erfinder:

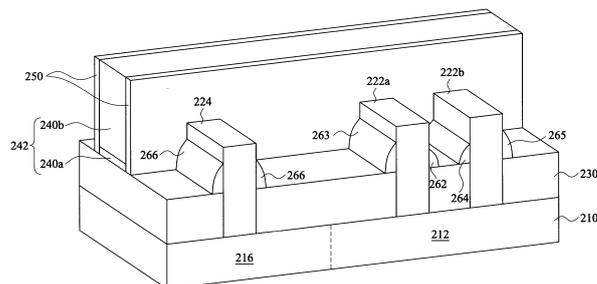
**Yu, Ming-Hua, Hsinchu, TW; Lee, Yi-Jing,
Hsinchu, TW; Kwok, Tsz-Mei, Hsinchu, TW; Li,
Kun-Mu, Hsinchu, TW**

(56) Ermittelter Stand der Technik:

US 2012 / 0 043 597 A1
US 2014 / 0 191 323 A1

(54) Bezeichnung: **Integrierte Schaltung und ihr Herstellungsverfahren**

(57) Hauptanspruch: Integrierte Schaltung, umfassend:
eine erste Halbleiterfinne (222a);
eine erste auf der ersten Halbleiterfinne (222a) angeordnete
erste Epitaxiestruktur (272a); und
mindestens zwei erste dielektrische Finnenseitenwandstruk-
turen (262, 263), die aufgegenüberliegenden Seitenwänden
der ersten Epitaxiestruktur (272a) angeordnet sind, wobei
eine der ersten dielektrischen Finnenseitenwandstrukturen
(262, 263), die auf einer Seite der ersten Epitaxiestruktur
(272a) angeordnet ist, eine andere Höhe hat als eine andere
der ersten dielektrischen Finnenseitenwandstrukturen (262,
263), die auf der gegenüberliegenden Seite der ersten Epita-
xiestruktur (272a) angeordnet ist.



Beschreibung

ALLGEMEINER STAND DER TECHNIK

[0001] Während die Halbleiterindustrie in die Nanometertechnologie-Prozessknoten im Streben nach höherer Packungsdichte, höherer Leistung und geringeren Kosten Fortschritte gemacht hat, ergeben sich Herausforderungen sowohl bei Herstellungs- als auch Designproblemen in der Entwicklung von dreidimensionalen Designs wie ein finnenartiger Feldeffekttransistor (FinFET). Ein FinFET umfasst eine erweiterte Halbleiterfinne, die über ein Substrat in einer zur Ebene des Substrates senkrechten Richtung erhöht ist. Der Kanal des FET ist in dieser Seitenfinne gebildet. Ein Gate ist über der Finne vorgesehen (und umwickelt z. B. die Finne). Die FinFETs können den Kurzkanaleffekt weiter reduzieren.

[0002] Die Druckschrift US 2012 / 0 043 597 A1 beschreibt eine Halbleitervorrichtung mit mehreren Finnen, wobei jeweils Nitrid-Abstandshalter um die Finnen herum ausgebildet sind und die Finnen durch Isolationsbereiche getrennt sind.

[0003] Die Druckschrift US 2014 / 0 191 323 A1 beschreibt ebenfalls eine Halbleiterstruktur mit mehreren Finnen, wobei ein oberer Teil der Finnen mit einem ersten dielektrischen Material bedeckt und ein unterer Teil der Finnen mit einem zweiten dielektrischen Material bedeckt ist, wobei ein mittlerer Teil der Finnen frei bleibt. Die Struktur dient zur Ausbildung eines FinFETs.

[0004] Die Erfindung sieht eine integrierte Schaltung gemäß Patentanspruch 1, eine integrierte Schaltung gemäß Patentanspruch 11 und ein Verfahren gemäß Patentanspruch 16 vor. Ausgestaltungen der Erfindung sind in den abhängigen Ansprüchen angegeben.

Figurenliste

[0005] Aspekte der vorliegenden Offenbarung werden aus der folgenden ausführlichen Beschreibung am besten verstanden, wenn sie mit den begleitenden Figuren gelesen werden. Es ist zu beachten, dass gemäß der branchenüblichen Praxis verschiedene Merkmale nicht maßstäblich gezeichnet sind. Tatsächlich können die Dimensionen der verschiedenen Merkmale zur Übersichtlichkeit der Erörterung willkürlich vergrößert oder reduziert sein.

Fig. 1 ist ein Schaltplan einer Sechstransistor-(6T)-SRAM-Zelle.

Die **Fig. 2A** bis **Fig. 6A** sind Draufsichten eines Verfahrens zum Herstellen einer integrierten Schaltung bei verschiedenen Stufen gemäß einigen Ausführungsformen der vorliegenden Offenbarung.

Die **Fig. 2B** bis **Fig. 6B** sind perspektivische Ansichten des Bereichs B der **Fig. 2A** bis **Fig. 6A**.

Fig. 4C ist eine Schnittdarstellung entlang der Linie C-C von **Fig. 4A**.

Fig. 6C ist eine Schnittdarstellung entlang der Linie C-C von **Fig. 6A**.

Fig. 7 ist eine grafische Darstellung, welche die Beziehungen von Breiten einer Epitaxiestruktur gegenüber Höhen einer dielektrischen Finnen-seitenwandstruktur darstellt.

AUSFÜHRLICHE BESCHREIBUNG

[0006] Die vorliegende Offenbarung kann Bezugsnummern und/oder -zeichen in den verschiedenen Beispielen wiederholen. Diese Wiederholung dient zum Zweck der Einfachheit und Übersichtlichkeit und diktiert nicht an sich eine Beziehung zwischen den verschiedenen beschriebenen Ausführungsformen und/oder Konfigurationen.

[0007] Weiter können räumlich relative Begriffe, wie „darunter“, „unter“, „untere“, „über“, „obere“ und dergleichen zur Erleichterung der Erörterung hierin verwendet sein, um die Beziehung eines Elements oder Merkmals zu einem bzw. zu anderen Elementen oder Merkmalen wie veranschaulicht in den Figuren zu beschreiben. Die räumlich relativen Begriffe sollen zusätzlich zu der Ausrichtung, die in den Figuren gezeigt ist, verschiedene Ausrichtungen der Vorrichtung bei der Verwendung oder beim Betrieb der Vorrichtung umfassen. Die Vorrichtung kann anderweitig ausgerichtet sein (um 90 Grad gedreht oder in anderen Ausrichtungen) und die hier verwendeten räumlichen relativen Beschreiber können desgleichen dementsprechend interpretiert werden.

[0008] Die vorliegende Offenbarung wird in Bezug auf Ausführungsformen, einem statischen RAM-Speicher (SRAM), beschrieben, der aus Finnen-Feldeffekttransistoren (FinFETs) gebildet ist. Die Ausführungsformen der Offenbarung können jedoch auch auf eine Vielzahl von integrierten Schaltungen angewandt werden. Verschiedene Ausführungsformen werden im Detail unter Bezugnahme auf die begleitenden Zeichnungen erklärt.

[0009] Statischer RAM-Speicher (SRAM) ist eine Art von flüchtigem Halbleiterspeicher, der bistabile Latchschaltkreise verwendet, um jedes Bit zu speichern. Jedes Bit in einem SRAM wird auf vier Transistoren gespeichert (PU-1, PU-2, PD-1 und PD-2), die zwei kreuzgekoppelte Inverter bilden. Diese SRAM-Zelle weist zwei stabile Zustände auf, die verwendet werden, um 0 und 1 zu bezeichnen. Zwei zusätzliche Zugriffstransistoren (PG 1 und PG 2) dienen dazu, den Zugriff auf eine Speicherzelle während Lese- und Schreibvorgängen zu steuern.

[0010] Fig. 1 ist ein Schaltplan einer Sechstransistor- (6T) - SRAM-Zelle. Die SRAM-Zelle **100** umfasst einen ersten Wechselrichter **102**, der durch einen Pullup-Transistor PU-1 und einen Pulldown-Transistor PD-1 gebildet ist. Die SRAM-Zelle **100** umfasst weiter einen zweiten Inverter **104**, der durch einen Pullup-Transistor PU-2 und einen Pulldown-Transistor PD-2 gebildet ist. Des Weiteren sind sowohl der erste Inverter **102** als auch der zweite Inverter **104** zwischen einer Potenziialschiene Vdd und einem Massepotenzial Vss gekoppelt. Bei einigen Ausführungsformen können die Pullup-Transistoren PU-1 und PU-2 p-Metalloxidhalbleiter- (PMOS) -Transistoren sein, während die Pulldown-Transistoren PD-1 und PD-2 n-Metalloxidhalbleiter-(NMOS) - Transistoren sein können, und der beanspruchte Umfang der vorliegenden Offenbarung ist in dieser Hinsicht nicht eingeschränkt.

[0011] In Fig. 1 sind der erste Inverter **102** und der zweite Inverter **104** kreuzgekoppelt. D. h., der erste Inverter **102** weist einen Eingang auf, der mit dem Ausgang des zweiten Inverters **104** verbunden ist. D. h., der erste Inverter **102** weist einen Eingang auf, der mit dem Ausgang des zweiten Inverters **104** verbunden ist. Der Ausgang des ersten Inverters **102** wird als ein Speicherknoten **103** bezeichnet. Der Ausgang des ersten Inverters **104** wird als ein Speicherknoten **105** bezeichnet. In einem normalen Betrieb ist der Speicherknoten **103** im entgegengesetzten logischen Zustand wie der Speicherknoten **105**. Durch Einsetzen von zwei kreuzgekoppelten Invertern kann die SRAM-Zelle **100** die Daten unter Verwendung einer Latch-Struktur halten, sodass die gespeicherten Daten nicht ohne Anwenden eines Refreshzyklus verloren werden solange Strom durch Vdd geliefert wird.

[0012] In einer SRAM-Vorrichtung unter Verwendung von 6T-SRAM-Zellen sind die Zellen in Reihen und Spalten angeordnet. Die Spalten der SRAM-Anordnung werden durch Bitleitungspaare, das heißt, einer ersten Bitleitung BL und einer zweiten Bitleitung BLB gebildet. Die Zellen der SRAM-Vorrichtung sind zwischen den entsprechenden Bitleitungspaaren angeordnet. Wie gezeigt in Fig. 1 ist die SRAM-Zelle **100** zwischen der Bitleitung BL und der Bitleitung BLB angeordnet.

[0013] In Fig. 1 umfasst die SRAM-Zelle **100** weiter einen ersten Durchgangsgatetransistor PG-1, der zwischen der Bitleitung BL und dem Ausgang **103** des ersten Inverters **102** verbunden ist. Die SRAM-Zelle **100** umfasst weiter einen zweiten Durchgangsgatetransistor PG-2, der zwischen der Bitleitung BLB und dem Ausgang **105** des zweiten Inverters **104** verbunden ist. Die Gates des ersten Durchgangsgatetransistor PG-1 und des zweiten Durchgangsgatetransistors PG-2 sind mit einer Wortleitung WL verbunden, die SRAM-Zellen in einer Reihe der SRAM-Array verbindet.

[0014] Wenn im Betrieb die Durchgangsgatetransistoren PG-1 und PG-2 inaktiv sind, erhält die SRAM-Zelle **100** die komplementären Werte an den Speicherknoten **103** und **105** auf unbestimmte Zeit aufrecht, solange Strom durch Vdd geliefert wird. Der Grund ist, dass jeder Inverter des Paares der kreuzgekoppelten Inverter den Eingang des anderen ansteuert, wodurch die Spannungen an den Speicherknoten aufrechterhalten werden. Diese Situation bleibt stabil, bis der Strom vom SRAM entfernt oder ein Schreibzyklus ausgeführt wird, der die gespeicherten Daten an den Speicherknoten ändert.

[0015] Im Schaltplan von Fig. 1 sind die Pullup-Transistoren PU-1, PU-2 p-Transistoren. Die Pulldown-Transistoren PD-1, PD-2 und die Durchgangsgatetransistoren PG-1, PG 2 sind n-Transistoren. Gemäß verschiedenen Ausführungsformen können die Pullup-Transistoren PU-1, PU-2, die Pulldown-Transistoren PD-1, PD-2 und die Durchgangsgatetransistoren PG-1, PG-2 durch FinFETs implementiert werden.

[0016] Die Struktur der SRAM-Zelle **100** in Fig. 1 wird im Kontext des 6T-SRAM beschrieben. Ein Durchschnittsfachmann sollte jedoch verstehen, dass Merkmale der verschiedenen hier beschriebenen Ausführungsformen verwendet werden können, um andere Arten von Vorrichtungen wie eine 8T-SRAM-Speichervorrichtung oder andere Speichervorrichtungen als SRAM zu bilden. Des Weiteren können Ausführungsformen der vorliegenden Offenbarung als eigenständige Speichervorrichtungen, Speichervorrichtungen, die in andere integrierte Schaltungen integriert sind, oder dergleichen verwendet werden. Dementsprechend veranschaulichen die hier beschriebenen Ausführungsformen Arten und Weisen, die Offenbarung herzustellen und zu verwenden, und sie begrenzen den Umfang der Offenbarung nicht.

[0017] Die Fig. 2A bis Fig. 6A sind Draufsichten eines Verfahrens zum Herstellen einer integrierten Schaltung in verschiedenen Stufen gemäß einigen Ausführungsformen der vorliegenden Offenbarung und die Fig. 2B bis Fig. 6B sind perspektivische Ansichten des Bereichs B der Fig. 2A bis Fig. 6A. In den Fig. 2A bis Fig. 6A ist die integrierte Schaltung eine SRAM-Vorrichtung, die vier Speicherzellen **200a**, **200b**, **200c** und **200d** umfasst. Bei einigen anderen Ausführungsformen ist jedoch die Anzahl von den Speicherzellen **200a**, **200b**, **200c** und **200d** in der SRAM-Vorrichtung in dieser Hinsicht nicht eingeschränkt. Es wird Bezug genommen auf die Fig. 2A und Fig. 2B. Ein Substrat **210** wird bereitgestellt. Bei einigen Ausführungsformen kann das Substrat **210** ein Halbleitermaterial sein und kann bekannte Strukturen umfassen, die beispielsweise eine gradierte Schicht oder ein vergrabenes Oxid umfassen. Bei einigen Ausführungsformen umfasst das

Substrat **210** Bulksilizium, das undotiert oder dotiert sein kann (z. B. p, n oder eine Kombination davon). Andere Materialien, die für die Bildung der Halbleitervorrichtung geeignet sind, können verwendet werden. Andere Materialien, wie Germanium, Quarz, Saphir und Glas könnten alternativ für das Substrat **210** verwendet werden. Alternativ kann das Siliziumsubstrat **210** eine aktive Schicht eines Halbleiter-Auf-Isolator- (SOI) -Substrates sein oder eine mehrschichtige Struktur wie eine Siliziumgermaniumschicht, die auf einer Bulksiliziumschicht gebildet ist.

[0018] Mehrere erste Wannenregionen **212** und mehrere zweite Wannenregionen **216** sind in dem Substrat **210** gebildet. Eine der zweiten Wannenregionen **216** ist zwischen zwei der ersten Wannenregionen **212** gebildet. Bei einigen Ausführungsformen ist die erste Wannenregion **212** eine p-Wannenregion und die zweite Wannenregion **216** eine n-Wannenregion und der beanspruchte Umfang ist in dieser Hinsicht nicht eingeschränkt. Bei einigen Ausführungsformen sind die ersten Wannenregionen **212** mit P-Dotierstoffmaterial wie Borionen implantiert und die zweiten Wannenregionen **216** mit N-Dotierstoffmaterial wie Arsenionen implantiert. Während der Implantation der ersten Wannenregionen **212** werden die zweiten Wannenregionen **216** mit Masken (wie Fotolack) abgedeckt und während der Implantation der zweiten Wannenregionen **216** werden die ersten Wannenregionen **212** mit Masken (wie Fotolack) abgedeckt.

[0019] Mehrere Halbleiterfinnen **222a**, **222b**, **224**, **226a**, **226b** und **228** sind auf dem Substrat **210** gebildet. Ausführlicher sind die Halbleiterfinnen **222a**, **222b**, **226a** und **226b** auf den ersten Regionen der Wanne **212** gebildet und die Halbleiterfinnen **224** und **228** auf den zweiten Regionen der Wanne **216** gebildet. Bei einigen Ausführungsformen umfassen die Halbleiterfinnen **222a**, **222b**, **224**, **226a**, **226b** und **228** Silizium. Es ist zu beachten ist, dass die Anzahl an Halbleiterfinnen **222a**, **222b**, **224**, **226a**, **226b** und **228** in den **Fig. 2A** veranschaulichend ist und den beanspruchten Umfang der vorliegenden Offenbarung nicht begrenzen soll. Ein Durchschnittsfachmann kann die geeignete Anzahl für die Halbleiterfinnen **222a**, **222b**, **224**, **226a**, **226b** und **228** anhand tatsächlicher Situationen auswählen. Beispielsweise ist in **Fig. 2A** die Anzahl an Halbleiterfinnen **222** (**222a** und **222b**) zwei, so wie die Halbleiterfinnen **226** (**226a** und **226b**). Bei einigen anderen Ausführungsformen kann die Anzahl an Halbleiterfinnen in den ersten Regionen der Wanne **212** jedoch entsprechend größer als zwei sein.

[0020] In **Fig. 2A** ist ein erster Abstand **D1** zwischen den Halbleiterfinnen **222a** und **222b** (oder **226a** und **226b**) kürzer als ein zweiter Abstand **D2** zwischen den Halbleiterfinnen **222a** und **224** (oder **226a** und **228**). D. h., die Halbleiterfinnen **222a**, **222b**, **226a**,

226b auf den ersten Regionen der Wanne **212** sind dichter als die Halbleiterfinnen **224** und **228** auf der zweiten Region der Wanne **216**.

[0021] Die Halbleiterfinnen **222a**, **222b**, **224**, **226a**, **226b** und **228** können beispielsweise durch Strukturieren und Ätzen des Substrats **210** unter Verwendung von Fotolithografiertechniken gebildet werden. Bei einigen Ausführungsformen wird eine Fotolackmaterialschiicht (nicht dargestellt) über dem Substrat **210** abgeschieden. Die Fotolackmaterialschiicht wird gemäß einer gewünschten Struktur (die Halbleiterfinnen **222a**, **222b**, **224**, **226a**, **226b** und **228** in diesem Fall) bestrahlt (belichtet) und entwickelt, um einen Abschnitt des Fotolackmaterials zu entfernen. Das verbleibende Fotolackmaterial schützt das darunterliegende Material vor anschließenden Verarbeitungsschritten wie Ätzen. Es sollte beachtet werden, dass andere Masken, wie eine Oxid- oder Siliziumnitridmaske im Ätzprozess ebenfalls verwendet werden können.

[0022] Es wird Bezug genommen auf die **Fig. 3A** und **Fig. 3B**. Ein Abschnitt der Halbleiterfinnen **224** und **228** wird entfernt. Beispielsweise wird eine Fotomaske (nicht dargestellt), die Strukturen für die Halbleiterfinnen **224** und **228** enthält, verwendet, um Abschnitte der Halbleiterfinnen **224** und **228** zu schützen, die erhalten werden sollen. Freigelegte Abschnitte von beiden der Halbleiterfinnen **224** und **228** werden dann zur gleichen Zeit geätzt.

[0023] Anschließend werden mehrere Isolierungsstrukturen **230** auf dem Substrat **210** gebildet. Die Isolierungsstrukturen **230**, die als eine flache Grabenisolation (STI) um die Halbleiterfinnen **222a**, **222b**, **224**, **226a**, **226b** und **228** herum agieren, können durch chemische Gasphasenabscheidungs- (CVD) -Techniken unter Verwendung von Tetraethylorthosilicat (TEOS) und Sauerstoff als ein Vorläufer gebildet werden. Bei einigen anderen Ausführungsformen können die Isolierungsstrukturen **230** durch Einpflanzen von Ionen wie Sauerstoff, Stickstoff, Kohlenstoff oder dergleichen, in das Substrat **210** gebildet werden. Bei noch einigen weiteren Ausführungsformen sind die Isolierungsstrukturen **230** Isolatorschichten eines SOI-Wafers.

[0024] Es wird Bezug genommen auf die **Fig. 4A** und **Fig. 4B**. Mehrere Gatestapel **242**, **244**, **246** und **248** werden auf Abschnitten der Halbleiterfinnen **222a**, **222b**, **224**, **226a**, **226b** und **228** gebildet und legen andere Abschnitte der Halbleiterfinnen **222a**, **222b**, **224**, **226a**, **226b** und **228** frei. Ausführlicher wird der Gatestapel **242** bei einigen Ausführungsformen auf Abschnitten der Halbleiterfinnen **222a**, **222b** und **224** und weiter auf einem Abschnitt der Halbleiterfinne **228** gebildet; der Gatestapel **244** wird bei einigen Ausführungsformen auf Abschnitten der Halbleiterfinnen **226a**, **226b** und **228** und weiter auf ei-

nem Abschnitt der Halbleiterfinne **224** gebildet; der Gatestapel **246** wird auf Abschnitten der Halbleiterfinnen **222a** und **222b** gebildet und der Gatestapel **248** wird auf Abschnitten der Halbleiterfinnen **226a** und **226b** gebildet.

[0025] Wie gezeigt in **Fig. 4B** umfasst mindestens einer aus den Gatestapeln **242**, **244**, **246** und **248** eine Gateisolatorschicht **240a** und eine Gateelektrodenschicht **240b**. Die Gateisolatorschicht **240a** wird zwischen der Gateelektrodenschicht **240b** und dem Substrat **210** angeordnet und auf den Halbleiterfinnen **222a**, **222b**, **224**, **226a**, **226b** und **228** gebildet. Die Gateisolatorschicht **240a**, die Elektronentleerung verhindert, kann beispielsweise ein High-k-Dielektrikummaterial wie Metalloxide, metallische Nitride, metallische Silikate, Übergangsmetalloxide, Übergangsmetallnitride, Übergangsmetallsilikate, Oxynitride von Metallen, metallische Aluminate, Zirkoniumsilicat, Zirconiumaluminat oder Kombinationen davon umfassen. Einige Ausführungsformen können Hafniumoxid (HfO₂), Hafniumsiliziumoxid (HfSiO), Hafniumsiliziumoxinitrid (HfSiON), Hafniumtantaloxid (HfLaO), Hafniumtitanoxid (HfTiO), Hafniumzirkonoxid (HfZrO), Lanthanoxid (LaO), Zirkonoxid (ZrO), Titanoxid (TiO), Tantaloxid (Ta₂O₅), Yttriumoxid (Y₂O₃), Strontiumtitanoxid (SrTiO₃, STO), Bariumtitanoxid (BaTiO₃, BTO), Bariumzirkonoxid (BaZrO), Hafniumlanthanoxid (HfLaO), Lanthansiliziumoxid (LaSiO), Aluminiumsiliziumoxid (AlSiO), Aluminiumoxid (Al₂O₃), Siliziumnitrid (Si₃N₄), Oxynitride (SiON) und Kombinationen davon umfassen. Die Gateisolatorschicht **240a** kann eine Mehrschichtstruktur wie eine Schicht aus Siliziumoxid (z. B. Zwischenschicht) und eine andere Schicht aus High-k-Material aufweisen.

[0026] Die Gateisolatorschicht **240b** kann unter Verwendung von chemischer Gasphasenabscheidung (CVD), physikalischer Gasphasenabscheidung (PVD), Atomlagenabscheidung (ALD), thermischem Oxid, Ozonoxidation, anderen geeigneten Prozessen oder Kombinationen davon gebildet werden. Die Gateelektrodenschichten **240b** werden über dem Substrat **210** gebildet, um die Gateisolatorschichten **240a** und die Abschnitte der Halbleiterfinnen **222a**, **222b**, **224**, **226a**, **226b** und **228** abzudecken. Bei einigen Ausführungsformen umfasst die Gateelektrodenschicht **240b** ein Halbleitermaterial wie Polysilizium, amorphes Silizium oder dergleichen. Die Gateelektrodenschicht **240b** kann dotiert oder undotiert abgeschieden werden. Bei einigen Ausführungsformen umfasst die Gateelektrodenschicht **240b** beispielsweise Polysilizium, das undotiert durch chemische Niederdruckgasphasenabscheidung (LPCVD) abgeschieden wird. Das Polysilizium kann beispielsweise auch durch Ofenabscheidung eines in situ dotierten Polysiliziums abgeschieden werden. Alternativ kann die Gateelektrodenschicht **240b** eine Metalllegierung aus Polysilizium oder ein Metallgate einschließlich Metallen wie Wolfram (W), Nickel (Ni), Aluminium

(Al), Tantal (Ta), Titan (Ti) oder jede Kombination davon umfassen.

[0027] In **Fig. 4B** sind mehrere Gateabstandselemente **250** über dem Substrat **210** und entlang den Seiten der Gatestapel **242**, **244**, **246** und **248** gebildet. Zur Übersichtlichkeit sind die Gateabstandselemente **250** in **Fig. 4B** veranschaulicht und in **Fig. 4A** ausgelassen. Bei einigen Ausführungsformen können die Gateabstandselemente **250** Siliziumoxid, Siliziumnitrid, Siliziumoxynitrid oder ein anderes geeignetes Material umfassen. Die Gateabstandselemente **250** können eine Einzelschicht- oder Mehrschichtstruktur umfassen. Eine Deckschicht der Gateabstandselemente **250** kann durch CVD, PVD, ALD oder eine andere geeignete Technik gebildet werden. Dann wird ein anisotropes Ätzen auf der Deckschicht ausgeführt, um ein Paar der Gateabstandselemente **250** auf zwei Seiten der Gatestapel **222a**, **222b**, **224**, **226a**, **226b** und **228** zu bilden. Bei einigen Ausführungsformen werden die Gateabstandselemente **250** verwendet, um anschließend gebildete dotierte Regionen wie Source/Drain-Regionen zu versetzen. Die Gateabstandselemente **250** können weiter verwendet werden, um das Source/Drain-Region- (Übergang) -Profil zu konzipieren oder zu modifizieren.

[0028] Mehrere dielektrische Finnenseitenwandstrukturen **262** und **263** werden auf gegenüberliegenden Seitenwänden der Halbleiterfinnen **222a** und **226a** gebildet und mehrere dielektrische Finnenseitenwandstrukturen **264** und **265** werden auf gegenüberliegenden Seitenwänden der Halbleiterfinnen **222b** und **226b** gebildet. Des Weiteren werden mehrere dielektrische Finnenseitenwandstrukturen **266** auf gegenüberliegenden Seitenwänden der Halbleiterfinnen **224** und **228** gebildet. Die dielektrischen Finnenseitenwandstrukturen **262** und **263** werden entlang den Halbleiterfinnen **222a** und **226a** gebildet, die dielektrischen Finnenseitenwandstrukturen **264** und **265** werden entlang den Halbleiterfinnen **222b** und **226b** gebildet und die dielektrischen Finnenseitenwandstrukturen **266** werden entlang den Halbleiterfinnen **224** und **228** gebildet. Ausführlicher werden in der einzelnen SRAM-Zelle **200a** (oder **200b** oder **200c** oder **200d**) die dielektrischen Finnenseitenwandstrukturen **262** und **264** zwischen den Halbleiterfinnen **222a** und **222b** (oder **226a** und **226b**) gebildet, die Halbleiterfinne **222a** (oder **226a**) wird zwischen den dielektrischen Finnenseitenwandstrukturen **262** und **263** gebildet und die Halbleiterfinne **222b** (oder **226b**) wird zwischen den dielektrischen Finnenseitenwandstrukturen **264** und **265** gebildet. Des Weiteren ist in **Fig. 4B** die dielektrische Finnenseitenwandstruktur **263** zwischen den Halbleiterfinnen **222a** und **224** (oder **226a** und **228**) angeordnet. Daher können die dielektrischen Finnenseitenwandstrukturen **262** und **264** als innere dielektrische Finnenseitenwandstrukturen bezeichnet wer-

den und die dielektrischen Finnenseitenwandstrukturen **263** und **265** als äußere dielektrische Finnenseitenwandstrukturen bezeichnet werden.

[0029] Zum Bilden der dielektrischen Finnenseitenwandstrukturen **262**, **263**, **264**, **265** und **266** bei einigen Ausführungsformen wird ein Abscheidungsgas auf den Halbleiterfinnen **222a**, **222b**, **224**, **226a**, **226b** und **228** vorgesehen, um eine Dielektrikumschicht (nicht dargestellt) darauf zu bilden. Bei einigen Ausführungsformen erfolgt die Abscheidung in situ in einer Ätzkammer unter Verwendung eines plasmaunterstützten chemischen Gasphasenabscheidungs-(CVD) - Prozesses, der die Dielektrikumschicht abscheidet, um die Halbleiterfinnen **222a**, **222b**, **224**, **226a**, **226b** und **228** abzudecken. Der Abscheidungsprozess kann eine Ionenbeschussenergie anwenden, um eine Selektivität einer solchen Abscheidung zu ermöglichen. Da das Abscheidungsgas fließfähig ist und der erste Abstand **D1** zwischen den Halbleiterfinnen **222a** und **222b** (oder **226a** und **226b**) kürzer ist als der zweite Abstand **D2** zwischen den Halbleiterfinnen **222a** und **224** (oder **226a** und **228**), ist der Betrag an Dielektrikum, das zwischen den Halbleiterfinnen **222a** und **224** (oder **226a** und **228**) abgeschieden wird, größer als der Betrag an Dielektrikum, das zwischen den Halbleiterfinnen **222a** und **222b** (oder **226a** und **226b**) abgeschieden wird. Mit anderen Worten wird mehr Dielektrikum auf einer der Seitenwände der Halbleiterfinne **222a** (**222b**, **226a** und/oder **226b**) abgeschieden als auf einer anderen der Seitenwände der ersten Halbleiterfinne **222a** (**222b**, **226a** und/oder **226b**). Daher ist die gebildete Dielektrikumschicht zwischen den Halbleiterfinnen **222a** und **224** (oder **226a** und **228**) dicker als zwischen den Halbleiterfinnen **222a** und **222b** (oder **226a** und **226b**). Anschließend wird die Dielektrikumschicht zurückgeätzt, um die dielektrischen Finnenseitenwandstrukturen **262**, **263**, **264**, **265** und **266** zu bilden. Bei einigen Ausführungsformen kann das Abscheidungsgas eine Kombination eines ersten Gasvorläufers und eines zweiten Gasvorläufers sein, ist aber nicht beschränkt darauf. Der erste Gasvorläufer umfasst eine Verbindung, die Siliziumatome enthält (z. B. SiH_4 , SiH_3 , SiCl_2H_2) und der zweite Gasvorläufer umfasst eine Verbindung, die Stickstoffatome enthält (z. B. NH_3 , N_2O). Beispielsweise wird SiCl_2H_2 -Gas mit NH_3 reagiert, um eine Siliziumnitridabscheidungsschicht zu bilden. Die Siliziumnitridabscheidungsschicht wird dann unter Verwendung von Ätzgas wie HBr , C_{12} , CH_4 , CHF_3 , CH_2F_2 , CF_4 , Ar , H_2 , N_2 , O_2 oder Kombinationen davon geätzt.

[0030] Fig. 4C ist eine Schnittdarstellung entlang der Linie C-C von Fig. 4A. In Fig. 4C weist die dielektrische Finnenseitenwandstruktur **262** eine Höhe **H1** auf und die dielektrische Finnenseitenwandstruktur **263** weist eine Höhe **H2** größer als die Höhe **H1** auf. Des Weiteren weist ein Abschnitt der Halbleiterfinne

222a, der von den Isolierungsstrukturen **230** vorsteht, eine Höhe **H3** größer als die Höhen **H1** und **H2** auf. Außerdem weist die dielektrische Finnenseitenwandstruktur **264** eine Höhe **H4** auf und die dielektrische Finnenseitenwandstruktur **265** weist eine Höhe **H5** größer als die Höhe **H4** auf. Des Weiteren weist ein Abschnitt der Halbleiterfinne **222b**, der von den Isolierungsstrukturen **230** vorsteht, eine Höhe **H6** größer als die Höhen **H4** und **H5** auf. Des Weiteren können die dielektrischen Finnenseitenwandstrukturen **266** im Wesentlichen die gleichen oder unterschiedliche Höhen aufweisen. Bei einigen Ausführungsformen weist eine der dielektrischen Finnenseitenwandstrukturen **266** eine Höhe **H7** auf. Ein Abschnitt der Halbleiterfinne **224**, der von den Isolierungsstrukturen **230** vorsteht, weist eine Höhe **H8** größer als die Höhe **H7** auf. Bei einigen Ausführungsformen können die Höhen **H1**, **H2**, **H3** und **H4** in einem Bereich von ungefähr 10 nm bis zu ungefähr 25 nm liegen und der beanspruchte Umfang ist in dieser Hinsicht nicht eingeschränkt. Die Höhen **H1**, **H2**, **H3** und **H4** können beispielsweise durch Ätzen abgestimmt werden, um das Profil der darauf gebildeten Epitaxialstrukturen **272a**, **272b** und **276** (siehe die Fig. 6A und Fig. 6B) anzupassen.

[0031] In Fig. 4A bilden die Halbleiterfinnen **222a** und **222b** und der Gatestapel **242** einen Pulldown-Transistor PD-1 und die Halbleiterfinne **224** und der Gatestapel **242** bilden einen Pullup-Transistor PU-1. Mit anderen Worten benutzen der Pulldown-Transistor PD-1 und der Pullup-Transistor PU-1 den Gatestapel **242** gemeinsam. Die Halbleiterfinne **226a** und **226b** und der Gatestapel **244** bilden einen weiteren Pulldown-Transistor PD-2 und die Halbleiterfinne **228** und der Gatestapel **244** bilden einen weiteren Pullup-Transistor PU-2. Mit anderen Worten benutzen der Pulldown-Transistor PD-2 und der Pullup-Transistor PU-2 den Gatestapel **244** gemeinsam. Des Weiteren bilden die Halbleiterfinne **222a** und **222b** und der Gatestapel **246** einen Durchgangsgatetransistor PG-1. Mit anderen Worten benutzen der Pulldown-Transistor PD-1 und der Durchgangsgatetransistor PG-1 die Halbleiterfinnen **222a** und **222b** gemeinsam. Die Halbleiterfinne **226a** und **226b** und der Gatestapel **248** bilden einen weiteren Durchgangsgatetransistor PG-2. Mit anderen Worten benutzen der Pulldown-Transistor PD-2 und der Durchgangsgatetransistor PG-2 die Halbleiterfinnen **226a** und **226b** gemeinsam. Daher ist die SRAM-Zelle **200a** ein Sechstransistor-(6T) -SRAM. Ein Durchschnittsfachmann sollte jedoch verstehen, dass Merkmale der verschiedenen hier beschriebenen Ausführungsformen verwendet werden können, um andere Arten von Vorrichtungen wie eine 8T-SRAM-Speichervorrichtung oder andere integrierte Schaltungen zu bilden.

[0032] In Fig. 4A können die Layouts von Grundschaltungen gewendet oder gedreht werden, um höhere Packungsdichten zu ermöglichen, wenn die

SRAM-Zellen **200a** bis **200d** zusammen angeordnet sind, um eine Anordnung (hier eine SRAM-Vorrichtung) zu bilden. Häufig können durch Wenden der Zelle über einen Zellenrand oder eine Zellenachse und Anordnen der gewendeten Zelle angrenzend an die Originalzelle gemeinsame Knoten und Verbindungen kombiniert werden, um die Packungsdichte zu erhöhen. Beispielsweise sind die SRAM-Zellen **200a** bis **200d** Spiegelbilder und in gedrehten Bildern voneinander. Speziell sind die SRAM-Zellen **200a** und **200b** Spiegelbilder über eine Y-Achse wie auch die SRAM-Zellen **200c** und **200d**. Die SRAM-Zellen **200a** und **200c** sind Spiegelbilder über eine X-Achse wie auch die SRAM-Zellen **200b** und **200d**. Weiter sind die diagonalen SRAM-Zellen (die SRAM-Zellen **200a** und **200d**; die SRAM-Zellen **200b** und **200c**) gedrehte Bilder voneinander bei 180 Grad.

[0033] Es wird Bezug genommen auf die **Fig. 5A** und **Fig. 5B**. Ein Abschnitt der Halbleiterfinnen **222a**, **222b**, **224**, **226a**, **226b** und **228**, die sowohl durch die Gatestapel **242**, **244**, **246** und **248** als auch die Gateabstandselemente **250** freigelegt werden, wird teilweise entfernt (oder teilweise ausgespart), um die Aussparungen **R** in den Halbleiterfinnen **222a**, **222b**, **224**, **226a**, **226b** und **228** zu bilden. In den **Fig. 5A** und **Fig. 5B** ist die Aussparung **R** mit den dielektrischen Finnenseitenwandstrukturen **262** und **263** (oder **264** und **265** oder **266**) als deren oberer Abschnitt gebildet. Bei einigen Ausführungsformen sind die Seitenwände der Aussparungen **R** im Wesentlichen und vertikal parallel zueinander. Bei einigen anderen Ausführungsformen werden die Aussparungen **R** mit einem nicht vertikalen parallelen Profil gebildet.

[0034] In **Fig. 5B** umfasst die Halbleiterfinne **222a** mindestens einen Kanalabschnitt **223ac** und mindestens einen ausgesparten Abschnitt **223ar**. Der Gatestapel **242** deckt den Kanalabschnitt **223ac** ab und die Aussparung **R** ist auf dem ausgesparten Abschnitt **223ar** gebildet. Die Halbleiterfinne **222b** umfasst mindestens einen Kanalabschnitt **223bc** und mindestens einen ausgesparten Abschnitt **223br**. Der Gatestapel **242** deckt den Kanalabschnitt **223bc** ab und die Aussparung **R** ist auf dem ausgesparten Abschnitt **223br** gebildet. Die Halbleiterfinne **224** umfasst mindestens einen Kanalabschnitt **225c** und mindestens einen ausgesparten Abschnitt **225r**. Der Gatestapel **242** deckt den Kanalabschnitt **225c** ab und die Aussparung **R** ist auf dem ausgesparten Abschnitt **225r** gebildet. Außerdem umfassen die Halbleiterfinnen **226a**, **226b**, **228** individuell mindestens einen Kanalabschnitt und mindestens einen ausgesparten Abschnitt (nicht gezeigt). Da die Kanalabschnitte und die ausgesparten Abschnitte der Halbleiterfinnen **226a**, **226b**, **228** ähnliche Konfigurationen wie die Kanalabschnitte **223ac**, **223bc**, **225c** und die ausgesparten Abschnitte **223ar**, **223br**, **225r** aufweisen, wird eine Beschreibung in dieser Hinsicht im Folgenden nicht wiederholt.

[0035] Der Aussparungsprozess kann einen Trockenätzprozess, Nassätzprozess und/oder Kombination davon umfassen. Der Aussparungsprozess umfasst ein selektives Nassätzen oder ein selektives Trockenätzen. Eine Nassätzlösung umfasst ein Tetramethylammoniumhydroxid (TMAH), eine HF/HNO₃/CH₃COOH-Lösung oder eine andere geeignete Lösung. Die Trocken- und Nassätzprozesse weisen Ätzparameter auf, die abgestimmt werden können, wie verwendete Ätzmittel, Ätztemperatur, Konzentration der Ätzlösung, Ätzdruck, Quellenleistung, HF-Vorspannung, HF-Magnetisierungsleistung, Ätzmittelvolumenstrom und andere geeignete Parameter. Beispielsweise kann eine Nassätzlösung NH₄OH, KOH (Kaliumhydroxid), HF (Fluorwasserstoffsäure), TMAH (Tetramethylammoniumhydroxid), andere geeignete Nassätzlösungen oder Kombinationen davon umfassen. Trockenätzprozesse umfassen einen vorgespannten Plasma-Ätzprozess, der eine chlorbasierte Chemikalie verwendet. Andere trockene Ätzmittelgase umfassen CF₄, NF₃, SF₆ und He. Trockenätzen kann auch anisotrop unter Verwendung von solchen Mechanismen wie DRIE (reaktives Ionentiefenätzen) ausgeführt werden.

[0036] Es wird Bezug genommen auf die **Fig. 6A** und **Fig. 6B**. Mehrere Epitaxiestrukturen **272a** sind entsprechend in den Aussparungen **R** von den Halbleiterfinnen **222a** und **226a** gebildet (siehe **Fig. 4A**), mehrere Epitaxiestrukturen **272b** sind entsprechend in den Aussparungen **R** von den Halbleiterfinnen **222b** und **226b** gebildet (siehe **Fig. 4A**) und mehrere Epitaxiestrukturen **276** sind entsprechend in den Aussparungen **R** von den Halbleiterfinnen **224** und **228** gebildet (siehe **Fig. 4A**). Die Epitaxiestrukturen **272a**, **272b** und **276** stehen von den Aussparungen **R** vor. Die Epitaxiestrukturen **272a**, **272b** und **276** können unter Verwendung von einem oder mehreren Epitaxie- oder epitaktischen (Epi) Prozessen gebildet werden, sodass Si-Merkmale, SiGe-Merkmale und/oder andere geeignete Merkmale in einem kristallinen Zustand auf den Halbleiterfinnen **222a**, **222b**, **224**, **226a**, **226b** und **228** gebildet werden können. Bei einigen Ausführungsformen unterscheiden sich die Gitterkonstanten der Epitaxiestrukturen **272a**, **272b** und **276** von Gitterkonstanten der Halbleiterfinnen **222a**, **222b**, **224**, **226a**, **226b** und **228** und die Epitaxiestrukturen **272a**, **272b** und **276** werden gespannt oder beansprucht, um Ladungsträgbeweglichkeit der Halbleitervorrichtung zu ermöglichen und die Vorrichtungsleistung zu verbessern. Die Epitaxiestrukturen **272a**, **272b** und **276** können Halbleitermaterial wie Germanium (Ge) oder Silizium (Si) umfassen; oder Verbindungshalbleitermaterialien wie Galliumarsenid (GaAs), Aluminiumgalliumarsenid (AlGaAs); oder eine Halbleiterlegierung wie Siliziumgermanium (SiGe), Galliumarsenidphosphid (GaAsP). Die Epitaxiestrukturen **272a**, **272b** und **276** weisen eine geeignete Kristallorientierung (z. B. eine Kristallorientierung **(100)**, **(110)** oder **(111)**) auf.

[0037] Bei einigen Ausführungsformen sind die Epitaxiestrukturen **272a** und **272b** n-Epitaxiestrukturen und die Epitaxiestrukturen **276** sind p-Epitaxiestrukturen. Die Epitaxiestrukturen **272a**, **272b** und **276** können in unterschiedlichen Epitaxieprozessen gebildet werden. Die Epitaxiestrukturen **272a** und **272b** können SiP-, SiC-, SiPC-, Si-, III-V-Verbindungshalbleitermaterialien oder Kombinationen davon umfassen und die Epitaxiestrukturen **276** können SiGe-, SiGeC-, Ge-, Si-, III-V-Verbindungshalbleitermaterialien oder Kombinationen davon umfassen. Während der Bildung der Epitaxiestrukturen **272a** und **272b** können n-Dotierstoffe wie Phosphor oder Arsen mit dem Fortschreiten der Epitaxie dotiert werden. Wenn beispielsweise die Epitaxiestruktur **272a** und **272b** SiC oder Si umfasst, werden n-Dotierstoffe dotiert. Während des Bildens der Epitaxiestrukturen **276** können des Weiteren p-Dotierstoffe wie Bor oder BF₂ mit dem Fortschreiten der Epitaxie dotiert werden. Wenn beispielsweise die Epitaxiestruktur **276** SiGe umfasst, werden p-Dotierstoffe dotiert. Die Epitaxieprozesse umfassen CVD-Abscheidungstechniken (z. B. Gasphasenepitaxie (VPE) und/oder Ultrahochvakuum-CVD (UHV-CVD)), Molekularstrahlepitaxie und/oder andere geeignete Prozesse. Der Epitaxieprozess kann gasförmige und/oder flüssige Vorläufer verwenden, die mit der Zusammensetzung der Halbleiterfinnen **222a**, **222b**, **224**, **226a**, **226b** und **228** (z. B. Silizium) interagieren. Daher kann ein gespannter Kanal erreicht werden, um die Ladungsträgerbeweglichkeit zu erhöhen und die Vorrichtungsleistung zu verbessern. Die Epitaxiestrukturen **272a**, **272b** und **276** können in situ dotiert werden. Wenn die Epitaxiestrukturen **272a**, **272b** und **276** nicht in situ dotiert werden, wird ein zweiter Implantierprozess (d. h., ein Übergangsimplantierprozess) ausgeführt, um die Epitaxiestrukturen **272a**, **272b** und **276** zu dotieren. Ein oder mehrere Glühprozesse können ausgeführt werden, um die Epitaxiestrukturen **272a**, **272b** und **276** zu aktivieren. Die Glühprozesse umfassen schnelles thermisches Glühen (RTA) und/oder Laserglühprozesse.

[0038] Fig. 6C ist eine Schnittdarstellung entlang der Linie C-C von Fig. 6A. Die Epitaxiestruktur **276** weist einen oberen Abschnitt **277a** und einen Körperabschnitt **277b** auf, der zwischen dem oberen Abschnitt **277a** und dem Substrat **210** angeordnet ist. Der obere Abschnitt **277a** weist eine Breite **W1** auf und der Körperabschnitt **277b** weist eine Breite **W2** auf, die kürzer ist als die Breite **W1**. Des Weiteren weist eine der Halbleiterfinnen **224** und **228** eine Breite **W3** auf und die Breiten **W2** und **W3** sind im Wesentlichen die gleichen und der beanspruchte Umfang ist in dieser Hinsicht nicht eingeschränkt. Die dielektrischen Finnenseitenwandstrukturen **266** sind auf gegenüberliegenden Seitenwänden der Körperabschnitte **277b** von der Epitaxiestruktur **276** angeordnet und die oberen Abschnitte **277a** der Epitaxiestruktur **276** sind auf den dielektrischen Finnenseitenwandstrukturen **266**

angeordnet. Bei einigen Ausführungsformen weisen die oberen Abschnitte **277a** der Epitaxiestruktur **276** Facettenflächen auf, die über den dielektrischen Finnenseitenwandstrukturen **266** dargestellt sind.

[0039] Des Weiteren weist die Epitaxiestruktur **272a** einen oberen Abschnitt **273a** und einen Körperabschnitt **273b** auf, der zwischen dem oberen Abschnitt **273a** und dem Substrat **210** angeordnet ist. Der obere Abschnitt **273a** weist eine Breite **W1'** auf und der Körperabschnitt **273b** weist eine Breite **W2'** auf, die kürzer ist als die Breite **W1'**. Des Weiteren weist eine der Halbleiterfinnen **222a** und **226a** eine Breite **W3'** auf und die Breiten **W2'** und **W3'** sind im Wesentlichen die gleichen und der beanspruchte Umfang ist in dieser Hinsicht nicht eingeschränkt. Die dielektrischen Finnenseitenwandstrukturen **262** und **263** sind auf gegenüberliegenden Seitenwänden der Körperabschnitte **273b** von der Epitaxiestruktur **272a** angeordnet und die oberen Abschnitte **273a** der Epitaxiestruktur **272a** sind auf den dielektrischen Finnenseitenwandstrukturen **262** und **263** angeordnet. Bei einigen Ausführungsformen weisen die oberen Abschnitte **273a** der Epitaxiestruktur **272a** eine runde Fläche auf, die über den dielektrischen Finnenseitenwandstrukturen **262** und **263** dargestellt ist.

[0040] Des Weiteren weist die Epitaxiestruktur **272b** einen oberen Abschnitt **274a** und einen Körperabschnitt **274b** auf, der zwischen dem oberen Abschnitt **274a** und dem Substrat **210** angeordnet ist. Der obere Abschnitt **274a** weist eine Breite **W1''** auf und der Körperabschnitt **274b** weist eine Breite **W2''** auf, die kürzer ist als die Breite **W1''**. Des Weiteren weist eine der Halbleiterfinnen **222b** und **226b** eine Breite **W3''** auf und die Breiten **W2''** und **W3''** sind im Wesentlichen die gleichen und der beanspruchte Umfang ist in dieser Hinsicht nicht eingeschränkt. Die dielektrischen Finnenseitenwandstrukturen **264** und **265** sind auf gegenüberliegenden Seitenwänden der Körperabschnitte **274b** von der Epitaxiestruktur **272b** angeordnet und die oberen Abschnitte **274a** der Epitaxiestruktur **272b** sind auf den dielektrischen Finnenseitenwandstrukturen **264** und **265** angeordnet. Bei einigen Ausführungsformen weisen die oberen Abschnitte **274a** der Epitaxiestruktur **272b** eine runde Fläche auf, die über den dielektrischen Finnenseitenwandstrukturen **264** und **265** dargestellt ist.

[0041] In Fig. 6C sind die Epitaxiestrukturen **272a** und **272b** physisch verbunden (oder zusammengeführt) und die Epitaxiestruktur **276** ist von den Epitaxiestrukturen **272a** und **272b** getrennt (oder isoliert). Ausführlicher erstrecken sich die Epitaxiestrukturen **272a** weiter zu den Epitaxiestrukturen **272b** als zu den Epitaxiestrukturen **276**. Mit anderen Worten weist ein Abschnitt der Epitaxiestruktur **272a**, der sich zwischen den Halbleiterfinnen **222a** und **222b** befindet, eine Breite **W4** auf, ein anderer Abschnitt der Epitaxiestruktur **272a**, der sich zwischen den Halbleiter-

terfinnen **222a** und **224** befindet, weist eine Breite **W5** auf und die Breite **W4** ist größer als die Breite **W5**. Daher ist die Epitaxiestruktur **272a** außermittig gebildet und der seitliche Raum zwischen den Epitaxiestrukturen **272a** und **276** ist erhöht. Ähnlich erstrecken sich die Epitaxiestrukturen **272b** zu den Epitaxiestrukturen **272a** weiter als zur angrenzenden SRAM-Zelle **200b** (siehe **Fig. 6A**). Mit anderen Worten weist ein Abschnitt der Epitaxiestruktur **272b**, der sich zwischen den Halbleiterfinnen **222a** und **222b** befindet, eine Breite **W6** auf, ein anderer Abschnitt der Epitaxiestruktur **272b**, der sich über der Isolierungsstruktur **230'** befindet, weist eine Breite **W7** auf und die Breite **W6** ist größer als die Breite **W7**. Daher sind die Epitaxiestrukturen **272b** außermittig gebildet. Daher können die Epitaxiestrukturen **272a** und **272b** physisch verbunden sein. Bei einigen Ausführungsformen können die Breiten **W4** und **W6** größer als ungefähr 10 nm sein und die Breiten **W5** und **W7** können in einem Bereich von ungefähr 5 nm bis zu ungefähr 15 nm liegen und der beanspruchte Umfang ist in dieser Hinsicht nicht eingeschränkt.

[0042] In **Fig. 6A** bilden die Halbleiterfinnen **222a**, **222b** (siehe **Fig. 4A**), die darauf gebildeten Epitaxiestrukturen **272a** und **272b**, die dielektrischen Finnenseitenwandstrukturen **262**, **263**, **264** und **265** (siehe **Fig. 4A**), die auf gegenüberliegenden Seitenwänden der Epitaxiestrukturen **272a** und **272b** gebildet sind, und der Gatestapel **242** den Pulldown-Transistor PD-1. Die Halbleiterfinne **224** (siehe **Fig. 4A**), die darauf gebildete Epitaxiestruktur **276**, die dielektrischen Finnenseitenwandstrukturen **266** (siehe **Fig. 4A**), die auf gegenüberliegenden Seitenwänden der Epitaxiestruktur **276** gebildet sind, und der Gatestapel **242** bilden den Pullup-Transistor PU-1. Die Halbleiterfinnen **226a**, **226b** (siehe **Fig. 4A**), die darauf gebildeten Epitaxiestrukturen **272a** und **272b**, die dielektrischen Finnenseitenwandstrukturen **262**, **263**, **264** und **265**, die auf gegenüberliegenden Seitenwänden der Epitaxiestrukturen **272a** und **272b** gebildet sind, und der Gatestapel **244** bilden den Pulldown-Transistor PD-2. Die Halbleiterfinne **228** (siehe **Fig. 4A**), die darauf gebildete Epitaxiestruktur **276**, die dielektrischen Finnenseitenwandstrukturen **266**, die auf gegenüberliegenden Seitenwänden der Epitaxiestruktur **276** gebildet sind, und der Gatestapel **244** bilden den Pullup-Transistor PU-2. Die Halbleiterfinnen **222a**, **222b**, die darauf gebildeten Epitaxiestrukturen **272a** und **272b**, die dielektrischen Finnenseitenwandstrukturen **262**, **263**, **264** und **265**, die auf gegenüberliegenden Seitenwänden der Epitaxiestrukturen **272a** und **272b** gebildet sind, und der Gatestapel **246** bilden den Durchgangsgatetransistor PG-1. Die Halbleiterfinnen **226a** und **226b** (siehe **Fig. 4A**), die darauf gebildeten Epitaxiestrukturen **272a** und **272b**, die dielektrischen Finnenseitenwandstrukturen **262**, **263**, **264** und **265**, die auf gegenüberliegenden Seitenwänden der Epitaxiestrukturen **272a** und **272b** gebildet sind, und der Gatestapel **248** bilden den Durchgangsgatetransistor

PG-2. Daher ist die SRAM-Zelle **200a** ein Sechstransistor- (6T) -SRAM. Ein Durchschnittsfachmann sollte jedoch verstehen, dass Merkmale der verschiedenen hier beschriebenen Ausführungsformen verwendet werden können, um andere Arten von Vorrichtungen wie eine 8T-SRAM-Speichervorrichtung zu bilden.

[0043] **Fig. 7** ist eine grafische Darstellung, welche die Beziehungen von (seitlichen) Breiten einer Epitaxiestruktur gegenüber Höhen einer dielektrischen Finnenseitenwandstruktur darstellt. Die vertikale Achse der grafischen Darstellung zeigt die Höhe der dielektrischen Finnenseitenwandstruktur und die horizontale Achse zeigt die (seitliche) Breite (z. B. die Breite **W1**, **W1'** oder **W2'** von **Fig. 6C**) von der Epitaxiestruktur. In **Fig. 7** betrug die Breite der Halbleiterfinne ungefähr 6 nm, die Höhe der Halbleiterfinne betrug ungefähr 50 nm und die Höhe der Isolierungsstruktur betrug ungefähr 10 nm.

[0044] Gemäß vorstehend genannten Ausführungsformen kann die Bildung der Epitaxiestrukturen durch die dielektrischen Finnenseitenwandstrukturen abgestimmt werden, da die dielektrischen Finnenseitenwandstrukturen auf gegenüberliegenden Seitenwänden der Halbleiterfinnen angeordnet sind. Ausführlicher erstreckt sich das Epitaxiewachstum der Epitaxiestrukturen sowohl vertikal als auch seitlich. Die dielektrischen Finnenseitenwandstrukturen können das vertikale und seitliche Epitaxiewachstum der Epitaxiestrukturen anpassen, sodass die Epitaxiestrukturen abhängig von der Konfiguration der dielektrischen Finnenseitenwandstrukturen voneinander getrennt oder zusammengeführt werden können. Ausführlicher unterscheiden sich die Höhen der dielektrischen Finnenseitenwandstrukturen auf gegenüberliegenden Seitenwänden der gleichen Halbleiterfinne, sodass die darauf gebildete Epitaxiestruktur außermittig sein kann. Daher können die angrenzenden Epitaxiestrukturen physisch verbunden oder weiter getrennt werden.

[0045] Gemäß einiger Ausführungsformen umfasst eine integrierte Schaltung eine erste Halbleiterfinne, eine erste Epitaxiestruktur und mindestens zwei erste dielektrische Finnenseitenwandstrukturen. Die erste Epitaxiestruktur ist auf der ersten Halbleiterfinne angeordnet. Die ersten Seitenwandstrukturen sind auf gegenüberliegenden Seitenwänden der ersten Epitaxiestruktur angeordnet. Die ersten dielektrischen Finnenseitenwandstrukturen weisen unterschiedliche Höhen auf.

[0046] Gemäß einigen Ausführungsformen umfasst eine integrierte Schaltung einen ersten Transistor. Der erste Transistor umfasst eine erste Halbleiterfinne, eine zweite Halbleiterfinne, einen ersten Gatestapel, mindestens eine erste Epitaxiestruktur, mindestens eine zweite Epitaxiestruktur, mindestens zwei

erste dielektrische Finnenseitenwandstrukturen und mindestens zwei zweite dielektrische Finnenseitenwandstrukturen. Die erste Halbleiterfinne weist mindestens einen ausgesparten Abschnitt und mindestens einen Kanalabschnitt auf. Die zweite Halbleiterfinne weist mindestens einen ausgesparten Abschnitt und mindestens einen Kanalabschnitt auf. Der erste Gatestapel deckt die Kanalabschnitte der ersten Halbleiterfinne und der zweiten Halbleiterfinne ab und lässt die ausgesparten Abschnitte der ersten Halbleiterfinne und der zweiten Halbleiterfinne unabgedeckt. Die erste Epitaxiestruktur und die zweite Epitaxiestruktur sind entsprechend auf den ausgesparten Abschnitten der ersten Halbleiterfinne und der zweiten Halbleiterfinne angeordnet. Die erste Epitaxiestruktur und die zweite Epitaxiestruktur sind zusammengeführt. Die ersten dielektrischen Finnenseitenwandstrukturen sind auf gegenüberliegenden Seitenwänden der ersten Epitaxiestruktur angeordnet. Eine der ersten dielektrischen Finnenseitenwandstrukturen, die zwischen der ersten Epitaxiestruktur und der zweiten Epitaxiestruktur angeordnet ist, ist niedriger als eine andere der ersten dielektrischen Finnenseitenwandstrukturen. Die zweiten dielektrischen Finnenseitenwandstrukturen sind auf gegenüberliegenden Seitenwänden der zweiten Epitaxiestruktur angeordnet.

[0047] Gemäß einigen Ausführungsformen umfasst ein Verfahren zum Herstellen einer integrierten Schaltung das Bilden einer ersten Halbleiterfinne. Das Bilden von mindestens zwei ersten dielektrischen Finnenseitenwandstrukturen auf gegenüberliegenden Seitenwänden der ersten Halbleiterfinne. Die ersten dielektrischen Finnenseitenwandstrukturen weisen unterschiedliche Höhen auf. Das Aussparen von mindestens einem Abschnitt der ersten Halbleiterfinne zwischen den ersten dielektrischen Finnenseitenwandstrukturen. Das Bilden einer ersten Epitaxiestruktur auf dem ausgesparten Abschnitt der ersten Halbleiterfinne.

Patentansprüche

1. Integrierte Schaltung, umfassend:
eine erste Halbleiterfinne (222a);
eine erste auf der ersten Halbleiterfinne (222a) angeordnete erste Epitaxiestruktur (272a); und
mindestens zwei erste dielektrische Finnenseitenwandstrukturen (262, 263), die auf gegenüberliegenden Seitenwänden der ersten Epitaxiestruktur (272a) angeordnet sind, wobei eine der ersten dielektrischen Finnenseitenwandstrukturen (262, 263), die auf einer Seite der ersten Epitaxiestruktur (272a) angeordnet ist, eine andere Höhe hat als eine andere der ersten dielektrischen Finnenseitenwandstrukturen (262, 263), die auf der gegenüberliegenden Seite der ersten Epitaxiestruktur (272a) angeordnet ist.

2. Integrierte Schaltung nach Anspruch 1, wobei die erste Epitaxiestruktur (272a) umfasst:
einen oberen Abschnitt (273a), der eine erste Breite aufweist; und
einen Körperabschnitt (273b), der zwischen dem oberen Abschnitt und der ersten Halbleiterfinne angeordnet ist, wobei der Körperabschnitt (273b) eine zweite Breite aufweist, die kürzer ist als die erste Breite, wobei die ersten dielektrischen Finnenseitenwandstrukturen (222a) auf gegenüberliegenden Seitenwänden des Körperabschnitts (273b) der ersten Epitaxiestruktur (272a) angeordnet sind und der obere Abschnitt (273a) auf den ersten dielektrischen Finnenseitenwandstrukturen (262, 263) angeordnet ist.

3. Integrierte Schaltung nach Anspruch 2, wobei die erste Halbleiterfinne (222a) eine dritte Breite aufweist, die im Wesentlichen die Gleiche wie die zweite Breite des Körperabschnitts (273b) der ersten Epitaxiestruktur ist.

4. Integrierte Schaltung nach einem der vorstehenden Ansprüche, weiter umfassend:
eine zweite Halbleiterfinne (222b); und
eine zweite Epitaxiestruktur (272b), die auf der zweiten Halbleiterfinne (222b) angeordnet und physisch mit der ersten Epitaxiestruktur (272a) verbunden ist.

5. Integrierte Schaltung nach Anspruch 4, weiter umfassend:
mindestens zwei zweite dielektrische Finnenseitenwandstrukturen (264, 265), die auf gegenüberliegenden Seitenwänden der zweiten Epitaxiestruktur (272b) angeordnet sind, wobei die zweiten dielektrischen Finnenseitenwandstrukturen (264, 265) unterschiedliche Höhen aufweisen.

6. Integrierte Schaltung nach Anspruch 4 oder 5, weiter umfassend:
eine dritte Halbleiterfinne (224), wobei die erste Halbleiterfinne (222a) zwischen der zweiten Halbleiterfinne (222b) und der dritten Halbleiterfinne (224) angeordnet ist; und eine dritte Epitaxiestruktur (276), die auf der dritten Halbleiterfinne (224) angeordnet ist, wobei die dritte Epitaxiestruktur (276) von der ersten Epitaxiestruktur (272a) getrennt ist.

7. Integrierte Schaltung nach Anspruch 6, weiter umfassend:
mindestens zwei dritte dielektrische Finnenseitenwandstrukturen (266), die auf gegenüberliegenden Seitenwänden der dritten Epitaxiestruktur (276) angeordnet sind.

8. Integrierte Schaltung nach Anspruch 6 oder 7, wobei ein erster Abstand zwischen der ersten Halbleiterfinne (222a) und der zweiten Halbleiterfinne (222b) kürzer ist als ein zweiter Abstand zwischen der ersten Halbleiterfinne (222a) und der dritten Halbleiterfinne (224).

9. Integrierte Schaltung nach einem der vorstehenden Ansprüche, weiter umfassend:
mindestens eine Isolationsstruktur (230), die angrenzend an die erste Halbleiterfinne (222a) angeordnet ist.

10. Integrierte Schaltung nach Anspruch 9, wobei eine Höhe mindestens einer der ersten dielektrischen Finnenseitenwandstrukturen (262, 263) kürzer ist als eine Höhe eines Abschnitts der ersten Halbleiterfinne (222a), die von der Isolierungsstruktur (230) vorsteht.

11. Integrierte Schaltung, umfassend:
einen ersten Transistor, umfassend:
eine erste Halbleiterfinne (222a), die mindestens einen ausgesparten Abschnitt und mindestens einen Kanalabschnitt aufweist;
eine zweite Halbleiterfinne (222b), die mindestens einen ausgesparten Abschnitt und mindestens einen Kanalabschnitt aufweist;
einen ersten Gatestapel (242), der die Kanalabschnitte der ersten Halbleiterfinne (222a) und der zweiten Halbleiterfinne (222b) abdeckt und die ausgesparten Abschnitte der ersten Halbleiterfinne (222a) und der zweiten Halbleiterfinne (222b) unabgedeckt lässt;
mindestens eine erste Epitaxiestruktur (272a) und mindestens eine zweite Epitaxiestruktur (272b), die entsprechend auf den ausgesparten Abschnitten der ersten Halbleiterfinne (222a) und der zweiten Halbleiterfinne (222b) angeordnet sind, wobei die erste Epitaxiestruktur (272a) und die zweite Epitaxiestruktur (272b) zusammengeführt sind; und
mindestens zwei erste dielektrische Finnenseitenwandstrukturen (262, 263), die auf gegenüberliegenden Seitenwänden der ersten Epitaxiestruktur (272a) angeordnet sind, wobei eine der ersten dielektrischen Finnenseitenwandstrukturen (262, 263), die zwischen der ersten Epitaxiestruktur (272a) und der zweiten Epitaxiestruktur (272b) angeordnet ist, niedriger ist als eine andere der ersten dielektrischen Finnenseitenwandstrukturen (262, 263); und
mindestens zwei zweite dielektrische Finnenseitenwandstrukturen (264, 265), die auf gegenüberliegenden Seitenwänden der zweiten Epitaxiestruktur (272b) angeordnet sind.

12. Integrierte Schaltung nach Anspruch 11, wobei eine der zweiten dielektrischen Finnenseitenwandstrukturen (264, 265), die zwischen der ersten Epitaxiestruktur (272a) und der zweiten Epitaxiestruktur (272b) angeordnet ist, niedriger ist als eine andere der zweiten dielektrischen Finnenseitenwandstrukturen (264, 265).

13. Integrierte Schaltung nach Anspruch 11 oder 12, weiter umfassend:
einen zweiten Transistor, der neben dem ersten Transistor angeordnet ist, wobei der zweite Transistor umfasst:

eine dritte Halbleiterfinne (224), die mindestens einen ausgesparten Abschnitt und mindestens einen Kanalabschnitt aufweist;
einen zweiten Gatestapel, der den Kanalabschnitt der dritten Halbleiterfinne (224) abdeckt und den ausgesparten Abschnitt der dritten Halbleiterfinne (224) unabgedeckt lässt; mindestens eine dritte Epitaxiestruktur (276), die auf dem ausgesparten Abschnitt der dritten Halbleiterfinne (224) angeordnet ist und von der ersten Epitaxiestruktur (272a) getrennt ist.

14. Integrierte Schaltung nach Anspruch 13, wobei der zweite Transistor weiter umfasst:
mindestens zwei dritte dielektrische Finnenseitenwandstrukturen (266), die auf gegenüberliegenden Seitenwänden der dritten Epitaxiestruktur (276) angeordnet sind.

15. Integrierte Schaltung nach Anspruch 13 oder 14, wobei die erste Epitaxiestruktur (272a) des ersten Transistors sich seitlich zur zweiten Epitaxiestruktur (272b) des ersten Transistors weiter erstreckt als zur dritten Epitaxiestruktur (276) des zweiten Transistors.

16. Verfahren zum Herstellen einer integrierten Schaltung, wobei das Verfahren umfasst:
Bilden einer ersten Halbleiterfinne (222a);
Bilden von mindestens zwei ersten dielektrischen Finnenseitenwandstrukturen (262, 263) auf gegenüberliegenden Seitenwänden der ersten Halbleiterfinne (222a), wobei die ersten dielektrischen Finnenseitenwandstrukturen (262, 263) unterschiedliche Höhen aufweisen;
Aussparen von mindestens einem Abschnitt der ersten Halbleiterfinne (222a) zwischen den ersten dielektrischen Finnenseitenwandstrukturen (262, 263); und
Bilden einer ersten Epitaxiestruktur (272a) auf dem ausgesparten Abschnitt der ersten Halbleiterfinne (222a).

17. Verfahren nach Anspruch 16, wobei das Bilden der ersten dielektrischen Finnenseitenwandstrukturen (262, 263) umfasst:
Bereitstellen eines Abscheidungsgases um die erste Halbleiterfinne (222a) herum, um die ersten dielektrischen Finnenseitenwandstrukturen (262, 263) zu bilden.

18. Verfahren nach Anspruch 17, wobei das Abscheidungsgas ein siliziumhaltiges Gas und ein stickstoffhaltiges Gas umfasst.

19. Verfahren nach einem der Ansprüche 16 bis 18, wobei das Bilden der ersten dielektrischen Finnenseitenwandstrukturen (262, 263) umfasst:
Abscheiden von mehr Dielektrikum auf einer Seitenwand der ersten Halbleiterfinne (222a) als auf einer anderen Seitenwand der ersten Halbleiterfinne (222a).

20. Verfahren nach einem der Ansprüche 16 bis 19, weiter umfassend:

Bilden einer zweiten Halbleiterfinne (222b) neben der ersten Halbleiterfinne (222a);

Bilden von mindestens zwei zweiten dielektrischen Finnenseitenwandstrukturen (264, 265) auf gegenüberliegenden Seitenwänden der zweiten Halbleiterfinne (222b), wobei die zweiten dielektrischen Finnenseitenwandstrukturen (264, 265) unterschiedliche Höhen aufweisen;

Aussparen von mindestens einem Abschnitt der zweiten Halbleiterfinne (222b) zwischen den zweiten dielektrischen Finnenseitenwandstrukturen (264, 265); und

Bilden einer zweiten Epitaxiestruktur (272b) auf dem ausgesparten Abschnitt der zweiten Halbleiterfinne (222a) und physisch verbunden mit der ersten Epitaxiestruktur (272a).

Es folgen 14 Seiten Zeichnungen

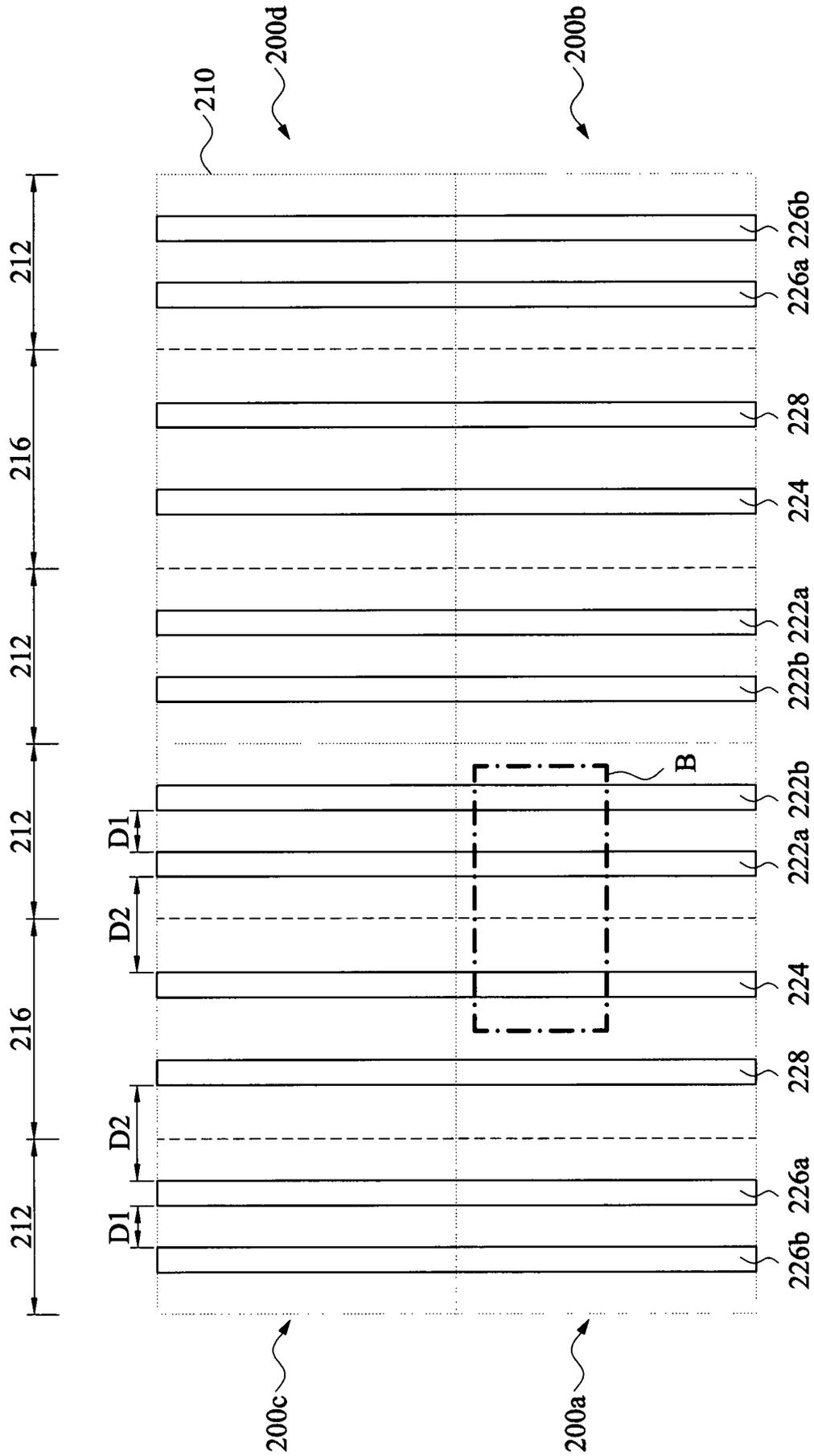


Fig. 2A

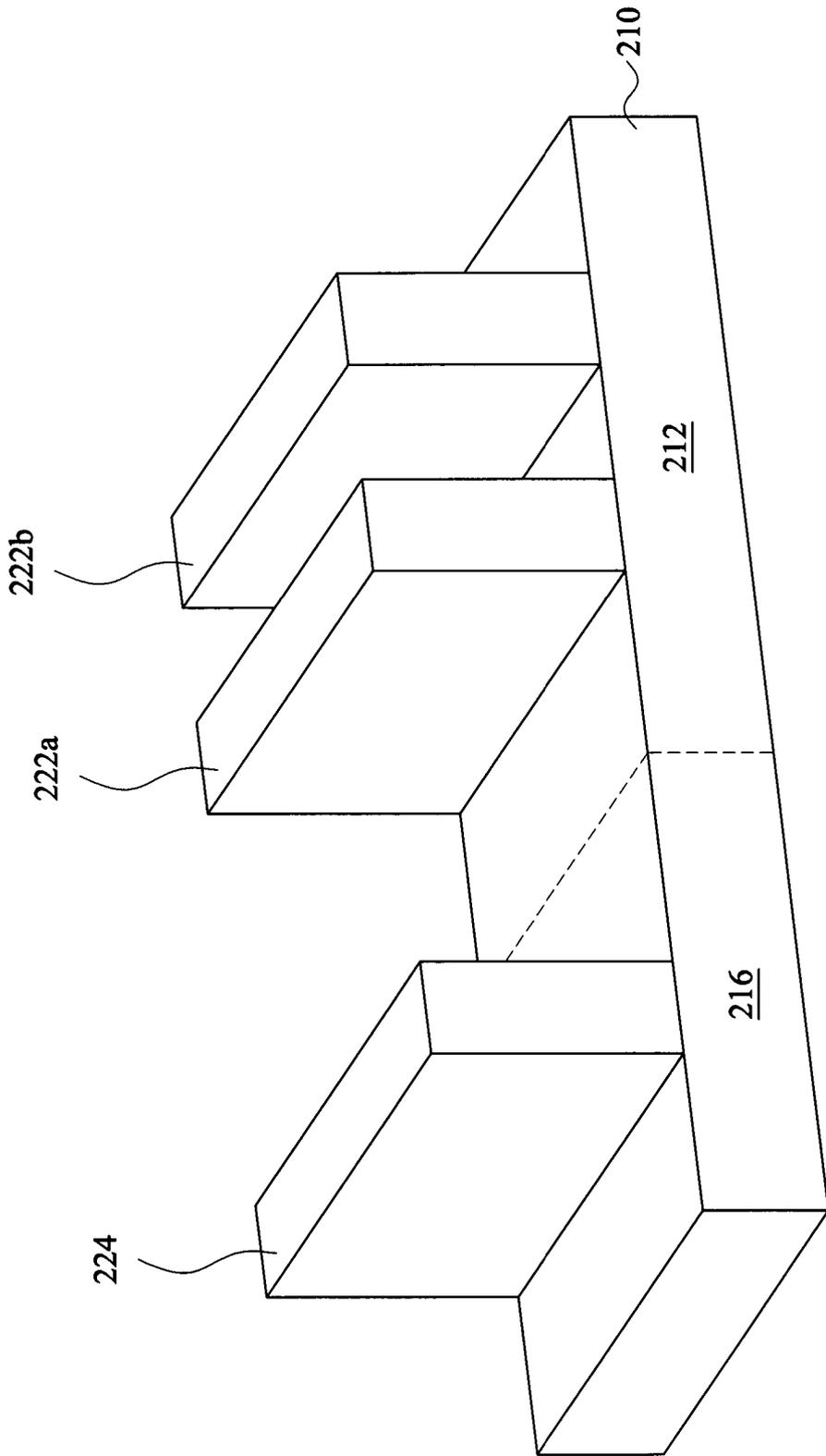


Fig. 2B

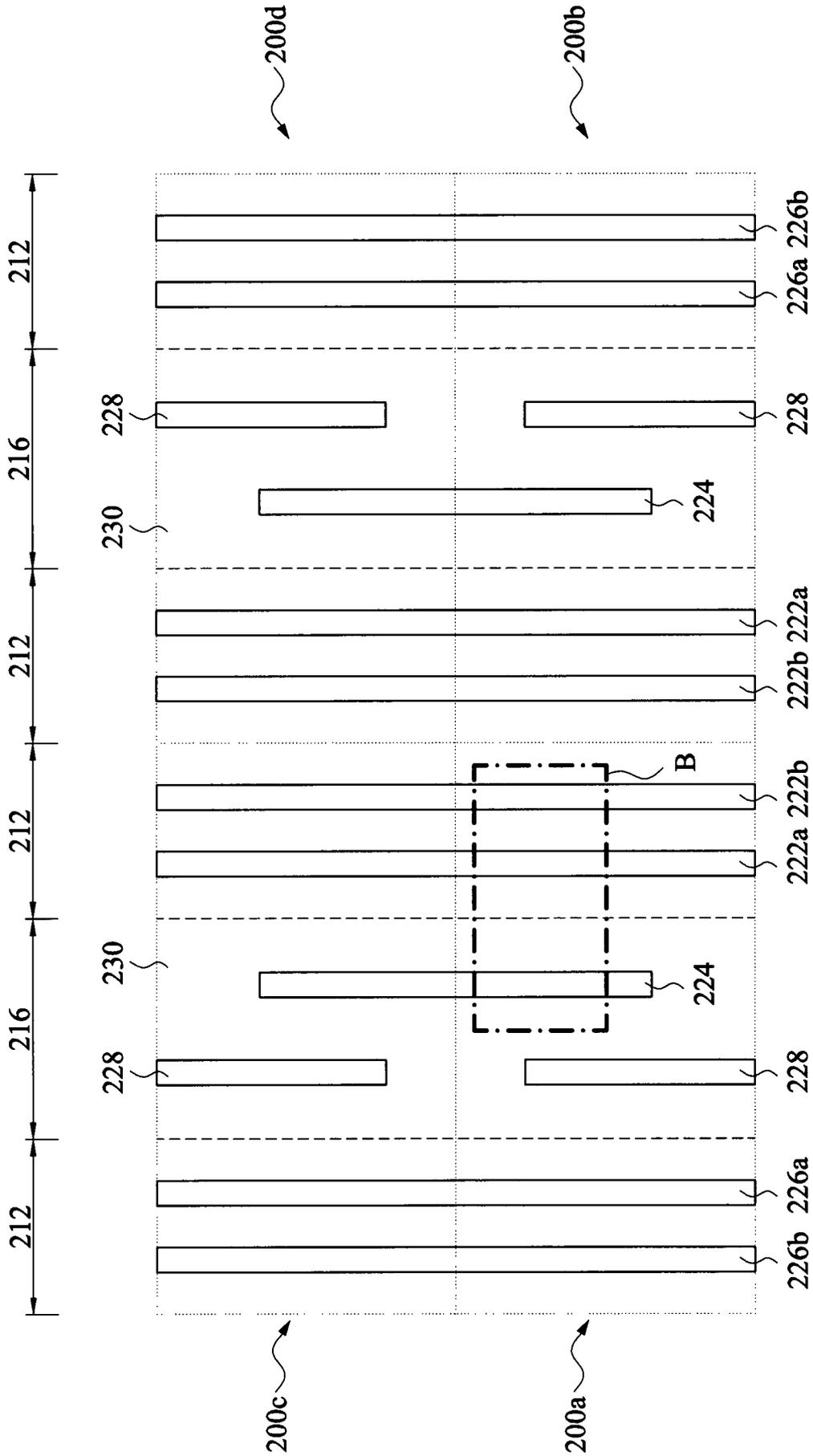


Fig. 3A

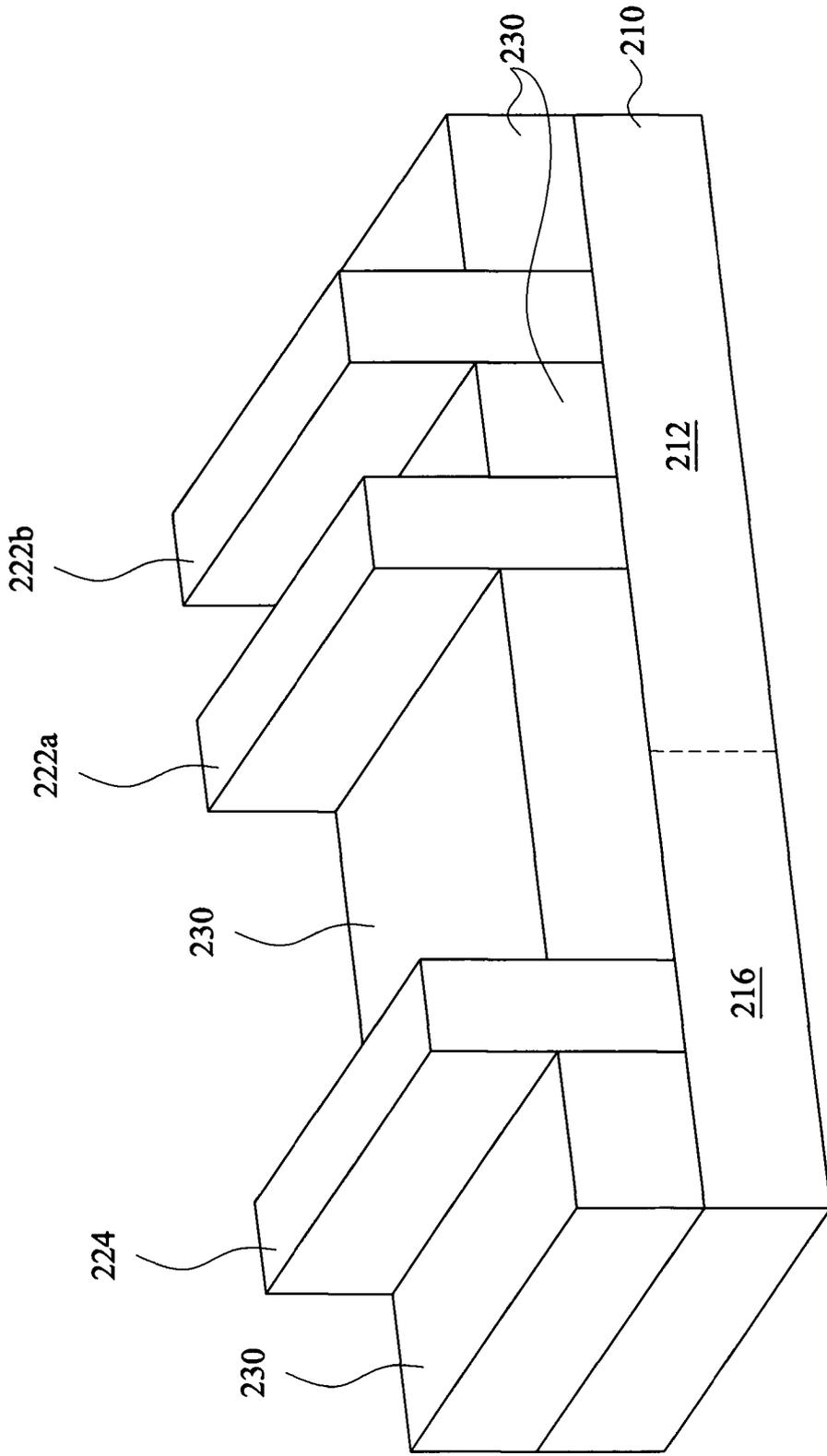


Fig. 3B

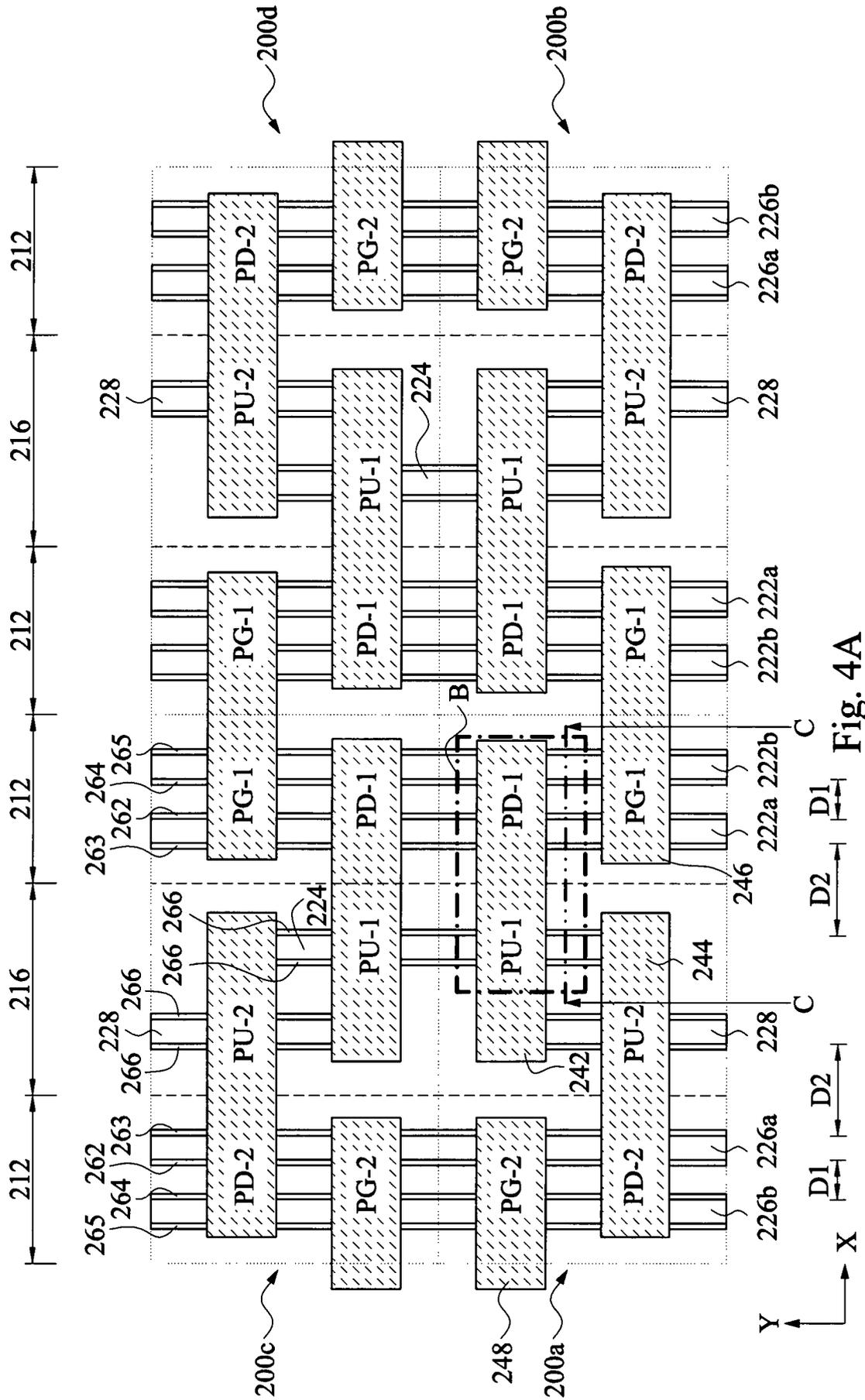


Fig. 4A

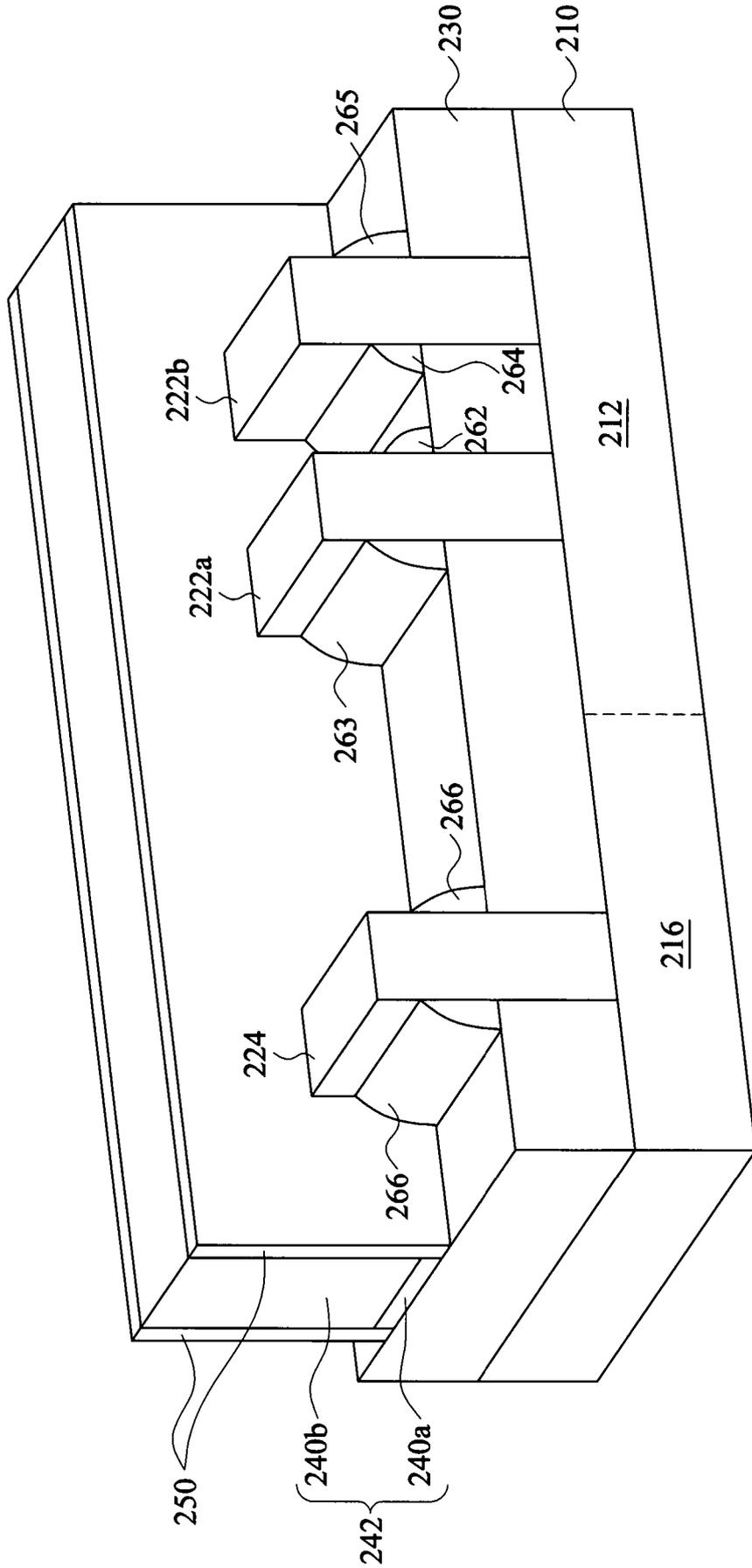


Fig. 4B

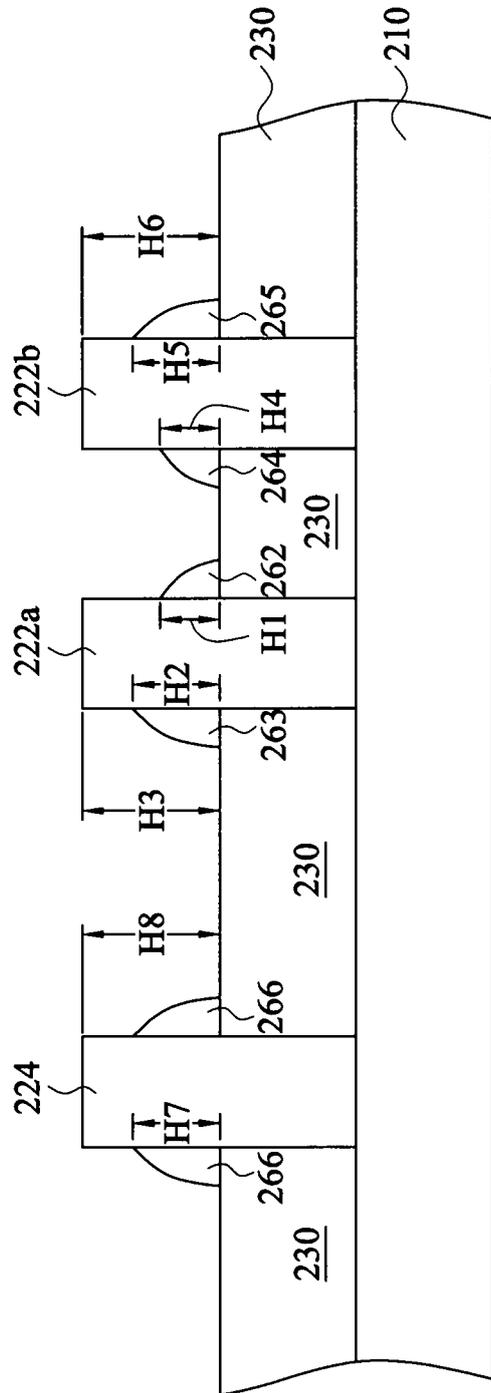


Fig. 4C

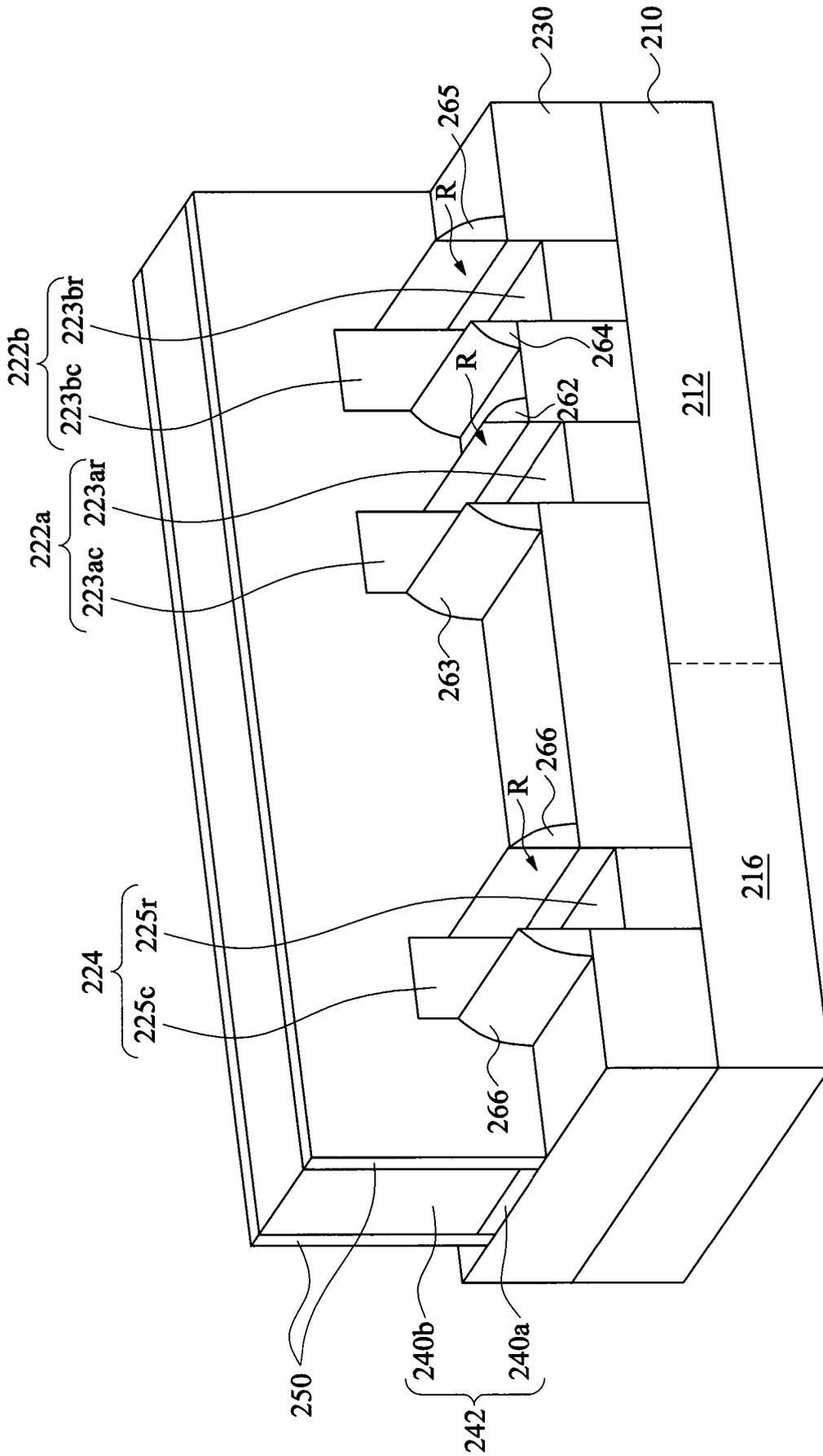


Fig. 5B

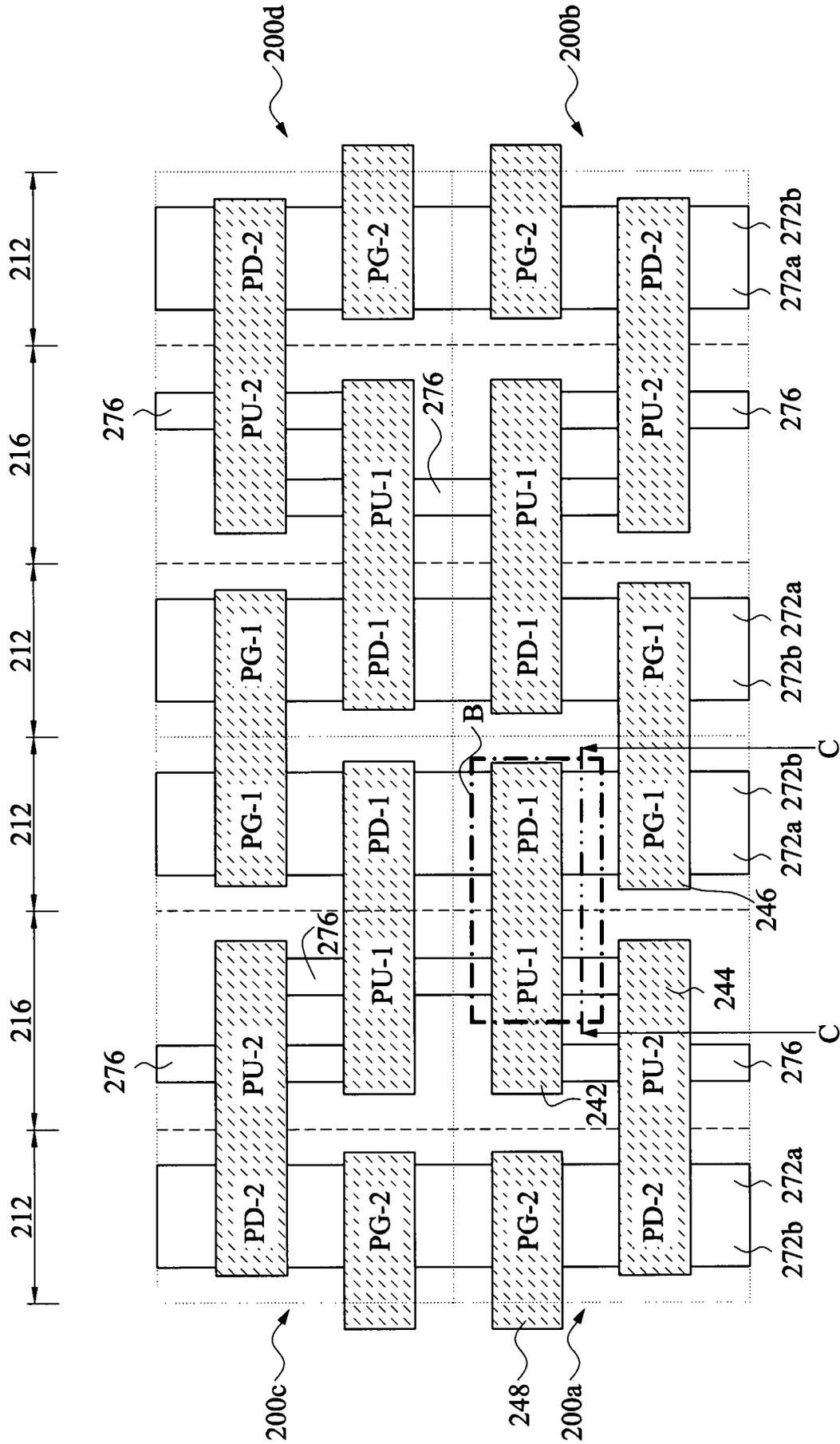


Fig. 6A

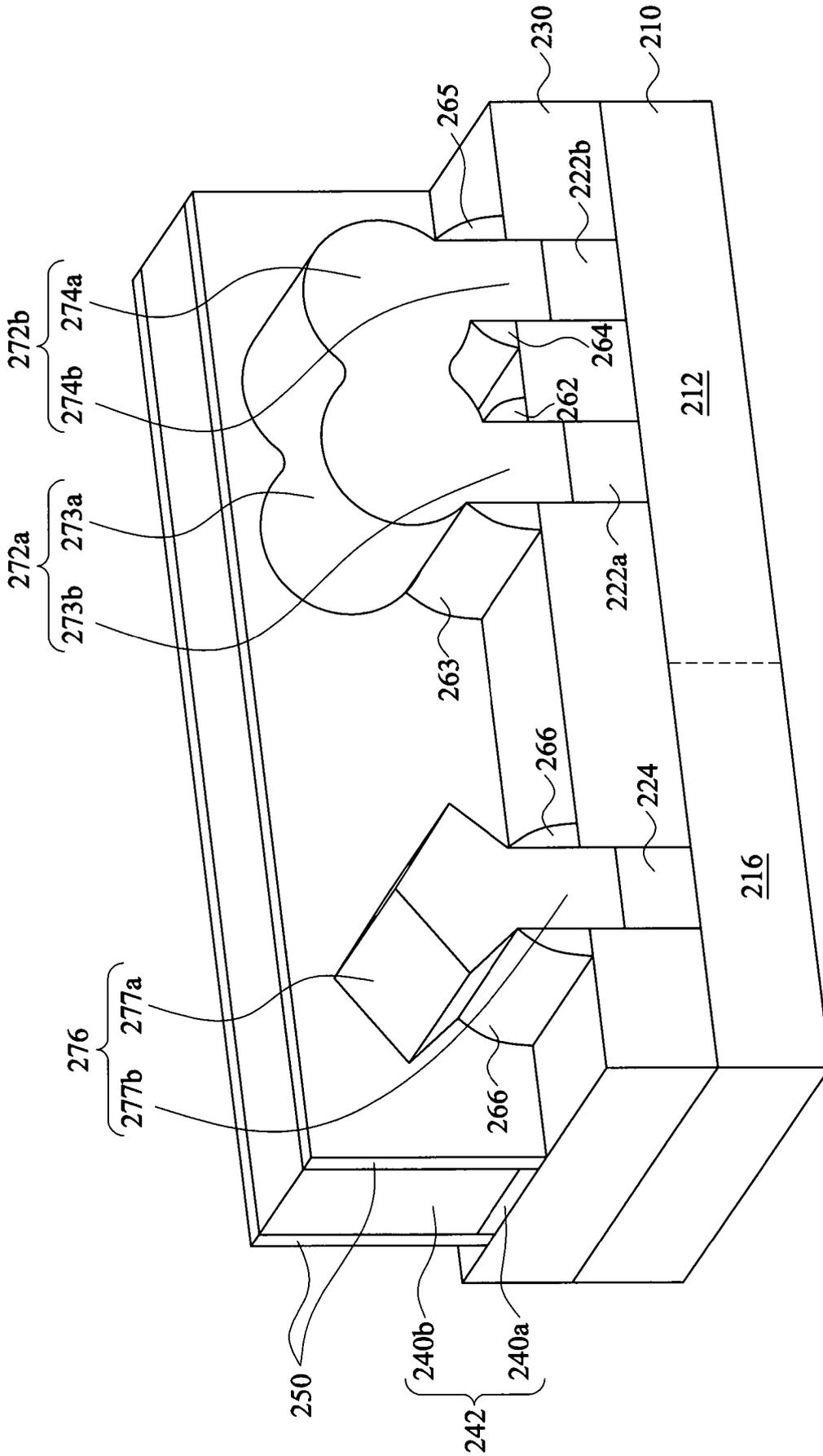


Fig. 6B

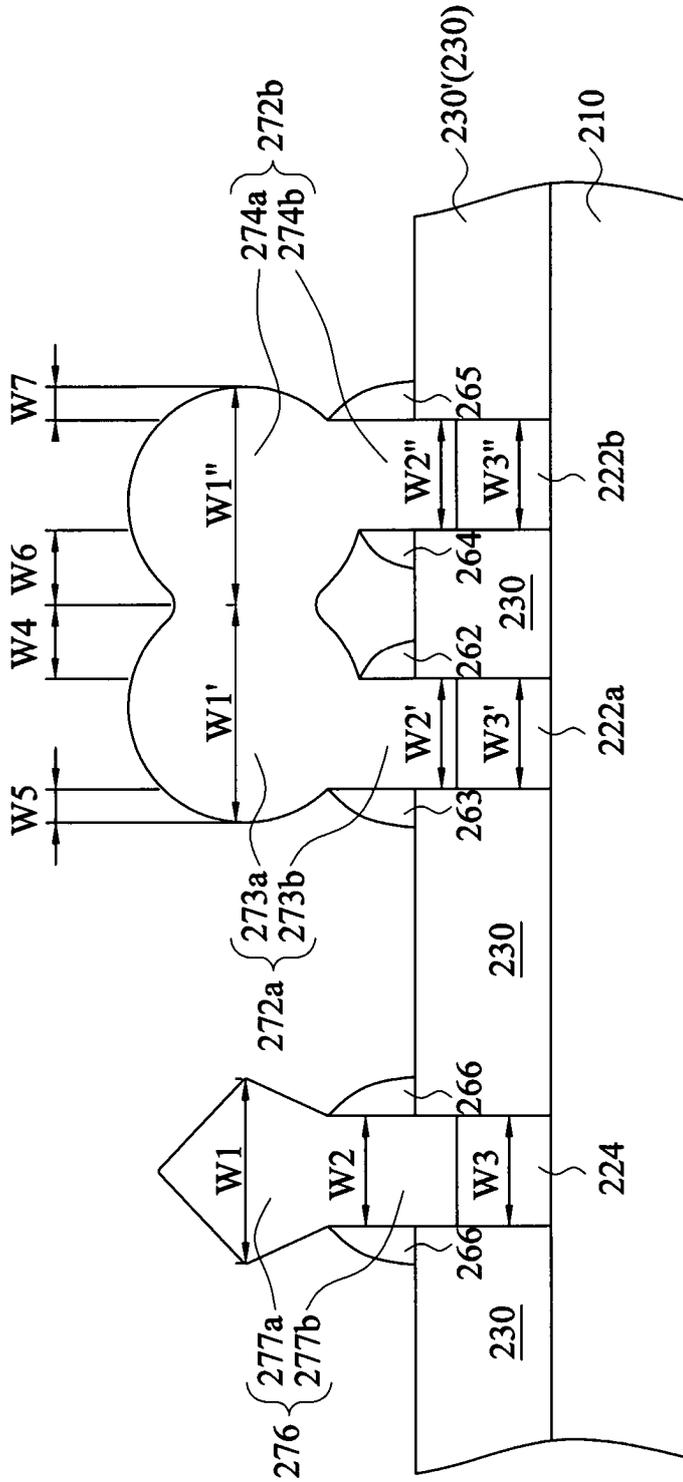


Fig. 6C

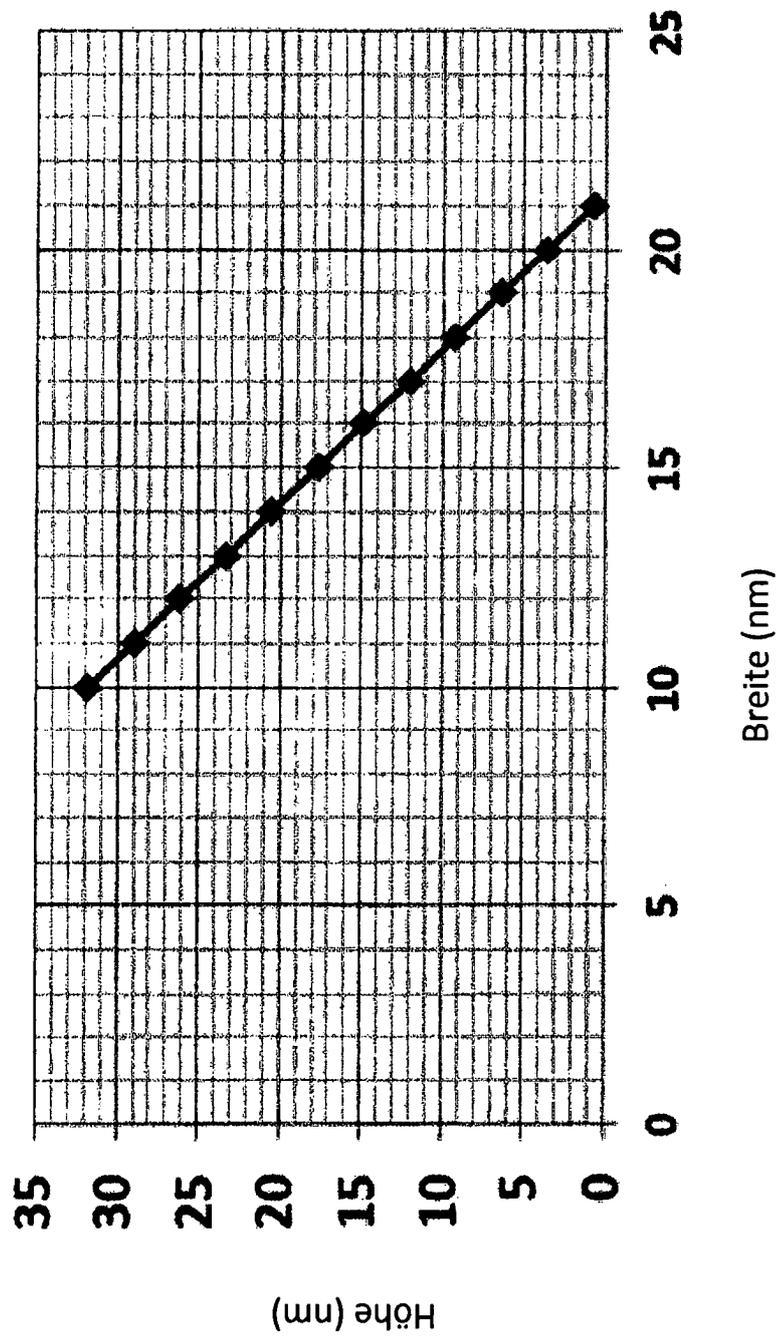


Fig. 7