

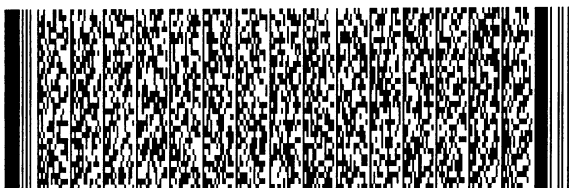
申請日期： <u>89.12.8.</u>	案號： <u>89126145</u>
類別： <u>G09G 3/28</u>	

(以上各欄由本局填註)

發明專利說明書

502243

一、發明名稱	中文	電漿顯示面板之定址方法及其顯示裝置
	英文	METHOD OF ADDRESSING A PLASMA DISPLAY PANEL AND DISPLAY DEVICE THEREOF
二、發明人	姓名 (中文)	1. 杜耶恩 2. 凱貝克
	姓名 (英文)	1. DOYEN, Didier 2. KERVEC, Jonathan
	國籍	1. 法國 2. 法國
	住、居所	1. 法國布伊斯瑞市達比奈黎 2. 法國葛貝茲市達布塔納街3號
三、申請人	姓名 (名稱) (中文)	1. 法商·湯姆生多媒體公司
	姓名 (名稱) (英文)	1. THOMSON multimedia
	國籍	1. 法國
	住、居所 (事務所)	1. 法國布羅格比倫寇特市魁里加羅46號
	代表人姓名 (中文)	1. 建固漢
代表人姓名 (英文)	1. ZHANG, Jianguo	



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

法國 FR

1999/12/22 9916198

有

有關微生物已寄存於

寄存日期

寄存號碼

無



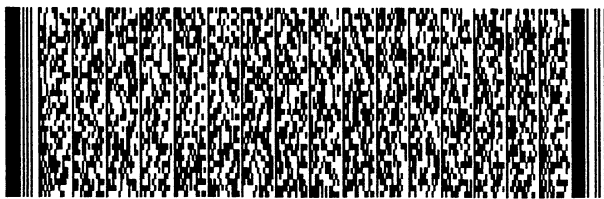
五、發明說明 (1)

本發明係關於電漿顯示面板之定址方法。更具體言之，本發明係關於分開定址和維持的面板型灰度之寫碼。

電漿顯示面板(以下稱PDP)是平板型顯示螢幕。PDP有兩大類別，即以DC型操作和以AC型操作。一般而言，PDP包括二絕緣瓷磚(或基體)，各帶有一或以上之電極陣列，在其間界定充填氣體之空間。瓷磚結合在一起，以界定該陣列電極間之相交。各電極相交界定一單元電池，氣體空間與此相對應，該氣體空間被障壁包圍，電池被活化時，即發生放電。放電時會造成在單元電池內發射紫外線，而沉積在電池壁上的磷，即把紫外線轉變成可見光。

以AC型PDP而言，有二種電池建築，一種稱為矩陣建築，另一種稱為共面建築。雖然此等結構不同，但單元電池的操作實質上相同。各電池可在引燃或「導通」狀態，或者熄滅或「斷通」狀態。利用輸送接續脈波，稱為維持脈波，可維持電池於此等狀態之一，維持全部所需期限。藉輸送較大脈波，通常稱為位址脈波，可開啟電池或加以定址。使用阻尼放電，消除電池內之電荷，可關閉電池或加以抹除。欲得各種灰度，要使用眼睛的整合現象，在影像顯示期間，使用副掃描或副框調變啟、閉狀態的期間。

為了能夠達成各單元電池的暫時引燃調變，主要使用二個所謂「定址模式」。第一種定址模式稱為「定址兼顯示」(AWD)，包含定址各列電池，同時維持其他列電池，定址是以移動方式逐列發生。第二種定址模式稱為「定址和顯示分開」(ADS)，包含在三個分開時期定址、維持、



五、發明說明 (2)

抹除面板之全部電池。此二種定址模式之細節，凡精於此道之士可例如參見美國專利第5,420,602和 / 或5,446,344號。

第1圖表示顯示影像用ADS模式之基本時間分割。影像的總共顯示時間 T_{tot} 是16.6或20ms，視國家而定。在顯示時間，遂行8個副掃描SB1至SB8，使每一電池有256灰度，各副掃描對單元電池可「啟」或「閉」，使照明時間 T_{ec} 為 T_e 值之倍數。然而，參見照明權值 P ， P 相當於整數，使 $T_{ec}=P \cdot T_e$ 。掃描的總期限包括每次掃描專屬的抹除時間 T_{ef} 、位址時間 T_a 和照明時間 T_{ec} 。位址時間 T_a 亦可分解成 n 次的單元時間 T_{ae} ，相當於一系列之定址。由於最大灰度所需照明時間 T_{ec} 合計，等於最大照明時間 T_{max} ，故得下式： $T_{tot}=m(T_{ef}+n \cdot T_{ae})+T_{max}$ ，其中 m 代表副掃描數。第1圖相當於照明時間之二進分解。

有一問題是產生虛假輪廓描繪，源自灰度很近的二面積接近，但照明時間則脫相關性。在第1圖實施例中最壞情況相當於灰度127和128間之過渡。因灰度127相當於首先七個副掃描SB1至SB7的照明，而灰度128相當於第八副掃描SB8之照明。螢幕上具有灰度127和128的並列面積，從未在同一時間照明。當影像靜態時，觀看者眼睛不在螢幕上移動，則發生暫時整合較佳(如果把任何閃爍效應加以忽視)，並可以看到灰度較近的二面積。另一方面，當二面積在螢幕上運動(或觀看者眼睛移動)，則整合時間槽孔改變螢幕面積，對一些電池會從一面積移至另一面積，眼



五、發明說明 (3)

睛整合時間槽孔從灰度127面積移至灰度128面積的整合效應，使電池在一框時期斷通，以致出現面積的深色輪廓。反之，眼睛整合時間槽孔從灰度128面積移至灰度127面積的整合效應，在一框時期內最亮，以致出現面積的淡色輪廓（比深色輪廓不易辨識）。若以三個（紅、綠、藍）單元電池組成的圖素進行顯示作業，此現象會加重，因為輪廓描繪可以著色。

輪廓描繪現象發生在切換照明權值相當於不同暫時分配組之所有灰度過渡。高權值的切換比低權值的切換更麻煩，因其量值之故。所得效應的感受程度大小，視切換權值及其位置而定。因此，輪廓描繪效應也會發生在分離相當遠的灰度（例如63-128），但對眼睛震撼低很多，因其相當於極可目視的灰度（或顏色）過渡。

為解決輪廓描繪問題，一種策略是打破高照明權值，以降低高權值過渡的視覺效應。第2圖表示使用10個副掃描的解決策略，因而導致面板亮度的全體降低。最大照明時間 T_{max} 則為全部影像顯示時間的約30%，而抹除和位址時間約70%。

如第2圖所示，使用10個副掃描，不能完美校正虛假輪廓描繪效應，需增加副掃描數。然而，增加副掃描數會產生亮度降低問題。

為提高亮度降低，已知使用面板二列共用的副掃描，因此可以增加副掃描總數，而不減少實際影像顯示時間。第3圖表示分佈於11個副掃描，其低權值副掃描（權值1和2



五、發明說明 (4)

)為二列所共用。使用二列共用的副掃描，有把此等副掃描的位址時間一分為二的效果。使用二共用副掃描，使其可能用到另一副掃描，同時維持一定的總體位址時間。但如此一來，又產生低權值的解析損失問題。

為解決解析損失和增加共用副掃描數，一種策略是使用倍數表現之電碼。第4圖表示12個副掃描分佈，其中有4個為二相鄰列所共用。倍數表現是基於事實上灰度寫碼有多種方式。二相鄰灰度的寫碼是使用盡量把誤差減到最少的寫碼完成。然而，若增加共用副掃描數，仍然會損失解析。

歐洲專利申請案EP-A-0 945 846號揭示一種寫碼系統，借助於倍數表現的電碼，把同時掃描若干對列引起的誤差減到最少。第5圖表示14個副掃描上之寫碼例，其顯示時間相當於約10個副掃描。在第5圖例中，權值1, 2, 4, 7, 13, 17, 25, 36的8個副掃描，同時為二列所共用，權值5, 10, 20, 30, 40, 45的6個副掃描為各列所專用。解析誤差是利用二相鄰灰度間的相差化整而減到最小，故誤差始終等於 ± 1 。

第5圖內之寫碼呈現理想，因為共用副掃描數極高。然而，使用許多共用副掃描會導致寫碼差異之誤差。在第5圖例中，與各列專屬的副掃描相關之權值合計等於150。意即二相鄰電池同時定址，而灰度間相差大於150時，顯示時誤差會上升，發生在視頻影像點之平均1%。

本發明之目的，在於擬議灰度之編碼系統，藉用數列



五、發明說明 (5)

共用之副掃描，增加副掃描數，可減少輪廓描繪的問題，由此解決同時所掃描電池的灰度間差異引起的誤差。

本發明係視頻影像在顯示裝置上之顯示方法，包括複數電池，各電池利用複數副掃描照明一段照明時間，各有與照明權值相關之特殊期間，副掃描分配成第一和第二副掃描，第一副掃描為面板各列定址，而第二副掃描同時定址至少二列。第二副掃描同時於列組，其列數因所顯示影像而異。

為得影像最高品質，就若干可能之列分組方式加以評估，再選擇顯示誤差最少的組。

為減少位址時間，就若干可能之列分組方式加以評估，再選擇具有最多列的組。

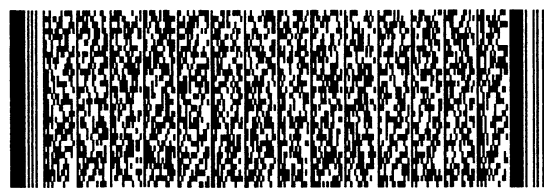
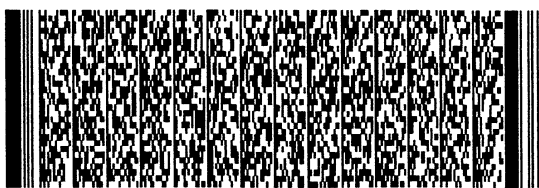
為把該法中的化整誤差減到最少，與第一副掃描相關的照明權值乘3倍。

本發明亦關係到顯示裝置，包括複數電池，組織成列成行，各電池在顯示期間利用複數副掃描照明時間，與灰度呈比例，各副掃描具有位址時間，諸列在此期間接續定址，其特徵為，含有機構利用列分組把諸列定址，列數因所要顯示的影像而異。

更具體而言，顯示裝置為包括複數放電電池之電漿顯示面板。

本發明由如下參照附圖之說明，更能清晰明白其他特點和優點，其中：

第1圖至第5圖表示前案技藝的暫時電池照明分佈；



五、發明說明(6)

第6圖表示本發明暫時分佈；

第7圖表示要顯示之影像；

第8圖表示本發明同樣影像，透露所示掃描之崩潰；

第9圖和第10圖表示本發明採用之演算；

第11圖至第13圖表示實施本發明所用編碼電路之實施例。

為了表現上的理由，第1圖至第6圖所示副掃描之暫時分佈，使用與正確直線比例尺不相對應之重大比例。

第6圖表示本發明較佳暫時分佈。此暫時分佈包括各列專屬之第一副掃描FSC，各個別定址螢幕之各電池。在較佳具體例中，使用6個第一副掃描FSC，相關之照明權值分別為3, 6, 12, 21, 33, 48。如此選擇在255灰度最大差值為123。第二副掃描SSC可利用列組定址諸列。有8個第二副掃描SSC，權值分別為1, 2, 4, 8, 16, 28, 35, 38。

在說明副掃描如何寫碼之前，宜借助第7圖和第8圖說明採用之原理，該圖表示相當於習知視頻影像的同樣影像100。

影像100例如為風景，顯示深綠原野101，有灰色煤渣路102通過，劃有白色虛線103。影像上方為淺藍色天空104，被樹105所遮。水平面107有幾間房屋106。

若影像100按照已知技術寫碼，將例如相當於第5圖暫時分佈的二列同時定址，則影像點約1%有誤差，因同時定址的點間有最大差異。視影像類型，誤差率在0和5%間不等。照明權值的分佈也影响到誤差率。第5圖中之實施



五、發明說明 (7)

例容許同時定址的電池灰度間最大差異為150。若最大差異降低至例如100，可以看到誤差率只增加1至2%，視影像而定。另一方面，若提高此最大差異，以便大降誤差率，則同時定址具備的益處有部份會喪失。

影像更詳細分析會顯示最大差異引起的誤差，主要局部在影像上對比強烈的點，但只有在水平或幾近水平的線上。以影像100而言，以最大差異150寫碼，一方面，誤差非常局部在房屋群106區域，以及道路102和虛線103間之水平過渡區，另一方面，很少沿水平線107，樹105上方，沿道路102和虛線103間的邊界(若過渡區不是水平)，以及道路102和原野101間分佈。若最大差異降低，可以注意到誤差增強，但仍然局部在同樣位置。若最大誤差大降，則新的誤差面積出現。

若誤差看起來是成列誤差，則各積面積均可識別。位於螢幕正上方的面積110，相當於無誤差列，顯示相鄰灰度間很少差異，因為顏色幾近相同。位於面積110下方的面積111，在少數列上稍有(1至3)誤差。面積112有許多誤差。整個影像就以此方式破壞掉。做為非限制性實施例，面積113和114有高誤差率，無誤差面積115和面積116的誤差率低。

本發明採用原理可以使用此等誤差分佈性能，在誤差率低時，進行列大群定值，而誤差率高時，則可逐列定址。因為無誤差列(例如面積110)具有很相似顏色的點，其各成份(紅、綠、藍)可見灰度在整個面積110內變化頂多



五、發明說明 (8)

50。可以把此面積110之全列同時定址，而無最微細誤差，而省下的位址時間可以移到逐列定址的高誤差率面積112。

本發明之實施借助本發明整體原理之演算說明，即可更為明白。第9圖內的演算包括第一步驟201，用來評估每一列組，例如8列組，可以一、二、四、八列分組。對於影像之全部組，可以同時或各組接續進行評估，視精於此道之士的選擇而定。第一步驟終了，有把每列組的影像加以最適寫碼之計劃。第一步驟201可借助第10圖詳述於後。

在第二步驟202中，計算影像最適寫碼所需的位址時間。此受到相對時間計算的限制，意即所要進行定址演算次數之計算。

試驗203把所計算位址時間與最大容許位址時間 T_{max} 比較，後者例如等於接續二列共同掃描所需位址時間。若位址時間低於或等於時間 T_{max} ，則在第三步驟204，按照最適寫碼計劃發生編碼。若位址時間大於時間 T_{max} ，則在第四步驟205進行每二列組的編碼。

做為變數，第四步驟205可改為第五步驟206進行，其目的在於減少最適寫碼限制項，再於步驟1重新開始演算。此項策略的大缺點是計算時間很長，目前不能有令人滿意的實施。

第10圖表示用來評估8列組按照各種可能分組寫碼之連續步驟。



五、發明說明 (9)

由第6圖可見採取之寫碼只有所要編碼乘以3的數值，注定會引起編碼誤差。在第一步驟301中，進行整列數值化整，無論採取何種寫碼分組，可把編碼誤差減到最少。化整是對相當於同一行的8個灰度GL1至GL8進行。較佳策略包含全部灰度中取滿3。再確定最常用的滿3之0、1或2。相當於最常用滿3的灰度，比其他灰度加1或減1，使滿3變成等於最常用的滿數。如此進行的演算，把灰度GL1至GL8轉換為數組V1至V8，其間相差始終乘3。

第二步驟302即從可能的全部組抽除最大和最小值。可能組成成雙成對，包含V1和V2，V3和V4，V5和V6，V7和V8諸值，四重組V1至V4和V5至V8，以及八重組V1至V8。

在步驟303，對各組計數最小值和最大值間之差異。再在步驟304中，將差異與相當於選用暫時分佈容許的最大差異之臨限值S比較，若使用第6圖的暫時分佈，則S例如等於123。

比較結果在步驟305內累積。累積是在諸列的全長進行。累積可以藉算出各分組的誤差數，以若干可能方式評估分組之列。所算出誤差數相當於對指定列分組具有至少一誤差之行數。

在步驟306，按照結果的累積選用寫碼。最大的最適化包含只保留最大尺寸組的可能性，使其可在列的全長無誤差。全部影像不能達成不含誤差之限制，因為掃描時間遠較所需掃描時間為長。若接受包括二列以上的分組上之誤差，則視覺效果非常不良。另一方面，若每二列分組容許



五、發明說明 (10)

少數誤差，例如1或2誤差，影像可較二列組的定址有所改進，同時容許視頻影像之幾近完整寫碼。

如果在第9圖的流程圖內使用限制項減少步驟，則限制項的減少相當於每二列組所容許誤差數增加。

關於分組的選擇，可以構想若干種可能性。在其餘說明中，提出分組之二例。

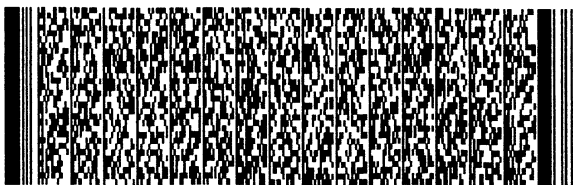
第11圖表示本發明電路400之實施例。由於計算時間之故，是在各種編碼時間同時進行各組評估，所用寫碼的選擇則在編碼之後進行。

電路400包含對二列編碼的電路401，以及對變化尺寸分組編碼的電路402，各電路並行接受8個灰度GL1至GL8，灰度GL1至GL8相當於置放在行電極與相鄰8列交接處之電池。對二列編碼的電路401輸送8個單字，做為輸出，相當於為了顯示灰度GL1至GL8要或不要進行的副掃描。

對可變尺寸的分組編碼之電路402，在8個輸出輸送8個單字，相當於為了顯示灰度GL1至GL8要或不要進行的副掃描，並在一輸出處理代表8列組構成之列分組數的資訊項Nb。

電路400包含二顯示電路403和404，連接到二編碼電路401、402之輸出。此等延遲電路403、404包含例如FIFO型緩衝記憶體，得以儲存完整影像，故可儲存編碼結果，直至決定最後選用的寫碼。

累積器電路405在一輸入接收代表所處理8列組構成之列分組數的資訊項Nb。累積器電路405添加相當於影像全



五、發明說明 (11)

部8列組之資訊項 N_b ，得以在輸出為各影像輸送所為分組之總數 N_t 。

比較器電路406接收總數 N_t ，以便把它與臨限值比較，並輸送選用位元C至多工器407。如果分組數大於電漿面板的列數之半，則做為多工器407輸出的八字P1至P8，相當於每二列組之寫碼，否則相當於可變寫碼。

對可變尺寸分組編碼電路402之第一具體例，如第12圖所示。

計算電路501接收8個灰度GL1至GL8，以便加以轉換為化整值V1至V8。轉換是藉計算模組8為之，例如使用查表進行，再例如使用比較器和計數器，測定變成化整滿數最具代表性的滿3。由不相當於最具代表性的滿3之灰度，加或減1，以獲得化整值V1至V8。

舉例而言，若灰度值GL1=85，GL2=96，GL3=98，GL4=118，GL5=87，GL6=130，GL7=88，GL8=91，則可得下列：滿3 GL1=1，滿3 GL2=0，滿3 GL3=2，滿3 GL4=1，滿3 GL5=0，滿3 GL6=1，滿3 GL7=1，滿3 GL8=1。由於最具代表性的滿3之值為1，與滿3相關的灰度加1等於0，而從與滿3相關的灰度減1等於2。可得下列：V1=85，V2=97，V3=97，V4=118，V5=88，V6=130，V7=88，V8=91。

評估電路502，從8值V1至V8抽除各種可能分組之極端值，再計算各組最大和最小間之差異。此差異再與臨限值比較，而累積在列的全長上。為產生各種功能，凡精於此道之士均可例如製成第12圖所示電路，包含抽除電路503



五、發明說明 (12)

、減法電路504、比較電路505、累積開關506，還可能有除法電路507。

抽除電路503使用二輸入和二輸出。輸出之一輸送二輸入的最大值，另一輸出輸送二輸入之最小值。抽除電路503呈梯級，以便對可能的分組輸送最大值和最小值，即成對V1-V2，V3-V4，V5-V6，V7-V8，四重組V1-V4，V5-V8，以及八重組V1-V8。減法電路504之置設可取得各分組最大和最小間之差異，並把各分組的最大差異輸送至比較電路505。比較器505就其與臨限值S加以比較，對於顧及各分組，表示最大差異是否大於S。累積開關506例如為雙穩開關(RS型開關)，其輸入之一接至比較電路505之輸出，而另一輸入(圖上未示)在列每次啟動時，用來重置開關。累積開關之輸出到列末端時，可以知道是否在列上已產生至少一誤差。

除法電路507若需容許誤差，可置於比較電路505和開關506之間。除法電路507為例如可能程式規劃之計數器，其結轉輸出連接至累積開關506。每n個有一計數器，有將開關所接收脈衝數除以n的效應，對開關只表示第n個誤差。在本案較佳具體例中，只對n=3的二列分組使用除法電路507，以限制瑕疵點至列數，因此代表誤差率低於0.2%。

選擇電路509接至累積開關506的輸出，並例如使用組合邏輯電路，測定何種分組可用。在此圖示具體例中，係為整個8列組做選擇。若8列分組不發生誤差，則相當於同



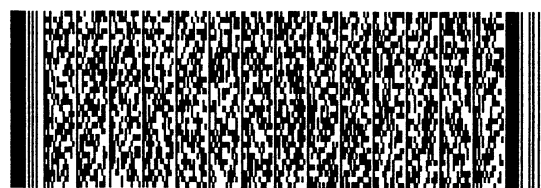
五、發明說明 (13)

時掃描8列的編碼之位元即被活化。若8列分組發生至少一誤差，則相當於利用4列分組同時掃描編碼之位元即被活化。若4列分組之一發生至少一誤差，或二列分組發生頂多二誤差，則相當於利用2列分組同時掃描編碼之位元被活化。若2列分組之一發生至少三個誤差，則相當於各列分別掃描編碼之位元被活化。選擇電路509儲存相當於分組選擇之4個位元，並輸送到輸出匯流排，4個位元亦相當於資訊項Nb。

FIFO(先進先出)型緩衝電路510，置設於計算電路501之輸出，以延遲V1至V8值。因此引進的延遲等於評估寫碼選擇所需時間，減寫碼所需時間。緩衝電路510在其輸出輸送延遲值V'1至V'8。

4個編碼電路511至514連接於緩衝電路510之輸出。此4個編碼電路511至514並行操作，以進行各種可能的寫碼。第一編碼電路511逐列寫碼。第二編碼電路512以二列組寫碼。第三編碼電路513以4列組寫碼。第四編碼電路514以8列組寫碼。編碼電路是例如按照已知技術借助查表製成。

舉例而言，第一編碼電路511包括8個查表，各接收延遲值V'1至V'8之一。各該表在其輸出輸的字，相當於要用來代表該值之副掃描。其他編碼電路512至514把延遲值V'1至V'8分解成專用值，和所為分組之共用值，再把共用值編碼在第一查表上，把專用值編碼在第二查表上，再將結果組合，所得字相當於用來代表所要編碼值之副掃描。



五、發明說明 (14)

多工化電路515在編碼電路511至514的輸出間，按照資訊項Nb，只選擇該編碼電路511至514之輸出。做選擇時，編碼電路511至514之輸出信號宜完全同步。

此實施例之一項限制是，事實上8列組是以大小一致的分組寫碼。因此，如果就成對列(例如相當於灰度GL1和GL2之一對)計數高誤差率，則8列是分別寫碼，即使在相當於灰度GL3和GL4的一對未見到誤差，和在4列組GL5至GL8未見到誤差。

為了更為逐漸選擇分組，第13圖表示對可變尺寸的分組編碼電路402之第二實施例。標示與第12圖同樣參攷符號的組件，相當於一致的組件。編碼電路511至513分成尺寸較小的功能性組件以利表示。凡精於此道之士容易明白，此項分裂相當於此等編碼電路資源的分佈，而無任何基本上的修飾。

第13圖內的電路與第12圖內的電路不同在於列分組的選擇，以致省略選擇電路509和多工化電路515。

暫存器520連接至評估電路之輸出，以便在各列未儲存位元，表示是否可成對、4個、8個，將諸列編碼。暫存器520在其輸出輸送在整個列編碼中儲存之信號。

第一多工器521按照來自與成對諸列相關的暫存器520之信號，選用成對諸列做為第一和第二編碼電路511、512之輸出。因此，如果與一對相關的信號，例如與灰度GL1和GL2相關的成對1信號，表示在列全長中的誤差數大於2，則相當於成對的多工器521，選用獨立於第一編碼電路



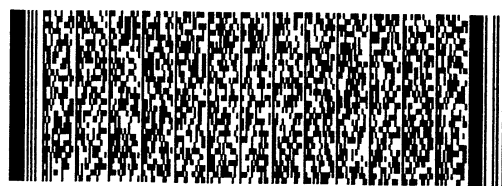
五、發明說明 (15)

511所輸送諸列之寫碼。另一方面，若與一對相關的信號，例如與灰度GL3和GL4相關的成對2信號，表示在列全長中的誤差數低於或等於2，則相當於成對的多工器521選用第二編碼電路512所輸送2列組之寫碼。

第二多工器522按照與來自四重相關的暫存器520之信號，選用4重列一方面做為第三編碼電路513之輸出，另一方面為第一多工器521之輸出。因此，若與四重相關的信號，例如與灰度GL1至GL4相關的四重1信號，表示在列全長有至少一誤差，則相當於四重的多工器522，選擇由來自第一多工器521寫碼。另一方面，若與四重相關的信號，例如與灰度GL5至GL8相關的四重2信號，表示在列全長無誤差，則相當於四重的多工器522，選用由來自第三編碼電路513的4列組寫碼。

第三多工器523按照來自與八重相關的暫存器520之信號，選用八重列一方面做為第四編碼電路514之輸出，另一方面做為第二多工器522的輸出。因此，如果與八重相關的信號，例如與灰度GL1至GL8相關的八重信號，表示列全長有至少一誤差，則多工器523選擇來自第二多工器522的寫碼。另一方面，若與八重相關的信號，例如與灰度GL1至GL8相關的八重信號，表示線全長無誤差，則多工器523選擇以來自第四編碼電路514的8列組寫碼。

以此裝置，如果發生狀況，高密度誤差只局部在8列中之二，則此等二列可分別寫碼。同樣四重之成對列，例如與灰度GL3和GL4相關之成對，即以共用副掃描寫碼，而



五、發明說明 (16)

其他諸，例如與灰度GL5至GL8相關之四重，亦使用共用副掃描寫碼。共用副掃描在此形成列組四種定址之標的，誤差率為零。

電路402在此包含計算電路524，接收來自暫存器520的七個信號，以便加以轉換成列組數Nb。計算電路524是例如使用組合邏輯電路製成。

凡精於此道之士均知本發明不限於上述實施例。因此，本發明可應用於較大型，例如16或32列之列組。本發明亦可應用於第6圖所示以外之暫時掃描分佈，數列共用的副掃描權值之和可以不是123。

在說明中，每2列分組可容許有二個誤差，顯然此數是影像品質和寫碼容易之間折衷的結果。凡精於此道之士均可容許任何誤差數，視所需影像品質而定。凡精於此道之士如需得較短位址時間之利，而無損影像品質，亦可容許4列或8列分組之誤差。

說明係關於電漿顯示面板。本發明亦可用於其他類顯示面板，基於使用矩陣定址系統之導通/斷通基礎，以單元電池操作者。

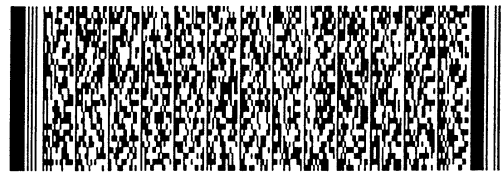
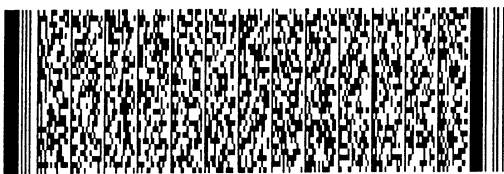


圖式簡單說明

第1圖至第5圖表示前案技藝的暫時電池照明分佈；
 第6圖表示本發明暫時分佈；
 第7圖表示要顯示之影像；
 第8圖表示本發明同樣影像，透露所示掃描之崩潰；
 第9圖和第10圖表示本發明採用之演算；
 第11圖至第13圖表示實施本發明所用編碼電路之實施例。

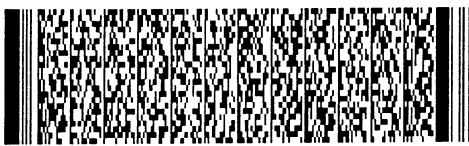
元件符號說明

FSC	第一副掃描	204	第三步驟
SSC	第二副掃描	205	第四步驟
100	影像	206	第五步驟
101	深綠原野	303, 304,	
102	灰色煤渣路	305, 306	步驟
103	白色虛線	400	本發明電路
104	淺藍色天空	401	二列編碼電路
105	樹	402	分組編碼電路
106	房屋	403, 404	延遲電路
107	水平面	405	累積器電路
110, 111, 112,		406	比較器電路
113, 114, 115,		407	多工器
116	面積	501	計算電路
201, 301	第一步驟	502	評估電路
202, 302	第二步驟	503	抽除電路
203	試驗	504	減法電路



圖式簡單說明

505	比較電路	515	多工化電路
506	累積開關	520	暫存器
507	除法電路	521	多工器
509	選擇電路	522	第二多工器
510	緩衝電路	523	第三多工器
511, 512,		524	計算電路
513, 514	編碼電路		



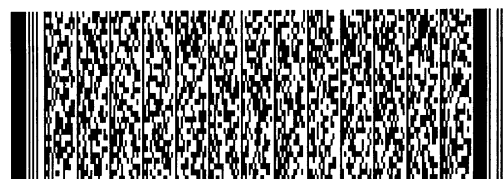
四、中文發明摘要 (發明之名稱：電漿顯示面板之定址方法及其顯示裝置)

本發明之目的，在於提供一種灰度編碼系統，藉用數列共用的副掃描，以增加副掃描數，可減少輪廓描繪的問題，由此解決同時受到掃描的電池灰調間之差異引起的誤差。本發明提供之方法和裝置，可按照影像內容，把列動態分組。

圖 13。

英文發明摘要 (發明之名稱：METHOD OF ADDRESSING A PLASMA DISPLAY PANEL AND DISPLAY DEVICE THEREOF)

The object of the invention is to provide a system for encoding grey levels which makes it possible to reduce the problems of contouring by increasing the number of subscans using subscans common to several rows, thereby remedying the error due to the difference between the grey levels of simultaneously scanned cells. The invention provides a method and a device which make row groupings dynamically according to the content of the image.



四、中文發明摘要 (發明之名稱：電漿顯示面板之定址方法及其顯示裝置)

英文發明摘要 (發明之名稱：METHOD OF ADDRESSING A PLASMA DISPLAY PANEL AND DISPLAY DEVICE THEREOF)

Figure 13



六、申請專利範圍

1. 一種視頻影像在顯示元件上之顯示方法，顯示元件包括複數電池，各電池利用複數副掃描(FSC, SSC)在照明時間加以照明，各副掃描具有與照明權值相關之特定期限，副掃描分佈成第一和第二副掃描(FSC, SSC)，第一副掃描(FSC)係為面板之各列定址，而第二副掃描(SSC)係同時為至少二列定址，其特徵為，第二副掃描(SSC)係同時定址在列數視顯示影像而異之列分組者。

2. 如申請專利範圍第1項之方法，其中對全部諸列，評估諸列分組之數種可能方式，再選擇顯示誤差減到最少之分組者。

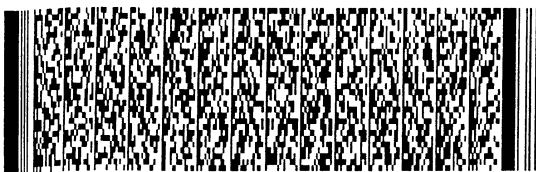
3. 如申請專利範圍第1或2項之方法，其中對全部諸列，評估諸列分組之數種可能方式，再選擇具有最多列之可能分組者。

4. 如申請專利範圍第1項之方法，其中分組包括一、二、四或八列者。

5. 如申請專利範圍第1項之方法，其中與第一副掃描相關之照明權值為3之倍數者。

6. 一種顯示裝置，包括組織成列和成行之複數電池，各電池係利用複數副掃描(FSC, SSC)在與灰度呈比例的時之顯示期間照明，各副掃描在位址時間內，諸列係接續定址，其特徵為，含有利用列分組對諸列定址之機構(402)，其列數視所要顯示之影像而異者。

7. 如申請專利範圍第6項之裝置，其中含有評估機構(502)，以評估諸列分組之若干可能方式者。



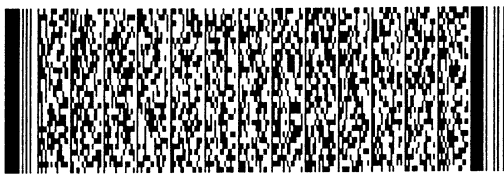
六、申請專利範圍

8. 如申請專利範圍第7項之裝置，其中含有選擇機構(509, 515, 521, 522, 523)，以供選擇顯示誤差減至最少之分組者。

9. 如申請專利範圍第6項之裝置，其中含有選擇機構(521, 522, 523)，以供選擇具有最多線之可能分組者。

10. 如申請專利範圍第6項之裝置，其中含有化整電路(501)，以供把同時定址之灰度化整，使化整灰度間具有3的倍數之差異者。

11. 如申請專利範圍第6項之裝置，其中元件為電漿顯示面板，而電池為放電電池者。



1/6

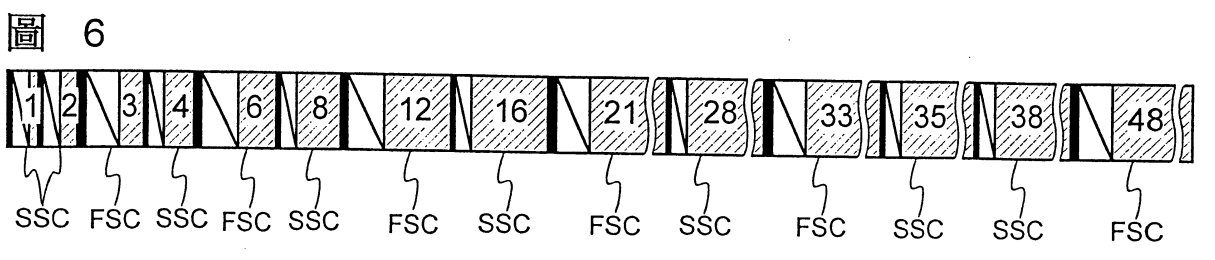
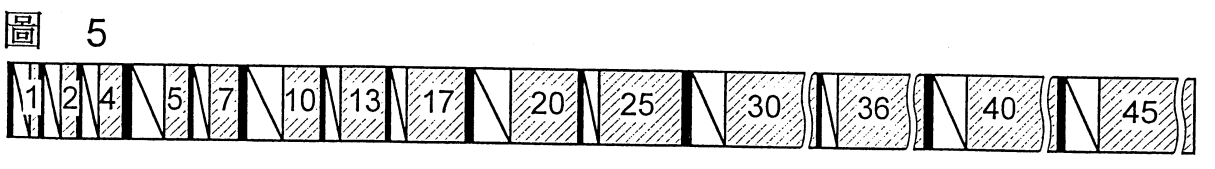
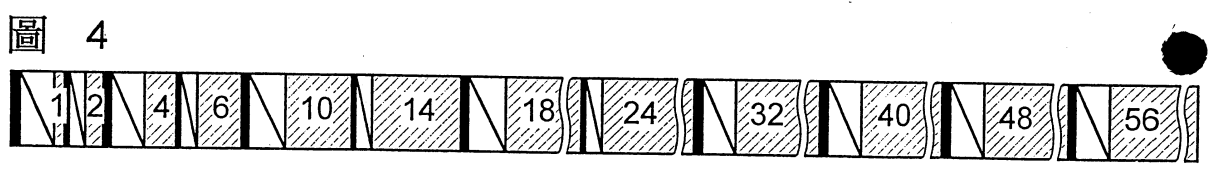
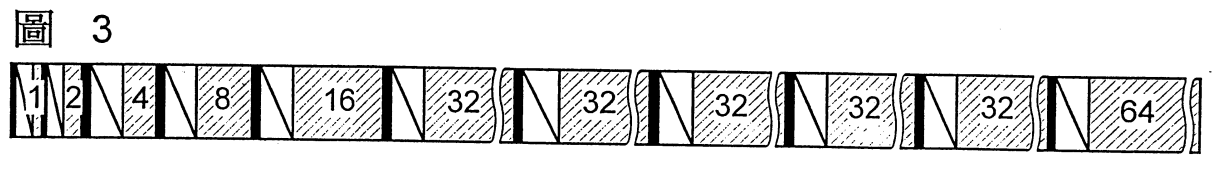
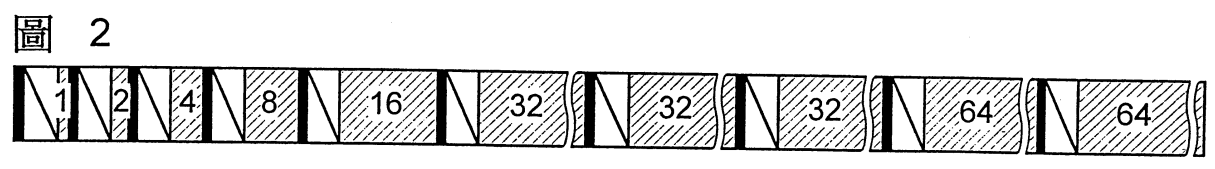
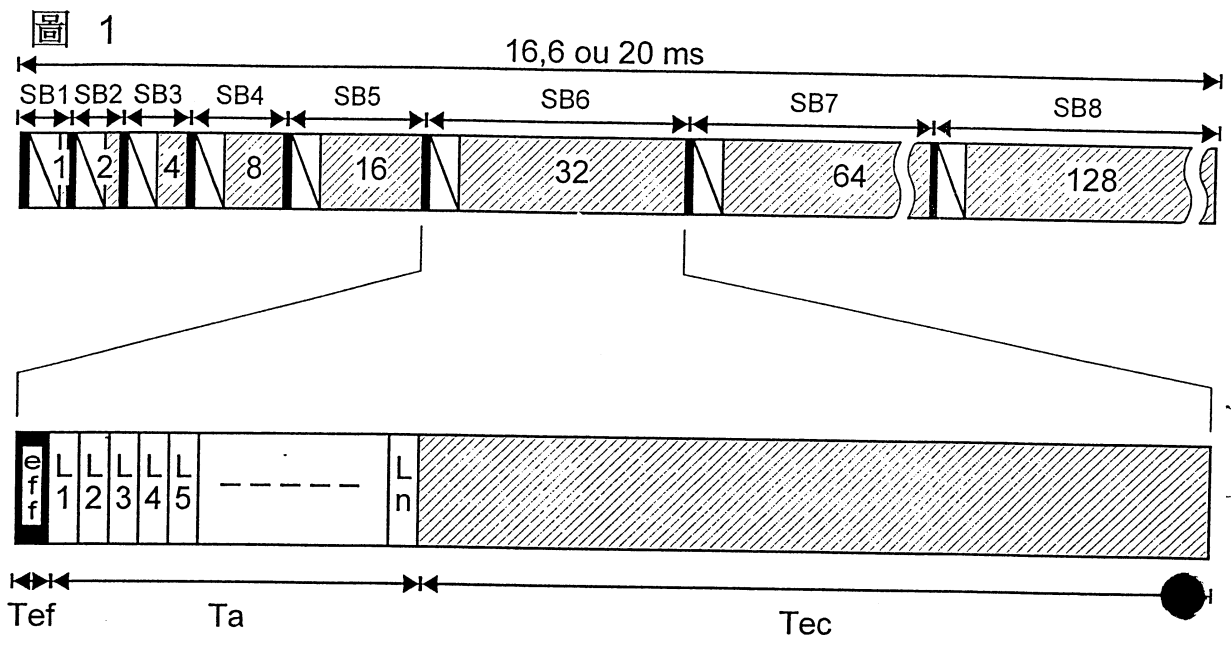


圖 7

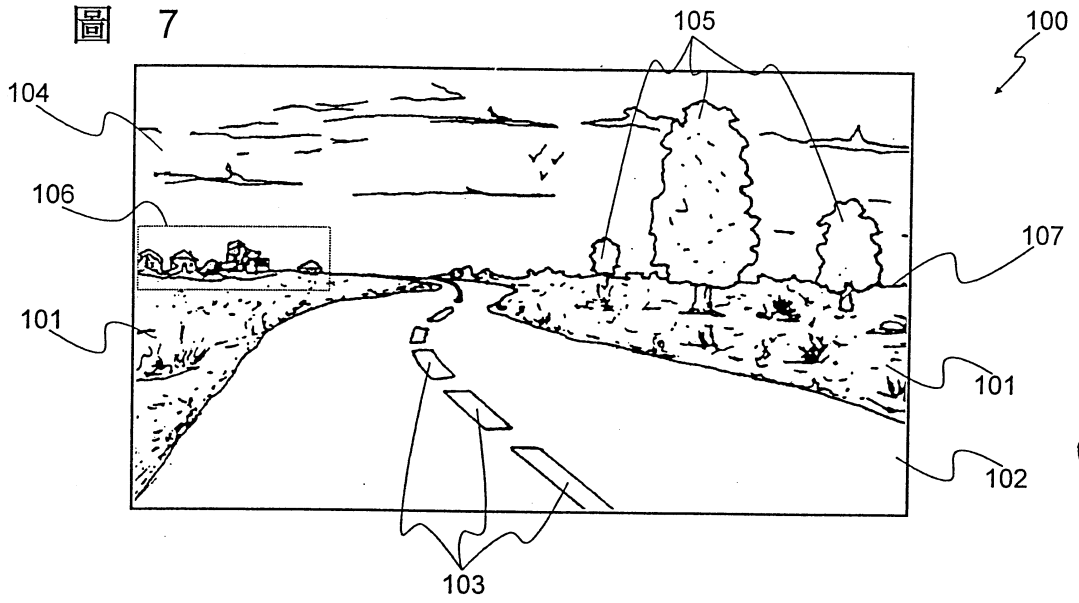


圖 8

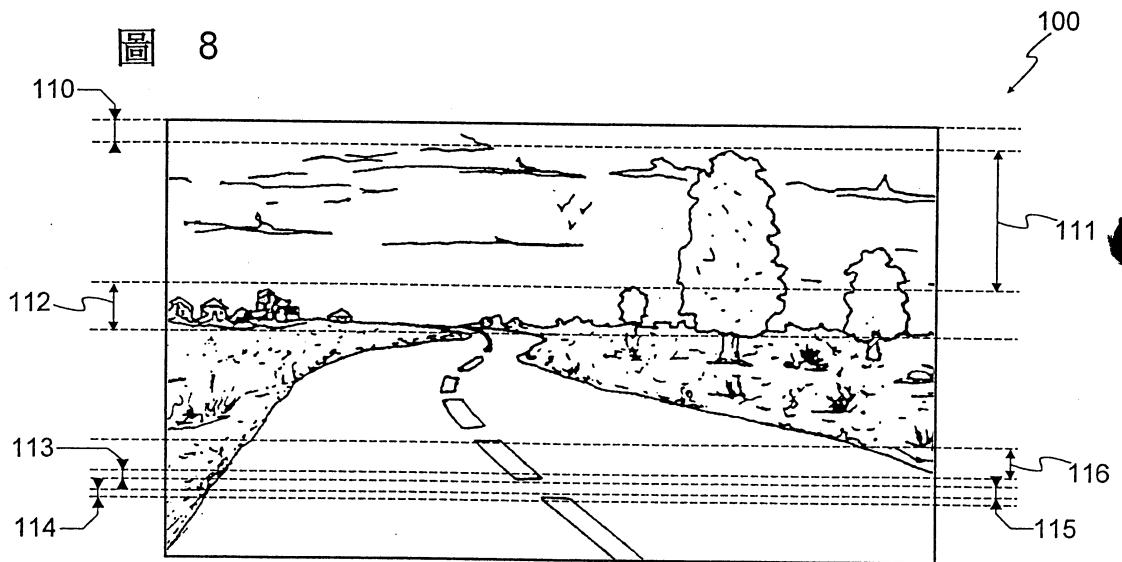


圖 9

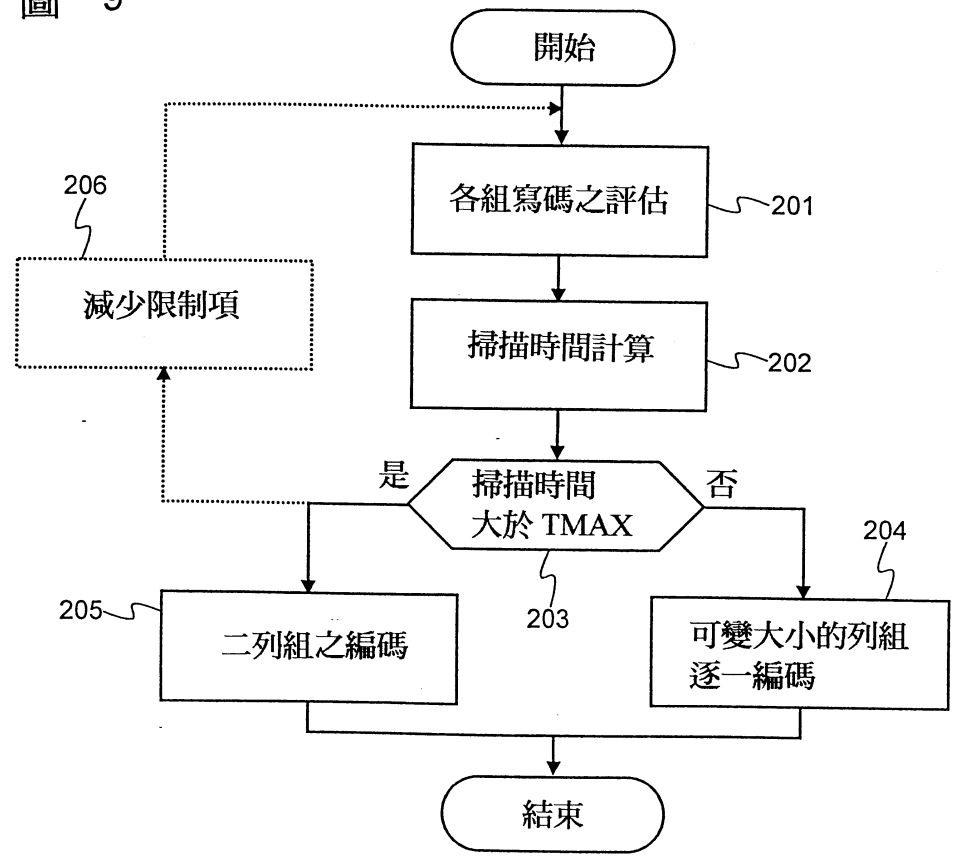


圖 10

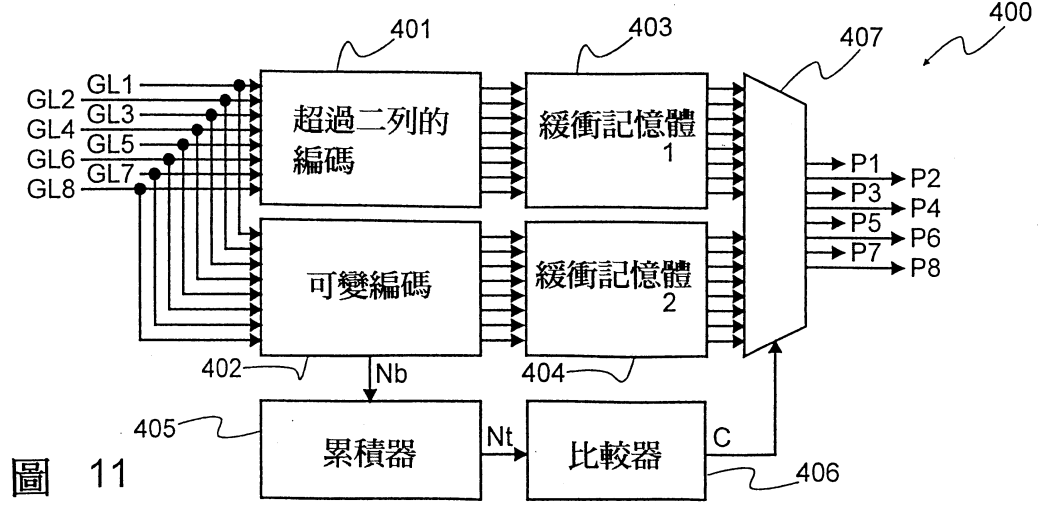
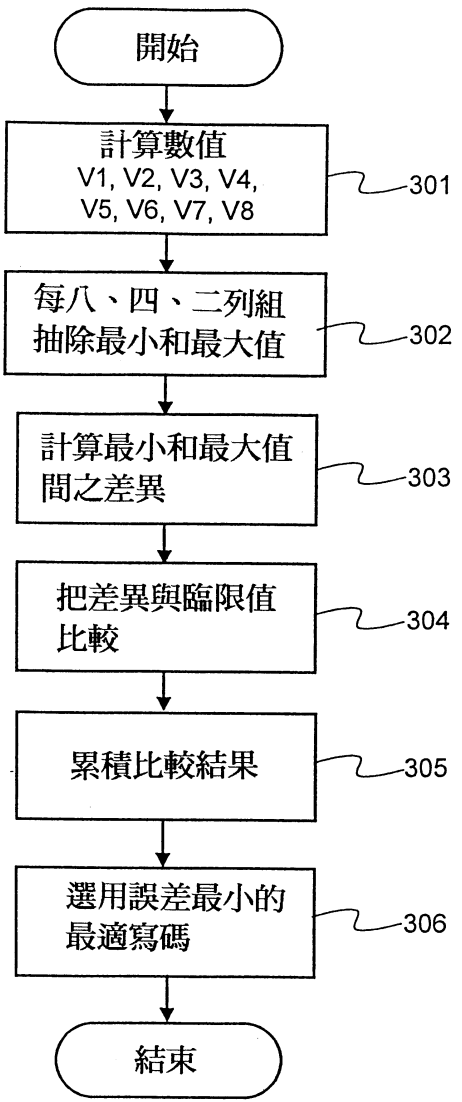


圖 11

5/6

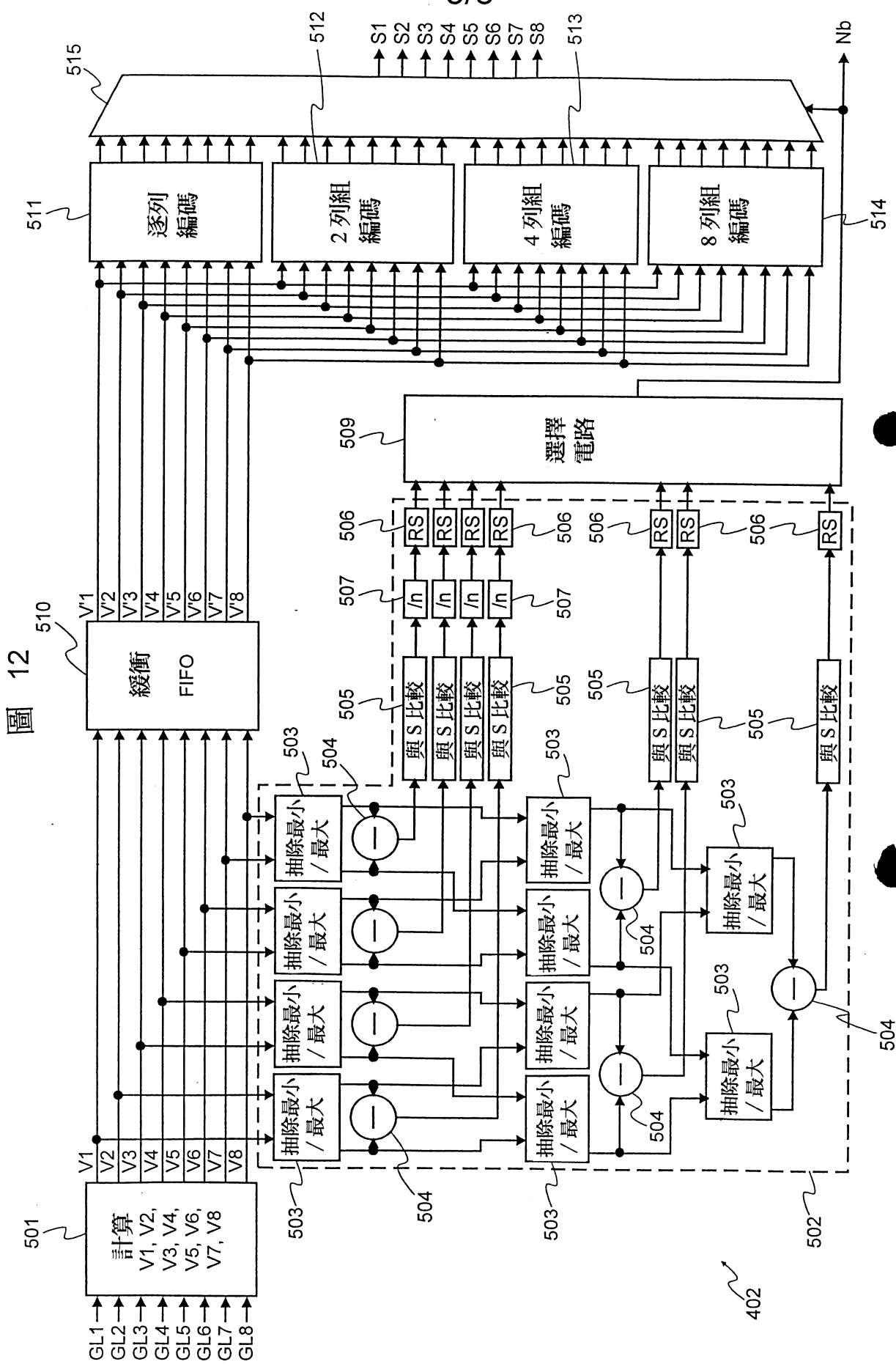


圖 12

501

510

GL1

GL2

GL3

GL4

GL5

GL6

GL7

GL8

V1

V2

V3

V4

V5

V6

V7

V8

V'1

V'2

V'3

V'4

V'5

V'6

V'7

V'8

515

503

504

503

504

502

503

504

503

504

505

506

507

506

506

506

509

512

513

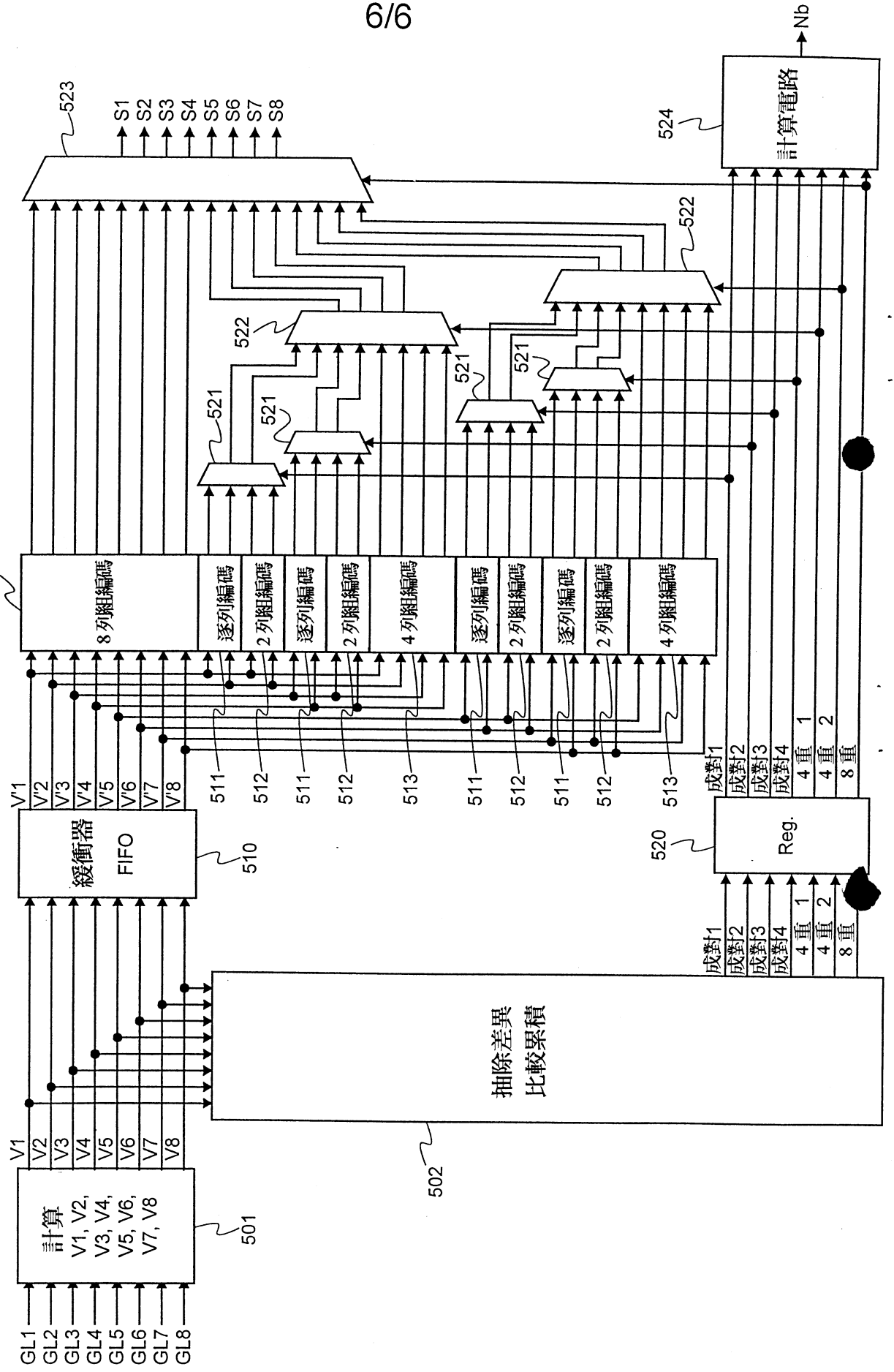
514

Nb

402

504

圖 13



計算電路

Nb

GL1
GL2
GL3
GL4
GL5
GL6
GL7
GL8

V1
V2
V3
V4
V5
V6
V7
V8

8列組編碼
逐列編碼
2列組編碼
逐列編碼
2列組編碼
逐列編碼
2列組編碼
逐列編碼
2列組編碼
逐列編碼
4列組編碼

511
512
511
512
513
511
512
511
512
513

成對1
成對2
成對3
成對4
4重1
4重2
8重

抽除差異
比較累積

計算電路

Nb

計算
V1, V2,
V3, V4,
V5, V6,
V7, V8

緩衝器
FIFO

523

S1
S2
S3
S4
S5
S6
S7
S8

501

510

514

502

520

524

521

521

521

521

521

521

521

522

522

522

522

522

522

522

522

522

522

522

522

522

522

522

522

522

522

522

522

522

522

522

522