



(12) **Offenlegungsschrift**

(21) Aktenzeichen: **10 2015 216 757.7**

(22) Anmeldetag: **02.09.2015**

(43) Offenlegungstag: **16.06.2016**

(51) Int Cl.: **G09G 3/20 (2006.01)**

(30) Unionspriorität:
201410779289.1 16.12.2014 CN

(71) Anmelder:
**Shanghai Tianma Mirco-Electronics Co., Ltd.,
Shanghai, CN; Tianma Micro-Electronics Co.,
Ltd., Shenzhen, CN**

(74) Vertreter:
**DREISS Patentanwälte PartG mbB, 70174
Stuttgart, DE**

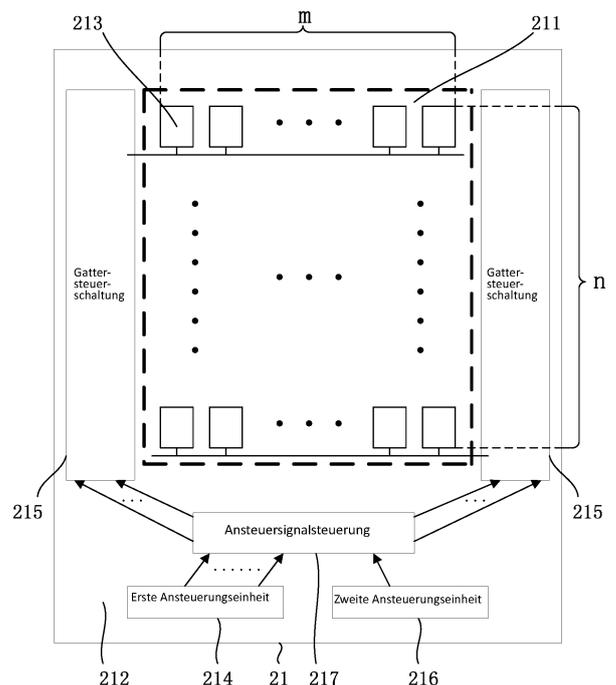
(72) Erfinder:
**Niu, Lei, Shanghai, CN; Ma, Conghua, Shanghai,
CN; Ling, Zhihua, Shanghai, CN; Ma, Jun,
Shanghai, CN; Wu, Tianyi, Shanghai, CN; Huo,
Sitao, Shanghai, CN**

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **Anzeigefeld und Anzeigevorrichtung**

(57) Zusammenfassung: Die vorliegende Offenbarung beschreibt ein Anzeigefeld und eine Anzeigevorrichtung, wobei das Anzeigefeld eine Ansteuersignalsteuerung umfasst und die Ansteuersignalsteuerung ist so konfiguriert, dass N Primärsteuerungs signale, die von einer ersten Ansteuerungseinheit erzeugt werden, in 2N Sekundärsteuerungs signale umgewandelt werden, die einem von einer zweiten Ansteuerungseinheit erzeugten Anzeigesteuersignal entsprechen. Fortlaufend werden 2N Sekundärsteuerungs signale an 2N Gattersteuerschaltungen ausgegeben, wobei jede der 2N Gattersteuerschaltungen so konfiguriert ist, dass eine Pixelgruppe in einem Anzeigebereich angesteuert wird, wobei die Pixelzeilen der unterschiedlichen Pixelgruppen abwechselnd so angeordnet sind, um Gattersteuerschaltungen anzusteuern, welche Sekundärsteuerungs signale dergestalt konfigurieren, um gleichzeitig in einem ersten Anzeigemodus zwei gepaarte Pixelgruppen anzusteuern und abwechselnd zwei gepaarte Pixelgruppen gemäß einem zweiten Anzeigemodus anzusteuern.



Beschreibung

Technisches Gebiet

[0001] Die vorliegende Anmeldung betrifft das Gebiet von Anzeigetechnologien, insbesondere ein Anzeigefeld und eine Anzeigevorrichtung.

Hintergrund

[0002] Im Vergleich zu allgemeinen zweidimensionalen (2D) Bildanzeigetechnologien bieten dreidimensionale (3D) Displaytechnologien klare Stereobilder ohne Einschränkung der Bildqualität auf dem Bildschirm, wobei das jeweilige Bild scheinbar außerhalb des Bildschirms dargestellt wird und dem Betrachter eine intensive Erfahrung vermittelt. Infolgedessen haben sich die 3D-Technologien rasch entwickelt und es wurden Anzeigefelder entwickelt, die eine wechselseitige Umwandlung zwischen einem 2D-Bild und einem 3D-Bild ermöglichen.

[0003] Nach dem Stand der Technik stellen Anzeigefelder ein 2D-Bild mithilfe einer vorhandenen integrierten Schaltung (IC) dar. Um eine doppelte Pixel-Dichte in horizontaler Richtung (Horizontal Double Density Pixel, HDDP) darstellen zu können, müssen das 2D-Bild und das 3D-Bild über die gleiche Auflösung verfügen, wobei eine verdoppelte Auflösung in einer einzelnen Richtung (etwa in Richtung der langen Seite oder einer kurzen Seite des Displays) deswegen notwendig ist, damit die vorhandene integrierte Schaltung nicht als Ansteuerung für die Anzeige sowohl eines 2D-Bildes als auch eines 3D-Bildes arbeitet.

Zusammenfassung

[0004] In Anbetracht der obigen Ausführungen bietet die vorliegende Erfindung ein Anzeigefeld und eine Anzeigeeinrichtung, um technische Probleme des Standes der Technik zu lösen: Die vorhandene integrierte Schaltung kann als Treiber für die Anzeige sowohl von 2D-Bildern als auch 3D-Bildern arbeiten und stellt darüber hinaus sicher, dass die 2D-Bilder und 3D-Bilder über die gleiche Auflösung verfügen.

[0005] In einem ersten Aspekt stellt die vorliegende Erfindung ein Anzeigefeld wie folgt bereit: einen Anzeigebereich und einen diesen Anzeigebereich umgebenden Randbereich, wobei der Anzeigebereich Pixel darstellt, die in einem $n \times m$ -Raster zwecks Anzeige eines Bildes angeordnet sind, wobei n und m beides positive ganze Zahlen sind und der Randbereich über eine erste Ansteuerungseinheit, Gattersteuerschaltungen, eine zweite Ansteuerungseinheit und eine Ansteuersignalsteuerung verfügt;

die erste Ansteuerungseinheit ist so konfiguriert, dass N Primäransteuersignale erzeugt werden, wobei N eine positive ganze Zahl ist;

die zweite Ansteuerungseinheit ist so konfiguriert, dass ein Anzeigesteuersignal erzeugt wird und ferner so konfiguriert, um ein entsprechendes Datensignal für jede Pixelzeile zu liefern; und

die Ansteuersignalsteuerung ist so konfiguriert, dass eine Anzahl N von Primäransteuersignalen von der ersten Ansteuerungseinheit in eine Anzahl $2N$ von Sekundäransteuersignalen umgewandelt werden, die gemäß dem Anzeigesteuersignal erzeugt werden und fortlaufend werden $2N$ Sekundäransteuersignale für die $2N$ Gattersteuerschaltungen ausgegeben. Jede der $2N$ Gattersteuerschaltungen ist so konfiguriert, dass eine Pixelgruppe in dem Anzeigebereich angesteuert wird, wobei die Pixelzeilen der jeweils verschiedenen Pixelgruppen abwechselnd so angeordnet sind, um Gattersteuerschaltungen anzusteuern, welche Sekundäransteuersignale dergestalt konfigurieren, um gleichzeitig in einem ersten Anzeigemodus zwei gepaarte Pixelgruppen anzusteuern und abwechselnd zwei gepaarte Pixelgruppen gemäß einem zweiten Anzeigemodus anzusteuern.

[0006] In einem zweiten Aspekt stellt eine Ausführungsform der vorliegenden Erfindung ferner eine Anzeigevorrichtung bereit, einschließlich des Anzeigefelds im vorher genannten ersten Aspekt.

[0007] Mit dem Anzeigefeld und der Anzeigevorrichtung gemäß den Ausführungsformen der vorliegenden Erfindung und Bereitstellung der Ansteuersignalsteuerung im Anzeigefeld kann für den Fall einer Erzeugung des Primäransteuersignals durch einen üblichen integrierten Schaltkreis die Ansteuersignalsteuerung N Primäransteuersignale in $2N$ Sekundäransteuersignale umwandeln, wobei diese Sekundäransteuersignale die Gattersteuerschaltungen aktivieren können, um entsprechende Pixelgruppen zu steuern und alternativ gleichzeitig zwei paarweise verbundene Pixelgruppen unter einem ersten Anzeigemodus anzusteuern sowie alternativ zwei gepaarte Pixelgruppen unter einem zweiten Anzeigemodus anzusteuern, wodurch das Anzeigefeld sowohl im ersten Anzeigemodus und zweiten Anzeigemodus über die gleiche Auflösung verfügt.

Beschreibung der Zeichnungen

[0008] Andere Merkmale, Aufgaben und Vorteile der vorliegenden Offenbarung werden durch die folgende detaillierte Beschreibung hinsichtlich der nicht einschränkenden Ausführungsformen durch Betrachtung der beiliegenden Zeichnungen ersichtlich:

[0009] Fig. 1 ist eine schematische Darstellung des Aufbaus eines Anzeigefeldes zur Anzeige eines 2D-Bildes nach dem Stand der Technik;

[0010] Fig. 2 ist eine schematische Darstellung des Aufbaus eines HDDP-Anzeigefeldes nach dem Stand der Technik;

[0011] Fig. 3 ist eine schematische Darstellung des Aufbaus eines Anzeigefeldes nach einer Ausführungsform der vorliegenden Erfindung;

[0012] Fig. 4A ist eine schematische Darstellung des Aufbaus einer Pixelanordnung nach einer Ausführungsform der vorliegenden Erfindung;

[0013] Fig. 4B ist eine schematische Darstellung des Aufbaus einer weiteren Pixelanordnung nach einer Ausführungsform der vorliegenden Erfindung;

[0014] Fig. 5 ist eine schematische Darstellung des Aufbaus einer Ansteuersignalsteuerung nach einer Ausführungsform der vorliegenden Erfindung;

[0015] Fig. 6 ist eine schematische Darstellung des Aufbaus eines Schaltkreises einer Ansteuersignalsteuerung nach einer Ausführungsform der vorliegenden Erfindung;

[0016] Fig. 7A ist eine schematische Darstellung des Aufbaus eines Schaltkreises einer Ansteuersignalsteuerung nach einer Ausführungsform der vorliegenden Erfindung;

[0017] Fig. 7B ist ein Zeitablaufplan von verschiedenen in Fig. 7A gezeigten Signalen;

[0018] Fig. 8 ist eine schematische Darstellung des Aufbaus eines weiteren Anzeigefeldes nach einer Ausführungsform der vorliegenden Erfindung;

[0019] Fig. 9A ist eine schematische Darstellung des Aufbaus eines weiteren Schaltkreises einer Ansteuersignalsteuerung nach einer Ausführungsform der vorliegenden Erfindung;

[0020] Fig. 9B ist ein Zeitablaufplan von verschiedenen in Fig. 9A gezeigten Signalen;

[0021] Fig. 10 ist eine schematische Darstellung des Aufbaus eines weiteren Anzeigefeldes nach einer Ausführungsform der vorliegenden Erfindung; und

[0022] Fig. 11 ist eine schematische Darstellung des Aufbaus einer Anzeigevorrichtung nach einer Ausführungsform der vorliegenden Erfindung.

Ausführliche Beschreibung der Ausführungsformen

[0023] Die vorliegende Offenbarung wird nachstehend im Detail mit beigefügten Zeichnungen und Ausführungsformen beschrieben. Es sei darauf hingewiesen, dass die hier angegebenen speziellen Ausführungsformen lediglich zur Erläuterung und nicht

als Einschränkung der vorliegenden Erfindung dienen sollen. Zusätzlich wird angemerkt, dass lediglich Teilinhalte der vorliegenden Offenbarung und nicht alle Inhalte in den begleitenden Zeichnungen zur Vereinfachung der Beschreibung veranschaulicht werden.

[0024] Derzeit werden Anzeigefelder zumeist noch zur Anzeige von 2D-Bildern verwendet. Wie in Fig. 1 gezeigt, umfasst ein Anzeigefeld **11** zur Anzeige eines 2D-Bildes M Pixel **111**, die in Längsseitenrichtung X1 des Anzeigefeldes angeordnet sind sowie J Pixel, die entlang einer kurzen Seitenrichtung X2 des Anzeigefeldes angeordnet sind, wobei M und J beide positive ganze Zahlen sind und in der Fig. 1 die Buchstaben R ein rotes Pixel, G ein grünes Pixel und B ein blaues Pixel als drei Primärfarben Pixel darstellen. Aus Fig. 1 wird ersichtlich, dass eine Auflösung des Anzeigefeldes **11** ein Produkt von M und J ist.

[0025] Im Zuge der Entwicklung der Anzeige-Technologien wurden Anzeigefelder für die Anzeige von 3D-Bildern bereitgestellt und einige Anzeigefelder wie etwa ein HDDP-Anzeigefeld können sowohl 2D-Bilder als auch 3D-Bilder anzeigen. Die obigen Anzeigefelder für die Anzeige von 3D-Bildern arbeiten nach dem folgenden Grundprinzip: Das gleiche Bild wird als ein Bild für das linke Auge und ein Bild für das rechte Auge angezeigt und die Bilder für das linke bzw. rechte werden durch verschiedene Pixel angezeigt und somit empfängt das linke Auge eines Betrachters das für das linke Auge bestimmte Bild und das rechte Auge des Betrachters empfängt das für das rechte Auge bestimmte Bild und der Effekt einer räumlichen Darstellung eines 3D-Bildes wird durch eine Zeitdifferenz zwischen dem für das linke Auge bestimmte Bild und dem für das rechte Auge bestimmte Bild erreicht.

[0026] Um für ein HDDP-Anzeigefeld die gleiche Auflösung für ein 2D-Bild und ein 3D-Bild zu erzielen, wird eine Auflösung benötigt, die in einer Signalrichtung des Anzeigefeldes verdoppelt wird (etwa in Längsseitenrichtung oder Richtung einer kurzen Seite des Anzeigefeldes). Wie in Fig. 2 gezeigt, wird im Vergleich mit dem in Fig. 1 gezeigten Anzeigefeld die Anzahl der Pixel **211** des HDDP-Anzeigefeldes **21** entlang seiner längsseitigen Richtung X1 verdoppelt und somit die Anzeige von 2M Pixeln ermöglicht, wodurch sich entsprechend die Auflösung des HDDP-Anzeigefeldes entlang seiner längsseitigen Richtung ebenfalls verdoppelt. Bei der Anzeige eines 3D-Bildes durch das HDDP-Anzeigefeld müssen die Bilder für das linke Auge bzw. das rechte Auge durch zwei benachbarte Pixelzeilen **121** entlang einer Längsseitenrichtung X1 des Anzeigefeldes dargestellt werden, wobei die Auflösung des 3D-Bildes ein Produkt von M und J ist. Bei der Anzeige von 2D-Bildern durch das HDDP-Anzeigefeld muss die Auflösung des 2D-Bildes der Auflösung des 3D-Bildes entsprechen und

das gleiche Bild muss durch zwei benachbarte Pixelzeilen **121** entlang einer Längsseitenrichtung X1 des Anzeigefeldes dargestellt werden, damit auch hier die Auflösung des 2D-Bildes ein Produkt von M und J ist.

[0027] Der vorhandene integrierte Schaltkreis kann zur Ansteuerung eines Anzeigefeldes so konfiguriert werden, dass lediglich 2D-Bilder dargestellt werden. Allerdings muss das HDDP-Anzeigefeld sowohl 2D-Bilder als auch 3D-Bilder in der gleichen Auflösung anzeigen, d. h., bei der Anzeige eines 2D-Bildes müssen zwei benachbarte Pixelzeilen angesteuert werden, um das gleiche Bild darzustellen und bei der Anzeige eines 3D-Bildes müssen zwei benachbarte Pixelzeilen jeweils so angesteuert werden, dass ein Bild für das linke Auge bzw. ein Bild für das rechte Auge dargestellt wird und der vorhandene integrierte Regelkreis nicht für die Ansteuerung entsprechender Darstellungen von 2D-Bildern bzw. 3D-Bildern konfiguriert werden kann.

[0028] In Anbetracht der obigen Ausführungen bietet die vorliegende Erfindung folgende Lösungen an.

[0029] Eine Ausführungsform der vorliegenden Erfindung stellt ein Anzeigefeld bereit. **Fig. 3** ist eine schematische Darstellung des Aufbaus des Anzeigefeldes gemäß der Ausführungsform der vorliegenden Offenbarung. Wie in **Fig. 3** gezeigt, verfügt das Anzeigefeld **21** über: einen Anzeigebereich **211** und einen Randbereich **212** des Anzeigebereiches **211**, wobei der Anzeigebereich **211** Pixel aufweist, die in einem Raster von $n \times m$ angeordnet sind und der Anzeige eines Bildes dienen (d. h. ein Raster mit n Pixelzeilen und m Pixelspalten) und es sich bei n bzw. m jeweils um positive ganze Zahlen handelt. Der Randbereich **212** umfasst eine erste Ansteuerungseinheit **214**, Gattersteuerschaltungen **215**, eine zweite Ansteuerungseinheit **216** und eine Ansteuersignalsteuerung **217**. Die erste Ansteuerungseinheit **214** ist für die Erzeugung von N Primäransteuersignalen konfiguriert, wobei N eine positive ganze Zahl ist. Die zweite Ansteuerungseinheit **216** ist für die Erzeugung eines Anzeigesteuersignals sowie für die Ausgabe eines entsprechenden Datensignals für jede Pixelzeile konfiguriert. Die Ansteuersignalsteuerung **217** ist so konfiguriert, um die von der ersten Ansteuerungseinheit **214** erzeugten N Primäransteuersignale in $2N$ Sekundäransteuersignale gemäß dem Anzeigesteuersignal umzuwandeln und danach $2N$ Sekundäransteuersignale für die $2N$ Gattersteuerschaltungen **215** auszugeben. Jede der $2N$ Gattersteuerschaltungen ist so konfiguriert, eine entsprechende Pixelgruppe in dem Anzeigebereich zu steuern, wobei die Pixelzeilen von $2N$ Pixelgruppen abwechselnd angeordnet sind und jeweils zwei benachbarte Gruppen weiterhin als paarweise Pixelzeilen gruppiert angesteuert werden. Die Sekundäransteuersignale sind so konfiguriert, um Gattersteuerschaltungen **215** und gleichzeitig zwei Pixelzeilen aus den paarweisen Pi-

xelgruppen unter einem zweiten Anzeigemodus anzusteuern.

[0030] Es wird darauf hingewiesen, dass die Ansteuersignalsteuerung **217** die von der ersten Ansteuerungseinheit **214** erzeugten N Primäransteuersignale in $2N$ Sekundäransteuersignale umwandeln kann, wobei insbesondere die Ansteuersignalsteuerung selektiv die angelegten Primäransteuersignale für verschiedene Steuerperioden des Anzeigesteuersignals ausgeben kann, um so die Sekundäransteuersignale zu erhalten. In verschiedenen Ausführungsformen der vorliegenden Erfindung können sämtliche Sekundäransteuersignale als Signale betrachtet werden, die selektiv durch die Ansteuersignalsteuerung für verschiedene Steuerperioden der Anzeigesteuersignale ausgegeben werden. Zusätzlich kann die oben genannte erste Ansteuerungseinheit **214** mit der vorhandenen integrierten Steuerungsschaltung implementiert werden und die oben genannte zweite Ansteuerungseinheit **216** kann mit der vorhandenen Software oder Hardware implementiert werden, wodurch Funktionen entsprechend der vorhandenen integrierten Steuerungsschaltung zur Verfügung stehen.

[0031] Insbesondere wird die obige Pixelgruppe und abwechselnde Anordnung von Pixelzeilen in verschiedene Pixelgruppen näher in Verbindung mit den begleitenden Figuren erläutert. Wie in **Fig. 4A** gezeigt, werden alle Pixel **213** des Anzeigefeldes in zwei Pixelgruppen eingruppiert, d. h. eine erste Pixelgruppe A1 und eine zweite Pixelgruppe A2, wobei ungeradzahlige Pixelzeilen aus der ersten Pixelgruppe A1 sowie geradzahlige Pixelzeilen aus der zweiten Pixelgruppe A2 und somit Pixelzeilen jeweils aus diesen beiden Pixelgruppen alternierend angeordnet werden, d. h. eine bestimmte Zeile der zweiten Pixelgruppe A2 ist zwischen jeweils zwei benachbarten Zeilen aus der ersten Pixelgruppe A1 angeordnet und eine bestimmte Zeile der ersten Pixelgruppe A1 ist zwischen zwei benachbarten Zeilen aus der zweiten Pixelgruppe A2 angeordnet. Alternativ kann die Gruppierung von Pixeln gemäß **Fig. 4B** auch auf andere Art und Weise erfolgen: Hierbei werden alle Pixel **213** des Anzeigefeldes in vier Pixelgruppen eingruppiert, nämlich eine erste Pixelgruppe B1, eine zweite Pixelgruppe B2, eine dritte Pixelgruppe B3 sowie eine vierte Pixelgruppe B4, wobei die jeweils ersten, fünften und neunten Pixelzeilen bis zu den Pixelzeilen $(4j-3)$ sowie Pixelzeilen $(n-3)$ dabei zur ersten Pixelgruppe B1 gehören. Die zweiten, sechsten und zehnten Pixelzeilen bis zu den Pixelzeilen $(4j-2)$ und Pixelzeilen $(n-2)$ gehören zur zweiten Pixelgruppe B2. Alle dritten, siebten sowie elften Pixelzeilen bis zur Pixelzeile $(4j-1)$ sowie die Pixelzeilen $(n-1)$ gehören zur dritten Pixelgruppe B3. Alle vierten, achten und zwölften Pixelzeilen bis zu den Pixelzeilen $(4j)$ sowie den Pixelzeilen (n) gehören zur vierten Pixelgruppe B4. Dabei ist j immer eine positive ganze Zahl und es gilt $1 \leq j \leq n/4$. Wie aus **Fig. 4B** ersichtlich, werden die Pi-

zelzeilen aus den vier Pixelgruppen jeweils alternierend angeordnet, das heißt, die erste Pixelgruppe B1 bis zur vierten Pixelgruppe B4 werden fortlaufend und periodisch entlang einer Spaltenrichtung angeordnet, um so alle Pixelzeilen des Anzeigefeldes zu bilden. Wie oben dargestellt, werden alle Pixel des Anzeigefeldes beispielsweise in zwei Pixelgruppen oder vier Pixelgruppen eingruppiert und falls alle Pixel in eine Vielzahl von Pixelgruppen gruppiert werden, werden sie entsprechend den Pixelzeilen aus den jeweils verschiedenen Pixelgruppen alternierend angeordnet.

[0032] In der Ausführungsform der vorliegenden Erfindung kann der erste Anzeigemodus ein 2D-Anzeigemodus sein und der zweite Anzeigemodus kann ein 3D-Anzeigemodus sein. Mit anderen Worten: Das Anzeigefeld kann eine Umwandlung zwischen dem 2D-Anzeigemodus und dem 3D-Anzeigemodus durchführen.

[0033] In Fig. 3 wird dargestellt, dass die Gattersteuerschaltung **215** im Randbereich **212** an den beiden Seiten des Anzeigebereichs **211** bzw. auch im Randbereich **212** auf einer einzigen Seite des Anzeigebereichs **211** vorgesehen werden kann, dies wird hierbei nicht eingeschränkt. Spezifische Beispiele werden nur für die Konfiguration der Gattersteuerschaltung gemäß der vorliegenden Ausführungsform gegeben und die Konfigurationslage der Gattersteuerschaltung wird hierdurch nicht eingeschränkt.

[0034] Durch Bereitstellen des Ansteuersignalsteuerung **217** in dem Anzeigefeld kann die Ansteuersignalsteuerung **217** die von der ersten Ansteuerungseinheit **214** erzeugten N Primäransteuersignale entsprechend dem von der zweiten Ansteuerungseinheit **216** erzeugten Anzeigesteuersignal in 2N Sekundäransteuersignale umwandeln, die so konfiguriert sind, dass sie jeweils 2N Gattersteuerschaltungen **215** ansteuern, die so konfiguriert sind, um gleichzeitig zwei gepaarte Pixelgruppen gemäß dem ersten Anzeigemodus (beispielsweise der 2D-Anzeigemodus) anzusteuern bzw. alternativ zwei paarweise verbundene Pixelgruppen gemäß dem zweiten Anzeigemodus (beispielsweise der 3D-Anzeigemodus) anzusteuern. Wird die erste Ansteuerungseinheit **214** mit einem herkömmlichen integrierten Steuerungsschaltkreis implementiert, ist eine Ansteuersignalsteuerung im Anzeigefeld vorgesehen und so konfiguriert, um ein Sekundäransteuersignal zu erzeugen, wodurch jede einzelne der Gattersteuerschaltungen jede einzelne Pixelgruppe so aktivieren kann, dass die Auflösung im ersten Anzeigemodus mit der Auflösung unter dem zweiten Anzeigemodus identisch ist. Die Kombination aus dem Field Programmable Gate Array (FPGA) und dem Puffer erzielt eine Zeitsteuerungsfunktion (T-CON) und die Auflösung unter dem ersten Anzeigemodus ist mit der Auflösung unter dem zweiten Anzeigemodus identisch und dadurch bietet die Ausführungsform der vorliegenden Erfindung

den zusätzlichen Vorteil einer Kombination eines herkömmlichen integrierten Schaltkreises mit der Ansteuersignalsteuerung mit einer damit einhergehenden Senkung von Hardwarekosten.

[0035] Weiterhin kann das Anzeigesteuersignal ein erstes Steuersignal und ein zweites Steuersignal aufweisen und das erste Steuersignal kann ferner ein 2D/3D-Steuersignal sein und das zweite Steuersignal kann ein Steuersignal für das linke bzw. rechte Auge sein. Es wird angemerkt, dass dieses 2D/3D-Steuersignal so konfiguriert werden kann, um eine Umwandlung zwischen dem 2D-Anzeigemodus und dem 3D-Anzeigemodus zu steuern und das Steuersignal für das linke bzw. rechte Auge kann so konfiguriert werden, um unter dem 3D-Anzeigemodus eine Steuerung dergestalt zu ermöglichen, dass ein Bild für das linke Auge bzw. ein Bild für das rechte Auge angezeigt wird.

[0036] Wie oben dargelegt, kann die Ansteuersignalsteuerung N Primäransteuersignale in 2N Sekundäransteuersignale umwandeln. Entsprechend der obigen Darlegungen und nach Fig. 5 kann die Ansteuersignalsteuerung N Ansteuersignalsteuereinheiten (**2171–217N**) aufweisen, wobei jede der N Ansteuersignalsteuereinheiten eines der N Primäransteuersignale gemäß des ersten Steuersignals und des zweiten Steuersignals in zwei der N Sekundäransteuersignale umwandeln kann, wobei die Ansteuersignalsteuereinheiten folgende Komponenten aufweisen: Einen ersten Steuersignaleingangsterminal, an dem das erste Steuersignal angelegt wird, sowie einen zweiten Steuersignaleingangsterminal, an dem das zweite Steuersignal angelegt wird, einen Primäransteuersignaleingangsterminal, an dem das Primäransteuersignal angelegt wird, einen ersten Sekundäransteuersignaleingangsterminal, an dem das erste Sekundäransteuersignal angelegt wird und einen zweiten Sekundäransteuersignalausgabeterminal für die Ausgabe eines zweiten Sekundäransteuersignals. Falls N größer als 1 sein sollte, werden die ersten Steuersignaleingangsterminals (bzw. entsprechend S11–S1N) der jeweiligen einzelnen Ansteuersignalsteuereinheiten elektrisch verschaltet und diese arbeiten dann als erster Steuersignaleingangsterminal S1 der Ansteuersignalsteuerung und die zweiten Steuersignaleingangsterminals (beziehungsweise entsprechend S21–S2N) der einzelnen Ansteuersignalsteuereinheiten werden elektrisch miteinander verschaltet und arbeiten dann als zweiter Steuersignaleingangsterminal S2 der Ansteuersignalsteuerung. Die Primäransteuersignaleingangsterminals aller Ansteuersignalsteuereinheiten arbeiten als entsprechender Primäransteuersignaleingangsterminal (bzw. entsprechend STV1–STVN) der Ansteuersignalsteuerung und sowohl die ersten Sekundäransteuersignalausgabeterminals als auch die zweiten Sekundäransteuersignalausgabeterminals der einzelnen Ansteuersignalsteuereinheiten arbeiten ent-

sprechend als Sekundärsteuerungssignalausgabeterminals (bzw. entsprechend CTV_1–CTV_2N) der Ansteuerungssignalsteuerung.

[0037] In einer bevorzugten Ausführungsform der vorliegenden Erfindung und wie in **Fig. 6** veranschaulicht, kann jede der Ansteuerungssignaleinheiten weiterhin Folgendes aufweisen: Einen ersten PMOS-Transistor MP1, einen zweiten PMOS-Transistor MP2, einen ersten NMOS-Transistor MN1, einen zweiten NMOS-Transistor MN2, einen dritten NMOS-Transistor MN3, einen vierten NMOS-Transistor MN4, einen fünften NMOS-Transistor MN5, einen sechsten NMOS-Transistor MN6, einen siebten NMOS-Transistor MN7, einen achten NMOS-Transistor MN8, einen Hochpegelsignaleingangsterminal VGH zum Empfang eines Hochpegelsignals und einen Niederpegelsignaleingangsterminal VGL zur Aufnahme eines Niederpegelsignals; eine Gate-Elektrode des ersten PMOS-Transistors MP1 wird mit dem ersten Steuersignaleingangsterminal S1r elektrisch verschaltet, eine Source-Elektrode des ersten PMOS-Transistors MP1 wird mit dem Hochpegelsignaleingangsterminal VGH elektrisch verschaltet, und eine Drain-Elektrode des ersten PMOS-Transistors MP1 wird elektrisch mit einer Source-Elektrode des zweiten PMOS-Transistors MP2 verschaltet; eine Gate-Elektrode des zweiten PMOS-Transistors MP2 wird mit dem zweiten Steuersignaleingangsterminal S2r elektrisch verschaltet, und eine Drain-Elektrode des zweiten PMOS-Transistors MP2 wird mit der Drain-Elektrode des ersten NMOS-Transistors MN1 elektrisch verschaltet; eine Gate-Elektrode des ersten NMOS-Transistors MN1 wird mit dem ersten Steuersignaleingangsterminal S1r elektrisch verschaltet, und eine Source-Elektrode des ersten NMOS-Transistors MN1 wird mit dem Niederpegelsignaleingangsterminal VGL elektrisch verschaltet; eine Gate-Elektrode des zweiten NMOS-Transistors MN2 wird mit dem zweiten Steuersignaleingangsterminal S2r elektrisch verschaltet, eine Drain-Elektrode des zweiten NMOS-Transistors MN2 wird mit der Drain-Elektrode des ersten NMOS-Transistors MN1 elektrisch verschaltet, und eine Source-Elektrode des zweiten NMOS-Transistors MN2 wird mit dem Niederpegelsignaleingangsterminal VGL elektrisch verschaltet; eine Gate-Elektrode des dritten NMOS-Transistors MN3 wird mit dem ersten Steuersignaleingangsterminal S1r elektrisch verschaltet, eine Source-Elektrode des fünften NMOS-Transistors MN3 wird mit dem zweiten Sekundärsteuerungssignalausgabeterminaleingangsterminal CTV_2r elektrisch verschaltet, und eine Drain-Elektrode des dritten NMOS-Transistors MN3 wird mit dem Primärsteuerungssignaleingangsterminal STVr elektrisch verschaltet; eine Gate-Elektrode des vierten NMOS-Transistors MN4 wird mit dem ersten Steuersignaleingangsterminal S1r elektrisch verschaltet, eine Source-Elektrode des vierten NMOS-Transistors MN4 wird mit dem ersten Sekundärsteuerungssignalausgangsterminal CTV_

2r-1 elektrisch verschaltet, und eine Drain-Elektrode des vierten NMOS-Transistors MN4 wird mit dem zweiten Sekundärsteuerungssignalausgabeterminaleingangsterminal CTV_2r elektrisch verschaltet; eine Gate-Elektrode des fünften NMOS-Transistors MN5 wird mit dem zweiten Steuersignaleingangsterminal S2r elektrisch verschaltet, eine Source-Elektrode des fünften NMOS-Transistors MN5 wird mit dem zweiten Sekundärsteuerungssignalausgabeterminaleingangsterminal CTV_2r elektrisch verschaltet, und eine Drain-Elektrode des dritten NMOS-Transistors MN5 wird mit dem Primärsteuerungssignaleingangsterminal STVr elektrisch verschaltet; eine Gate-Elektrode des sechsten NMOS-Transistors MN6 wird mit der Drain-Elektrode des ersten NMOS-Transistors MN1 elektrisch verschaltet, eine Source-Elektrode des sechsten NMOS-Transistors MN6 wird mit dem Niederpegelsignaleingangsterminal VGL elektrisch verschaltet, und eine Drain-Elektrode des sechsten NMOS-Transistors MN6 wird mit dem zweiten Sekundärsteuerungssignalausgabeterminaleingangsterminal CTV_2r elektrisch verschaltet; eine Gate-Elektrode des siebten NMOS-Transistors MN7 wird mit der Drain-Elektrode des ersten NMOS-Transistors MN1 elektrisch verschaltet, eine Source-Elektrode des siebten NMOS-Transistors MN7 wird mit dem ersten Sekundärsteuerungssignalausgabeterminaleingangsterminal CTV_2r-1 elektrisch verschaltet, und eine Drain-Elektrode des siebten NMOS-Transistors MN7 wird mit dem Primärsteuerungssignaleingangsterminal STVr elektrisch verschaltet; eine Gate-Elektrode des achten NMOS-Transistors MN8 wird mit dem zweiten Steuersignaleingangsterminal S2r elektrisch verschaltet, eine Source-Elektrode des achten NMOS-Transistors MN8 wird mit dem Niederpegelsignaleingangsterminal VGL elektrisch verschaltet, und eine Drain-Elektrode des achten NMOS-Transistors MN8 wird mit dem zweiten Sekundärsteuerungssignalausgabeterminaleingangsterminal CTV_2r elektrisch verschaltet;

[0038] Anhand der in **Fig. 6** sowie in **Fig. 7A** gezeigten Ansteuerungssignaleinheiten ist ersichtlich, dass die Ansteuerungssignaleinheit aufweist, wobei STV1 einen Primärsteuerungssignaleingangsterminal darstellt und CTV_1 einen ersten Sekundärsteuerungssignalausgabeterminaleingangsterminal darstellt und CTV_2 einen zweiten Sekundärsteuerungssignalausgabeterminaleingangsterminal darstellt. **Fig. 7B** ist ein Zeitablaufplan von verschiedenen in **Fig. 7A** gezeigten Signalen; In der **Fig. 7B** stellt SSTV1 das Primärsteuerungssignal dar, welches an der Ansteuerungssignaleinheit angelegt wird; SS1 stellt das erste Steuersignal dar, welches an der Ansteuerungssignaleinheit angelegt wird; SS2 stellt das zweite Steuersignal dar, welches an der Ansteuerungssignaleinheit angelegt wird; SCTV_1 stellt das erste Sekundärsteuerungssignal dar, welches von der Ansteuerungssignaleinheit ausgegeben wird; und SCTV_2 stellt das zweite Sekundärsteuerungssignal dar, welches von der Ansteuerungssignaleinheit ausgegeben wird. Das Funktionsprinzip der Ansteuerungssignaleinheit

rung in **Fig. 7A** wird nachstehend in Verbindung mit **Fig. 7B** veranschaulicht.

[0039] Wie aus den **Fig. 7A** und **Fig. 7B** ersichtlich, beinhalten die Betriebszustände der Ansteuersignalsteuerung Folgendes:

In einer Bildanzeigephase T11 unter einem ersten Anzeigemodus wird ein erstes Steuersignal SS1 mit einem hohen Pegel am ersten Steuersignaleingangsterminal S1 der Ansteuersignalsteuerung angelegt und der zweite Steuersignaleingangsterminal S2 der Ansteuersignalsteuerung ist potentialfrei (es wird also kein Signalpegel an das zweite Steuersignal SS2 in der Phase angelegt), wodurch sowohl der dritte NMOS-Transistor MN3 und der vierte NMOS-Transistor MN4 eingeschaltet werden. Das Primärsteuerersignal SSTV1 wird an dem zweiten Sekundärsteuerersignalausgabeterminal CTV_2 über den dritten NMOS-Transistor MN3 zur Ausgabe als ein zweites Sekundärsteuerersignal SCTV_2 übertragen. Das Primärsteuerersignal SSTV1 wird an den ersten Sekundärsteuerersignalausgabeterminal CTV_1 sowohl über den dritten NMOS-Transistor MN3 und den vierten NMOS-Transistors MN4 zur Ausgabe als erstes Sekundärsteuerersignal SCTV_1 übertragen.

[0040] In einer ersten Bildanzeigephase T12 unter einem zweiten Anzeigemodus wird ein erstes Steuersignal SS1 mit einem niedrigen Pegel am ersten Steuersignaleingangsterminal S1 der Ansteuersignalsteuerung angelegt und ein zweites Steuersignal SS2 mit einem niedrigen Pegel wird an dem zweiten Steuersignaleingangsterminal S2 der Ansteuersignalsteuerung angelegt, wodurch sowohl der erste PMOS-Transistor MP1 als auch der zweite PMOS-Transistor MP2 eingeschaltet werden. Das am ersten Signaleingangsterminal VGH eingehende Hochpegelsignal wird an die Gate-Elektrode des siebten NMOS-Transistors MN7 sowohl über den ersten PMOS-Transistor MP1 als auch dem zweiten PMOS-Transistor MP2 angelegt, um den siebten NMOS-Transistor MN7 einzuschalten. Das Primärsteuerersignal SSTV1 wird an den ersten Sekundärsteuerersignalausgabeterminal CTV_1 über den siebten NMOS-Transistor MN7 zur Ausgabe als erstes Sekundärsteuerersignal SCTV_1 übertragen.

[0041] In einer zweiten Bildanzeigephase T13 unter einem zweiten Anzeigemodus wird ein erstes Steuersignal SS1 mit einem niedrigen Pegel am ersten Steuersignaleingangsterminal S1 der Ansteuersignalsteuerung angelegt und ein zweites Steuersignal SS2 mit einem niedrigen Pegel wird an dem zweiten Steuersignaleingangsterminal S2 der Ansteuersignalsteuerung angelegt, wodurch der fünfte NMOS-Transistor MN5 eingeschaltet wird und das Primärsteuerersignal SSTV1 wird an dem zweiten Sekundärsteuerersignalausgangsterminal CTV_2 über den fünften NMOS-Transistor MN5 zur Ausgabe als zweites Sekundärsteuerersignal SCTV_2 übertragen.

[0042] Es wird darauf hingewiesen, dass die Primärsteuerersignale in den verschiedenen Phasen sich auf aktive Primärsteuerersignale beziehen, d. h. die aktiven Primärsteuerersignale sind Primärsteuerersignale in einem Hochpegelzustand.

[0043] Aus der Beschreibung der Funktionsweise der Ansteuersignalsteuerung in der **Fig. 7A** wird ersichtlich, dass das erste Sekundärsteuerersignal SCTV_1 und das zweite Sekundärsteuerersignal SCTV_2 gleichzeitig in der Bildanzeigephase T11 unter dem ersten Anzeigemodus ausgegeben werden, während lediglich das erste Sekundärsteuerersignal SCTV_1 in der ersten Bildanzeigephase T12 unter dem zweiten Anzeigemodus ausgegeben wird und nur das zweite Sekundärsteuerersignal SCTV_2 unter der zweiten Bildanzeigephase T13 unter dem zweiten Anzeigemodus ausgegeben wird.

[0044] In der **Fig. 7A** wandelt die Ansteuersignalsteuerung ein Primärsteuerersignal in zwei Sekundärsteuerersignale um und gibt zwei Sekundärsteuerersignale aus. Somit umfasst der Randbereich zwei Gattersteuerschaltungen, die elektrisch mit der Ansteuersignalsteuerung **217** in dem Anzeigefeld verschaltet sind (siehe **Fig. 8**), also eine erste Gattersteuerschaltung **2151** und eine zweite Gattersteuerschaltung **2152**. Somit kann die erste Gattersteuerschaltung **2151** so konfiguriert werden, dass eine Pixelgruppe bestehend aus allen ersten und dritten Pixelzeilen bis zu den Pixelzeilen (2i-1) sowie Pixelzeilen (n-1) angesteuert wird. Die zweite Gattersteuerschaltung **2152** kann so konfiguriert werden, dass eine Pixelgruppe bestehend aus allen zweiten und vierten Pixelzeilen bis zu den Pixelzeilen (2i) und Pixelzeilen (n) angesteuert wird, wobei i eine positive ganze Zahl ist und $1 \leq i \leq n/2$ gilt. Die erste Gattersteuerschaltung **2151** wird durch das erste Sekundärsteuerersignal (welches vom ersten Sekundärsteuerersignalausgabeterminal CTV_1 in den Figuren ausgegeben wird) angesteuert. Die zweite Gattersteuerschaltung **2152** wird vom zweiten Sekundärsteuerersignal (welches vom zweiten Sekundärsteuerersignalausgabeterminal CTV_2 in den Figuren ausgegeben wird) angesteuert.

[0045] Es wird darauf hingewiesen, dass die Verteilungskonfiguration der Pixelgruppen aus allen ersten und dritten Pixelzeilen bis zu den Pixelzeilen (2i-1) und Pixelzeilen (n-1) besteht und die Pixelgruppe aus allen zweiten und vierten Pixelzeilen bis zu den Pixelzeilen (2i) und Pixelzeilen (n) im Anzeigebereich des Anzeigefeldes besteht, wie aus **Fig. 4A** und den zugehörigen Beschreibungen ersichtlich, die hier nicht noch einmal erläutert werden.

[0046] Ferner weisen die nach der Ansteuersignalsteuerung in **Fig. 7A** angeordneten Gattersteuerschaltungen zusätzliche Schaltkreise auf, die bei der tatsächlichen Auslegung nicht beteiligt sind und den

Randbereich im Umfangsbereich des Anzeigefeldes nicht vergrößern.

[0047] Ferner beinhalten die Betriebszustände der Gattersteuerschaltung in der **Fig. 8** (entsprechend den Betriebszuständen der Ansteuersignalsteuerung in **Fig. 7B**) Folgendes: in der Bildanzeigephase T11 unter dem ersten Anzeigemodus aktivieren die von der Ansteuersignalsteuerung gleichzeitig erzeugten ersten Sekundärsteuerungs signale bzw. zweiten Sekundärsteuerungs signale die erste Gattersteuerschaltung **2151** bzw. zweite Gattersteuerschaltung **2152**, um die Pixelzeilen (2i-1) bzw. Pixelzeilen (2i) unter den zwei Pixelgruppen anzusteuern, die mit der ersten Gattersteuerschaltung **2151** bzw. zweiten Gattersteuerschaltung **2152** elektrisch verschaltet sind, um das gleiche Bild unter dem ersten Anzeigemodus anzuzeigen.

[0048] Insbesondere ist aus dem Arbeitsprinzip der Gattersteuerschaltungen bekannt, dass die Gattersteuerschaltungen mit der Erzeugung von Abtastsignalen beginnen, welche für eine fortlaufende Ansteuerung jeder Pixelzeile konfiguriert sind, nachdem die Gattersteuerschaltungen die Sekundärsteuerungs signale empfangen haben (unter Bezugnahme auf die aktiven Sekundärsteuerungs signale). Insbesondere erfolgt durch die erste Gattersteuerschaltung **2151** eine fortlaufende Ansteuerung einer ersten Pixelzeile, einer dritten Pixelzeile und einer fünften Pixelzeile bis zu den Pixelzeilen (2i-1) und so fort (das heißt, sämtliche ungeraden Pixelzeilen). Durch die zweite Gattersteuerschaltung **2152** erfolgt eine fortlaufende Ansteuerung einer zweiten Pixelzeile, einer vierten Pixelzeile und einer sechsten Pixelzeile bis zu den Pixelzeilen (2i) und so fort (d. h. sämtliche geradzahli gen Pixelzeilen). Da das erste Sekundärsteuerungs signal für die Ansteuerung der ersten Gattersteuer schaltung **2151** und das zweite Sekundärsteuerungs signal für die Ansteuerung der zweiten Gattersteuer schaltung **2152** gleichzeitig in der Bildwiedergabe phase T11 unter dem ersten Anzeigemodus erzeugt werden, erfolgt durch die erste Gattersteuerschaltung **2151** die Ansteuerung der ersten Pixelzeile und die zweite Gattersteuerschaltung **2152** steuert gleichzeitig die zweite Pixelzeile an und das gleiche Datensignal steuert die erste Pixelzeile sowie die zweite Pixelzeile an, um das gleiche Bild im Rahmen des ersten Anzeigemodus anzuzeigen. Die erste Gattersteuer schaltung **2151** und die zweite Gattersteuer schaltung **2152** steuern dann gleichzeitig die dritte Pixelzeile und die vierte Pixelzeile, um das gleiche Bild im Rahmen des ersten Anzeigemodus anzuzeigen, wobei dies solange erfolgt, bis sämtliche Pixelzeilen angesteuert wurden und ein Bild nach dem ersten Anzeigemodus angezeigt wurde. Wie oben beschrieben, stellen die Pixelzeilen (2i-1) bzw. die Pixelzeilen (2i) unter den zwei Pixelgruppen, die jeweils mit der ersten Gattersteuerschaltung **2151** bzw. zweiten Gattersteuerschaltung **2152** elektrisch verschaltet sind,

das gleiche Bild unter dem ersten Anzeigemodus dar und somit beträgt die Auflösung des Anzeigefeldes unter dem ersten Anzeigemodus $m \times n/2$.

[0049] In der ersten Bildanzeigephase T12 unter dem zweiten Anzeigemodus aktiviert das von der Ansteuersignalsteuerung erzeugte Sekundärsteuerungs signal die erste Gattersteuerschaltung **2151**, um die Pixelgruppen anzusteuern, die elektrisch mit der ersten Gattersteuerschaltung **2151** verschaltet sind, um ein erstes Bild anzuzeigen. Das in der zweiten Bildanzeigephase T13 unter dem zweiten Anzeigemodus von der Ansteuersignalsteuerung erzeugte zweite Sekundärsteuerungs signal aktiviert die zweite Gattersteuerschaltung **2152**, um die Pixelgruppen anzusteuern, die elektrisch mit der zweiten Gattersteuer schaltung **2151** verschaltet sind, um ein zweites Bild anzuzeigen. Es wird für den Fall angemerkt, dass es sich bei dem zweiten Anzeigemodus um einen 3D-Anzeigemodus handelt, dass das erste Bild ein Bild für das linke Auge und das zweite Bild ein Bild für das rechte Auge sein kann bzw. das erste Bild kann ein Bild für das rechte Auge sein und das zweite Bild kann ein Bild für das linke Auge sein.

[0050] Insbesondere erfolgt durch die Gattersteuer schaltung **2151** in der ersten Bildanzeigephase T12 unter dem zweiten Anzeigemodus eine fortlaufende Ansteuerung einer ersten Pixelzeile, einer dritten Pixelzeile und einer fünften Pixelzeile bis zu den Pixelzeilen (2i-1) und so fort (das heißt, sämtliche ungeraden Pixelzeilen), um das erste Bild anzuzeigen. Durch die zweite Gattersteuerschaltung **2152** in der zweiten Bildanzeigephase T13 unter dem zweiten Anzeigemodus erfolgt eine fortlaufende Ansteuerung einer zweiten Pixelzeile, einer vierten Pixelzeile und einer sechsten Pixelzeile bis zu den Pixelzeilen (2i) und so fort (d. h. sämtliche geradzahli gen Pixelzeilen), um das zweite Bild anzuzeigen. Da das erste Bild und das zweite Bild die gleichen Anzeigehalte aufweisen und zusammen das Anzeigebild unter dem zweiten Anzeigemodus bilden, beträgt die Auflösung des Anzeigefeldes unter dem zweiten Anzeigemodus $m \times n/2$, welche mit der Auflösung des Anzeigefeldes unter dem ersten Anzeigemodus identisch ist. Sollte es sich bei dem ersten Anzeigemodus um einen 2D-Anzeigemodus und bei dem zweiten Anzeigemodus um einen 3D-Anzeigemodus handeln, kann das Anzeigefeld gemäß der Ausführungsform der vorliegenden Erfindung die gleiche Auflösung unter dem ersten Anzeigemodus und dem zweiten Anzeigemodus bzw. unter dem 2D-Anzeigemodus und dem 3D-Anzeigemodus aufweisen.

[0051] **Fig. 7A** zeigt ein spezifisches Beispiel für die Ansteuersignalsteuerung. In einem weiteren spezifischen Beispiel kann die Ansteuersignalsteuerung zwei Primärsteuerungs signale in vier Sekundärsteuerungs signale umwandeln. Wie in **Fig. 9A** dargestellt, weist die Ansteuersignalsteuerung zwei An-

steuersignalsteuereinheiten auf, d. h. eine erste Ansteuersignalsteuereinheit **217a** und eine zweite Ansteuersignalsteuereinheit **217b**. Hierbei arbeiten ein Primäransteuersignaleingangsterminal der ersten Ansteuersignalsteuereinheit **217a** und ein Primäransteuersignaleingangsterminal der zweiten Ansteuersignalsteuereinheit **217b** als ein erster Primäransteuersignaleingangsterminal STV1 bzw. ein zweiter Primäransteuersignaleingangsterminal STV2 der Ansteuersignalsteuerung. Zwei Sekundäransteuersignalausgangsterminals der Ansteuersignalsteuereinheit **217a** und zwei Sekundäransteuersignalausgangsterminals der Ansteuersignalsteuereinheit **217b** arbeiten fortlaufend als ein erster Sekundäransteuersignalausgangsterminal CTV_1, ein zweiter Sekundäransteuersignalausgangsterminal CTV_2, ein dritter Sekundäransteuersignalausgangsterminal CTV_3 und ein vierter Sekundäransteuersignalausgangsterminal CTV_4 der Ansteuersignalsteuerung. Hierbei stellen MP11 und MP 12 den ersten PMOS-Transistor bzw. dem zweiten PMOS-Transistor der ersten Ansteuersignalsteuereinheit **217a** dar und MN11 bis MN18 stellen den ersten NMOS-Transistor bis zum achten NMOS-Transistor der ersten Ansteuersignalsteuereinheit **217a** dar. MP21 und MP22 stellen den ersten PMOS-Transistor und der zweiten PMOS-Transistor der ersten Ansteuersignalsteuereinheit **217a** dar bzw. MN21 bis MN28 stellen den ersten NMOS-Transistor bis zum achten NMOS-Transistor der ersten Ansteuersignalsteuereinheit **217a** dar.

[0052] Fig. 9B ist ein Zeitablaufplan von verschiedenen in Fig. 9A gezeigten Signalen. In der Fig. 9B stellt SSTV1 das erste Primäransteuersignal dar, welches an der Ansteuersignalsteuerung angelegt wird; SSTV2 stellt das zweite Steuersignal dar, welches an der Ansteuersignalsteuerung angelegt wird; SS1 stellt das erste Steuersignal dar, welches an der Ansteuersignalsteuerung angelegt wird; SS2 stellt das zweite Sekundäransteuersignal dar, welches an der Ansteuersignalsteuerung angelegt wird; und SCTV_1 bis SCTV4 stellen die jeweils ersten Sekundäransteuersignale dar, welche von der Ansteuersignalsteuerung ausgegeben werden. Es wird angemerkt, dass das erste Primäransteuersignal SSTV1 und das zweite Primäransteuersignal SSTV2, welche an die Ansteuersignalsteuereinheit **217a** angelegt werden, sich auf aktive Primäransteuersignale beziehen, d. h. wie in Fig. 9B gezeigt, das aktive erste Primäransteuersignal SSTV1 ist ein erstes Primäransteuersignal SSTV1 mit Hochpegelstatus und das aktive zweite Primäransteuersignal SSTV2 ist ein zweites Primäransteuersignal SSTV2 mit Hochpegelstatus. Das Funktionsprinzip der Ansteuersignalsteuerung in Fig. 9A wird nachstehend in Verbindung mit Fig. 9B veranschaulicht.

[0053] Wie aus den Fig. 9A und Fig. 9B ersichtlich, beinhalten die Betriebszustände der Ansteuersignalsteuerung Folgendes:

In der Bildanzeigephase T21 unter dem ersten Anzeigemodus wird zu einem ersten Zeitpunkt t1 ein erstes Primäransteuersignal SSTV1 (entsprechend dem ersten Primäransteuersignal SSTV1 mit einem hohem Pegel) an den ersten Primäransteuersignaleingangsterminal STV1 angelegt und ein zweites Primäransteuersignal SSTV2 (entsprechend dem zweiten Primäransteuersignal SSTV2 mit einem niedrigen Pegel) wird nicht an dem zweiten Primäransteuersignaleingangsterminal angelegt. Ein erstes Steuersignal SS1 mit einem niedrigen Pegel wird an den ersten Steuersignaleingangsterminal S1 angelegt und der zweite Steuersignaleingangsterminal S2 ist potentialfrei, wodurch sowohl der dritte NMOS-Transistor MN13 und der vierte NMOS-Transistor MN14 der ersten Ansteuersignalsteuereinheit **217a** eingeschaltet werden. Das erste Primäransteuersignal SSTV1 wird an dem zweiten Sekundäransteuersignalausgabeterminal CTV_2 über den dritten NMOS-Transistor MN13 und den vierten NMOS-Transistor MN14 zur Ausgabe eines zweiten Sekundäransteuersignals SCTV_2 übertragen. Zu einem zweiten Zeitpunkt t2 wird ein erstes Primäransteuersignal SSTV1 (entsprechend dem ersten Primäransteuersignal SSTV2 mit einem niedrigen Pegel) nicht an den ersten Sekundäransteuersignaleingangsterminal STV2 angelegt und ein zweites Primäransteuersignal SSTV2 (entsprechend dem zweiten Primäransteuersignal SSTV2 mit einem hohen Pegel) wird am zweiten Sekundäransteuersignaleingangsterminal STV2 angelegt. Ein erstes Steuersignal SS1 mit einem hohen Pegel wird an den ersten Steuersignalausgangsterminal S1 der Ansteuersignalsteuerung angelegt und der zweite Steuersignaleingangsterminal S2 der Ansteuersignalsteuerung ist potentialfrei, sodass sowohl der dritte NMOS-Transistor MN23 und der vierte NMOS-Transistor MN2 der zweiten Ansteuersignalsteuereinheit **217b** eingeschaltet werden. Das zweite Primäransteuersignal SSTV2 wird an den vierten Sekundäransteuersignalausgabeterminal CTV_4 der Ansteuersignalsteuerung über den dritten NMOS-Transistor MN23 und den vierten NMOS-Transistor MN24 zur Ausgabe eines vierten Sekundäransteuersignals SCTV_4 übertragen und das zweite Primäransteuersignal SSTV2 wird an den dritten Sekundäransteuersignalausgabeterminal CTV_3 der Ansteuersignalsteuerung über den dritten NMOS-Transistor MN23 und den vierten NMOS-Transistor MN24 zur Ausgabe eines dritten Sekundäransteuersignals SCTV_3 übertragen, wobei der erste Zeitpunkt vor dem zweiten Zeitpunkt liegt.

[0054] In der ersten Bildanzeigephase T22 unter dem zweiten Anzeigemodus wird zu einem dritten Zeitpunkt t3 ein erstes Primäransteuersignal SSTV1 (entsprechend dem ersten Primäransteuersignal SSTV1 mit einem hohen Pegel) an den ers-

ten Primärsteuertereingangsterminal STV1 angelegt und ein zweites Primärsteuertereingangsterminal SSTV2 (entsprechend dem zweiten Primärsteuertereingangsterminal SSTV2 mit einem niedrigen Signalpegel) wird nicht an den zweiten Primärsteuertereingangsterminal STV2 angelegt. Ein erstes Ansteuertereingangsterminal SS1 mit einem niedrigen Pegel wird am ersten Steuertereingangsterminal S1 der Ansteuertereingangsterminalsteuerung angelegt und ein zweites Ansteuertereingangsterminal SS2 mit einem niedrigen Pegel wird am zweiten Steuertereingangsterminal S2 der Ansteuertereingangsterminalsteuerung angelegt, wodurch sowohl der erste PMOS-Transistor MP11 als auch der zweite PMOS-Transistor MP12 der ersten Ansteuertereingangsterminalsteuerereinheit **217a** eingeschaltet werden und ein hoher am Hochpegelsterminal VGH eingehender Signalpegel wird an der Gate-Elektrode des siebten NMOS-Transistors MN17 der ersten Ansteuertereingangsterminalsteuerereinheit **217a** über den ersten PMOS-Transistor MP11 und den zweiten PMOS-Transistor MP12 zum Einschalten des siebten NMOS-Transistors MN 17 angelegt. Danach wird das zweite Primärsteuertereingangsterminal SSTV1 an den dritten Sekundärsteuertereingangsterminal CTV_1 der Ansteuertereingangsterminalsteuerung über den siebten NMOS-Transistor MN7 übertragen, um ein drittes Sekundärsteuertereingangsterminal SCTV_1 auszugeben. Zu einem vierten Zeitpunkt t4 wird ein erstes Primärsteuertereingangsterminal SSTV1 (entsprechend dem ersten Primärsteuertereingangsterminal SSTV1 mit einem niedrigen Pegel) nicht am ersten Primärsteuertereingangsterminal STV1 angelegt. Ein zweites Primärsteuertereingangsterminal SSTV2 (entsprechend dem zweiten Primärsteuertereingangsterminal SSTV2 mit einem hohen Signalpegel) wird am zweiten Primärsteuertereingangsterminal STV2 angelegt. Ein erstes Steuertereingangsterminal SS1 mit einem niedrigen Pegel wird am ersten Steuertereingangsterminal S1 der Ansteuertereingangsterminalsteuerung angelegt und ein zweites Steuertereingangsterminal SS2 mit niedrigem Pegel wird am zweiten Steuertereingangsterminal S2 angelegt, wodurch sowohl der erste PMOS-Transistor MP21 als auch der zweite PMOS-Transistor MP22 der zweiten Ansteuertereingangsterminalsteuerereinheit **217b** eingeschaltet werden, wobei ein hoher am Hochpegelsterminal VGH eingehender Signalpegel an der Gate-Elektrode des siebten NMOS-Transistors MN27 der zweiten Ansteuertereingangsterminalsteuerereinheit **217b** über den ersten PMOS-Transistor MP21 und den zweiten PMOS-Transistor MP22 zum Einschalten des siebten NMOS-Transistors MN27 angelegt wird. Danach wird das zweite Primärsteuertereingangsterminal SSTV2 an den dritten Sekundärsteuertereingangsterminal CTV_3 der Ansteuertereingangsterminalsteuerung über den siebten NMOS-Transistor MN27 zur Ausgabe als drittes Sekundärsteuertereingangsterminal SCTV_3 übertragen.

[0055] In der zweiten Bildanzeigephase T23 unter dem zweiten Anzeigemodus wird zu einem fünften Zeitpunkt t5 ein erstes Primärsteuertereingangsterminal

SSTV1 (entsprechend dem ersten Primärsteuertereingangsterminal SSTV1 mit einem hohen Pegel) an den ersten Primärsteuertereingangsterminal STV1 angelegt. Ein zweites Primärsteuertereingangsterminal SSTV2 (entsprechend dem zweiten Primärsteuertereingangsterminal SSTV2 mit einem niedrigen Signalpegel) wird nicht an den zweiten Primärsteuertereingangsterminal STV2 angelegt und ein erstes Ansteuertereingangsterminal SS1 mit einem niedrigen Pegel wird an den ersten Steuertereingangsterminal S1 angelegt. Ein zweites Steuertereingangsterminal SS2 mit einem hohen Pegel wird am zweiten Steuertereingangsterminal S2 der Ansteuertereingangsterminalsteuerung angelegt, um den fünften NMOS-Transistor MN15 der ersten Ansteuertereingangsterminalsteuerereinheit **217b** einzuschalten. Danach wird das erste Primärsteuertereingangsterminal SSTV1 an den zweiten Sekundärsteuertereingangsterminal CTV_2 der Ansteuertereingangsterminalsteuerung über den fünften NMOS-Transistor MN15 zur Ausgabe als zweites Sekundärsteuertereingangsterminal SCTV_2 übertragen. Zu einem sechsten Zeitpunkt t6 wird ein erstes Primärsteuertereingangsterminal SSTV1 (entsprechend dem ersten Primärsteuertereingangsterminal SSTV1 mit einem niedrigen Pegel) nicht am ersten Primärsteuertereingangsterminal STV1 angelegt und ein zweites Primärsteuertereingangsterminal SSTV2 (entsprechend dem zweiten Primärsteuertereingangsterminal SSTV2 mit einem niedrigen Pegel) wird nicht an den zweiten Primärsteuertereingangsterminal STV2 angelegt. Ein erstes Steuertereingangsterminal SS1 mit einem niedrigen Pegel wird am ersten Steuertereingangsterminal S1 der Ansteuertereingangsterminalsteuerung angelegt. Ein zweites Steuertereingangsterminal SS2 mit einem hohen Pegel wird am zweiten Steuertereingangsterminal S2 der Ansteuertereingangsterminalsteuerung angelegt, um den fünften NMOS-Transistor MN 25 der zweiten Ansteuertereingangsterminalsteuerereinheit **217b** einzuschalten. Danach wird das zweite Primärsteuertereingangsterminal SSTV2 an den vierten Sekundärsteuertereingangsterminal CTV_4 der Ansteuertereingangsterminalsteuerung über den fünften NMOS-Transistor MN 25 zur Ausgabe als viertes Sekundärsteuertereingangsterminal SCTV_4 übertragen. Der dritte Zeitpunkt, der vierte Zeitpunkt, der fünfte Zeitpunkt und der sechste Zeitpunkt treten nacheinander auf.

[0056] In der Fig. 7A wandelt die Ansteuertereingangsterminalsteuerung zwei Primärsteuertereingangsterminals in vier Sekundärsteuertereingangsterminals um und gibt vier Sekundärsteuertereingangsterminals aus. Somit umfasst der Randbereich zwei Gattersteuertereingangsterminals, die elektrisch mit der Ansteuertereingangsterminalsteuerung in dem Anzeigefeld verschaltet sind (siehe Fig. 10), also eine erste Gattersteuertereingangsterminalsteuerung **215a** und eine zweite Gattersteuertereingangsterminalsteuerung **215b**, eine dritte Gattersteuertereingangsterminalsteuerung **215c** sowie eine vierte Gattersteuertereingangsterminalsteuerung **215d**. Die erste Gattersteuertereingangsterminalsteuerung **215a** ist so konfiguriert, dass eine Pixelgruppe bestehend aus allen ersten, fünften und neunten Pixelzeilen bis zu den Pixelzeilen (4k-3) und Pixelzeilen (n-3) angesteuert wird. Die zweite Gattersteuertereingangsterminalsteuerung **215b** ist so konfi-

guriert, dass eine Pixelgruppe bestehend aus allen zweiten, sechsten und zehnten Pixelzeilen bis zu den Pixelzeilen (4k-2) und Pixelzeilen (n-2) angesteuert wird. Die dritte Gattersteuerschaltung **215c** ist so konfiguriert, dass eine Pixelgruppe bestehend aus allen dritten, siebten und elften Pixelzeilen bis zu den Pixelzeilen (4k-1) und Pixelzeilen (n-1) angesteuert wird. Die vierte Gattersteuerschaltung **215d** ist so konfiguriert, dass eine Pixelgruppe bestehend aus allen vierten, achten und zwölften Pixelzeilen bis zu den Pixelzeilen (4k) und Pixelzeilen (n) angesteuert wird, wobei k eine positive ganze Zahl ist und $1 \leq k \leq n/4$ gilt. Die erste Gattersteuerschaltung **215a** wird durch das erste Sekundärsteuerersignal der Ansteuersignalsteuerung (welches vom ersten Sekundärsteuerersignalausgabeterminal CTV_1 in den Figuren ausgegeben wird) angesteuert. Die zweite Gattersteuerschaltung **215b** wird vom zweiten Sekundärsteuerersignal der Ansteuersignalsteuerung (welches vom zweiten Sekundärsteuerersignalausgabeterminal CTV_2 in den Figuren ausgegeben wird) angesteuert. Die dritte Gattersteuerschaltung **215c** wird durch das dritte Sekundärsteuerersignal der Ansteuersignalsteuerung (welches vom dritten Sekundärsteuerersignalausgabeterminal CTV_3 in den Figuren ausgegeben wird) angesteuert. Die vierte Gattersteuerschaltung **215d** wird vom vierten Sekundärsteuerersignal der Ansteuersignalsteuerung (welches vom vierten Sekundärsteuerersignalausgabeterminal CTV_4 in den Figuren ausgegeben wird) angesteuert.

[0057] Es wird darauf hingewiesen, dass die Verteilungsfälle der Pixelgruppe aus allen ersten, fünften und neunten Pixelzeilen bis zu den Pixelzeilen (4k-3) und Pixelzeilen (n-3) und der Pixelgruppe aus allen zweiten, sechsten und zehnten Pixelzeilen bis zu den Pixelzeilen (4k-2) und Pixelzeilen (n-2) sowie der Pixelgruppe aus allen dritten, siebten und elften Pixelzeilen bis zu den Pixelzeilen (4k-1) und Pixelzeilen (n-1) und der Pixelgruppe aus allen vierten, achten und zwölften Pixelzeilen bis zu den Pixelzeilen (4k) und (n) im Anzeigebereich des Anzeigefeldes bestanden, wie aus **Fig. 4B** und den zugehörigen Beschreibungen ersichtlich, die hier nicht noch einmal erläutert werden.

[0058] Ferner fügen die nach der Ansteuersignalsteuerung in **Fig. 9A** angeordneten Gattersteuerschaltungen dem Aufbau keine zusätzlichen Schaltkreise hinzu und somit wird der Randbereich im Umfangsbereich des Anzeigefeldes auch nicht vergrößert.

[0059] Wie aus den Betriebszuständen der Ansteuersignalsteuerung in **Fig. 9B** ersichtlich, beinhalten die Betriebszustände der Gattersteuerschaltungen Folgendes:
In der Bildanzeigephase T21 unter dem ersten Anzeigemodus aktivieren die zum Zeitpunkt t1 erzeug-

ten Signale des ersten Sekundärsteuerersignals und des zweiten Sekundärsteuerersignals über die Ansteuersignalsteuerung gleichzeitig die erste Gattersteuerschaltung **215a** und die zweite Gattersteuerschaltung **215b**, um zwei benachbarte Pixelzeilen unter den beiden Pixelgruppen zu steuern, die elektrisch mit der ersten Gattersteuerschaltung **215a** bzw. der zweiten Gattersteuerschaltung **215b** verschaltet sind, um jeweils das gleiche Bild nach dem ersten Anzeigemodus anzuzeigen. Die zum zweiten Zeitpunkt t2 über die Ansteuersignalsteuerung erzeugten Signale des dritten Sekundärsteuerersignals bzw. des vierten Sekundärsteuerersignals aktivieren gleichzeitig die dritte Gattersteuerschaltung **215c** und die vierte Gattersteuerschaltung **215d**, um zwei benachbarte Pixelzeilen unter den beiden Pixelgruppen zu steuern, die elektrisch mit der dritten Gattersteuerschaltung **215c** bzw. der vierten Gattersteuerschaltung **215d** verschaltet sind, um jeweils das gleiche Bild nach dem ersten Anzeigemodus anzuzeigen.

[0060] Insbesondere erfolgt durch die erste Gattersteuerschaltung **215a** eine fortlaufende Ansteuerung einer ersten Pixelzeile, einer fünften Pixelzeile und einer neunten Pixelzeile und so fort, d. h. bis zu den Pixelzeilen (4k-3). Durch die zweite Gattersteuerschaltung **215b** erfolgt eine fortlaufende Ansteuerung einer zweiten Pixelzeile, einer sechsten Pixelzeile, einer zehnten Pixelzeile und so fort, d. h. bis zu den Pixelzeilen (4k-2). Durch die dritte Gattersteuerschaltung **215c** erfolgt eine fortlaufende Ansteuerung einer dritten Pixelzeile, einer siebten Pixelzeile, einer elften Pixelzeile und so fort, d. h. bis zu den Pixelzeilen (4k-1). Durch die vierte Gattersteuerschaltung **215d** erfolgt eine fortlaufende Ansteuerung einer vierten Pixelzeile, einer achten Pixelzeile, einer zwölften Pixelzeile und so fort, d. h. bis zu den Pixelzeilen (4k). Da das erste Sekundärsteuerersignal zum Ansteuern der ersten Gattersteuerschaltung **215a** dient und das zweite Sekundärsteuerersignal zum Ansteuern der zweiten Gattersteuerschaltung **215b** dient, werden diese Signale gleichzeitig im ersten Zeitpunkt t1 erzeugt. Die erste Gattersteuerschaltung **215a** steuert die erste Pixelzeile und die zweite Gattersteuerschaltung **215a** steuert die zweite Pixelzeile an. Die erste Gattersteuerschaltung **215c** und die zweite Gattersteuerschaltung **215d** legen das gleiche Eingangssignaldaten an der ersten Pixelzeile und der zweiten Pixelzeile an, um das gleiche Bild unter dem ersten Anzeigemodus anzuzeigen. Da das dritte Sekundärsteuerersignal zum Ansteuern der dritten Gattersteuerschaltung **215c** dient und das vierte Sekundärsteuerersignal zum Ansteuern der vierten Gattersteuerschaltung **215d** dient, werden diese Signale gleichzeitig im ersten Zeitpunkt t2 erzeugt. Die dritte Gattersteuerschaltung **215c** steuert die dritte Pixelzeile an und die vierte Gattersteuerschaltung **215d** steuert die vierte Pixelzeile an. Die dritte Gattersteuerschaltung **215c** und die vierte Gattersteuerschaltung **215d** legen das gleiche Datensignal an der dritten Pixelzeile

und der vierten Pixelzeile an, um das gleiche Bild unter dem ersten Anzeigemodus anzuzeigen. Danach steuert die dritte Gattersteuerschaltung **215c** die fünfte Pixelzeile an und die zweite Gattersteuerschaltung **215b** steuert die sechste Pixelzeile an. Dann steuert die dritte Gattersteuerschaltung **215c** die siebte Pixelzeile an und die vierte Gattersteuerschaltung **215d** steuert die achte Pixelzeile an. Die Ansteuerung erfolgt nacheinander bis sämtliche Pixelzeilen angesteuert wurden und ein Bild unter dem ersten Anzeigemodus angezeigt wurde. Wie oben beschrieben, zeigen zwei benachbarte Pixelzeilen unter den zwei Pixelgruppen, die jeweils mit der ersten Gattersteuerschaltung **215a** bzw. zweiten Gattersteuerschaltung **215b** elektrisch verschaltet sind, das gleiche Bild unter dem ersten Anzeigemodus an und zwei benachbarte Pixelzeilen unter den zwei Pixelgruppen, die jeweils mit der dritten Gattersteuerschaltung **215c** bzw. vierten Gattersteuerschaltung **215d** elektrisch verschaltet sind, zeigen das gleiche Bild unter dem ersten Anzeigemodus an und daher beträgt die Auflösung des Anzeigefeldes unter dem ersten Anzeigemodus $m \times n/2$.

[0061] Unter dem ersten Anzeigemodus steuern die erste Gattersteuerschaltung **215a** und die zweite Gattersteuerschaltung **215b** zunächst gleichzeitig die erste Pixelzeile und die zweite Pixelzeile an. Danach steuern sie die fünfte Pixelzeile und die sechste Pixelzeile an und dann fortlaufend und gleichzeitig die nächsten zwei entsprechend benachbarten Pixelzeilen und so fort. Die dritte Gattersteuerschaltung **215c** und die vierte Gattersteuerschaltung **215d** steuern zunächst gleichzeitig die dritte Pixelzeile bzw. die vierte Pixelzeile an. Danach steuern sie die siebte Pixelzeile bzw. die achte Pixelzeile an und dann fortlaufend und gleichzeitig die nächsten zwei entsprechend benachbarten Pixelzeilen und so fort. Es wird darauf hingewiesen, dass unter dem ersten Anzeigemodus die folgende Reihenfolge der Ansteuerung der Pixel gilt: Gleichzeitiges Ansteuern der ersten Pixelreihe und der zweiten Pixelzeile, gefolgt vom gleichzeitigen Ansteuern der dritten Pixelzeile und der vierten Pixelzeile, gefolgt vom gleichzeitigen Ansteuern der fünften Pixelzeile und der sechsten Pixelzeile, gefolgt vom gleichzeitigen Ansteuern der siebten Pixelzeile und der achten Pixelzeile und dem fortlaufenden Ansteuern der nächsten zwei entsprechend benachbarten Pixelzeilen und so fort. Die Art und Weise, wie die obige Reihenfolge der Ansteuerung der Pixel unter dem ersten Anzeigemodus erreicht wird, wird nachstehend näher erläutert.

[0062] Die erste Gattersteuerschaltung **215a** und die zweite Gattersteuerschaltung **215b** werden gleichzeitig im ersten Zeitpunkt t_1 und nach der Verzögerungszeit t angesteuert. Die erste Pixelzeile und die zweite Pixelzeile werden gleichzeitig, das heißt zum Zeitpunkt $(t_1 + 1)$ angesteuert. Die dritte Gattersteuerschaltung **215c** und die vierte Gattersteuerschaltung

215d werden gleichzeitig im zweiten Zeitpunkt t_2 und nach der Verzögerungszeit t_2 angesteuert. Desgleichen werden nach einer Verzögerungszeit t die dritte Pixelzeile und die vierte Pixelzeile gleichzeitig angesteuert, also zum Zeitpunkt $(t_2 + t)$. Somit ist ersichtlich, dass die Periode zwischen dem ersten Zeitpunkt t_1 und dem zweiten Zeitpunkt t_2 mit der Periode zwischen dem Zeitpunkt des Ansteuerns der ersten Pixelzeile und dem Zeitpunkt des Ansteuerns der dritten Pixelzeile identisch ist (dies entspricht der Periode zwischen dem Zeitpunkt des Ansteuerns der ersten Pixelzeile und dem Zeitpunkt des Ansteuerns der vierten Pixelzeile, einer Periode zwischen dem Zeitpunkt des Ansteuerns der zweiten Pixelzeile und dem Zeitpunkt des Ansteuerns der dritten Pixelzeile, und einer Periode zwischen dem Zeitpunkt des Ansteuerns der zweiten Pixelzeile und dem Zeitpunkt des Ansteuerns der vierten Pixelzeile). Um die obige Reihenfolge der Ansteuerung der Pixelzeilen unter dem ersten Anzeigemodus zu erreichen, muss die Periode zwischen den Zeitpunkten des Ansteuerns von zwei benachbarten Pixelzeilen aus der Pixelgruppe (einschließlich der ersten Pixelzeile) länger als eine Periode zwischen den Zeitpunkten des Ansteuerns von zwei benachbarten Pixelzeilen aus der Pixelgruppe und einer Periode zwischen den Zeitpunkten des Ansteuerns von zwei benachbarten Pixelzeilen aus der Pixelgruppe (einschließlich der dritten Pixelzeile) und einer Periode zwischen den Zeitpunkten des Ansteuerns von zwei benachbarten Pixelzeilen aus der Pixelgruppe (einschließlich der vierten Pixelzeile) als die Periode zwischen dem Zeitpunkt des Ansteuerns der ersten Pixelzeile und dem Zeitpunkt des Ansteuerns der dritten Pixelzeile sein, das heißt länger als die Periode zwischen dem ersten Zeitpunkt t_1 und dem zweiten Zeitpunkt t_2 . Mit anderen Worten: Um die oben beschriebene Ansteuerungsreihenfolge der Pixel im ersten Anzeigemodus zu erreichen, ist die Periode zwischen den Zeitpunkten des Ansteuerns von zwei benachbarten Pixelzeilen aus der Pixelgruppe, die entsprechend durch die erste Gattersteuerschaltung **215a**, die zweite Gattersteuerschaltung **215b**, die dritte Gattersteuerschaltung **215c** und die vierte Gattersteuerschaltung **215d** angesteuert werden, länger als die Periode zwischen dem ersten Zeitpunkt t_1 und dem zweiten Zeitpunkt t_2 .

[0063] In der ersten Bildanzeigephase T22 unter dem zweiten Anzeigemodus aktiviert das von der Ansteuersignalsteuerung zum dritten Zeitpunkt t_3 erzeugte erste Sekundärsteuerungssignal die erste Gattersteuerschaltung **215a**, um die Pixelgruppe anzusteuern, die elektrisch mit der ersten Gattersteuerschaltung **215a** verschaltet ist, um ein erstes Bild anzuzeigen, welches der jeweiligen Pixelgruppe entspricht. Das von der Ansteuersignalsteuerung zum vierten Zeitpunkt t_4 erzeugte dritte Sekundärsteuerungssignal aktiviert die dritte Gattersteuerschaltung **215c**, um die Pixelgruppe anzusteuern, die elektrisch

mit der dritten Gattersteuerschaltung **215c** verschaltet ist, um ein erstes Bild anzuzeigen, welches der jeweiligen Pixelgruppe entspricht. In der zweiten Bildanzeigephase T23 unter dem zweiten Anzeigemodus aktiviert das von der Ansteuersignalsteuerung zum fünften Zeitpunkt t5 erzeugte zweite Sekundärsteuerungs-signal die erste Gattersteuerschaltung **215b**, um die Pixelgruppe anzusteuern, die elektrisch mit der zweiten Gattersteuerschaltung **215b** verschaltet ist, um ein zweites Bild anzuzeigen, welches der jeweiligen Pixelgruppe entspricht. Das von der Ansteuersignalsteuerung zum sechsten Zeitpunkt t6 erzeugte vierte Sekundärsteuerungs-signal aktiviert die vierte Gattersteuerschaltung **215d**, um die Pixelgruppe anzusteuern, die elektrisch mit der vierten Gattersteuerschaltung **215d** verschaltet ist, um ein zweites Bild anzuzeigen, welches der jeweiligen Pixelgruppe entspricht.

[0064] Da insbesondere in der ersten Bildanzeigephase T22 unter dem zweiten Anzeigemodus das erste Sekundärsteuerungs-signal für das Ansteuern der ersten Gattersteuerschaltung **215a** und das dritte Sekundärsteuerungs-signal für das Ansteuern der dritten Gattersteuerschaltung **215c** zum ersten Zeitpunkt t1 bzw. dritten Zeitpunkt t3 erzeugt wurden, steuert die erste Gattersteuerschaltung **215a** fortlaufend die erste Pixelzeile, die fünfte Pixelzeile sowie die neunte Pixelzeile bis zur Pixelzeile (4k-3) und so fort an, d. h. alle mit (4k-3) nummerierten Pixelzeilen, um das erste Bild anzuzeigen. Durch die dritte Gattersteuerschaltung **215c** erfolgt eine fortlaufende Ansteuerung der dritten Pixelzeile, der siebten Pixelzeile und der elften Pixelzeile bis zu den Pixelzeilen (4k-1) und so fort, d. h. alle mit (4k-1) nummerierten Pixelzeilen, um das erste Bild anzuzeigen. Da in der zweiten Bildanzeigephase T23 unter dem zweiten Anzeigemodus das zweite Sekundärsteuerungs-signal für das Ansteuern der zweiten Gattersteuerschaltung **215b** und das vierte Sekundärsteuerungs-signal zum Ansteuern der vierten Gattersteuerschaltung **215d** zum fünften Zeitpunkt t5 bzw. sechsten Zeitpunkt t6 erzeugt wurden, steuert die zweite Gattersteuerschaltung **215b** fortlaufend die zweite Pixelzeile, die sechste Pixelzeile sowie die zehnte Pixelzeile bis zu den Pixelzeilen (4k-2) und so fort an, d. h. alle mit (4k-2) nummerierten Pixelzeilen, um das zweite Bild anzuzeigen. Durch die vierte Gattersteuerschaltung **215d** erfolgt eine fortlaufende Ansteuerung der vierten Pixelzeile, der achten Pixelzeile und der zwölften Pixelzeile bis zu den Pixelzeilen (4k) und so fort, d. h. alle mit (4k) nummerierten Pixelzeilen, um das erste Bild anzuzeigen. Da das erste Bild und das zweite Bild die gleichen Anzeigehalte aufweisen und daher zusammen das Anzeigebild unter dem zweiten Anzeigemodus bilden, beträgt die Auflösung des Anzeigefeldes unter dem zweiten Anzeigemodus $m \times n / 2$, welche mit der Auflösung des Anzeigefeldes unter dem ersten Anzeigemodus identisch ist. Sollte es sich bei dem ersten Anzeigemodus um einen 2D-An-

zeigemodus und bei dem zweiten Anzeigemodus um einen 3D-Anzeigemodus handeln, kann das Anzeigefeld gemäß der Ausführungsform der vorliegenden Erfindung die gleiche Auflösung unter dem ersten Anzeigemodus und dem zweiten Anzeigemodus bzw. unter dem 2D-Anzeigemodus und dem 3D-Bildanzeigemodus aufweisen.

[0065] In der ersten Bildanzeigephase T22 und obwohl durch die erste Gattersteuerschaltung **215a** eine fortlaufende Ansteuerung der ersten Pixelzeile, der fünften Pixelzeile und der neunten Pixelzeile bis zu den Pixelzeilen (4k-3) und so fort erfolgt, das heißt, sämtliche mit (4k-3) nummerierten Pixelzeilen, und auch die dritte Gattersteuerschaltung **215c** fortlaufend die dritte Pixelzeile, die siebte Pixelzeile und die elfte Pixelzeile bis zu den Pixelzeilen (4k-1) und so fort ansteuert, (d. h. sämtliche mit /4k-1 nummerierten Pixelzeilen, ist die Reihenfolge der Pixel in der ersten Bildanzeigephase T22 wie folgt: Fortlaufend wird zunächst die erste Pixelzeile, dann die dritte Pixelzeile, die fünfte Pixelzeile, dann die siebte Pixelzeile und so fort angesteuert, also nacheinander alle ungeraden Pixelzeilen. Die Art und Weise der obigen Reihenfolge der Ansteuerung der Pixel in der ersten Anzeigephase T22 wird nachstehend näher erläutert.

[0066] Die erste Gattersteuerschaltung **215a** wird zum dritten Zeitpunkt t3 angesteuert und nach einer Verzögerungszeit t' wird die erste Pixelzeile angesteuert, also zum Zeitpunkt $(t3 + t')$. Die dritte Gattersteuerschaltung **215c** wird zum vierten Zeitpunkt t4 angesteuert und nach einer Verzögerungszeit t' wird die dritte Pixelzeile angesteuert, also zum Zeitpunkt $(t4 + t')$. Somit ist ersichtlich, dass die Periode zwischen dem dritten Zeitpunkt t3 und dem vierten Zeitpunkt t4 mit der Periode zwischen dem Zeitpunkt des Ansteuerns der ersten Pixelzeile und dem Zeitpunkt des Ansteuerns der dritten Pixelzeile identisch ist. Um die obige Reihenfolge der Ansteuerung der Pixel unter dem ersten Bildanzeigemodus T22 zu erreichen, muss die Periode zwischen den Zeitpunkten des Ansteuerns von zwei benachbarten Pixelzeilen aus der Pixelgruppe (einschließlich der ersten Pixelzeile) und den Zeitpunkten des Ansteuerns von zwei benachbarten Pixelzeilen aus der Pixelgruppe (einschließlich der dritten Pixelzeile) länger als die Periode zwischen dem Zeitpunkt des Ansteuerns der ersten Pixelzeile und dem Zeitpunkt des Ansteuerns der dritten Pixelzeile sein, das heißt länger als die Periode zwischen dem dritten Zeitpunkt t3 und dem vierten Zeitpunkt t4. Mit anderen Worten: Um die oben beschriebene Ansteuerungsreihenfolge der Pixel in der ersten Bildanzeigephase T22 zu erreichen, ist die Periode zwischen den Zeitpunkten des Ansteuerns von zwei benachbarten Pixelzeilen aus der Pixelgruppe, die entsprechend durch die erste Gattersteuerschaltung **215a** und die dritte Gattersteuerschaltung **215c** angesteuert werden, länger als die Periode zwischen dem dritten Zeitpunkt t3 und dem vierten Zeitpunkt t4.

[0067] In der zweiten Bildanzeigephase T23 und obwohl durch die zweite Gattersteuerschaltung **215b** eine fortlaufende Ansteuerung der zweiten Pixelzeile, der sechsten Pixelzeile und der zehnten Pixelzeile bis zu den Pixelzeilen (4k-2) und so fort erfolgt und auch die vierte Gattersteuerschaltung **215d** fortlaufend die vierte Pixelzeile, die achte Pixelzeile und die zwölfte Pixelzeile bis zu den Pixelzeilen (4k) und so fort ansteuert, ist die Reihenfolge der Ansteuerung der Pixel in der zweiten Bildanzeigephase T22 wie folgt: Geradzahlige Pixelzeilen wie beispielsweise die zweite Pixelzeile, die vierte Pixelzeile, die sechste Pixelzeile und die achte Pixelzeile. Um entsprechend der diesbezüglichen Beschreibung der Reihenfolge des Ansteuerns der Pixel in der ersten Bildanzeigephase T22 in ähnlicher Weise die Reihenfolge des Ansteuerns der Pixel in der zweiten Bildanzeigephase T23 zu erreichen, muss die Zeitdauer der Ansteuerung von zwei benachbarten Pixelzeilen aus der Pixelgruppe (einschließlich der zweiten angesteuerten Pixelzeile) und die Zeitdauer der Ansteuerung von zwei benachbarten Pixelzeilen aus der Pixelgruppe (einschließlich der zweiten Pixelzeile) länger als die Zeitdauer der Ansteuerung der zweiten Pixelzeile und der vierten Pixelzeile sein, das heißt länger als die Periode zwischen dem fünften Zeitpunkt t5 und dem sechsten Zeitpunkt t6. Mit anderen Worten: Um die oben beschriebene Ansteuerungsreihenfolge der Pixel in der zweiten Bildanzeigephase T23 zu erreichen, müssen die Perioden, in denen zwei benachbarte Pixelzeilen aus der entsprechenden Pixelgruppe entsprechend durch die zweite Gattersteuerschaltung **215b** und die vierte Gattersteuerschaltung **215d** angesteuert werden, länger als die Periode zwischen dem fünften Zeitpunkt t5 und dem sechsten Zeitpunkt t6 sein.

[0068] In der Ausführungsform der vorliegenden Erfindung kann die Abtastfrequenz des Anzeigefelds für das erste Bild und das zweite Bild mindestens 80 Hz betragen. Da die Abtastfrequenz des Bildes unter dem zweiten Anzeigemodus ein Mittelwert zwischen der Abtastfrequenz des ersten Bildes und der Abtastfrequenz des zweiten Bildes ist, wird durch die höhere Abtastfrequenz des ersten Bildes und die Abtastfrequenz des zweiten Bildes eine höhere Abtastfrequenz des Bildes unter dem zweiten Anzeigemodus bewirkt, wodurch die Auflösung des Bildes unter dem zweiten Anzeigemodus verbessert wird.

[0069] Eine Ausführungsform der vorliegenden Erfindung stellt ferner eine Anzeigevorrichtung bereit. **Fig. 11** zeigt eine schematische Darstellung des Aufbaus einer Anzeigevorrichtung nach einer Ausführungsform der vorliegenden Erfindung. Unter Bezugnahme auf **Fig. 11** beinhaltet die Anzeigeeinrichtung **30** ein Anzeigefeld **31** und kann ferner andere Vorrichtungen zur Unterstützung der einwandfreien Funktionsweise der Anzeigeeinrichtung **30** umfassen. Das Anzeigefeld **31** ist das in den obigen Ausführungsformen beschriebene Anzeigefeld. Das Anzeigegerät **60** kann ein Mobiltelefon, ein Desktop-Computer, ein Notebook oder ein Tablet-Computer und so fort sein.

rungsformen beschriebene Anzeigefeld. Das Anzeigegerät **60** kann ein Mobiltelefon, ein Desktop-Computer, ein Notebook oder ein Tablet-Computer und so fort sein.

[0070] Mit dem Anzeigefeld und der Anzeigevorrichtung gemäß den Ausführungsformen der vorliegenden Erfindung und der Bereitstellung der Ansteuerungssignalsteuerung im Anzeigefeld kann für den Fall einer Erzeugung des Primärsteuerersignals durch einen üblichen integrierten Schaltkreis die Ansteuerungssignalsteuerung N Primärsteuerersignale in 2N Sekundärsteuerersignale umwandeln, wobei diese Sekundärsteuerersignale die Gattersteuerschaltungen aktivieren können, um entsprechende Pixelgruppen zu steuern und alternativ gleichzeitig zwei paarweise verbundene Pixelgruppen unter einem ersten Anzeigemodus anzusteuern sowie alternativ zwei gepaarte Pixelgruppen unter einem zweiten Anzeigemodus anzusteuern, wodurch das Anzeigefeld sowohl im ersten Anzeigemodus und im zweiten Anzeigemodus über die gleiche Auflösung verfügt.

[0071] Es sei darauf hingewiesen, dass die bevorzugten Ausführungsformen und die angewendeten Technologieprinzipien der vorliegenden Offenbarung vorstehend lediglich beschrieben wurden. Es ist selbstverständlich, dass für einen Fachmann die vorliegende Offenbarung sich nicht nur auf die in diesen Darlegungen beschriebenen Ausführungsformen beschränkt. Verschiedene offenkundige Veränderungen, Nachjustierungen und Alternativen können vom Fachmann vorgenommen werden, ohne den Schutzbereich der vorliegenden Offenbarung zu verlassen. Daher beschränkt sich die vorliegende Offenbarung ungeachtet ihrer ausführlichen Darstellung durch die obigen Ausführungsformen nicht nur auf die obigen Ausführungsformen und kann ferner mehrere andere äquivalente Ausführungsformen umfassen, ohne von dem Konzept der vorliegenden Offenbarung abzuweichen. Der Umfang der vorliegenden Offenbarung ist Thema der beigefügten Ansprüche.

Patentansprüche

1. Ein Anzeigefeld (**21**), umfassend: einen Anzeigebereich (**211**) und einen Randbereich (**212**) um den Anzeigebereich (**211**) herum, wobei der Anzeigebereich (**211**) Pixel (**213**) darstellt, die in einem nXm-Raster zwecks Anzeige eines Bildes angeordnet sind, wobei n und m beides positive ganze Zahlen sind und der Randbereich (**212**) über eine erste Ansteuerungseinheit (**214**), Gattersteuerschaltungen (**215**), eine zweite Ansteuerungseinheit (**216**) und eine Ansteuerungssignalsteuerung (**217**) verfügt; die erste Ansteuerungseinheit (**214**) ist so konfiguriert, dass N Primärsteuerersignale erzeugt werden, wobei N eine positive ganze Zahl ist; die zweite Ansteuerungseinheit (**216**) ist so konfiguriert, dass ein Anzeigesteuersignal erzeugt wird und

ferner so konfiguriert, um ein entsprechendes Datensignal für jede Pixelzeile (213) zu liefern; und die Ansteuersignalsteuerung (217) ist so konfiguriert, dass eine von der ersten Ansteuerungseinheit (214) erzeugte Anzahl N von Primärsteuerungssignalen gemäß dem Anzeigesteuersignal in eine Anzahl 2N von Sekundärsteuerungssignalen umgewandelt wird und die 2N Sekundärsteuerungssignale werden fortlaufend an die 2N Gattersteuerschaltungen (215) ausgegeben, Jede der 2N Gattersteuerschaltungen (215) ist so konfiguriert, dass eine Pixelgruppe (213) in dem Anzeigebereich (211) angesteuert wird, wobei die Pixelzeilen der jeweils verschiedenen Pixelgruppen abwechselnd so angeordnet sind und die Sekundärsteuerungssignale dergestalt konfiguriert sind, um Gattersteuerschaltungen (215) anzusteuern und gleichzeitig in einem ersten Anzeigemodus zwei gepaarte Pixelgruppen anzusteuern und abwechselnd zwei gepaarte Pixelgruppen gemäß einem zweiten Anzeigemodus anzusteuern.

2. Das Anzeigefeld (21) nach Anspruch 1, wonach das Anzeigesteuersignal ein erstes Steuersignal und ein zweites Steuersignal umfasst; die Ansteuersignalsteuerung (217) besteht aus N Ansteuersignalsteuereinheiten und die N Primärsteuerungssignale werden jeweils gemäß dem ersten Steuersignal und dem zweiten Steuersignal von den Ansteuersignalsteuereinheiten in entsprechende 2N Sekundärsteuerungssignale umgewandelt, wobei die Ansteuersignalsteuereinheit Folgendes umfasst: ein erster Steuersignaleingangsterminal (S1), der für den Eingang des ersten Steuersignals konfiguriert wurde, ein zweiter Steuersignaleingangsterminal (S2), der für den Eingang des zweiten Steuersignals konfiguriert wurde, ein Primärsteuerungssignaleingangsterminal, der für den Eingang des Primärsteuerungssignals konfiguriert wurde, ein erster Sekundärsteuerungssignalausgabeterminal (CTV_1), der für die Ausgabe des ersten Sekundärsteuerungssignals konfiguriert wurde, und ein zweiter Sekundärsteuerungssignalausgabeterminal (CTV_2), der für die Ausgabe des zweiten Sekundärsteuerungssignals konfiguriert wurde; Falls N größer als 1 ist, werden die ersten Steuersignaleingangsterminals (S1) der jeweiligen Ansteuersignalsteuereinheiten elektrisch verschaltet und diese arbeiten dann als erster Steuersignaleingangsterminal (S1) der Ansteuersignalsteuerung (217) und die zweiten Steuersignaleingangsterminals der jeweiligen Ansteuersignalsteuereinheiten werden elektrisch verschaltet und diese arbeiten dann als zweiter Steuersignaleingangsterminal (S2) der Ansteuersignalsteuerung (217); Hierbei arbeiten die Primärsteuerungssignaleingangsterminals (STV1 bis STVN) der jeweiligen Ansteuersignalsteuereinheiten als entsprechender Primärsteuerungssignaleingangsterminal der Ansteuersignalsteuerung (217) und die ersten Sekundärsteuerungssignalausgabeterminals (CTV_1) bzw. zweiten Sekundärsteuerungssignalausgabeterminals (CTV_2)

der jeweiligen Ansteuersignalsteuereinheiten arbeiten als entsprechender Sekundärsteuerungssignalausgabeterminal (CTV_2) der Ansteuersignalsteuerung (217).

3. Das Anzeigefeld (21) nach Anspruch 2, wonach jede der Ansteuersignalsteuereinheiten ferner Folgendes umfasst: einen ersten PMOS-Transistor (MP1), einen zweiten PMOS-Transistor (MP2), einen ersten NMOS-Transistor (MN1), einen zweiten NMOS-Transistor (MN2), einen dritten NMOS-Transistor (MN3), einen vierten NMOS-Transistor (MN4), einen fünften NMOS-Transistor (MN5), einen sechsten NMOS-Transistor (MN6), einen siebten NMOS-Transistor (MN7), einen achten NMOS-Transistor (MN8), einen Hochpegelsignaleingangsterminal (VGH) zum Empfang eines Hochpegelsignals und einen Niederpegelsignaleingangsterminal zur Aufnahme eines Niederpegelsignals; eine Gate-Elektrode des ersten PMOS-Transistors (MP1) ist elektrisch mit dem ersten Steuersignaleingangsterminal (S1) verschaltet, eine Source-Elektrode des ersten PMOS-Transistors (MP1) ist elektrisch mit dem Hochpegelsignaleingangsterminal (VGH) verschaltet und eine Drain-Elektrode des ersten PMOS-Transistors (MP1) ist elektrisch mit einer Source-Elektrode des zweiten PMOS-Transistors verschaltet; eine Gate-Elektrode des zweiten PMOS-Transistors (MP2) ist elektrisch mit dem zweiten Steuersignaleingangsterminal (S2) verschaltet und eine Drain-Elektrode des zweiten PMOS-Transistors (MP2) ist elektrisch mit einer Drain-Elektrode des ersten NMOS-Transistors (MN1) verschaltet; eine Gate-Elektrode des ersten NMOS-Transistors (MN1) ist elektrisch mit dem ersten Steuersignaleingangsterminal (S1) verschaltet und eine Source-Elektrode des ersten NMOS-Transistors (MN1) ist elektrisch mit dem Niederpegelsignaleingangsterminal (VGL) verschaltet; eine Gate-Elektrode des zweiten NMOS-Transistors (MN2) ist elektrisch mit dem zweiten Steuersignaleingangsterminal (S2) verschaltet, eine Drain-Elektrode des zweiten NMOS-Transistors (MN2) ist elektrisch mit der Drain-Elektrode des ersten NMOS-Transistors (MN1) verschaltet und eine Source-Elektrode des zweiten NMOS-Transistors (MN2) ist elektrisch mit dem Niederpegelsignaleingangsterminal (VGL) verschaltet; eine Gate-Elektrode des dritten NMOS-Transistors (MN3) ist elektrisch mit dem ersten Steuersignaleingangsterminal (S1) verschaltet, eine Source-Elektrode des dritten NMOS-Transistors (MN3) ist elektrisch mit dem zweiten Sekundärsteuerungssignalausgabeterminal (CTV_2r) verschaltet und eine Drain-Elektrode des dritten NMOS-Transistors (MN3) ist elektrisch mit dem Primärsteuerungssignaleingangsterminal (STVr) verschaltet; eine Gate-Elektrode des vierten NMOS-Transistors (MN4) ist elektrisch mit dem ersten Steuersignalein-

gangsterminal (S1) verschaltet, eine Source-Elektrode des vierten NMOS-Transistors (MN4) ist elektrisch mit dem ersten Sekundärsteuerungssignalausgabeterminal (CTV_2r-1) verschaltet und eine Drain-Elektrode des vierten NMOS-Transistors (MN4) ist elektrisch mit dem zweiten Sekundärsteuerungssignalausgabeterminal (CTV_2r) verschaltet;

eine Gate-Elektrode des fünften NMOS-Transistors (MN5) ist elektrisch mit dem zweiten Steuerungssignaleingangsterminal (S2) verschaltet, eine Source-Elektrode des fünften NMOS-Transistors (MN5) ist elektrisch mit dem zweiten Sekundärsteuerungssignalausgabeterminal (CTV_2r) verschaltet und eine Drain-Elektrode des fünften NMOS-Transistors (MN5) ist elektrisch mit dem Primärsteuerungssignaleingangsterminal (STVR) verschaltet;

eine Gate-Elektrode des sechsten NMOS-Transistors (MN6) ist elektrisch mit der Drain-Elektrode des ersten NMOS-Transistors (MN1) verschaltet, eine Source-Elektrode des sechsten NMOS-Transistors (MN6) ist elektrisch mit dem Niederpegelsignalausgabeterminal (VGL) verschaltet und eine Drain-Elektrode des sechsten NMOS-Transistors (MN6) ist elektrisch mit dem zweiten Sekundärsteuerungssignalausgabeterminal (CTV_2r) verschaltet;

eine Gate-Elektrode des siebten NMOS-Transistors (MN7) ist elektrisch mit der Drain-Elektrode des ersten NMOS-Transistors (MN1) verschaltet, eine Source-Elektrode des siebten NMOS-Transistors (MN7) ist elektrisch mit dem ersten Sekundärsteuerungssignalausgabeterminal (CTV_2r-1) verschaltet und eine Drain-Elektrode des siebten NMOS-Transistors (MN7) ist elektrisch mit dem Primärsteuerungssignaleingangsterminal (STVR) verschaltet;

eine Gate-Elektrode des achten NMOS-Transistors (MN8) ist elektrisch mit dem zweiten Steuerungssignaleingangsterminal (S2) verschaltet, eine Source-Elektrode des achten NMOS-Transistors (MN8) ist elektrisch mit dem Niederpegelsignaleingangsterminal (VGH) verschaltet und eine Drain-Elektrode des achten NMOS-Transistors (MN8) ist elektrisch mit dem ersten Sekundärsteuerungssignalausgabeterminal (CTV_2r-1) verschaltet.

4. Das Anzeigefeld (21) nach Anspruch 3, wonach die Ansteuersignalsteuerung (217) eine Ansteuersignalsteuereinheit umfasst;

und die Betriebszustände der Ansteuersignalsteuerung (217) wie folgt gesteuert werden:

In einer Bildanzeigephase unter einem ersten Anzeigemodus wird ein erstes Steuersignal mit einem hohen Pegel am ersten Steuerungssignaleingangsterminal (S1) der Ansteuersignalsteuerung (217) angelegt und der zweite Steuerungssignaleingangsterminal (S2) der Ansteuersignalsteuerung (217) ist potentialfrei, wodurch sowohl der dritte NMOS-Transistor (MN3) als auch der vierte NMOS-Transistor (MN4) eingeschaltet werden. Das Primärsteuerungssignal wird an den zweiten Sekundärsteuerungssignalausgabeterminal (SCTV 2r) über den dritten NMOS-Transistor

(MN3) zur Ausgabe als zweites Sekundärsteuerungssignal übertragen und das Primärsteuerungssignal wird an den ersten Sekundärsteuerungssignalausgabeterminal (CV 2r-1) sowohl über den dritten NMOS-Transistor (MN3) und den vierten NMOS-Transistor (MN4) zur Ausgabe als erstes Sekundärsteuerungssignal übertragen.

In einer ersten Bildanzeigephase unter einem zweiten Anzeigemodus wird ein erstes Steuersignal mit einem niedrigen Pegel am ersten Steuerungssignaleingangsterminal (S1) der Ansteuersignalsteuerung (217) angelegt und ein zweites Steuersignal mit einem niedrigen Pegel wird an dem zweiten Steuerungssignaleingangsterminal (S2) der Ansteuersignalsteuerung (217) angelegt, wodurch sowohl der erste PMOS-Transistor (MP1) als auch der zweite PMOS-Transistor (MP2) eingeschaltet werden. Das am Hochpegelsignaleingangsterminal (VGH) eingehende Hochpegelsignal wird an die Gate-Elektrode des siebten NMOS-Transistors (MN7) sowohl über den ersten PMOS-Transistor (MP1) als auch den zweiten PMOS-Transistor (MP2) angelegt, um den siebten NMOS-Transistor (MN7) einzuschalten. Das Primärsteuerungssignal wird an den ersten Sekundärsteuerungssignalausgabeterminal über den siebten NMOS-Transistor (MN7) zur Ausgabe als erstes Sekundärsteuerungssignal übertragen.

In einer zweiten Bildanzeigephase unter einem zweiten Anzeigemodus wird ein erstes Steuersignal mit einem niedrigen Pegel am ersten Steuerungssignaleingangsterminal (S1) der Ansteuersignalsteuerung (217) angelegt und ein zweites Steuersignal mit einem niedrigen Pegel wird an dem zweiten Steuerungssignaleingangsterminal (S2) der Ansteuersignalsteuerung (217) angelegt, wodurch der fünfte NMOS-Transistor (MN5) eingeschaltet wird und das Primärsteuerungssignal wird an dem zweiten Sekundärsteuerungssignalausgabeterminal über den fünften NMOS-Transistor (MN5) zur Ausgabe als zweites Sekundärsteuerungssignal übertragen.

5. Das Anzeigefeld (21) nach Anspruch 4, wobei der Randbereich (212) zwei Gattersteuerschaltungen (215) mit einer ersten Gattersteuerschaltung (2151) und einer zweiten Gattersteuerschaltung (2152) umfasst;

die erste Gattersteuerschaltung (2151) ist für die Ansteuerung einer Pixelgruppe bestehend aus allen Pixelzeilen (213) der ersten Pixelzeile, der dritten Pixelzeile, bis zur Pixelzeile (2i-1) und Pixelzeile (n-1) konfiguriert, und die zweite Gattersteuerschaltung (2152) ist für die Ansteuerung einer Pixelgruppe bestehend aus allen Pixelzeilen (213) der zweiten Pixelzeile, der vierten Pixelzeile bis zu den Pixelzeilen (2i) und Pixelzeilen (n) konfiguriert, wobei i eine positive ganze Zahl ist und $1 \leq i \leq n/2$ gilt; und

die erste Gattersteuerschaltung (2151) wird durch das erste Sekundärsteuerungssignal angesteuert und die zweite Gattersteuerschaltung (2152) wird durch das zweite Sekundärsteuerungssignal angesteuert.

6. Das Anzeigefeld (21) nach Anspruch 5 mit den folgenden Betriebszuständen der Gattersteuerschaltung (215):

In der Bildanzeigephase unter dem ersten Anzeigemodus aktivieren die von der Ansteuersignalsteuerung (217) gleichzeitig erzeugten ersten Sekundäranssteuersignale bzw. zweiten Sekundäranssteuersignale die erste Gattersteuerschaltung (2151) bzw. zweite Gattersteuerschaltung (2152), um die Pixelzeilen (2i-1) bzw. Pixelzeilen (2i) unter den zwei Pixelgruppen anzusteuern, die mit der ersten Gattersteuerschaltung (2151) bzw. zweiten Gattersteuerschaltung (2152) elektrisch verschaltet sind, um das gleiche Bild unter dem ersten Bildanzeigemodus anzuzeigen.

In der ersten Bildanzeigephase unter dem zweiten Anzeigemodus aktiviert das von der Ansteuersignalsteuerung (217) erzeugte erste Sekundäranssteuersignal die erste Gattersteuerschaltung (2151), um die Pixelgruppen anzusteuern, die elektrisch mit der ersten Gattersteuerschaltung (2151) verschaltet sind, um ein erstes Bild anzuzeigen; und

in der zweiten Bildanzeigephase unter dem zweiten Anzeigemodus aktiviert das von der Ansteuersignalsteuerung (217) erzeugte zweite Sekundäranssteuersignal die zweite Gattersteuerschaltung (2152), um die Pixelgruppen anzusteuern, die elektrisch mit der zweiten Gattersteuerschaltung (2152) verschaltet sind, um ein zweites Bild anzuzeigen.

7. Das Anzeigefeld (21) nach Anspruch 3, wobei die Ansteuersignalsteuerung (217) zwei Ansteuersignaleinheiten umfasst, eine erste Ansteuersignaleinheit (217a) und eine zweite Ansteuersignaleinheit (217b), wobei ein Primäranssteuersignaleingangsterminal der ersten Ansteuersignaleinheit (217a) und ein Primäranssteuersignaleingangsterminal der zweiten Ansteuersignaleinheit (217b) als erster Primäranssteuersignaleingangsterminal bzw. zweiter Primäranssteuersignaleingangsterminal der Ansteuersignalsteuerung (217) arbeiten und zwei Sekundäranssteuersignalausgabeterminals der ersten Ansteuersignaleinheit (217a) und zwei Sekundäranssteuersignalausgabeterminals der zweiten Ansteuersignaleinheit (217b) fortlaufend als erster Sekundäranssteuersignalausgabeterminal, als zweiter Sekundäranssteuersignalausgabeterminal, als dritter Sekundäranssteuersignalausgabeterminal sowie vierter Sekundäranssteuersignalausgabeterminal der Ansteuersignalsteuerung (217) arbeiten, wobei

die Betriebszustände der Ansteuersignalsteuerung (217) wie folgt gesteuert werden:

In einer Bildanzeigephase unter einem ersten Anzeigemodus,

wird zu einem ersten Zeitpunkt ein erstes Primäranssteuersignal an den ersten Primäranssteuersignaleingangsterminal angelegt und ein zweites Primäranssteuersignal wird nicht am zweiten Primäranssteuersignaleingangsterminal angelegt. Ein erstes Steuersignal mit einem hohen Pegel wird am ersten Steuer-

signaleingangsterminal (S1) angelegt und der zweite Steuersignaleingangsterminal (S2) der Ansteuersignalsteuerung (217) ist potentialfrei, sodass sowohl der dritte NMOS-Transistor (MN3) als auch der vierte NMOS-Transistor (MN4) der ersten Ansteuersignaleinsteuereinheit (217a) eingeschaltet werden und das erste Primäranssteuersignal wird an den zweiten Sekundäranssteuersignalausgabeterminal der Ansteuersignalsteuerung (217) über den dritten NMOS-Transistor (MN3) zur Ausgabe als zweites Sekundäranssteuersignal übertragen und das erste Primäranssteuersignal wird an den ersten Sekundäranssteuersignalausgabeterminal der Ansteuersignalsteuerung (217) über den dritten NMOS-Transistor (MN3) und den vierten NMOS-Transistor (MN4) zur Ausgabe als erstes Sekundäranssteuersignal übertragen.

Zu einem zweiten Zeitpunkt wird ein erstes Primäranssteuersignal nicht am ersten Primäranssteuersignaleingangsterminal angelegt und ein zweites Primäranssteuersignal wird am zweiten Primäranssteuersignaleingangsterminal angelegt. Ein erstes Steuersignal mit einem hohen Pegel wird am ersten Steuersignaleingangsterminal (S1) der Ansteuersignalsteuerung (217) angelegt und der zweite Steuersignaleingangsterminal (S2) der Ansteuersignalsteuerung (217) ist potentialfrei, sodass sowohl der dritte NMOS-Transistor (MN3) als auch der vierte NMOS-Transistor (MN4) der zweiten Ansteuersignaleinsteuereinheit (217b) eingeschaltet werden und das zweite Primäranssteuersignal wird an den vierten Sekundäranssteuersignalausgabeterminal (CTV_4) der Ansteuersignalsteuerung (217) über den dritten NMOS-Transistor zur Ausgabe als viertes Sekundäranssteuersignal übertragen und das zweite Primäranssteuersignal wird an den dritten Sekundäranssteuersignalausgabeterminal der Ansteuersignalsteuerung (217) über den dritten NMOS-Transistor und den vierten NMOS-Transistor zur Ausgabe als drittes Sekundäranssteuersignal übertragen.

In einer ersten Bildanzeigephase unter einem zweiten Anzeigemodus

wird zu einem dritten Zeitpunkt ein erstes Primäranssteuersignal am ersten Primäranssteuersignaleingangsterminal angelegt und ein zweites Primäranssteuersignal wird nicht am zweiten Primäranssteuersignaleingangsterminal angelegt. Ein erstes Steuersignal mit einem niedrigen Pegel wird an den ersten Steuersignaleingangsterminal (S1) der Ansteuersignalsteuerung (217) angelegt und ein zweites Steuersignal mit einem niedrigen Pegel wird am zweiten Ansteuersignaleingangsterminal (S1) der Ansteuersignalsteuerung (217) angelegt, sodass sowohl der erste PMOS-Transistor als auch der zweite PMOS-Transistor der ersten Ansteuersignaleinsteuereinheit (217a) eingeschaltet werden und am Hochpegelsignaleingangsterminal (VGH) ein Signal mit einem hohen Pegel an die Gate-Elektrode des siebten NMOS-Transistors der ersten Ansteuersignaleinsteuereinheit (217a) über den ersten PMOS-Transistor und den zweiten PMOS-Transistor angelegt

wird, um den siebten NMOS-Transistor einzuschalten. Danach wird das erste Primäransignalsignal an den ersten Sekundäransignalsausgabeterminal der Ansteuersignalssteuerung (217) über den siebten NMOS-Transistor zur Ausgabe als ein erstes Sekundäransignalsignal übertragen.

Zu einem vierten Zeitpunkt wird ein erstes Primäransignalsignal nicht am ersten Primäransignalsingangsterminal angelegt und ein zweites Primäransignalsignal wird am zweiten Primäransignalsingangsterminal angelegt. Ein erstes Steuersignal mit einem niedrigen Pegel wird an den ersten Steuersignalingangsterminal (S1) der Ansteuersignalssteuerung (217) angelegt und ein zweites Steuersignal mit einem niedrigen Pegel wird am zweiten Ansteuersignalingangsterminal (S2) der Ansteuersignalssteuerung (217) angelegt, sodass sowohl der erste PMOS-Transistor als auch der zweite PMOS-Transistor der zweiten Ansteuersignalssteuerungseinheit (217b) eingeschaltet werden und am Hochpegelsignalingangsterminal (VGH) ein Signal mit einem hohen Pegel an die Gate-Elektrode des siebten NMOS-Transistors der zweiten Ansteuersignalssteuerungseinheit (217a) über den ersten PMOS-Transistor und den zweiten PMOS-Transistor angelegt wird, um den siebten NMOS-Transistor einzuschalten. Danach wird das zweite Primäransignalsignal an den dritten Sekundäransignalsausgabeterminal der Ansteuersignalssteuerung (217) über den siebten NMOS-Transistor zur Ausgabe als ein drittes Sekundäransignalsignal übertragen.

In einer zweiten Bildanzeigephase unter dem zweiten Anzeigemodus wird

zu einem fünften Zeitpunkt ein erstes Primäransignalsignal am ersten Primäransignalsingangsterminal angelegt und ein zweites Primäransignalsignal wird nicht am zweiten Primäransignalsingangsterminal angelegt. Ein erstes Steuersignal mit einem niedrigen Pegel wird am ersten Steuersignalingangsterminal (S1) und ein zweites Steuersignal mit einem hohen Pegel wird am zweiten Steuersignalingangsterminal (S2) der Ansteuersignalssteuerung (217) angelegt, sodass der fünfte NMOS-Transistor der ersten Ansteuersignalssteuerungseinheit (217a) eingeschaltet wird. Danach wird das erste Primäransignalsignal an den zweiten Sekundäransignalsausgabeterminal der Ansteuersignalssteuerung (217) über den fünften NMOS-Transistor zur Ausgabe als zweites Sekundäransignalsignal übertragen. Zu einem sechsten Zeitpunkt wird ein erstes Primäransignalsignal nicht am ersten Primäransignalsingangsterminal angelegt und ein zweites Primäransignalsignal wird am zweiten Primäransignalsingangsterminal angelegt. Ein erstes Steuersignal mit einem niedrigen Pegel wird am ersten Steuersignalingangsterminal (S1) und ein zweites Steuersignal mit einem hohen Pegel wird am zweiten Steuersignalingangsterminal (S2) der Ansteuersignalssteuerung (217) angelegt, sodass der fünfte NMOS-Transistor der zweiten Ansteuersignals-

steuerungseinheit (217b) eingeschaltet wird. Danach wird das zweite Primäransignalsignal an den vierten Sekundäransignalsausgabeterminal der Ansteuersignalssteuerung (217) über den fünften NMOS-Transistor zur Ausgabe als viertes Sekundäransignalsignal übertragen.

8. Das Anzeigefeld (21) nach Anspruch 7, wobei der Randbereich (212) vier Gattersteuerschaltungen mit einer ersten Gattersteuerschaltung (215a), einer zweiten Gattersteuerschaltung (215b), einer dritten Gattersteuerschaltung (215c) und einer vierten Gattersteuerschaltung (215d) umfasst.

Die erste Gattersteuerschaltung (215a) ist zur Ansteuerung einer Pixelgruppe konfiguriert, die aus allen ersten, fünften und neunten Pixelzeilen bis zu den Pixelzeilen (4k-3) und Pixelzeilen (n-3) besteht und die zweite Gattersteuerschaltung (215b) ist zur Ansteuerung einer Pixelgruppe konfiguriert, die aus allen zweiten, sechsten und zehnten Pixelzeilen bis zu den Pixelzeilen (4k-2) und Pixelzeilen (n-2) besteht und die dritte Gattersteuerschaltung (215c) ist zur Ansteuerung von Pixelgruppen konfiguriert, die aus allen dritten, siebten und elften Pixelzeilen bis zu den Pixelzeilen (4k-1) und Pixelzeilen (n-1) besteht die vierte Gattersteuerschaltung (215d) ist zur Ansteuerung einer Pixelgruppe konfiguriert, die aus allen vierten, achten und zwölften Pixelzeilen bis zu den Pixelzeilen (4k) und Pixelzeilen (n) besteht, wobei k eine positive ganze Zahl ist und $1 \leq k \leq n/4$ gilt.

Die erste Gattersteuerschaltung (215a) wird vom ersten Sekundäransignalsignal der Ansteuersignalssteuerung (217) angesteuert, die zweite Gattersteuerschaltung (215b) wird vom zweiten Sekundäransignalsignal der Ansteuersignalssteuerung (217) angesteuert, die dritte Gattersteuerschaltung (215c) wird vom dritten Sekundäransignalsignal der Ansteuersignalssteuerung (217) angesteuert und die vierte Gattersteuerschaltung (215d) wird vom vierten Sekundäransignalsignal der Ansteuersignalssteuerung (217) angesteuert.

9. Das Anzeigefeld (21) nach Anspruch 8 mit den folgenden Betriebszuständen der Gattersteuerschaltung:

In der Bildanzeigephase unter dem ersten Anzeigemodus

aktivieren die von der Ansteuersignalssteuerung (217) zum ersten Zeitpunkt erzeugten ersten Sekundäransignalsignale bzw. zweiten Sekundäransignalsignale gleichzeitig die erste Gattersteuerschaltung (215a) bzw. die zweite Gattersteuerschaltung (215b), um zwei benachbarte Pixelzeilen unter den zwei Pixelgruppen anzusteuern, die mit der ersten Gattersteuerschaltung (215a) bzw. zweiten Gattersteuerschaltung (215b) elektrisch verschaltet sind, um das gleiche Bild unter dem ersten Anzeigemodus anzuzeigen.

Die von der Ansteuersignalssteuerung (217) zum zweiten Zeitpunkt erzeugten dritten Sekundäransignals-

ersignale bzw. vierten Sekundärsteuerersignale aktivieren gleichzeitig die dritte Gattersteuerschaltung (215c) bzw. vierte Gattersteuerschaltung (215d), um zwei benachbarte Pixelzeilen unter den zwei Pixelgruppen anzusteuern, die mit der dritten Gattersteuerschaltung (215a) bzw. vierten Gattersteuerschaltung (215d) elektrisch verschaltet sind, um das gleiche Bild unter dem ersten Anzeigemodus anzuzeigen.

In der ersten Bildanzeigephase unter dem zweiten Anzeigemodus

aktiviert das von der Ansteuersignalsteuerung (217) zum dritten Zeitpunkt erzeugte erste Sekundärsteuerersignal die erste Gattersteuerschaltung (215a), um die Pixelgruppe anzusteuern, die elektrisch mit der ersten Gattersteuerschaltung (215a) verschaltet sind, um ein erstes Bild anzuzeigen, welches der jeweiligen Pixelgruppe entspricht.

Das von der Ansteuersignalsteuerung (217) zum vierten Zeitpunkt erzeugte dritte Sekundärsteuerersignal aktiviert die dritte Gattersteuerschaltung (215c), um die Pixelgruppe anzusteuern, die elektrisch mit der dritten Gattersteuerschaltung (215c) verschaltet ist, um ein erstes Bild anzuzeigen, welches der jeweiligen Pixelgruppe entspricht.

In einer zweiten Bildanzeigephase unter dem zweiten Anzeigemodus

aktiviert das von der Ansteuersignalsteuerung (217) zum fünften Zeitpunkt erzeugte zweite Sekundärsteuerersignal die zweite Gattersteuerschaltung (215b), um die Pixelgruppe anzusteuern, die elektrisch mit der zweiten Gattersteuerschaltung (215b) verschaltet ist, um ein zweites Bild anzuzeigen, welches der jeweiligen Pixelgruppe entspricht.

Das von der Ansteuersignalsteuerung (217) zum sechsten Zeitpunkt erzeugte vierte Sekundärsteuerersignal aktiviert die vierte Gattersteuerschaltung (215d), um die Pixelgruppe anzusteuern, die elektrisch mit der vierten Gattersteuerschaltung (215d) verschaltet ist, um ein zweites Bild anzuzeigen, welches der jeweiligen Pixelgruppe entspricht.

10. Das Anzeigefeld (21) nach Anspruch 7 oder 9, wobei der erste Zeitpunkt vor dem zweiten Zeitpunkt liegt und der dritte Zeitpunkt, der vierte Zeitpunkt, der fünfte Zeitpunkt sowie der sechste Zeitpunkt nacheinander liegen.

11. Das Anzeigefeld (21) nach Anspruch 9, wobei in der Bildanzeigephase unter dem ersten Anzeigemodus die Periode zwischen den Zeitpunkten des Ansteuerns von zwei benachbarten Pixelzeilen aus der Pixelgruppe, die entsprechend durch die erste Gattersteuerschaltung (215a), die zweite Gattersteuerschaltung (215b), die dritte Gattersteuerschaltung (215c) und die vierte Gattersteuerschaltung (215d) angesteuert wird, länger als die Periode zwischen dem ersten Zeitpunkt und dem zweiten Zeitpunkt ist.

12. Das Anzeigefeld (21) nach Anspruch 9, wobei in der ersten Bildanzeigephase unter dem zweiten Anzeigemodus die Periode zwischen den Zeitpunkten des Ansteuerns von zwei benachbarten Pixelzeilen aus der Pixelgruppe, die entsprechend durch die erste Gattersteuerschaltung (215a) und die dritte Gattersteuerschaltung (215c) angesteuert wird, länger als die Periode zwischen dem dritten Zeitpunkt und dem vierten Zeitpunkt ist.

Die Periode in der zweiten Bildanzeigephase unter dem zweiten Anzeigemodus zwischen den Zeitpunkten des Ansteuerns von zwei benachbarten Pixelzeilen aus der Pixelgruppe, die entsprechend durch die erste Gattersteuerschaltung (215a) und die dritte Gattersteuerschaltung (215c) angesteuert wird, ist länger als die Periode zwischen dem fünften Zeitpunkt und dem sechsten Zeitpunkt.

13. Das Anzeigefeld (21) nach Anspruch 6 oder 9, worin die Abtastfrequenz des Anzeigefeldes (21) unter dem zweiten Anzeigemodus mindestens 80 Hz beträgt.

14. Das Anzeigefeld (21) nach Anspruch 1, worin es sich bei dem ersten Anzeigemodus um einen 2D-Anzeigemodus handelt und bei dem zweiten Anzeigemodus um einen 3D-Anzeigemodus handelt.

15. Das Anzeigefeld (21) nach Anspruch 2, wobei das erste Steuersignal ein 2D/3D-Steuersignal ist und das zweite Steuersignal ein Steuersignal für das linke bzw. rechte Auge ist.

16. Eine Anzeigevorrichtung (30), welche das Anzeigefeld (21) nach jedem der Ansprüche 1 bis 15 umfasst.

Es folgen 14 Seiten Zeichnungen

Anhängende Zeichnungen

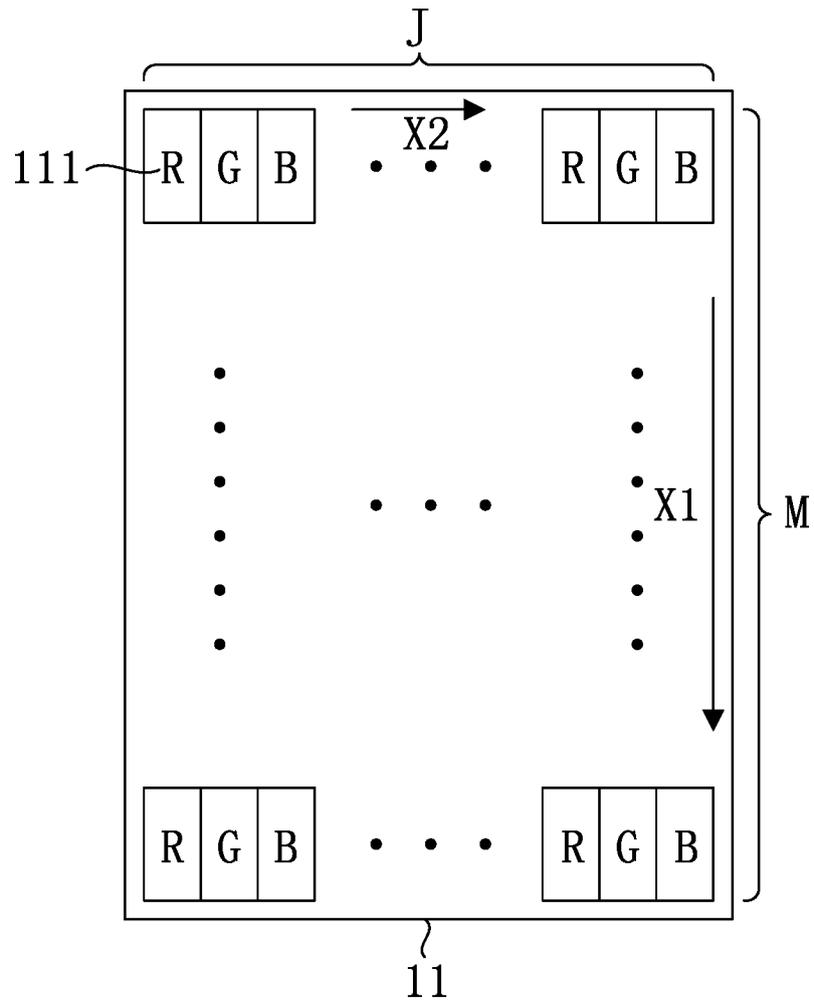


FIG.1

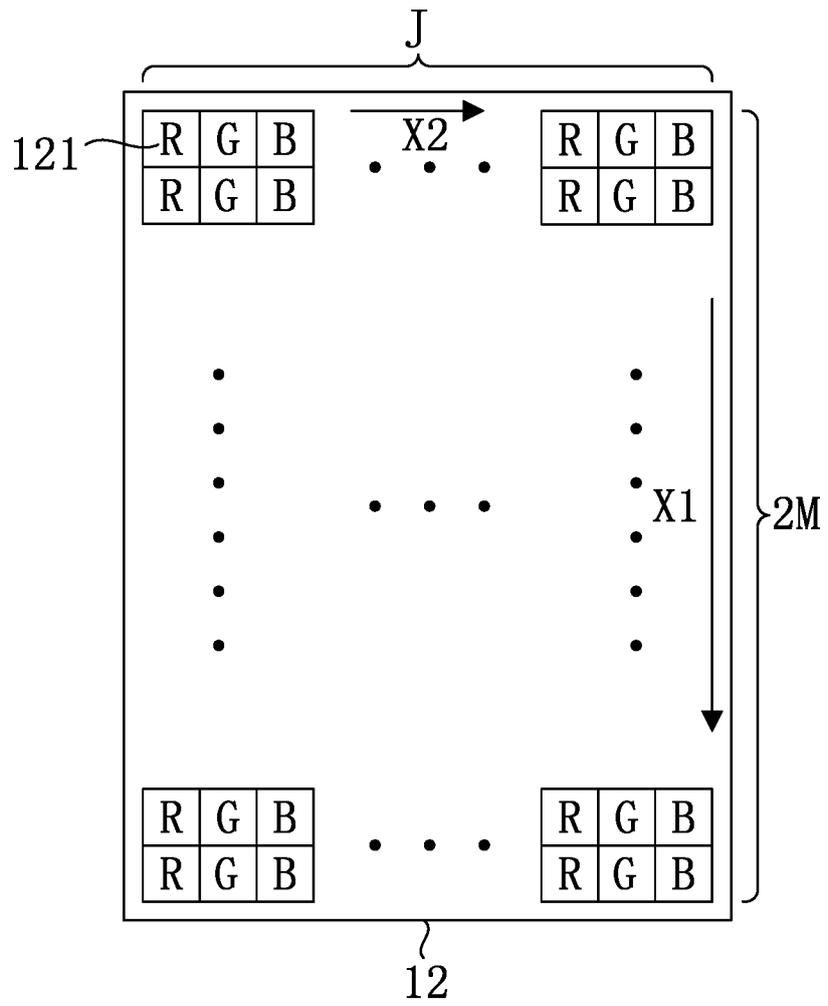


FIG.2

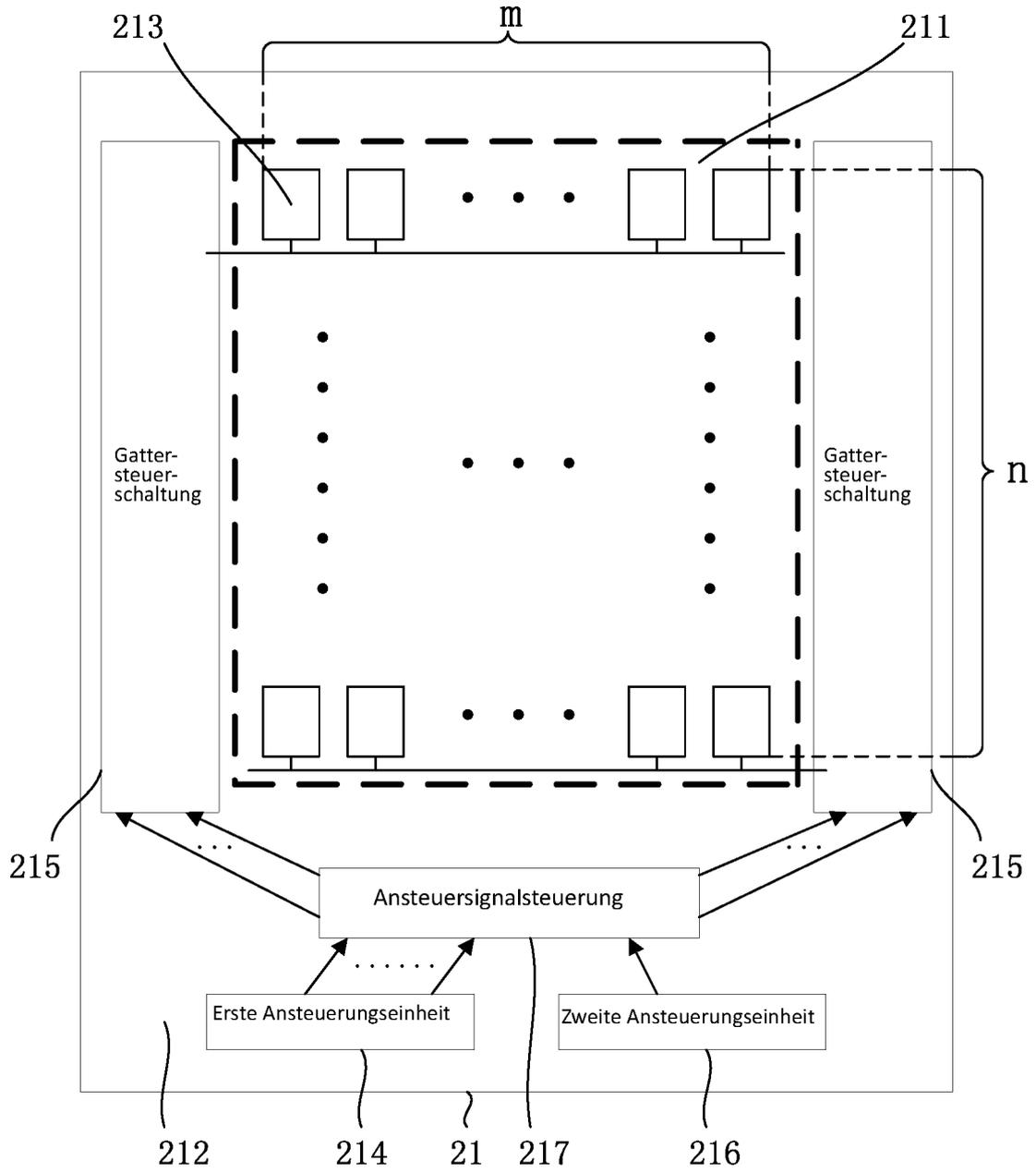


FIG.3

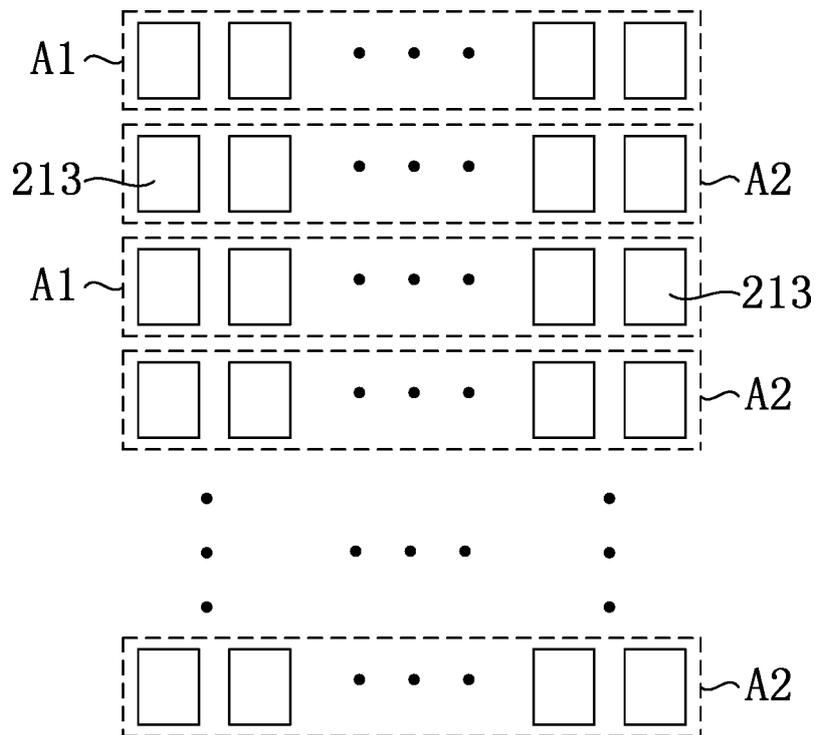


FIG.4A

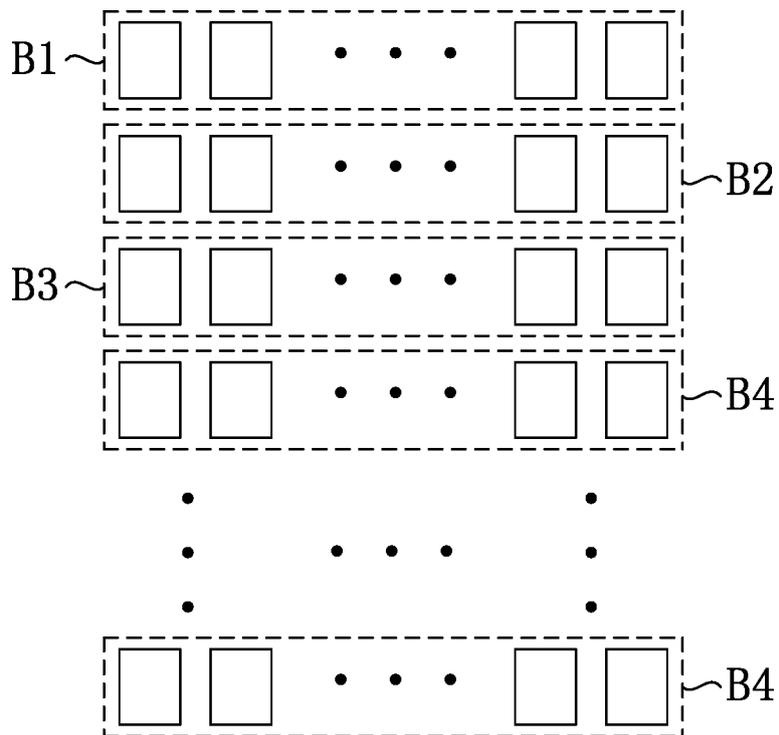


FIG.4B

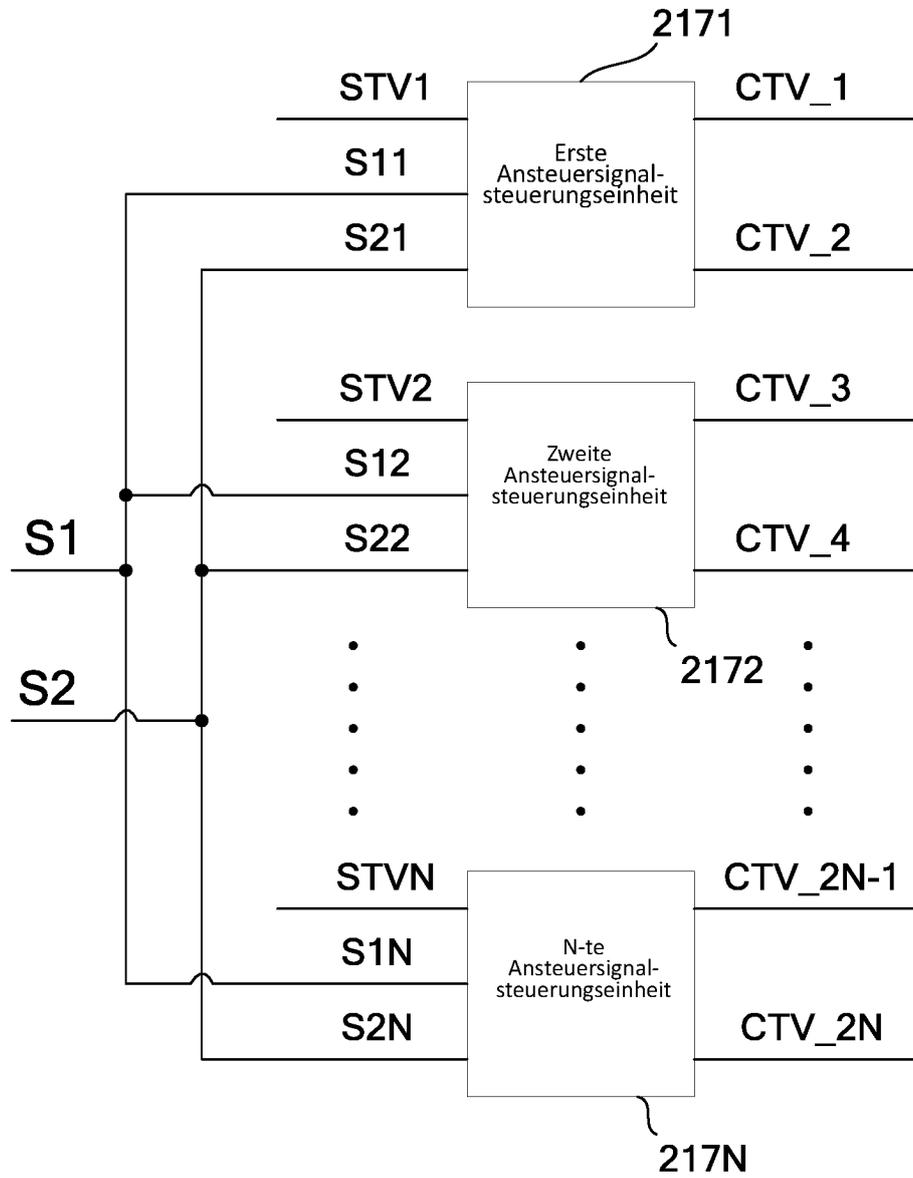


FIG.5

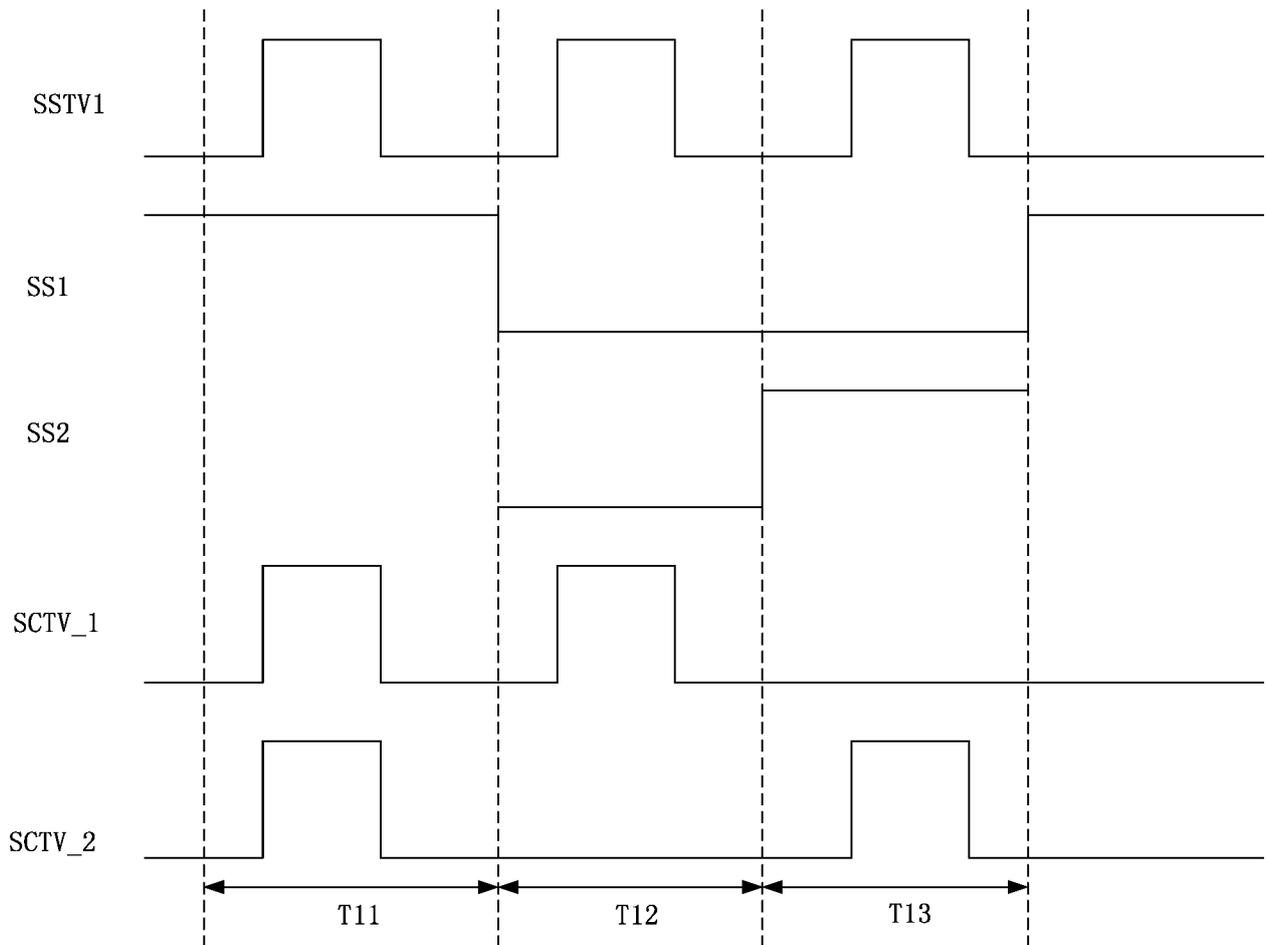


FIG.7B

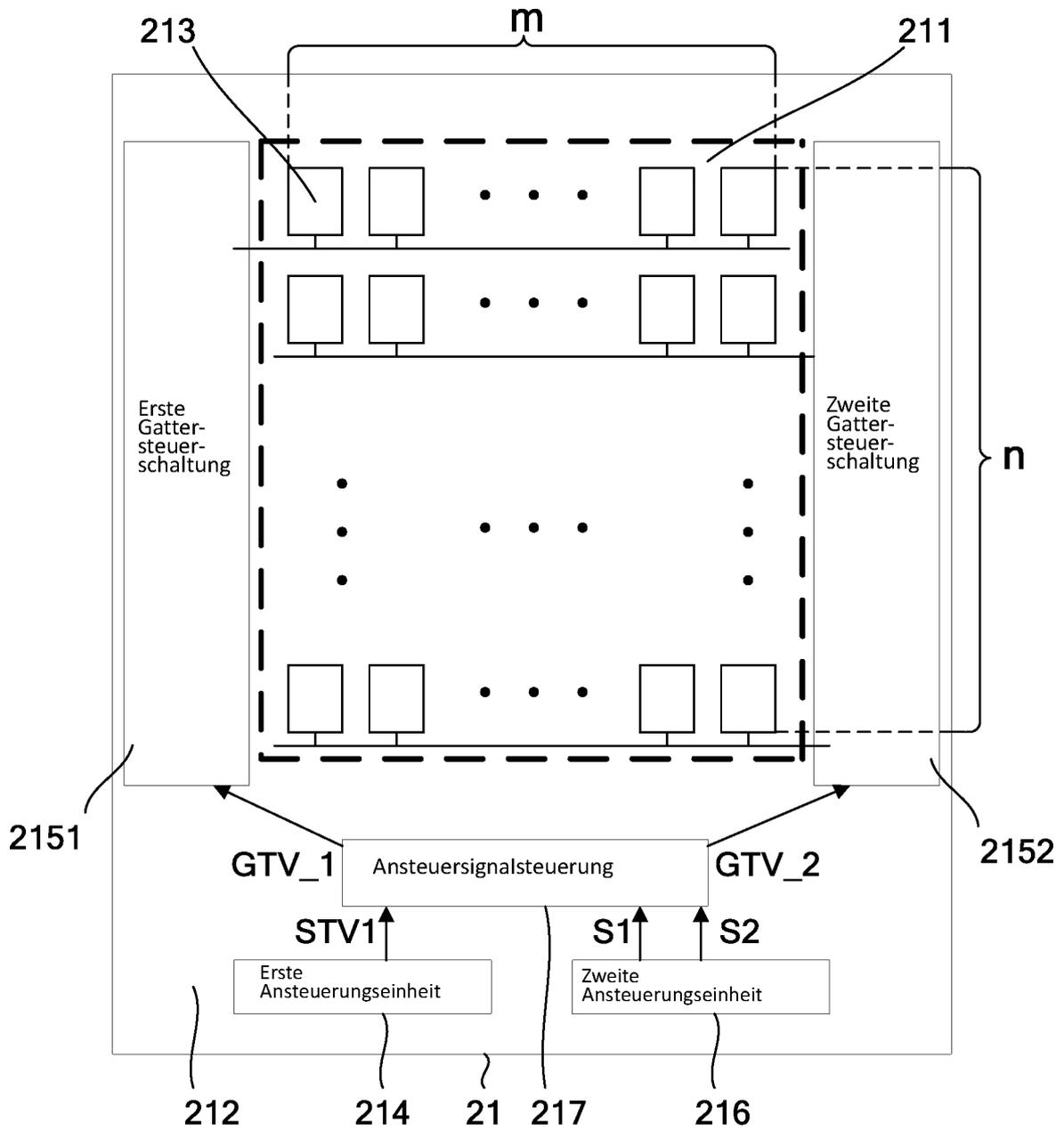


FIG.8

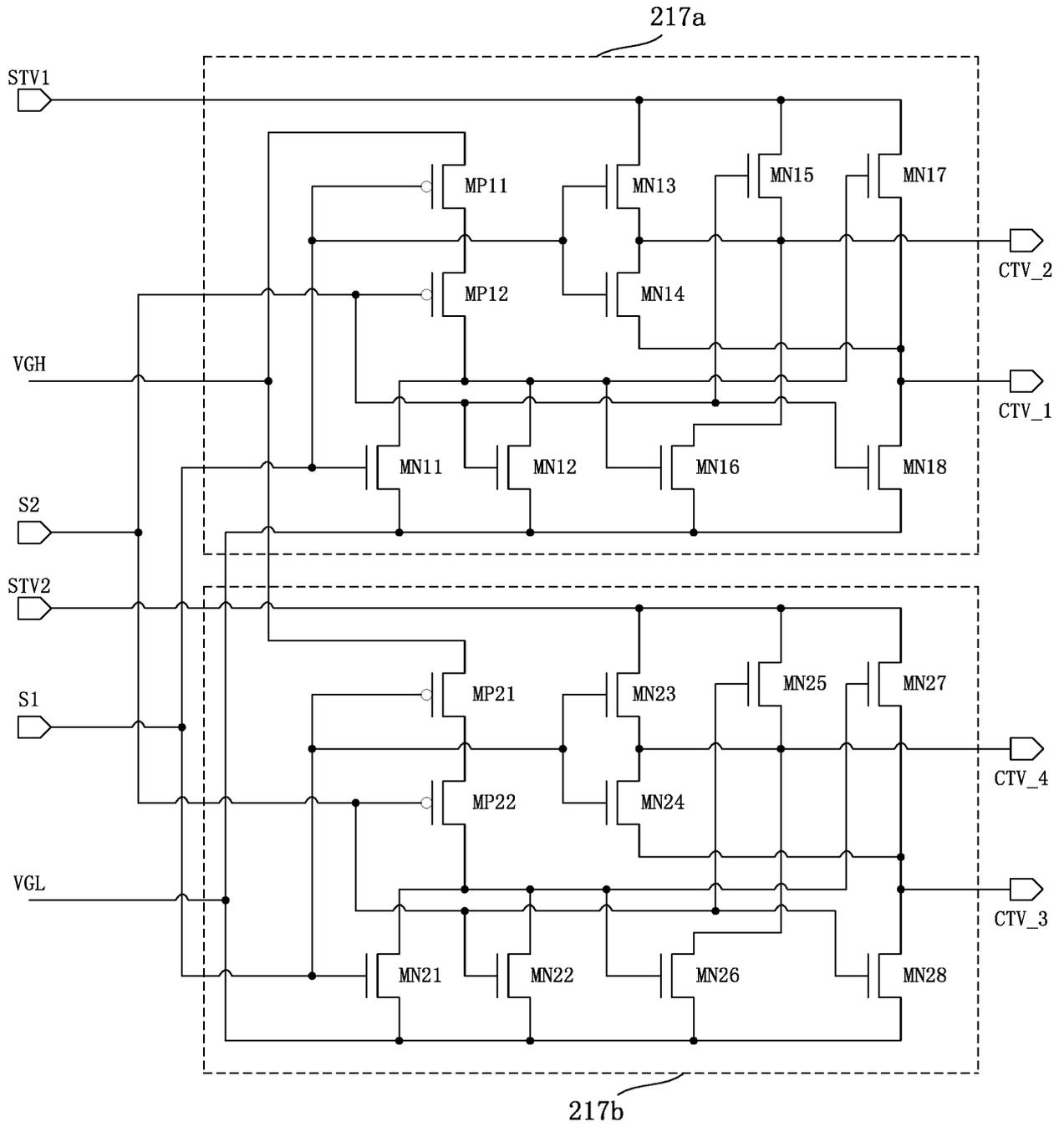


FIG.9A

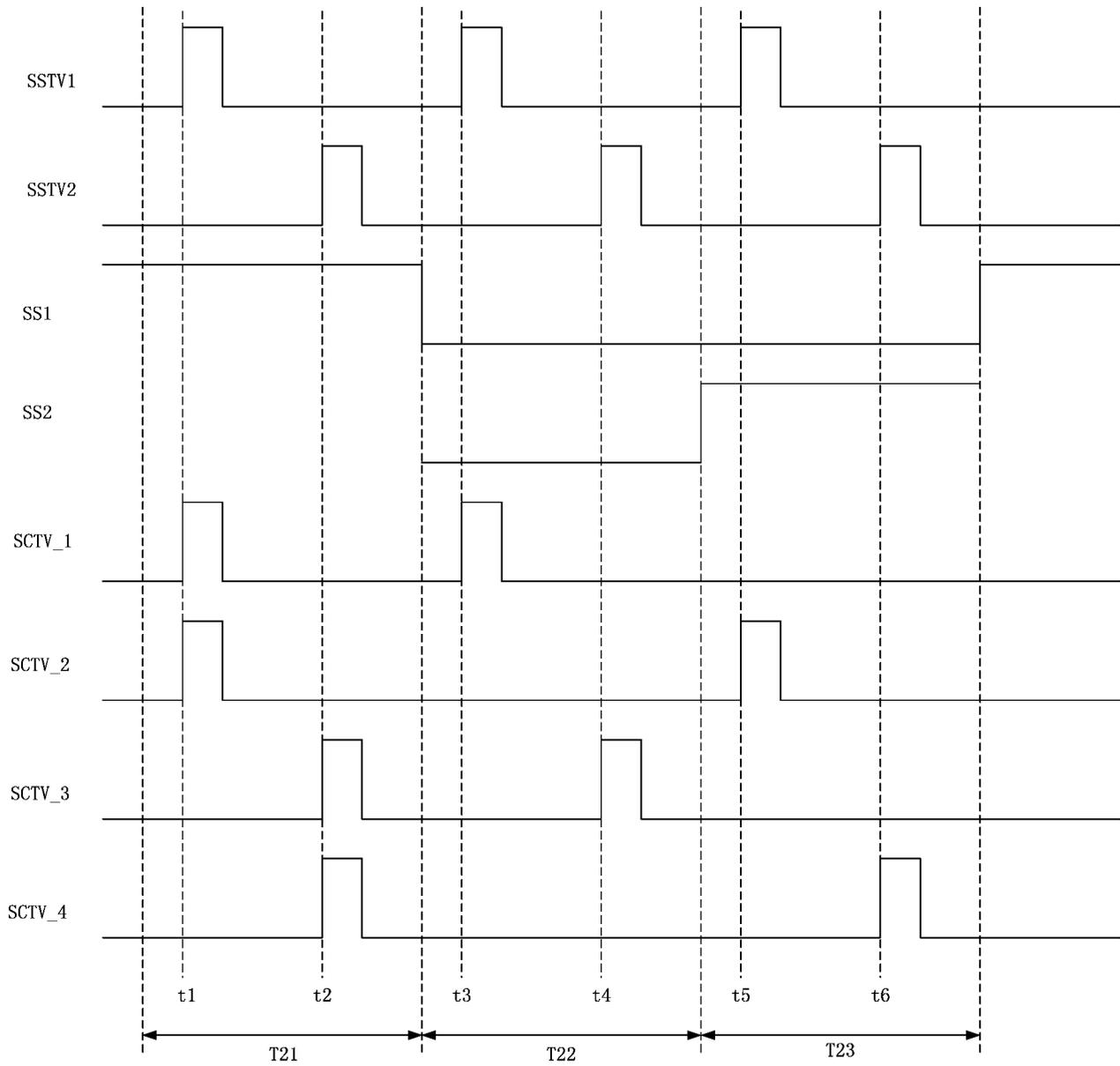


FIG.9B

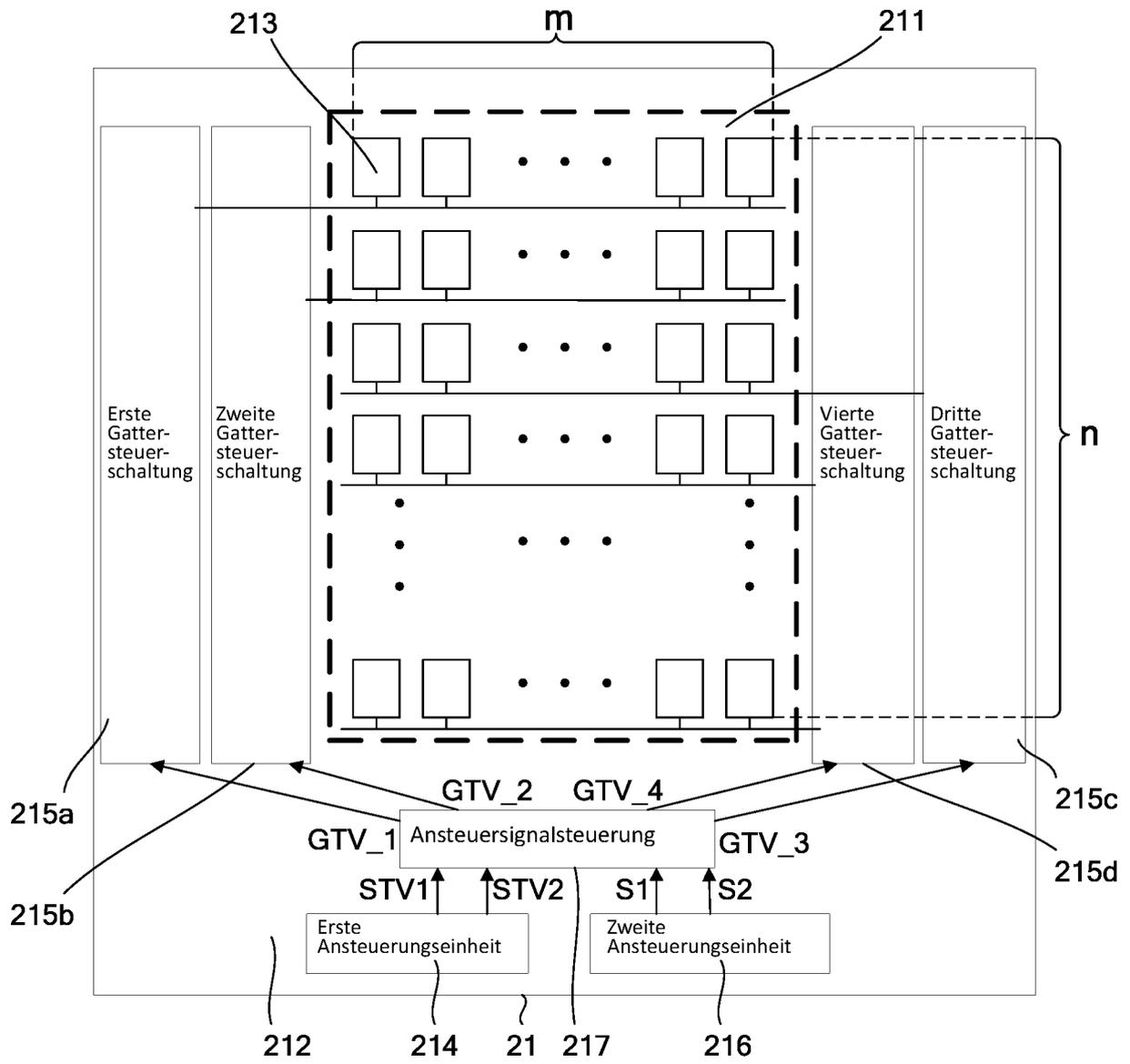


FIG.10

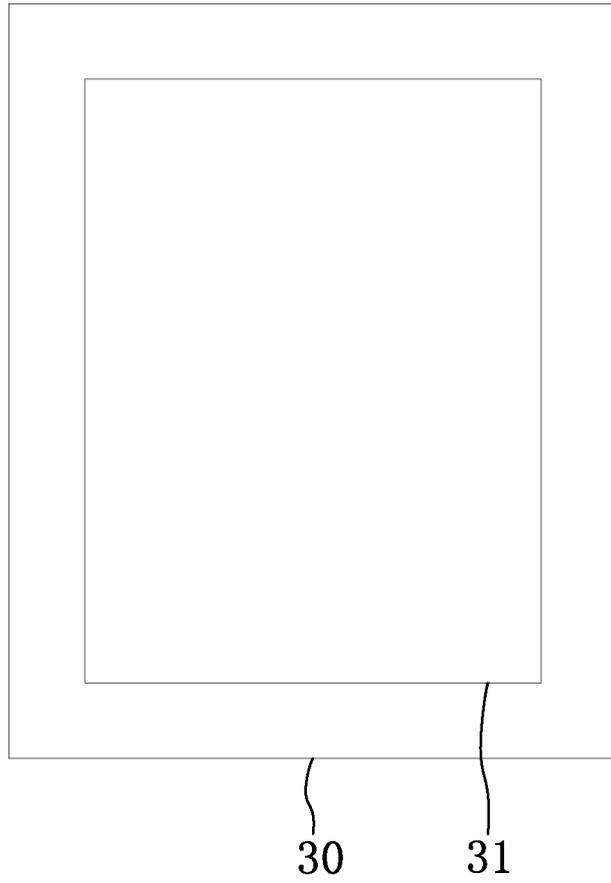


FIG.11