

DOMANDA DI INVENZIONE NUMERO	102022000000017
Data Deposito	03/01/2022
Data Pubblicazione	03/07/2023

Classifiche IPC

Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
H	02	M	3	158

Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
H	02	M	3	156

Titolo

Dispositivo regolatore di tensione

DESCRIZIONE dell'invenzione industriale dal titolo:

"Dispositivo regolatore di tensione"

di: STMicroelectronics S.r.l., di nazionalità italiana, via
C. Olivetti, 2 - 20864 Agrate Brianza (MB) - Italia

Inventori designati: Alessandro BERTOLINI, Alberto CATTANI,
Alessandro GASPARINI.

Depositata il: 03 gennaio 2022

TESTO DELLA DESCRIZIONE

Campo tecnico

La descrizione è relativa ai dispositivi regolatori di tensione, per esempio ai modi per controllare la regolazione di tensione in tali dispositivi.

Una o più forme di attuazione possono essere applicate, per es., alle unità di visualizzazione AMOLED.

Sfondo

I convertitori di alimentazione DC-DC di commutazione ("switching") sono usati in una varietà di sistemi elettronici. Per esempio, i convertitori DC-DC possono essere usati per fornire un livello di tensione di alimentazione a un'unità di visualizzazione AMOLED convertendo un livello di tensione con alimentazione da batteria a un livello di tensione di uscita (positiva) regolata.

Sono usati tradizionalmente vari tipi di convertitori elettronici, come i convertitori "buck", per esempio. Questi tipi di convertitori sono ben noti alla persona esperta nel ramo, come evidenziato, per es., dalla nota applicativa

AN513/0393 "Topologies for Switched Mode Power Supplies", L. Wuidart, 1999, STMicroelectronics.

I convertitori DC-DC, come i convertitori di tipo buck, possono essere usati in una varietà di applicazioni.

Un'implementazione tradizionale di un circuito convertitore (indicato correntemente come "basato sul tempo" - "time-based") comprende:

un oscillatore controllato (in tensione o in corrente) per effettuare un'integrazione nel dominio di fase;

linee di ritardo che forniscono un'azione proporzionale/derivativa.

A seconda dell'applicazione, al fine di fornire livelli di prestazioni e di efficienza adeguati, un circuito convertitore DC-DC basato sul tempo dovrebbe lavorare desiderabilmente in differenti modalità (per es., modalità a conduzione continua - CCM "Continuous-Conduction Mode", modalità a conduzione discontinua - DCM "Discontinuous-Conduction Mode", modalità asincrona, modalità sincrona, ecc.) e dovrebbe potere funzionare in modo affidabile in differenti scenari. In tali condizioni, il progetto di un convertitore DC-DC basato sul tempo atto a fornire un'efficienza elevata e a funzionare attraverso un ampio intervallo di correnti di carico e di tensioni di ingresso/uscita è un compito piuttosto complesso.

Per esempio, il funzionamento in DCM può comportare un duty-cycle abbastanza breve da forzare il convertitore DC-DC a "saltare" alcuni cicli per mantenere la regolazione. Come risultato, la tensione di uscita presenta un maggiore ripple. Questo ripple, a sua volta, è difficile da gestire, poiché è dovuto a un comportamento in gran parte

imprevedibile del convertitore, influenzato da una varietà di fattori operativi.

Il termine "modalità con salti" ("skip-mode") si riferisce a un funzionamento non PWM in cui la regolazione dell'uscita è effettuata cambiando la frequenza di commutazione invece di modulare il duty-cycle.

Un caso particolare di funzionamento in modalità con salti è la PFM (modulazione di frequenza di impulso - "Pulse Frequency Modulation"), detta anche "funzionamento a impulso singolo" ("single-pulse-operation"), in cui la frequenza del convertitore è modulata secondo il carico di uscita (per es., quanto più il carico è basso, tanto più l'attività di commutazione è bassa).

Soluzioni esistenti sono discusse, per es., nel documento S. J. Kim, W. Choi, R. Pilawa-Podgurski e P. K. Hanumolu, "A 10-MHz 2-800-mA 0.5-1.5-V 90% Peak Efficiency Time-Based Buck Converter with Seamless Transition Between PWM/PFM Modes," in IEEE Journal of Solid-State Circuits, vol. 53, n. 3, pagg. 814-824, marzo 2018, doi: 10.1109/JSSC.2017.2776298. Qui, il funzionamento a modulazione di frequenza di impulso (PFM), che è usato comunemente per migliorare l'efficienza a carico leggero ("light load") nei controllori a modalità di tensione ("voltage-mode"), è esteso ai controllori basati sul tempo implementando convertitori DC-DC basati su modulazione a larghezza di impulso (PWM, "Pulse Width Modulation") ad ampia larghezza di banda. Al fine di mantenere una efficienza elevata perfino in presenza di variazioni di carico dinamico, il documento discute tecniche per effettuare una commutazione tra le modalità PWM/PFM.

Queste soluzioni esistenti presentano uno o più dei seguenti inconvenienti:

grandi perdite di commutazione che si verificano a frequenze di commutazione elevate degradano l'efficienza in condizioni di carico leggero,

possono essere coinvolti segnali di clock con valori di frequenza che possono essere difficili da generare/gestire in dispositivi DC-DC, per es., circa 100 MHz (1 MHz = 1 Megahertz = 10^6 Hz);

la possibile presenza di un sensore di corrente di carico e di un convertitore analogico/digitale ADC ("Analog-to-Digital Converter") introduce una circuiteria e una complessità aggiuntiva indesiderata;

nuclei ("core") di proprietà intellettuale (in breve, IP - "Intellectual Property") complessi possono aumentare l'area di semiconduttore, in particolare nel caso di una circuiteria che è robusta rispetto alle variazioni di processo, ai disadattamenti e a differenti condizioni operative;

le transizioni tra le modalità PFM e PWM possono comportare eventi digitali che possono essere complessi da compensare;

non si tiene conto adeguatamente della possibilità che possa verificarsi un comportamento di salto naturale non solo a un carico leggero, ma anche a un carico moderato (quando la tensione di punto di regolazione ("setpoint") di uscita è vicino alla tensione di ingresso, per esempio);

può essere coinvolta una tabella di ricerca (LUT, "Look-Up Table") precalcolata: questa è una soluzione precalcolata ad anello aperto valida per casi specifici, che è difficile

da gestire e difficilmente pratica per un'ampia varietà di condizioni operative, e

varie implementazioni sono difficilmente compatibili con applicazioni industriali a volumi elevati.

Scopo e sintesi

Uno scopo di una o più forme di attuazione è di contribuire a superare gli inconvenienti summenzionati.

Secondo una o più forme di attuazione, tale scopo può essere raggiunto per mezzo di un dispositivo avente le caratteristiche esposte nelle rivendicazioni che seguono.

Un regolatore di tensione può essere un esempio di un tale dispositivo.

Una o più forme di attuazione possono essere relative a un corrispondente sistema.

Una o più forme di attuazione possono essere relative a un corrispondente procedimento.

Le rivendicazioni sono parte integrante dell'insegnamento tecnico qui fornito con riferimento alle forme di attuazione.

Una o più forme di attuazione sfruttano una tensione di uscita di un amplificatore di errore come sorgente di informazioni circa il duty-cycle.

Una o più forme di attuazione facilitano un basso consumo di corrente a riposo e un'efficienza elevata del convertitore su un'ampia gamma di correnti di carico.

In una o più forme di attuazione, il fatto di monitorare la tensione di uscita di un amplificatore (di errore) con un comparatore facilita la selezione di una modalità con salti

in risposta al fatto che il duty-cycle non riesce a raggiungere una certa soglia.

Una o più forme di attuazione facilitano il fatto di fornire un procedimento robusto per implementare una modalità con salti (forzata) nei convertitori DC-DC basati sul tempo, conducendo a un loro comportamento deterministico e controllato.

In una o più forme di attuazione, il ripple della tensione di uscita è funzione di una soglia impostata per un comparatore di salto (per es., quanto più l'isteresi del comparatore di salto è piccola, tanto più è piccolo il ripple in uscita).

In una o più forme di attuazione, un'attività di commutazione del convertitore è automaticamente ridotta e adattata in risposta alla corrente di carico.

Una o più forme di attuazione possono facilitare, per esempio:

un'equalizzazione della corrente di picco della bobina in modo tale che sia fornita una carica costante all'uscita entro un singolo ciclo durante il funzionamento in modalità a salti forzata,

una regolazione fine di una frequenza di salto, che conduce potenzialmente a suoi valori più elevati rispetto alle soluzioni tradizionali,

una riduzione del valore di soglia della corrente di carico in cui il DC-DC basato sul tempo entra nella modalità con salti forzata, e

la fornitura di una transizione regolare tra le modalità di funzionamento, per es., modalità PWM e con salti, che è priva di brusche variazioni o di gradini o di tipo digitale.

Una o più forme di attuazione presentano uno o più dei seguenti vantaggi:

una complessità ridotta, per es., grazie all'assenza di componenti dell'ADC e del sensore di corrente,

la possibilità di funzionare con una velocità di clock ridotta, grazie a un valore minimo costante di un intervallo di tempo in cui uno switch di potenza è in un primo stato di ON,

una maggiore flessibilità, grazie a una compensazione dinamica del rapporto tra le tensioni di ingresso/uscita per mantenere un valore di corrente di picco costante in un carico induttivo,

una transizione inerentemente priva di interruzioni tra il funzionamento in modalità PWM e con salti,

una complessità del sistema e un ingombro di area ridotti.

Breve descrizione delle varie viste dei disegni

Una o più forme di attuazione saranno ora descritte, a puro titolo di esempio non limitativo, con riferimento alle Figure annesse, nelle quali:

la Figura 1 è un diagramma esemplificativo di un circuito convertitore,

la Figura 2 è un diagramma esemplificativo di un'evoluzione nel tempo di segnali del circuito esemplificato nella Figura 1,

la Figura 3 è un diagramma esemplificativo di un circuito convertitore secondo la presente descrizione,

la Figura 4 è un diagramma esemplificativo di un circuito contatore secondo la presente descrizione,

la Figura 5 è un diagramma esemplificativo di un'evoluzione nel tempo di alcuni segnali del circuito esemplificato nelle Figure 3 e 4,

la Figura 6 è un diagramma a stati di un procedimento secondo la presente descrizione,

la Figura 7 è un diagramma esemplificativo di un'evoluzione nel tempo di segnali del circuito esemplificato nella Figura 3,

la Figura 8 è una vista ingrandita di una porzione del diagramma della Figura 7.

Le figure sono disegnate per illustrare chiaramente gli aspetti rilevanti delle forme di attuazione e non sono disegnate necessariamente in scala.

I bordi delle caratteristiche disegnate nelle figure non indicano necessariamente i termini di estensione della caratteristica.

Descrizione dettagliata di esempi di forme di attuazione

Nella descrizione che segue, sono illustrati uno o più dettagli specifici, allo scopo di fornire una comprensione approfondita di esempi di forme di attuazione di questa descrizione. Le forme di attuazione possono essere ottenute senza uno o più dei dettagli specifici o con altri procedimenti, componenti, materiali, ecc. In altri casi, operazioni, materiali o strutture note non sono illustrate o descritte in dettaglio in modo tale che certi aspetti delle forme di attuazione non saranno resi poco chiari.

Un riferimento a "una forma di attuazione" nel quadro della presente descrizione intende indicare che una

particolare configurazione, struttura, o caratteristica descritta con riferimento alla forma di attuazione è compresa in almeno una forma di attuazione. Per cui, le frasi come "in una forma di attuazione" che possono essere presenti in uno o più punti della presente descrizione non fanno necessariamente riferimento proprio alla stessa forma di attuazione.

Inoltre, particolari conformazioni, strutture o caratteristiche possono essere combinate in un modo adeguato qualsiasi in una o più forme di attuazione.

In tutte le figure qui annesse, le parti o gli elementi simili sono indicati con riferimenti/numeri simili e una descrizione corrispondente non sarà ripetuta per brevità.

Per semplicità, nella descrizione dettagliata che segue uno stesso simbolo di riferimento può essere usato per indicare sia un nodo/linea in un circuito sia un segnale che può presentarsi a quel nodo o quella linea.

I riferimenti usati qui sono forniti semplicemente per convenienza e quindi non definiscono l'ambito di protezione o l'ambito delle forme di attuazione.

Le Figure 1 e 2 mostrano un tradizionale convertitore o regolatore di tensione DC-DC 10 (per es., avente una topologia buck) ed esempi di forme d'onda di segnale di rispettivi segnali di controllo (per es., in funzionamento in stato a regime), per esempio.

Per semplicità, una o più forme di attuazione sono discusse in seguito principalmente rispetto a un regolatore di tensione avente una topologia buck. Si noti che questa topologia è puramente esemplificativa e non è in alcun modo limitativa. Una o più forme di attuazione possono essere

applicate nozionalmente a una qualsiasi topologia di circuito regolatore di tensione.

Come esemplificato nella Figura 1, il regolatore di tensione 10 comprende:

una coppia di transistori di commutazione complementari M_P , M_N comprendente un primo transistore di commutazione M_P e un secondo transistore di commutazione M_N che condividono un nodo intermedio L_X comune tra loro,

una rete reattiva L , C_0 accoppiata tra il nodo di commutazione L_X e la massa GND, la rete reattiva L , C_0 comprendente una configurazione serie di un componente induttivo L e di un componente capacitivo C_0 con un nodo di uscita (intermedio) V_0 , il nodo di uscita V_0 essendo configurato per fornire una tensione di uscita regolata V_0 quando accoppiato a un carico Z_L .

Come esemplificato nella Figura 1, il primo transistore di commutazione M_P ha un primo nodo del transistore V_{IN} accoppiato a un livello di alimentazione (per es., in tensione) fornito da una sorgente di alimentazione PS (per es., una batteria), un secondo nodo del transistore al nodo intermedio L_X , e un nodo di controllo configurato per ricevere un primo segnale di pilotaggio (per es., D_{PWM}) dal primo dispositivo di pilotaggio nell'insieme di dispositivi di pilotaggio 100, il primo transistore M_P avente un percorso di corrente tra il primo nodo del transistore V_{IN} e il nodo intermedio L_X configurato per essere reso conduttivo in risposta al fatto che il primo segnale di pilotaggio ricevuto nel nodo di controllo ha un primo valore.

Come esemplificato nella Figura 1, il secondo transistore di commutazione M_N ha un rispettivo primo nodo

del transistoro accoppiato a massa, un rispettivo secondo nodo del transistoro nel nodo intermedio L_X , e un nodo di controllo configurato per ricevere un secondo segnale di pilotaggio (per es., opposto al primo segnale di pilotaggio D_{PWM}) dal secondo dispositivo di pilotaggio nell'insieme di dispositivi di pilotaggio 100, il secondo transistoro M_N avente un percorso di corrente tra il rispettivo primo nodo del transistoro V_{IN} e il nodo intermedio L_X configurato per essere reso conduttivo in risposta al fatto che il secondo segnale di pilotaggio ricevuto nel nodo di controllo ha un primo valore.

Come discusso in seguito, i transistori di commutazione M_P , M_N sono portati ripetutamente a on e a off a una frequenza di commutazione f_s elevata mediante una circuiteria di controllo 11.

Come esemplificato nella Figura 1, il circuito 10 comprende una circuiteria di controllo 11 accoppiata al nodo di uscita V_o e ai nodi di controllo del primo MP e del secondo MN transistoro di commutazione per fornire a essi il segnale di controllo modulato a larghezza di impulso (in breve, PWM) D_{PWM} in base a un confronto tra il segnale di uscita V_o e una tensione di riferimento V_R .

Come esemplificato nelle Figure 1 e 2, il segnale di controllo D_{PWM} è indicativo di una frequenza e di un duty cycle per pilotare la commutazione dei transistori di commutazione M_P , M_N . Per esempio, in base alla forma d'onda PWM D_{PWM} , un insieme di dispositivi di pilotaggio 100 genera due segnali di controllo di pilotaggio di gate per controllare gli stati di on/off di switch complementari di potenza M_P , M_N , come esemplificato nella Figura 1, in cui

l'insieme di dispositivi di pilotaggio 100 comprende un primo dispositivo di pilotaggio configurato per essere accoppiato al nodo di controllo del primo transistor M_P per fornire a esso il primo segnale di pilotaggio (per es., T_{ON}) e un secondo dispositivo di pilotaggio configurato per essere accoppiato al nodo di controllo del secondo transistor M_N per fornire a esso il secondo segnale di pilotaggio (per es., opposto al primo segnale di pilotaggio T_{ON}).

Preferibilmente, la circuiteria di controllo 11 è del tipo indicato correntemente come una circuiteria di controllo "basata sul tempo", nota di per sé, cosicché una discussione dettagliata dei vari componenti non viene ripetuta qui per brevità.

In breve, oscillatori controllati in corrente (CCO, "Current-Controlled Oscillator") 16, 18 forniscono un controllo integrale, linee di ritardo controllate in corrente (CCDL, "Current-Controlled Delay Line") 17, 19 congiuntamente a un filtro RC CD, RD implementano un controllo derivativo proporzionale (noto di per sé), e un rilevatore di fase 20 effettua un confronto della fase dei segnali forniti in uscita dalle CCDL 17, 19 per generare il segnale di duty cycle D_{PWM} .

Il tradizionale controllore 11 esemplificato nella Figura 1 è difficilmente compatibile con un cosiddetto funzionamento in "modalità con salti" ("skip-mode"), per esempio quando il carico Z_L è assente. In un tale scenario, le non idealità della tradizionale circuiteria di controllo 10 possono diventare dominanti e possono condurre a un ripple potenzialmente non vincolato sulla tensione di uscita V_o .

Come esemplificato nella Figura 3, un controllore 30 configurato per pilotare i transistori di commutazione M_P , M_N nella modalità con salti comprende:

una circuiteria di rilevamento ("sensing") R_1 , R_2 come, per esempio, un divisore di tensione R_1 , R_2 accoppiato al nodo di uscita V_o del regolatore 10 per rilevare il segnale di uscita V_o proveniente da esso, la circuiteria di rilevamento fornendo un segnale di retroazione V_{FB} come risultato di un rilevamento del segnale di uscita V_o ,

un comparatore di salto 32 avente un primo nodo di ingresso (per es., invertente) 320 e un secondo nodo di ingresso (per es., non invertente) 322 e un nodo di uscita 324, il comparatore 32 configurato per ricevere il segnale di retroazione V_{FB} e per confrontarlo con un livello di soglia V_T (per es., corrispondente a una tensione di uscita di punto di regolazione per il regolatore, fornito da un selettore di soglia 33, per es., comprendente degli switch S_P , S_N alternativi configurati per selezionare uno tra un livello di soglia positivo V_P e un livello di soglia negativo V_N , come discusso in seguito, il comparatore 32 configurato per fornire un segnale di confronto C avente un primo valore (per es., "0") in risposta al fatto che il segnale di retroazione V_{FB} raggiunge o supera il livello di soglia V_T e un secondo valore (per es., "1") in risposta al fatto che il segnale di retroazione V_{FB} non riesce a raggiungere il livello di soglia V_T ,

un blocco circuitale di OR logico 34 accoppiato al nodo di uscita 324 del comparatore di salto 32 per ricevere il segnale di confronto C da esso come un primo ingresso e un segnale di forzatura DFS come un secondo ingresso, il blocco

di OR logico 34 configurato per fornire un segnale di salto NS avente un valore (per es., "0") uguale a quello del segnale di confronto C in risposta al fatto che il segnale di forzatura DFS ha un secondo valore (per es., "0"), il segnale di salto NS avendo un primo valore (per es., "1") in qualsiasi altro caso,

una macchina a stati finiti 36 (in breve, FSM - "Finite State Machine") accoppiata al blocco circuitale di OR logico 34 per ricevere il segnale di salto NS da esso e accoppiata al primo MP e al secondo MN transistor di commutazione (per es., direttamente o mediante dispositivi di pilotaggio 100) per fornire a essi rispettivi segnali di pilotaggio complementari, i segnali di pilotaggio essendo prodotti in base al segnale di salto NS e a un insieme di segnali operativi ET, $D_{P_{WM}}$, RST, DFS come discusso in seguito,

un contatore 40 configurato per produrre un segnale di terminazione ET nell'insieme di segnali operativi $D_{P_{WM}}$, RST, DFS, come discusso in seguito.

Come qui esemplificato, un dispositivo comprende:

un nodo di alimentazione configurato per essere accoppiato a una sorgente di energia elettrica per ricevere una tensione di alimentazione V_{IN} ,

un nodo di uscita configurato per essere accoppiato a un carico C_o , Z_L per fornire a esso una tensione di uscita regolata V_o in base alla tensione di alimentazione V_{IN} ,

uno stadio di commutazione M_P , M_N , L intermedio tra il nodo di alimentazione e il nodo di uscita, lo stadio di commutazione comprendente almeno un transistor di commutazione M_P , M_N avente un nodo di controllo configurato per ricevere un segnale di pilotaggio $D_{P_{WM}}$, T_{ON} , l'almeno un

transistore di commutazione avente un percorso di flusso di corrente attraverso di esso configurato per essere reso conduttivo in risposta al fatto che il segnale di pilotaggio ha un primo valore e non conduttivo in risposta al fatto che il segnale di pilotaggio ha un secondo valore, e

un circuito di controllo 30 accoppiato allo stadio di commutazione per controllare una sua attività di commutazione, in cui il circuito di controllo 30 comprende:

una circuiteria di rilevamento R_1, R_2 accoppiata al nodo di uscita del dispositivo e configurata per rilevare una tensione di retroazione V_{FB} indicativa della tensione di uscita regolata,

un comparatore 32 accoppiato alla circuiteria di rilevamento per ricevere la tensione di retroazione da essa, il comparatore configurato per fornire un segnale logico di confronto C avente un primo valore logico in risposta al fatto che il segnale di retroazione cade all'interno di un intervallo di confronto $V_P; V_T$ e un secondo valore logico in risposta al fatto che il segnale di retroazione cade al di fuori dell'intervallo di confronto,

una circuiteria logica 34 avente un primo nodo di ingresso accoppiato al comparatore per ricevere da esso il segnale logico di confronto e un secondo nodo di ingresso configurato per ricevere un segnale logico di forzatura DFS che ammette un primo valore logico e un secondo valore logico, la circuiteria logica configurata per fornire un segnale di salto NS avente un primo valore in risposta al fatto che almeno uno tra il segnale di confronto e il segnale di forzatura ha il suo rispettivo primo valore, il segnale di salto avendo un secondo valore in risposta al fatto che

il segnale di confronto e il segnale di forzatura hanno entrambi il loro rispettivo secondo valore,

un contatore 40 configurato per produrre un segnale di terminazione ET in base al segnale di forzatura DFS,

una circuiteria di elaborazione di segnale 11, 36 accoppiata alla circuiteria logica per ricevere da essa il segnale di salto e al contatore per ricevere da esso il segnale di terminazione, la circuiteria di elaborazione di segnale configurata per controllare l'attività di commutazione dello stadio di commutazione asserendo il segnale di pilotaggio al primo valore in funzione del segnale di salto e del segnale di terminazione.

Come esemplificato nella Figura 3, il comparatore 32 può essere provvisto di switch di selezione di ingresso S_P , S_N per implementare un comparatore a finestra avente un comportamento con isteresi per confrontare il segnale di retroazione V_{FB} con una tra due soglie V_P , V_N leggermente spostate intorno al punto di regolazione di uscita desiderato (per es., $V_P = V_T + 0,2V$, $V_N = V_T - 0,2V$).

Come qui esemplificato, il contatore 40 può essere implementato come un timer analogico (per es., un contatore tempo continuo) cambiando la resistenza R e/o la capacità C e/o la tensione di riferimento V_{REF} , così da selezionare il valore di durata minima T_{MIN} , per es., al fine di impostare un valore di corrente di picco della bobina dell'induttore L al quale il convertitore DC-DC funziona come risultato nella modalità con salti. Per esempio, determinare il valore di durata minima T_{MIN} comprende:

regolare dinamicamente il valore di durata minima in base a un valore di punto della regolazione V_{OUT} per la tensione di uscita regolata V_o , o

impostare la durata minima come un valore di soglia costante, per es., definito dall'utente.

Come qui esemplificato, un intervallo di tempo durante il quale il segnale di pilotaggio è asserito al primo valore ha una durata T_{MIN} costante.

Come esemplificato nella Figura 4, il contatore 40 è implementato mediante un contatore analogico comprendente:

un primo transistor M_1 accoppiato a un livello di tensione di uscita del punto di regolazione V_{OUT} indicativo della tensione regolata V_o nel nodo di uscita V_o del convertitore e un secondo transistor M_2 accoppiato al nodo di ingresso V_{IN} mediante una resistenza R ,

un condensatore C_c riferito a massa accoppiato al secondo transistor M_2 in un nodo del transistor (per es., il drain) D_2 ,

un comparatore 42 avente un primo nodo di ingresso (per es., non invertente) accoppiato al nodo del transistor D_2 e un secondo nodo di ingresso (per es., invertente) accoppiato a una tensione di riferimento V_{REF} indicativa di un valore di durata minima T_{MIN} (che può essere selezionato da un utente in base a una specifica applicazione), il comparatore 42 configurato per effettuare un confronto tra la tensione attraverso il condensatore C_c e la tensione di riferimento V_{REF} e per fornire un segnale di confronto C avente un primo valore (per es., "basso" o "0") come risultato del fatto che la tensione attraverso il condensatore C_c non riesce a raggiungere il riferimento di tensione V_{REF} e un secondo

valore (per es., "alto" o "1") come risultato del fatto che una tensione attraverso il condensatore C_c raggiunge o supera il riferimento di tensione V_{REF} ,

uno switch di scarica S_1 accoppiato in parallelo al condensatore tra il nodo del transistor D_2 e la massa, lo switch di scarica S_1 configurato per essere reso conduttivo per fornire una linea di flusso di corrente per scaricare il condensatore C_c in risposta al fatto che un segnale di controllo di reset RST nell'insieme di segnali di controllo ha un primo valore (per es., "1") e configurato per essere reso non conduttivo in risposta al fatto che un segnale di controllo di reset RST nell'insieme di segnali di controllo ha un secondo valore (per es., "0"), e

un ulteriore blocco circuitale di OR logico 44 accoppiato al comparatore 42 per ricevere da esso il risultato del confronto e configurato per ricevere il segnale di forzatura DFS, per es., da un circuito esterno che lo fornisce a un pin dedicato.

Come qui esemplificato, un intervallo di tempo durante il quale il segnale di pilotaggio è asserito al primo valore ha una lunghezza T_{MIN} che è determinata in base a una differenza tra un primo istante in cui un segnale di controllo di reset RST ha un primo fronte e un secondo istante in cui il segnale di terminazione ha un secondo fronte.

Come qui esemplificato, il contatore comprende:

un primo transistor M_1 e un secondo transistor M_2 aventi rispettivi nodi di controllo accoppiati tra loro, il primo transistor M_1 avente un primo nodo del transistor accoppiato a un livello di tensione di punto di regolazione

V_{OUT} della tensione di uscita regolata V_0 e un secondo nodo del transistor accoppiato a un generatore di corrente I_L riferito a massa GND, il secondo transistor M_2 avente un rispettivo primo nodo del transistor accoppiato al nodo di alimentazione V_{IN} del regolatore di tensione 10 mediante un ramo di ingresso resistivo R e un rispettivo secondo nodo del transistor D_2 accoppiato al condensatore C_C riferito a massa GND,

un ulteriore comparatore 42 avente un primo nodo di ingresso accoppiato al secondo nodo del transistor del secondo transistor e un secondo nodo di ingresso accoppiato a una tensione di riferimento V_{REF} , in cui l'ulteriore comparatore è configurato per effettuare un confronto tra una tensione attraverso il condensatore di carico C_C e la tensione di riferimento V_{REF} , fornendo un secondo segnale logico di confronto avente un primo valore logico come risultato del fatto che la tensione attraverso il condensatore C_C raggiunge il riferimento di tensione e un secondo valore logico come risultato del fatto che la tensione attraverso il condensatore non riesce a raggiungere il riferimento di tensione,

un'ulteriore circuiteria logica avente un primo nodo di ingresso accoppiato all'ulteriore comparatore per ricevere il secondo segnale logico di confronto e un secondo nodo di ingresso configurato per ricevere il segnale di forzatura, l'ulteriore circuiteria logica configurata per fornire il segnale di terminazione avente un primo valore in risposta al fatto che almeno uno tra il secondo segnale di confronto e il segnale di forzatura ha il suo rispettivo primo valore, il segnale di terminazione avendo un secondo valore in

risposta al fatto che il segnale di confronto e il segnale di forzatura hanno entrambi il loro rispettivo secondo valore, e

uno switch di scarica S_1 riferito a massa e accoppiato in parallelo al condensatore di carico, lo switch di scarica configurato per essere reso conduttivo in risposta al fatto che un segnale di controllo di reset ha un primo valore e configurato per essere reso non conduttivo in risposta al fatto che il segnale di controllo di reset ha un secondo valore.

Per esempio, lo switch di scarica, in risposta al fatto di essere reso conduttivo, è configurato per fornire una linea di flusso di corrente per scaricare il condensatore C_C .

Come qui esemplificato, il circuito di controllo comprende un circuito di controllo basato sul tempo t_1 configurato per controllare l'attività di commutazione dello stadio di commutazione asserendo il segnale di pilotaggio al primo valore per un intervallo di tempo che è funzione del segnale di salto e del segnale di terminazione.

Come qui esemplificato, lo stadio di commutazione M_P , M_N , L comprende: un nodo di commutazione L_X intermedio tra il nodo di alimentazione V_{IN} e il nodo di uscita V_O ; un primo transistor di commutazione M_P avente un nodo di controllo configurato per ricevere detto segnale di pilotaggio D_{PWM} , T_{ON} così come un percorso di flusso di corrente attraverso di esso tra il nodo di alimentazione e il nodo di commutazione dello stadio di commutazione, in cui il percorso di flusso di corrente attraverso detto primo transistor di commutazione è configurato per essere reso conduttivo in

risposta al fatto che il segnale di pilotaggio ha un primo valore e non conduttivo in risposta al fatto che il segnale di pilotaggio ha un secondo valore, in cui il percorso di flusso di corrente attraverso il primo transistor di commutazione fornisce una linea di flusso di corrente tra il nodo di alimentazione e il nodo di commutazione dello stadio di commutazione, e un secondo transistor di commutazione M_N avente un nodo di controllo configurato per ricevere il segnale di pilotaggio così come un percorso di flusso di corrente attraverso di esso tra il nodo di commutazione dello stadio di commutazione e la massa GND, in cui il percorso di flusso di corrente attraverso detto secondo transistor di commutazione è configurato per essere reso conduttivo in risposta al fatto che il segnale di pilotaggio ha il secondo valore e non conduttivo in risposta al fatto che il segnale di pilotaggio ha il primo valore, in cui il percorso di flusso di corrente attraverso il secondo transistor di commutazione fornisce una linea di flusso di corrente tra il nodo di commutazione L_X e la massa GND, in cui lo stadio di commutazione è configurato per fornire la tensione di uscita regolata V_O al nodo di uscita.

Per esempio, lo stadio di commutazione M_P, M_N, L comprende un nodo di commutazione L_X intermedio tra il nodo di alimentazione V_{IN} e il nodo di uscita V_O e almeno un elemento di accumulo di energia L, C_O accoppiato al nodo di commutazione L_X e al nodo di uscita V_O , in cui lo stadio di commutazione M_P, M_N, L è configurato per fornire la tensione di uscita regolata V_O al nodo di uscita mediante l' almeno un elemento di accumulo di energia L, C_O .

Come qui esemplificato, l'almeno un elemento di accumulo di energia L , C_0 comprende un induttore L accoppiato allo stadio di commutazione e al nodo di uscita, e un condensatore C_0 riferito a massa accoppiato al nodo di uscita, in cui lo stadio di commutazione è configurato per fornire la tensione di uscita regolata V_0 al nodo di uscita mediante l'induttore L e il condensatore C_0 .

Come qui esemplificato, il segnale di controllo di reset RST può essere fornito dal controllore basato sul tempo t_1 , in maniera nota di per sé. Per esempio, il segnale di reset RST è asserito al primo valore (per es., "1") quando il contatore analogico ha raggiunto il valore del minimo T_{ON} ed è asserito a un secondo valore (per es., "0") nel momento del nuovo ciclo di commutazione seguente in modo tale che il contatore riparta da zero finché non raggiunge di nuovo il minimo T_{ON} .

Come esemplificato nelle Figure da 3 a 5, il valore di durata minima T_{MIN} può essere regolato dinamicamente, al fine di mantenere un valore di corrente di picco I_L^{PK} della corrente I_L che scorre nell'induttanza L accoppiata al nodo di commutazione L_x del convertitore.

Come esemplificato nelle Figure 4 e 5, per esempio:

ad un primo istante di tempo T_1 , il segnale di reset RST ha il primo valore (per es., "1"), cosicché lo switch di scarica S_1 è chiuso, cortocircuitando il condensatore C_c ,

ad un istante di tempo T_2 , il segnale di reset RST ha un secondo valore (per es., "0") cosicché il condensatore C_c è caricato con una corrente $I_c = (V_{IN} - V_0) / R$;

ad un istante di tempo T_3 , la tensione nel nodo del transistor D_2 fornita in ingresso al comparatore 42

raggiunge il valore di riferimento di tensione V_{REF} e, nel caso in cui il segnale di forzatura DFS abbia il secondo valore (per es., "0"), il segnale di terminazione ET è fornito in uscita con il primo valore (per es., "1") come risultato del confronto.

Come risultato, per esempio, la durata minima T_{MIN} è impostata in modo da avere una durata dell'impulso uguale all'intervallo di tempo tra un fronte di discesa del segnale di reset RST e un fronte di salita successivo del segnale di terminazione ET.

Nell'esempio di scenario di un convertitore DC-DC (per es., buck) come esemplificato nella Figura 3, nel caso in cui sia fatto funzionare in modalità di conduzione discontinua (in breve, DCM), il valore della corrente di picco può essere espresso come

$$I_L^{PK} = T_{ON} * (V_{IN} - V_O) / L$$

dove T_{ON} è un intervallo di tempo in cui il primo M_P dei transistori di commutazione M_P , M_N del convertitore 10 è nello stato di ON.

Nell'esempio di scenario esemplificato nella Figura 4, quando il convertitore 10 comprendente il contatore analogico 40 è fatto funzionare senza un qualsiasi carico Z_L accoppiato a esso, la lunghezza minima del tempo di on ("on-time") T_{ON} del segnale di duty cycle D_{PWM} corrisponde al valore di durata minima T_{MIN} , cosicché può essere espresso come:

$$\min(T_{ON}) * (V_{IN} - V_O) / R = C_C * V_{REF}$$

Come risultato, per esempio, il valore di durata minima può essere espresso come un valore costante, per es.:

$$T_{MIN} = (R * C_C * V_{REF}) / L$$

In una o più forme di attuazione, la FSM 36 può essere configurata per funzionare come esemplificato nella Figura 6.

Per esempio, misurando il segnale di duty cycle D_{PWM} (specificamente, la durata del tempo di ON) fornito dal controllore basato sul tempo 11, il funzionamento in modalità con salti può essere iniziato in risposta al fatto che la durata del tempo di ON scende al di sotto del valore di durata minima T_{MIN} , una condizione indicata come "violazione di soglia". Nell'esempio di scenario considerato, come risultato della rilevazione di una tale condizione di violazione di soglia, per esempio, il comparatore 32 del circuito di controllo 30 migliorato facilita, per ciascun ciclo di commutazione, il fatto di rilevare se è necessario farne partire uno nuovo (per es., fornendo energia alla bobina induttiva L per fornire una carica di uscita) o attendere e saltare il ciclo (per es., siccome il livello di uscita supera il punto di regolazione).

Come esemplificato nella Figura 6, in uno stato iniziale 600:

il segnale di reset RST ha il secondo valore (per es., "0"), cosicché, per es., il contatore 40 è rilasciato dal suo stato di reset, e

il segnale di duty cycle D_{PWM} ha il primo valore (per es., "1"), cosicché, per es., il primo transistor di commutazione M_1 è portato a on dal dispositivo di pilotaggio 100.

Come esemplificato nella Figura 6, la FSM 36 è configurata per pilotare, alternativamente, i transistori di commutazione:

in una modalità di funzionamento PWM 600, 610, 612, quando il carico Z_L è accoppiato al nodo di uscita V_O e quando il tempo di on è sopra il valore di durata minima T_{MIN} , e

in una modalità con salti 600, 620, 622 quando il carico Z_L è assente o è disaccoppiato dal nodo di uscita V_O , quando il tempo di on scende sotto il valore di durata minima T_{MIN} .

Come esemplificato nella Figura 6, nel funzionamento PWM, per esempio:

dallo stato iniziale 600, in risposta al segnale di terminazione ET, al fatto che il primo segnale di pilotaggio T_{ON} ha un secondo valore (per es., "0") e il segnale di reset RST ha un primo valore (per es., "1"), la FSM 36 si muove al primo stato di modalità PWM 610,

dal primo stato PWM 610, in risposta al fatto che il segnale di duty cycle D_{PWM} ha il secondo valore (per es., "0"), il primo transistor di commutazione M_P è portato a off in risposta al fatto che il primo segnale di pilotaggio T_{ON} ha il secondo valore e la FSM 36 salta al secondo stato PWM 612 in cui il segnale di reset RST mantiene il primo valore (per es., "1"), e

dal secondo stato PWM 612, in risposta al fatto che il segnale di duty cycle D_{PWM} ha di nuovo il primo valore (per es., "1"), la FSM 36 salta a ritroso allo stato iniziale 600, in cui il segnale di reset RST è asserito con il secondo valore (per es., "0"), mentre il primo transistor di commutazione M_P è portato a on in risposta al fatto che il primo segnale di pilotaggio T_{ON} ha il primo valore (per es., "1").

Come esemplificato nella Figura 6, nel funzionamento in modalità con salti, per esempio:

dallo stato iniziale 600, in risposta al fatto che il segnale di duty cycle D_{PWM} e il segnale di terminazione ET hanno il secondo valore (per es., "0"), il primo segnale di pilotaggio T_{ON} ha il primo valore (per es., "1") per un tempo uguale al valore di durata minima T_{MIN} , mentre il segnale di reset RST mantiene il valore iniziale (per es., "0"), cosicché la FSM 36 si muove al primo stato di modalità con salti 620,

dal primo stato di modalità con salti 620, in risposta al fatto che il segnale di terminazione ET ha il primo valore (per es., "1"), la FSM 36 si muove allo stato 622 in cui il segnale di reset RST ha il primo valore (per es., "1") e il segnale di tempo di on T_{ON} ha il secondo valore (per es., "0"), cosicché il primo transistor di commutazione M_P è portato a off (vale a dire, è reso non conduttivo).

Per esempio, quando il segnale di duty cycle D_{PWM} ha una durata del tempo di on sotto il valore di durata minima T_{MIN} , il convertitore DC-DC 10 è forzato a mantenere attivato o a on (vale a dire, reso conduttivo) il primo transistor di commutazione M_P per un tempo di on che dura almeno per il valore di durata minima T_{MIN} . In questo modo, per es., il tempo di on è forzato a diventare esteso a un valore di durata che è determinato dalla durata minima T_{MIN} .

Come esemplificato nella Figura 6, ancora nel funzionamento in modalità con salti, per esempio:

dal secondo stato di modalità con salti 622, in risposta al fatto che sia il segnale di duty cycle D_{PWM} impostato dal controllore basato sul tempo 11 sia il segnale di salto NS hanno il primo valore (per es., "1") come risultato del fatto che la tensione regolata di uscita V_O è al di sotto della

soglia del punto di regolazione (opzionalmente, inferiore a V_N), la FSM si muove a ritroso allo stato iniziale 600; per contro, nel caso in cui il segnale di salto NS abbia il secondo valore (per es., "0") come risultato del fatto che la tensione di retroazione V_{FB} è sopra (per es., opzionalmente, superiore a V_P) la soglia V_T del comparatore di salto 32, il prossimo ciclo di commutazione 600, 610, 612 è saltato.

Per esempio, il prossimo ciclo di commutazione è iniziato quando sia il segnale di salto NS sia il segnale D_{PWM} dal controllore basato sul tempo 11 hanno il primo valore (per es., "1"), per es., indipendentemente dal fatto che ciò sia attraverso il ciclo PWM 610, 612 o il ciclo di salto 620, 622.

In generale, può essere saltato più di un ciclo; in effetti, l'attività di commutazione è fatta ripartire di nuovo soltanto quando il comparatore di salto 32 fornisce un riscontro ("acknowledge") che la tensione di uscita V_o è inferiore a un livello minimo (per es., $NS = 1$), significando che il fatto di fornire una carica all'uscita comporta di fornire energia all'induttore L.

Come esemplificato nella Figura 7, grazie alla presenza del ciclo di salto 600, 620, 622 della FSM 36, il convertitore DC-DC basato sul tempo 10 funziona in una sorta di modo con isteresi, fornendo pacchetti (o cicli di energizzazione) di carica elettrica da un istante di tempo iniziale 0 e finché, in un successivo istante di tempo K, la tensione di uscita regolata V_o non supera la soglia del punto di regolazione V_T .

La Figura 8 è una vista ingrandita della porzione della Figura 7 nell'intervallo di tempo 0-K.

Come esemplificato nella Figura 8, il segnale di uscita V_o ha un ripple limitato. Per esempio, la configurazione di intervallo con isteresi 33 del comparatore di salto 32 facilita il controllo del ripple di tensione.

Come esemplificato nelle Figure 7 e 8, il duty-cycle del convertitore (vale a dire, la durata durante la quale il segnale di pilotaggio T_{ON} ha il primo valore) è fissato e maggiore del duty cycle "naturale" del segnale PWM D_{PWM} (per es., fornito dal controllore basato sul tempo 11).

Per semplicità, una o più forme di attuazione sono discusse qui con riferimento a un funzionamento in modalità di conduzione discontinua (DCM) del circuito convertitore 10, cosicché un'ampiezza della corrente che scorre nel componente induttivo L non conduce a scaricare il carico Z_L all'ingresso V_{IN} , in maniera nota di per sé. Si noti che una tale modalità di funzionamento è puramente esemplificativa e non è in alcun modo limitativa.

Come esemplificato nelle Figure 7 e 8, in modalità DCM il segnale di corrente attraverso la bobina dell'induttore L è resettato (a zero) all'inizio di ciascun "ciclo di energizzazione" nell'intervallo di tempo 0-K, cosicché, per esempio, alla fine del ciclo di energizzazione la bobina induttiva L risulta scaricata (per es., completamente) (vale a dire, accumula zero energia).

Una o più forme di attuazione possono comprendere un rilevatore di passaggio per lo zero (ZCD - "Zero-Crossing-Detector") che facilita il fatto di impedire un'inversione della corrente (per es., che diventi negativa) attraverso la

bobina L , preferibilmente in applicazioni che usano un funzionamento in DCM. Per esempio, il comparatore ZCD può essere configurato per rilevare quando la corrente attraverso la bobina L raggiunge lo zero e può essere accoppiato alla FSM 36 per fornire il secondo segnale di pilotaggio per portare a off il secondo transistore di commutazione M_N nell'intervallo di tempo di passaggio per lo zero rilevato, per es., mantenendo a zero la corrente della bobina come risultato.

In alcune applicazioni che impiegano la CCM (modalità a conduzione continua), un'inversione della corrente della bobina può essere tollerata, cosicché lo ZCD può essere disattivato (questo è noto come funzionamento in CCM forzata adatto per un raddrizzamento sincrono, in maniera nota di per sé).

In un esempio di scenario, il convertitore 10 può partire da una condizione in cui la FSM 36 è in uno stato qualsiasi del ciclo di salto 600, 620, 622 e un'ampiezza di una corrente che scorre nel carico Z_L è trascurabile.

Nell'esempio di scenario considerato, dopo un po' di tempo, la corrente di carico è aumentata, cosicché la tensione regolata di uscita V_o è "scaricata" a un ritmo più rapido.

Ancora nell'esempio di scenario considerato, per compensare la "scarica" più veloce della tensione V_o , il controllore basato sul tempo 11 produce un segnale PWM D_{PWM} con un duty-cycle crescente, finché questo è così alto che l'impulso di T_{ON} minimo effettuato all'interno del ciclo di salto va oltre la "inerzia" dei componenti del circuito convertitore.

In una o più forme di attuazione, il momento in cui una tale soglia T_{MIN} è superata innesca il segnale di terminazione ET a commutare al primo valore (per es., "1") appena prima che il segnale PWM D_{PWM} commuti al secondo valore. Come risultato, il convertitore 10 effettua rapidamente una transizione per essere fatto funzionare secondo il ciclo PWM 600, 610, 612 della FSM 36.

In un esempio di scenario ulteriore, complementare a quello discusso in precedenza, nel caso in cui la FSM sia in uno stato qualsiasi del funzionamento in modalità PWM 600, 610, 612, quando la corrente di carico si riduce, il controllore basato sul tempo 11 reagisce riducendo il duty-cycle del segnale PWM D_{PWM} al fine di compensare la riduzione della corrente attraverso il carico, finché un livello di flusso di corrente nel carico è selezionato in base alla durata minima T_{MIN} selezionata. A questo punto, per esempio, il segnale PWM D_{PWM} commuta dal primo valore al secondo valore, mentre il segnale di terminazione ET rimane al secondo valore.

Un sistema come qui esemplificato comprende: un dispositivo secondo la presente descrizione avente un nodo di alimentazione V_{IN} configurato per ricevere una tensione di alimentazione V_{IN} e un nodo di uscita V_O configurato per fornire una tensione di uscita regolata V_O in base alla tensione di alimentazione V_{IN} , una batteria PS configurata per fornire la tensione di alimentazione al nodo di alimentazione del dispositivo, un carico Z_L accoppiato al nodo di uscita V_O del dispositivo per ricevere da esso la tensione di uscita regolata V_O .

Un procedimento come qui esemplificato comprende di controllare 30 un'attività di commutazione di uno stadio di commutazione M_P , M_N , L di un dispositivo secondo la presente descrizione, in cui controllare 30 l'attività di commutazione comprende: rilevare una tensione di retroazione V_{FB} indicativa di una tensione di uscita regolata V_o fornita a un nodo di uscita del dispositivo in base a una tensione di alimentazione V_{IN} ricevuta a un nodo di ingresso del dispositivo, effettuare un confronto 32 della tensione di retroazione V_{FB} rilevata e un intervallo di confronto V_P ; V_T , fornendo come risultato un segnale logico di confronto C avente un primo valore logico in risposta al fatto che il segnale di retroazione V_{FB} cade all'interno dell'intervallo di confronto V_P ; V_T e un secondo valore logico in risposta al fatto che il segnale di retroazione V_{FB} cade al di fuori dell'intervallo di confronto V_N ; V_T ,

fornire un segnale logico di forzatura DFS che ammette un primo valore logico e un secondo valore logico e applicare un'elaborazione logica 34 al segnale logico di confronto C e al segnale logico di forzatura DFS, fornendo come risultato un segnale di salto NS avente un primo valore in risposta al fatto che almeno uno tra il segnale di confronto C e il segnale di forzatura DFS ha il suo rispettivo primo valore logico, il segnale di salto NS avendo un secondo valore in risposta al fatto che il segnale di confronto C e il segnale di forzatura DFS hanno entrambi il loro rispettivo secondo valore logico, produrre un segnale di terminazione ET in base al segnale di forzatura DFS, asserire 11, 36 il segnale di pilotaggio D_{PWM} , T_{ON} al primo valore in funzione del segnale di salto NS e del segnale di terminazione ET.

Per il resto, si comprenderà che l'intenzione non è necessariamente di adottare le varie opzioni di implementazione individuali rappresentate a titolo di esempio in tutte le figure annesse a questa descrizione nelle stesse combinazioni rappresentate a titolo di esempio nelle figure. Una o più forme di attuazione possono così adottare queste opzioni (peraltro non obbligatorie) individualmente e/o in combinazioni differenti rispetto alla combinazione rappresentata a titolo di esempio nelle figure annesse.

Fermi restando i principi di fondo, i dettagli e le forme di attuazione possono variare, anche in modo apprezzabile, rispetto a quanto è stato descritto, puramente a titolo di esempio, senza uscire dall'ambito di protezione. L'ambito di protezione è definito dalle rivendicazioni annesse.

RIVENDICAZIONI

1. Dispositivo, comprendente:

un nodo di alimentazione (V_{IN}) configurato per essere accoppiato a una sorgente di energia elettrica (PS) per ricevere una tensione di alimentazione (V_{IN}),

un nodo di uscita (V_O) configurato per essere accoppiato a un carico (Z_L) per fornire a esso una tensione di uscita regolata (V_O) in base alla tensione di alimentazione (V_{IN}),

uno stadio di commutazione (M_P, M_N, L) intermedio tra il nodo di alimentazione (V_{IN}) e il nodo di uscita (V_O), lo stadio di commutazione (M_P, M_N, L) comprendente almeno un transistor di commutazione (M_P, M_N) avente un nodo di controllo configurato per ricevere un segnale di pilotaggio (D_{PWM}, T_{ON}), l' almeno un transistor di commutazione (M_P, M_N) avente un percorso di flusso di corrente attraverso di esso configurato per essere reso conduttivo in risposta al fatto che il segnale di pilotaggio (D_{PWM}, T_{ON}) ha un primo valore e non conduttivo in risposta al fatto che il segnale di pilotaggio (D_{PWM}, T_{ON}) ha un secondo valore, e

un circuito di controllo (30) accoppiato a detto stadio di commutazione (M_P, M_N, L) per controllare una sua attività di commutazione, in cui il circuito di controllo (30) comprende:

una circuiteria di rilevamento (R_1, R_2) accoppiata al nodo di uscita (V_O) del dispositivo e configurata per rilevare una tensione di retroazione (V_{FB}) indicativa di detta tensione di uscita regolata (V_O),

un comparatore (32) accoppiato a detta circuiteria di rilevamento (R_1, R_2) per ricevere detta tensione di

retroazione (V_{FB}) da essa, il comparatore (32) configurato per fornire un segnale logico di confronto (C) avente un primo valore logico in risposta al fatto che il segnale di retroazione (V_{FB}) cade all'interno di un intervallo di confronto ($V_P; V_T$) e un secondo valore logico in risposta al fatto che il segnale di retroazione (V_{FB}) cade al di fuori di detto intervallo di confronto (V_N, V_T),

una circuiteria logica (34) avente un primo nodo di ingresso accoppiato al comparatore (32) per ricevere detto segnale logico di confronto (C) da esso e un secondo nodo di ingresso configurato per ricevere un segnale logico di forzatura (DFS) che ammette un primo valore logico e un secondo valore logico, la circuiteria logica (34) configurata per fornire un segnale di salto (NS) avente un primo valore in risposta al fatto che almeno uno tra il segnale di confronto (C) e il segnale di forzatura (DFS) ha il suo rispettivo primo valore logico, il segnale di salto (NS) avente un secondo valore in risposta al fatto che il segnale di confronto (C) e il segnale di forzatura (DFS) hanno entrambi il loro rispettivo secondo valore logico,

un contatore (40) configurato per produrre un segnale di terminazione (ET) in base a detto segnale di forzatura (DFS),

una circuiteria di elaborazione di segnale (11, 36) accoppiata alla circuiteria logica (34) per ricevere da essa il segnale di salto (NS) e al contatore (40) per ricevere da esso il segnale di terminazione (ET), la circuiteria di elaborazione di segnale (11, 36) configurata per controllare detta attività di commutazione di detto stadio di commutazione (M_P, M_N, L) asserendo detto segnale di

pilotaggio (D_{PWM} , T_{ON}) a detto primo valore in funzione di detto segnale di salto (NS) e di detto segnale di terminazione (ET).

2. Dispositivo secondo la rivendicazione 1, in cui un intervallo di tempo durante il quale detto segnale di pilotaggio (D_{PWM} , T_{ON}) è asserito a detto primo valore ha una durata (T_{MIN}) costante.

3. Dispositivo secondo la rivendicazione 1, in cui un intervallo di tempo durante il quale detto segnale di pilotaggio (D_{PWM} , T_{ON}) è asserito a detto primo valore ha una lunghezza (T_{MIN}) che è determinata in base a una differenza tra un primo istante in cui un segnale di controllo di reset (RST) ha un primo fronte e un secondo istante in cui detto segnale di terminazione (ET) ha un secondo fronte.

4. Dispositivo secondo la rivendicazione 3, in cui detto contatore (40) configurato per produrre un segnale di terminazione (ET) in base a detto segnale di forzatura (DFS) comprende:

un primo transistor (M_1) e un secondo transistor (M_2) aventi rispettivi nodi di controllo accoppiati tra loro, il primo transistor (M_1) avente un primo nodo del transistor accoppiato a un livello di tensione di punto di regolazione (V_{OUT}) e un secondo nodo del transistor accoppiato a un generatore di corrente (I_L) riferito a massa (GND), il secondo transistor (M_2) avente un rispettivo primo nodo del transistor accoppiato al nodo di alimentazione (V_{IN}) di detto dispositivo mediante un ramo di ingresso resistivo (R)

e un rispettivo secondo nodo del transistor (D₂) accoppiato a un condensatore (C_c) riferito a massa,

un ulteriore comparatore (42) avente un primo nodo di ingresso del comparatore accoppiato al secondo nodo del transistor (D₂) del secondo transistor (M₂) e un secondo nodo di ingresso del comparatore accoppiato a una tensione di riferimento (V_{REF}), in cui l'ulteriore comparatore (42) è configurato per effettuare un confronto tra una tensione attraverso il condensatore (C_c) e la tensione di riferimento (V_{REF}), fornendo un ulteriore segnale di confronto avente un primo valore logico come risultato del fatto che la tensione attraverso il condensatore (C_c) raggiunge il riferimento di tensione (V_{REF}) e un secondo valore logico come risultato del fatto che la tensione attraverso il condensatore (C_c) non riesce a raggiungere il riferimento di tensione (V_{REF}),

un'ulteriore circuiteria logica (44) avente un primo nodo di ingresso accoppiato all'ulteriore comparatore (42) per ricevere l'ulteriore segnale di confronto e un secondo nodo di ingresso configurato per ricevere il segnale di forzatura (DFS), l'ulteriore circuiteria logica (44) configurata per fornire il segnale di terminazione (ET) avente un primo valore in risposta al fatto che almeno uno tra l'ulteriore segnale di confronto e il segnale di forzatura (DFS) ha il suo rispettivo primo valore logico, il segnale di terminazione (ET) avendo un secondo valore in risposta al fatto che l'ulteriore segnale di confronto e il segnale di forzatura (DFS) hanno entrambi il loro rispettivo secondo valore logico, e

uno switch di scarica (S₁) riferito a massa (GND) e accoppiato in parallelo al condensatore (C_c), lo switch di

scarica (S_1) configurato per essere reso conduttivo in risposta al fatto che un segnale di controllo di reset (RST) ha un primo valore e configurato per essere reso non conduttivo in risposta al fatto che detto segnale di controllo di reset (RST) ha un secondo valore, in cui lo switch di scarica (S_1), in risposta al fatto di essere reso conduttivo, è configurato per fornire una linea di flusso di corrente tra detto secondo nodo del transistor (D_2) e la massa (GND).

5. Dispositivo secondo una qualsiasi delle rivendicazioni precedenti, in cui detto circuito di controllo (30) comprende un circuito di controllo basato sul tempo (11, 36) configurato per controllare detta attività di commutazione di detto stadio di commutazione (M_P , M_N , L) asserendo detto segnale di pilotaggio (D_{PWM} , T_{ON}) a detto primo valore in funzione di detto segnale di salto (NS) e di detto segnale di terminazione (ET).

6. Dispositivo secondo una qualsiasi delle rivendicazioni precedenti, in cui detto stadio di commutazione (M_P , M_N , L) comprende:

un nodo di commutazione (L_X) intermedio tra detto nodo di alimentazione (V_{IN}) e detto nodo di uscita (V_O),

un primo transistor di commutazione (M_P) avente un nodo di controllo configurato per ricevere detto segnale di pilotaggio (D_{PWM} , T_{ON}) così come un percorso di flusso di corrente attraverso di esso tra detto nodo di alimentazione (V_{IN}) e detto nodo di commutazione (L_X) di detto stadio di commutazione (M_P , M_N , L), in cui detto percorso di flusso di

corrente attraverso detto primo transistoro di commutazione (M_P) è configurato per essere reso conduttivo in risposta al fatto che il segnale di pilotaggio (D_{PWM}, T_{ON}) ha un primo valore e non conduttivo in risposta al fatto che il segnale di pilotaggio (D_{PWM}, T_{ON}) ha un secondo valore, in cui il percorso di flusso di corrente attraverso detto primo transistoro di commutazione (M_P) fornisce una linea di flusso di corrente tra detto nodo di alimentazione (V_{IN}) e detto nodo di commutazione (L_X) di detto stadio di commutazione (M_P, M_N, L), e

un secondo transistoro di commutazione (M_N) avente un nodo di controllo configurato per ricevere detto segnale di pilotaggio (D_{PWM}, T_{ON}) così come un percorso di flusso di corrente attraverso di esso tra detto nodo di commutazione (L_X) di detto stadio di commutazione (M_P, M_N, L) e la massa (GND), in cui detto percorso di flusso di corrente attraverso detto secondo transistoro di commutazione (M_N) è configurato per essere reso conduttivo in risposta al fatto che il segnale di pilotaggio (D_{PWM}, T_{ON}) ha il secondo valore e non conduttivo in risposta al fatto che il segnale di pilotaggio (D_{PWM}, T_{ON}) ha il primo valore, in cui il percorso di flusso di corrente attraverso detto secondo transistoro di commutazione (M_N) fornisce una linea di flusso di corrente tra detto nodo di commutazione (L_X) e la massa (GND),

in cui detto stadio di commutazione (M_P, M_N, L) è configurato per fornire detta tensione di uscita regolata (V_O) a detto nodo di uscita (V_O).

7. Dispositivo secondo una qualsiasi delle rivendicazioni precedenti, in cui detto stadio di commutazione (M_P, M_N, L) comprende un nodo di commutazione (L_X) intermedio tra detto nodo di alimentazione (V_{IN}) e detto nodo di uscita (V_O) e almeno un elemento di accumulo di energia ($L; C_0$) accoppiato a detto nodo di commutazione (L_X) e a detto nodo di uscita (V_O), in cui detto stadio di commutazione (M_P, M_N, L) è configurato per fornire detta tensione di uscita regolata (V_O) a detto nodo di uscita (V_O) mediante detto almeno un elemento di accumulo di energia ($L; C_0$).

8. Dispositivo secondo la rivendicazione 7, in cui detto almeno un elemento di accumulo di energia ($L; C_0$) comprende:
un induttore (L) accoppiato allo stadio di commutazione (M_N, M_P, L) e a detto nodo di uscita (V_O), e
un condensatore (C_0) riferito a massa (GND) accoppiato a detto nodo di uscita (V_O),
in cui detto stadio di commutazione (M_N, M_P, L) è configurato per fornire detta tensione di uscita regolata (V_O) a detto nodo di uscita (V_O) mediante detto induttore (L) e detto condensatore (C_0).

9. Sistema, comprendente:
un dispositivo secondo una qualsiasi delle rivendicazioni da 1 a 8, il dispositivo avente un nodo di alimentazione (V_{IN}) configurato per ricevere una tensione di alimentazione (V_{IN}) e un nodo di uscita (V_O) configurato per fornire una tensione di uscita regolata (V_O) in base alla tensione di alimentazione (V_{IN}),

una batteria (PS) configurata per fornire detta tensione di alimentazione (V_{IN}) a detto nodo di alimentazione (V_{IN}) di detto dispositivo,

un carico (Z_L) accoppiato a detto nodo di uscita (V_O) di detto dispositivo per ricevere da esso detta tensione di uscita regolata (V_O).

10. Procedimento, comprendente:

controllare (30) un'attività di commutazione di uno stadio di commutazione (M_P , M_N , L) di un dispositivo secondo una qualsiasi delle rivendicazioni da 1 a 8,

in cui controllare (30) detta attività di commutazione comprende:

rilevare una tensione di retroazione (V_{FB}) indicativa di una tensione di uscita regolata (V_O) fornita a un nodo di uscita (V_O) del dispositivo in base a una tensione di alimentazione (V_{IN}) ricevuta a un nodo di ingresso (V_{IN}) del dispositivo,

effettuare un confronto (32) di detta tensione di retroazione (V_{FB}) rilevata e un intervallo di confronto (V_P ; V_T), fornendo come risultato un segnale logico di confronto (C) avente un primo valore logico in risposta al fatto che il segnale di retroazione (V_{FB}) cade all'interno di detto intervallo di confronto (V_P ; V_T) e un secondo valore logico in risposta al fatto che il segnale di retroazione (V_{FB}) cade al di fuori dell'intervallo di confronto (V_N ; V_T),

fornire un segnale logico di forzatura (DFS) che ammette un primo valore logico e un secondo valore logico e applicare un'elaborazione logica (34) a detto segnale logico di confronto (C) e a detto segnale logico di forzatura (DFS),

fornendo come risultato un segnale di salto (NS) avente un primo valore in risposta al fatto che almeno uno tra il segnale di confronto (C) e il segnale di forzatura (DFS) ha il suo rispettivo primo valore logico, il segnale di salto (NS) avendo un secondo valore in risposta al fatto che il segnale di confronto (C) e il segnale di forzatura (DFS) hanno entrambi il loro rispettivo secondo valore logico,

produrre un segnale di terminazione (ET) in base a detto segnale di forzatura (DFS),

asserire (11, 36) detto segnale di pilotaggio (D_{PWM} , T_{ON}) a detto primo valore in funzione di detto segnale di salto (NS) e di detto segnale di terminazione (ET).

FIG. 1

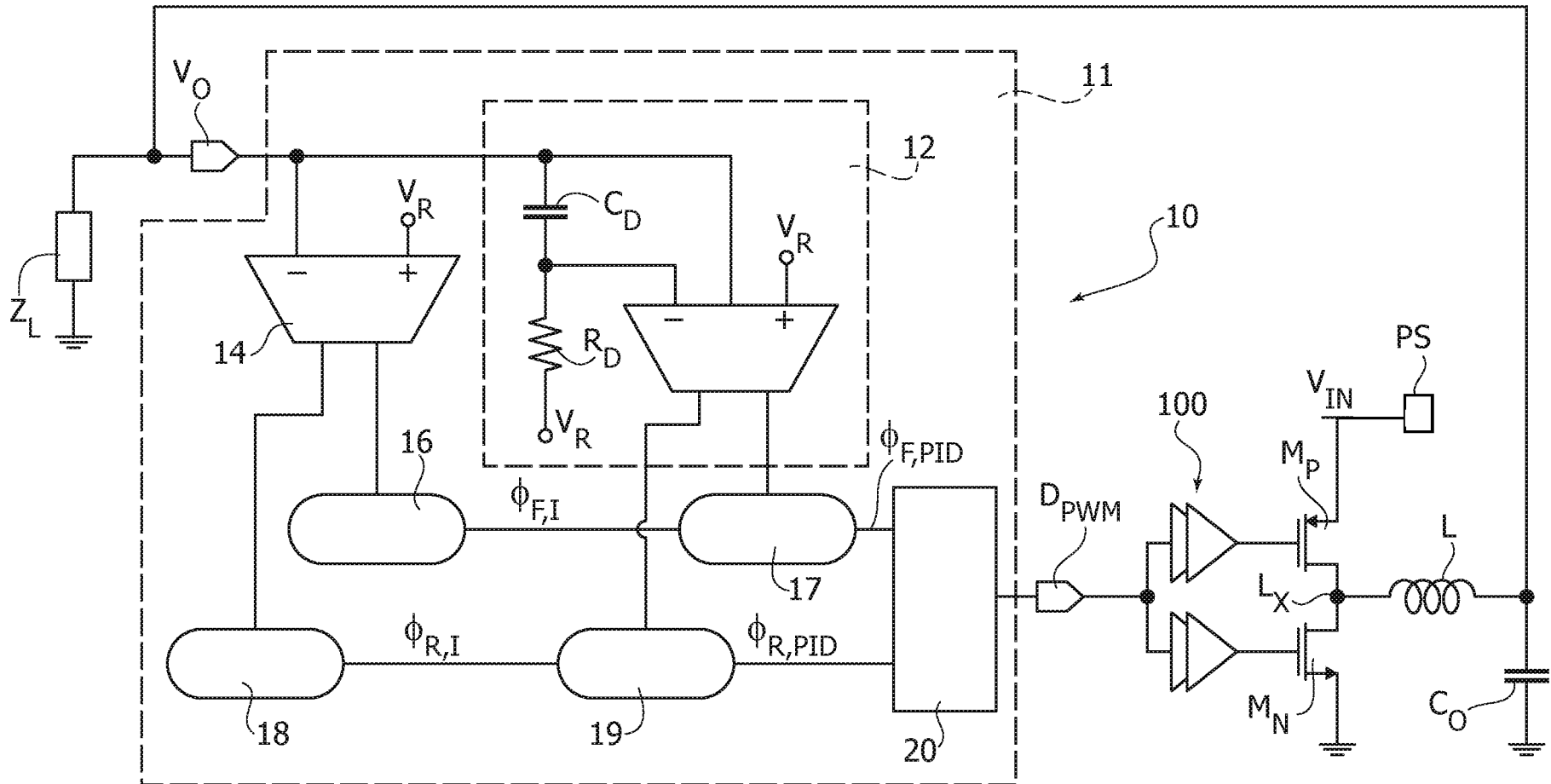


FIG. 2

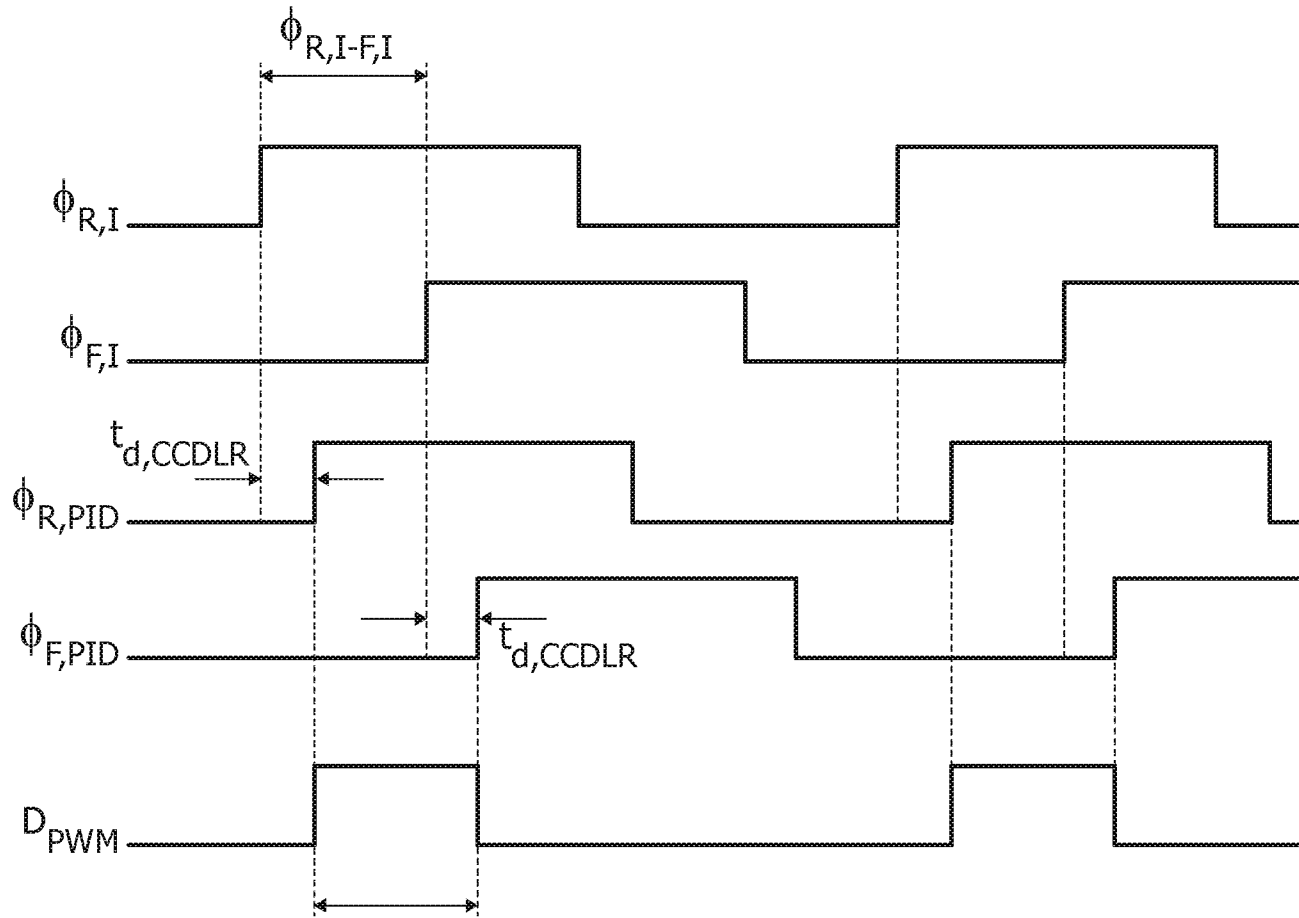


FIG. 3

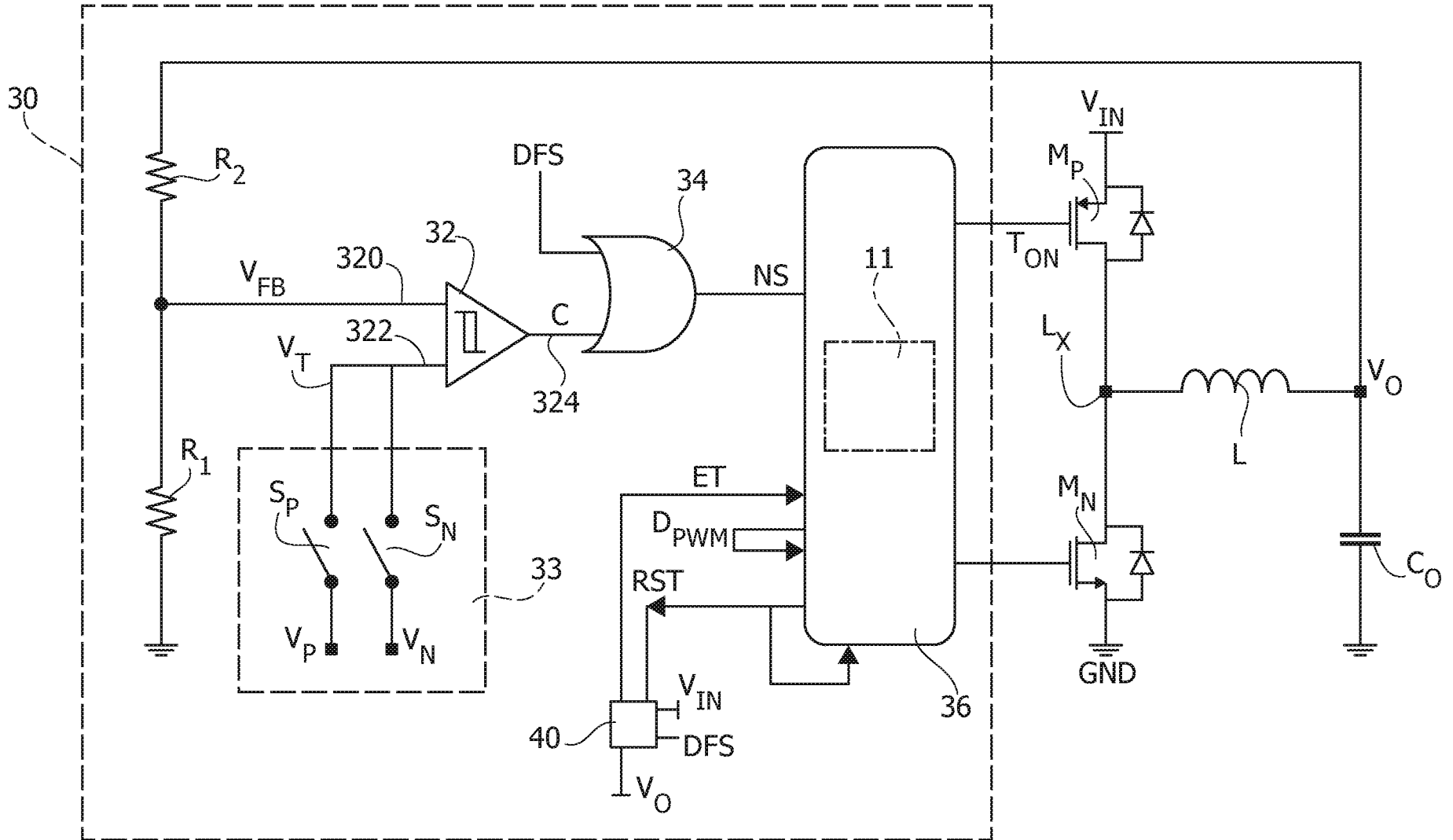


FIG. 4

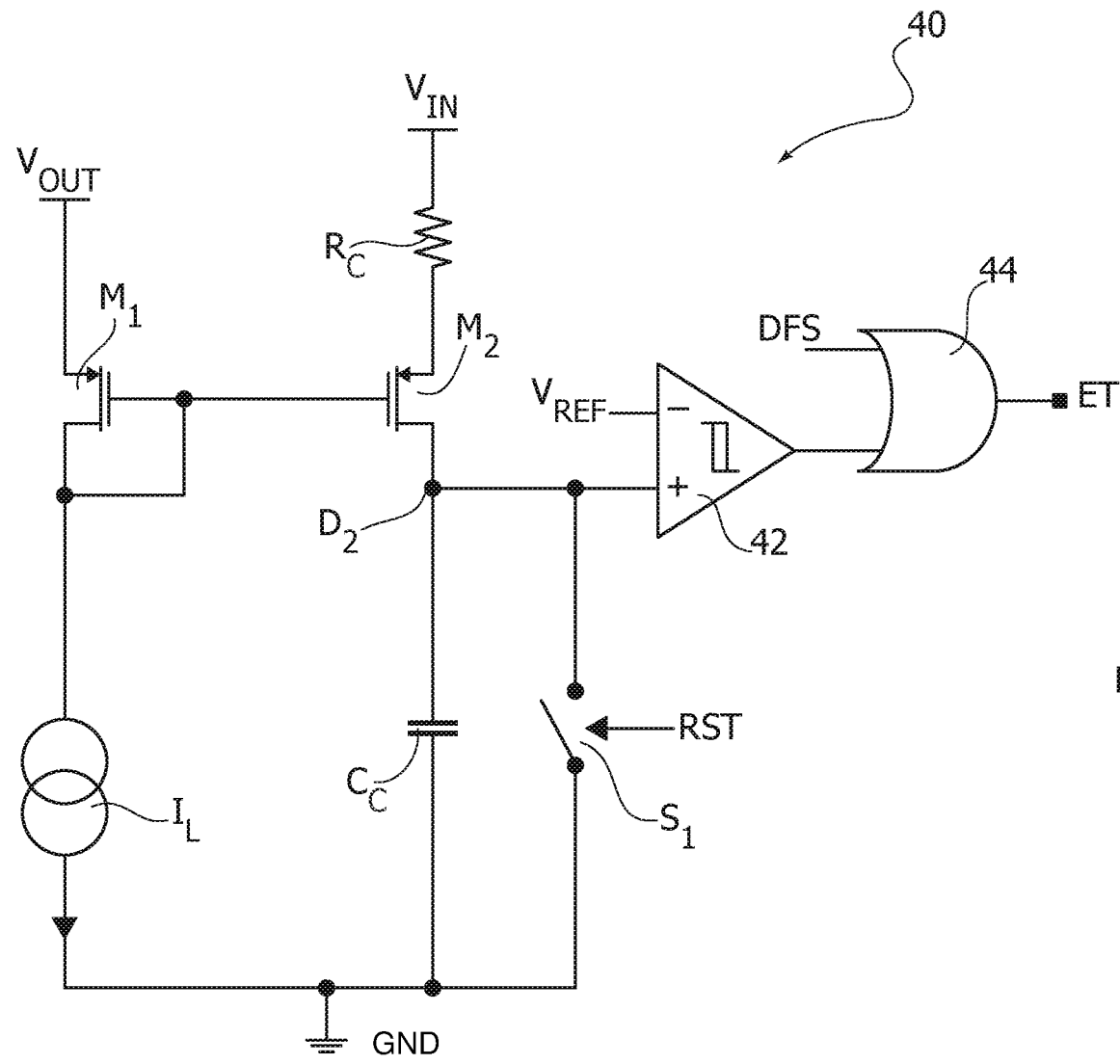


FIG. 5

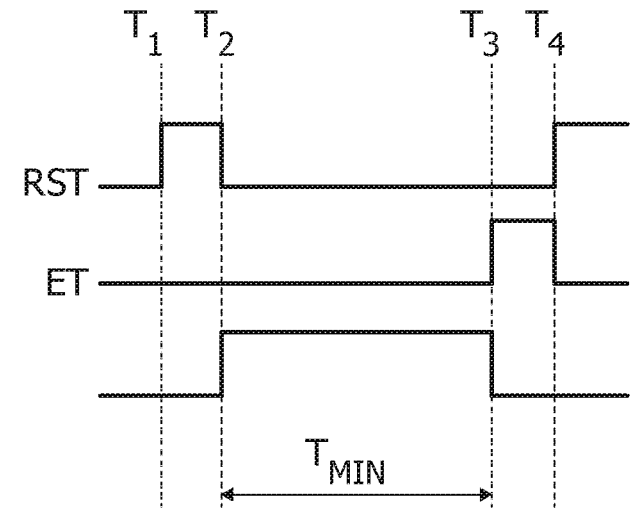


FIG. 6

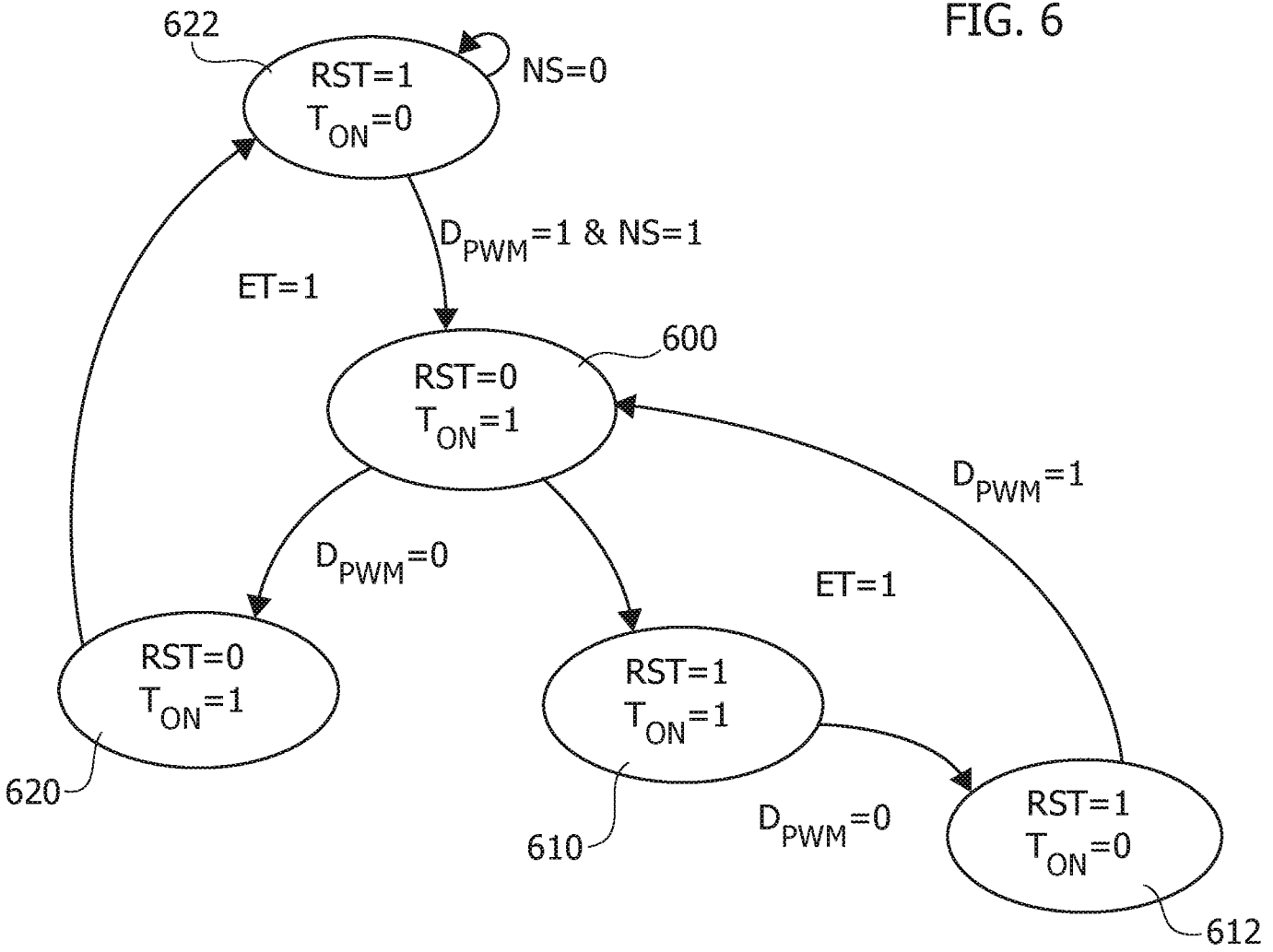


FIG. 7

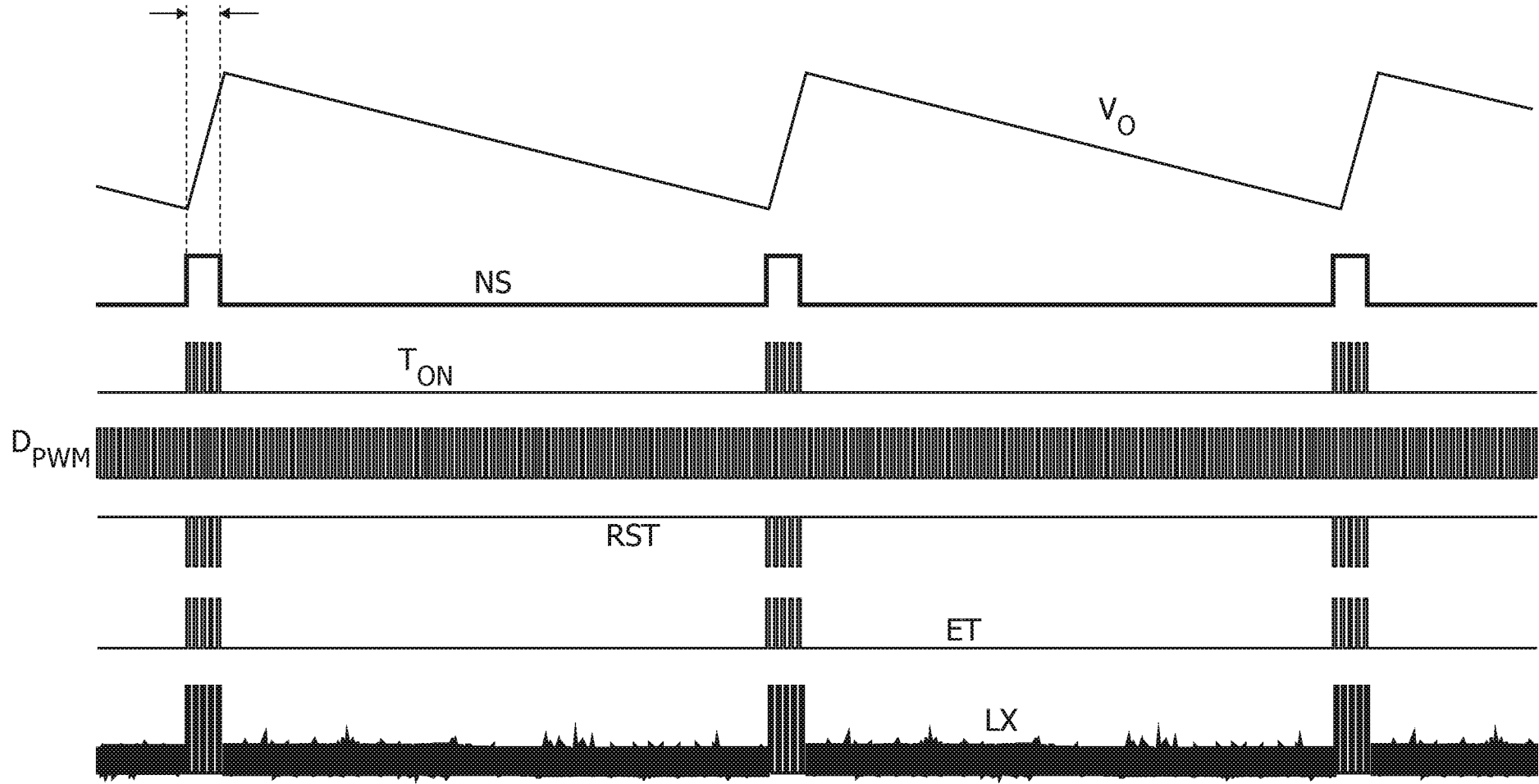


FIG. 8

