

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la
Propriété Intellectuelle
Bureau international



(10) Numéro de publication internationale
WO 2024/089351 A1

(43) Date de la publication internationale
02 mai 2024 (02.05.2024)

(51) Classification internationale des brevets :
G06F 15/163 (2006.01) G06F 21/76 (2013.01)
G06F 15/78 (2006.01)

(21) Numéro de la demande internationale :
PCT/FR2023/051655

(22) Date de dépôt international :
23 octobre 2023 (23.10.2023)

(25) Langue de dépôt : français

(26) Langue de publication : français

(30) Données relatives à la priorité :
FR2211281 28 octobre 2022 (28.10.2022) FR

(71) Déposant : SAFRAN ELECTRONICS & DEFENSE
[FR/FR] ; 2 Boulevard du Général Martial Valin, 75015
PARIS (FR).

(72) Inventeurs : CONQ, Mathieu ; Safran, c/o Centre d'Excellence Propriété Intellectuelle, Rond-point René Ravaud, Réau, 77550 MOISSY-CRAMAYEL (FR). MARTI, Nicolas ; Safran, c/o Centre d'Excellence Propriété Intellectuelle, Rond-point René Ravaud, Réau, 77550 MOISSY-CRAMAYEL (FR). RAKOTOARIVELO, Gael ; Safran, c/o Centre d'Excellence propriété Intellectuelle, Rond-point René Ravaud, Réau, 77550 MOISSY-CRAMAYEL (FR).

(74) Mandataire : LEBKIRI, Alexandre et al. ; Cabinet CAMUS LEBKIRI, 25 rue de Maubeuge, 75009 PARIS (FR).

(81) États désignés (sauf indication contraire, pour tout titre de protection nationale disponible) : AE, AG, AL, AM, AO,

(54) Title: METHOD FOR COMMUNICATING AN INDICATION OF CORRECT OPERATION BETWEEN TWO ISOLATED PROCESSORS

(54) Titre : PROCÉDÉ DE COMMUNICATION D'UNE INDICATION DE FONCTIONNEMENT CORRECT ENTRE DEUX PROCESSEUR ISOLÉS

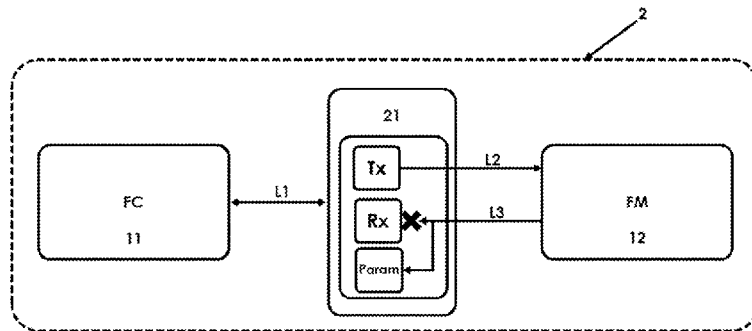


FIG. 3

(57) Abstract: One aspect of the invention relates to a communication method (3) for a first processor (12) implementing a maintenance function for a second processor (11), the second processor (11) implementing an engine control function, the first processor (12) and the second processor (11) being isolated in communication by an FPGA (21), the FPGA (21) comprising: - a bidirectional first link (L1) with the second processor (11), - a unidirectional second link (L2) to the first processor (12), - a unidirectional third link (L3) from the first processor (12), the method (3) comprising: - the FPGA (21) receiving (31) a frame sent by the first processor (12), - the FPGA (21) evaluating (33) a predefined parameter so as to obtain a value of the predefined parameter dependent on the received frame, - the second processor (11) accessing (34) the value of the predefined parameter via the FPGA (21).

(57) Abrégé : Un aspect de l'invention concerne un procédé (3) de communication d'un premier processeur (12) implémentant une fonction de maintenance d'un deuxième processeur (11), le deuxième processeur (11) implémentant une fonction de contrôle d'un moteur, le premier processeur (12) et le deuxième processeur (11) étant isolés en communication par un FPGA (21), le FPGA (21) comprenant : - une première liaison (L1) bidirectionnelle avec le deuxième processeur (11), - une deuxième liaison (L2) unidirectionnelle vers le premier processeur (12), - une troisième liaison (L3) unidirectionnelle depuis le premier processeur (12), le procédé (3) comprenant : - Réception (31), par le FPGA (21), d'une trame envoyée par le premier processeur (12), - Evaluation (33), par le FPGA (21), d'un paramètre prédéfini pour obtenir une valeur du paramètre prédéfini dépendant de la trame reçue, - Accès (34), par le deuxième



WO 2024/089351 A1

AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) États désignés (*sauf indication contraire, pour tout titre de protection régionale disponible*) : ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasienn (AM, AZ, BY, KG, KZ, RU, TJ, TM), européen (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Publiée:

— avec rapport de recherche internationale (Art. 21(3))

processeur (11), à la valeur du paramètre prédéfini, via le FPGA (21).

DESCRIPTION

TITRE : Procédé de communication d'une indication de fonctionnement correct entre deux processeur isolés

DOMAINE TECHNIQUE DE L'INVENTION

5 [0001] Le domaine technique de l'invention est celui de la cybersécurité, et en particulier la communication sécurisée entre dispositifs embarqués en aéronautique.

[0002] La présente invention concerne un procédé de communication entre deux processeurs isolés et en particulier un procédé de communication dans lequel l'un des deux processeurs isolés pour des raisons de cybersécurité a connaissance d'un état
10 de l'autre processeur malgré leur isolation.

ARRIERE-PLAN TECHNOLOGIQUE DE L'INVENTION

[0003] Classiquement, dans les avions, un moteur est contrôlé par un calculateur nommé « FADEC », de l'anglais « Full Authority Digital Engine Control » pour « Contrôle numérique de moteur à pleine autorité » en français. Le FADEC
15 s'interface entre le cockpit de l'avion et un moteur de l'avion, assure la protection électronique du moteur et réduit la charge du pilote. Il permet de surveiller, protéger et de contrôler le système propulsif de l'avion en temps réel.

[0004] Un FADEC est représenté à la Figure 1. Le FADEC 1 comprend au moins deux processeurs : un premier processeur 11 exerçant une fonction de contrôle FC du
20 moteur, et un deuxième processeur 12 exerçant une fonction de maintenance FM. Le processeur de maintenance 12 permet de maintenir, par exemple de corriger ou mettre à jour, la fonction de contrôle FC et donc le processeur de contrôle 11. Des données issues de capteurs du moteur peuvent être par exemple envoyées par le processeur de contrôle 11 au processeur de maintenance 12. Le processeur de maintenance 12
25 stocke alors les données reçues pour analyse après le vol de l'avion, par exemple par un opérateur de maintenance. Dans un tel cas, le processeur de maintenance 12 doit aussi faire savoir au processeur de contrôle 11 que le processeur de maintenance 12 est prêt à recevoir des données à stocker.

[0005] Avec l'arrivée de nouvelles normes de cybersécurité applicables aux
30 équipements aéronautiques, la fonction de maintenance FM a également le rôle de barrière de cybersécurité, isolant la fonction de contrôle FC, qui est une fonction critique, du monde extérieur. En effet, un acteur malveillant pourrait vouloir prendre le

contrôle de la fonction de contrôle FC via la fonction de maintenance FM. La fonction de barrière de la fonction de maintenance FM permet de pallier ce problème.

[0006] Cette fonction de barrière implique qu'une communication du processeur de maintenance 12 vers le processeur de contrôle 11 est coupée en mode
5 opérationnel, c'est-à-dire lorsque le processeur de contrôle 11 contrôle effectivement le moteur. La communication depuis le processeur de contrôle 11 vers le processeur de maintenance 12 doit cependant être conservée pour pouvoir enregistrer en continu les paramètres de vol. Ces conditions sont respectées grâce à l'ajout d'un FPGA. Un
10 FPGA, de l'anglais « Field-programmable gate array » pour « réseaux logiques programmables » en français, est un circuit électronique programmable simple. Le FPGA, comme représenté à la Figure 1, est un intermédiaire entre le processeur de contrôle 11 et le processeur de maintenance 12.

[0007] Les processeurs 11 et 12 et le FPGA sont reliés par des liaisons L1 à L3, qui sont par exemple, et sans s'y limiter, des liaisons de type ethernet, CAN, UART,
15 SPI, I2C ..., comme bien connu de l'homme du métier. Les liaisons L1 à L3 pourront aussi être appelées « liens ».

[0008] La Figure 1 montre un mode de réalisation du FADEC en mode maintenance. La Figure 2 montre un mode de réalisation du FADEC en mode opérationnel.

[0009] En mode opérationnel, la coupure du lien L3 permet d'empêcher un acteur malveillant de contrôler la fonction de contrôle FC du processeur de contrôle 11 via la fonction de maintenance FM du processeur de maintenance 12. La coupure est une coupure logicielle, c'est-à-dire que, via le lien L1, le processeur 11 n'a pas accès aux
20 données envoyées par le processeur 12 via le lien L3. Le lien L3 peut par exemple être fonctionnel, mais le FPGA peut alors ne pas écouter le lien et donc ne pas lire les données reçues via le lien L3. En mode opérationnel, le lien L2 est fonctionnel, pour pouvoir indiquer au processeur de maintenance 12 que la fonction de contrôle 11 mise en œuvre par le processeur de contrôle 11 fonctionne de manière correcte.

[0010] La coupure de la communication L3 depuis le processeur de maintenance
30 12 vers le processeur de contrôle 11 a une conséquence indésirable pour le processeur de contrôle 11 : en mode opérationnel, le processeur de contrôle 11 ne

sait pas si la fonction de maintenance FM mise en œuvre par le processeur de maintenance 12 fonctionne de manière correcte.

[0011] Une solution apportée dans l'art antérieur est d'ajouter un lien L4 de communication directement entre le processeur de contrôle 11 et le processeur de maintenance 12. Ce lien L4 est un lien permettant de ne faire transiter que des discrets prédéfinis, et seulement dans un sens : du processeur de maintenance 12 vers le processeur de contrôle 11. Ce lien L4 comprend par exemple un fil électrique par discret transmis, les discrets étant alors interprétés par la fonction de contrôle FC les recevant. Ces discrets prédéfinis, aussi appelés témoins de vie TV, peuvent par exemple indiquer l'état du processeur de maintenance 12. Les deux processeurs 11 et 12 sont alors toujours isolés du point de vue de la cybersécurité, car il est considéré que l'envoi de discrets erronés ou malveillants ou l'envoi de discrets prédéfinis ne perturbe pas la fonction de contrôle FC du processeur de contrôle 11. Cette solution n'est pas satisfaisante en ce qu'elle nécessite une architecture différente et des composants supplémentaires, et une programmation particulière de la fonction de contrôle FC pour apprendre à gérer ces témoins de vie TV. Cela pénalise alors la fiabilité et le volume du FADEC.

[0012] Par ailleurs, cette solution est peu robuste aux pannes simples. En effet, une défaillance de la fonction de maintenance FM peut conduire, combiné avec du bruit électrique, à un comportement similaire à un cas sans panne. La panne ne sera alors pas détectée par la fonction de contrôle FC. Il serait possible d'améliorer la détection, en utilisant un rapport cyclique et/ou une fréquence de changement du discret précise, mais cela nécessite l'implémentation d'une fonction de détection plus complexe.

[0013] Il existe donc un besoin dans un FADEC, pour la fonction de contrôle, d'avoir accès à une information concernant l'état de la fonction de maintenance en mode opérationnel sans ajout de composants spécifiques à la transmission de cette information.

RESUME DE L'INVENTION

[0014] L'invention offre une solution aux problèmes évoqués précédemment, en permettant à la fonction de contrôle d'un FADEC d'avoir accès à une information fiable

concernant l'état de la fonction de maintenance sans ajout de composants spécifiques à la transmission de cette information.

[0015] Un aspect de l'invention concerne un procédé de communication d'une indication de fonctionnement correct par un premier processeur à un deuxième processeur, le premier processeur implémentant une fonction de maintenance du deuxième processeur, le deuxième processeur implémentant une fonction de contrôle d'un moteur, le premier processeur et le deuxième processeur étant isolés en communication par un FPGA, le FPGA comprenant :

- une première liaison de communication bidirectionnelle avec le deuxième processeur,
- une deuxième liaison de communication unidirectionnelle depuis le FPGA vers le premier processeur,
- une troisième liaison de communication unidirectionnelle depuis le premier processeur vers le FPGA,

le procédé comprenant au moins les étapes de :

- Réception, par le FPGA, via la troisième liaison, d'au moins une trame envoyée par le premier processeur,
- Evaluation, par le FPGA, d'un paramètre prédéfini pour obtenir une valeur du paramètre prédéfini, la valeur du paramètre prédéfini dépendant de la trame reçue,
- accès, par le deuxième processeur, via la première liaison, à la valeur du paramètre prédéfini, via le FPGA.

[0016] Grâce à l'invention, il est possible, pour un processeur implémentant une fonction de contrôle d'un moteur, de connaître l'état d'un processeur de maintenance implémentant une fonction de maintenance. L'invention permet au processeur de contrôle d'avoir l'état du processeur de maintenance tout en maintenant la liaison entre les deux processeurs coupée par le FPGA qui les isole en communication.

[0017] On entend par « deux processeurs isolés en communication par le FPGA » le fait que chaque communication de l'un des deux processeurs destinée à l'autre des deux processeurs est forcément reçue par le FPGA puis transmise par le FPGA au processeur de destination en fonction d'une politique de communication. Grâce à cette

isolation, en mode opérationnel, le processeur de maintenance ne peut pas transmettre de communication au processeur de contrôle car le FPGA est configuré pour ne pas transmettre les communications dans ce sens.

[0018] L'invention, en ne transmettant pas les communications du processeur de maintenance destinées au processeur de contrôle, permet de maintenir cette isolation, nécessaire pour garantir un niveau de sécurité élevé. En transmettant un paramètre dépendant des communications reçues, l'invention permet de ne pas transmettre les communications reçues, donc de maintenir l'isolation, tout en informant le processeur de contrôle de l'état du processeur de maintenance, et ce sans architecture supplémentaire par rapport au système déjà existant.

[0019] Outre les caractéristiques qui viennent d'être évoquées dans le paragraphe précédent, le procédé selon un aspect de l'invention peut présenter une ou plusieurs caractéristiques complémentaires parmi les suivantes, considérées individuellement ou selon toutes les combinaisons techniquement possibles :

- 15 - le FPGA est configuré pour implémenter un mode opérationnel dans lequel les trames reçues via la troisième liaison sont supprimées par le FPGA après l'étape d'évaluation, et un mode maintenance dans lequel les trames reçues via la troisième liaison sont stockées par le FPGA après l'étape de réception, le procédé étant mis en œuvre en mode opérationnel.
- 20 - le paramètre est un compteur de nombre de trames reçues, le compteur étant incrémenté à chaque nouvelle réception de trame.
- le procédé comprend en outre, avant l'étape d'évaluation, une étape de vérification, par le FPGA, de l'intégrité de chaque trame reçue via la troisième liaison, l'étape d'évaluation n'étant réalisée, pour chaque trame reçue, que si la trame reçue est intègre.
- 25 - l'étape de vérification d'intégrité comprend l'évaluation d'un contrôle de redondance cyclique compris dans la trame ou d'une somme de contrôle comprise dans la trame.
- le moteur contrôlé par la fonction de contrôle est un moteur d'aéronef.

30 [0020] Un autre aspect de l'invention concerne un système configuré pour mettre en œuvre le procédé selon l'invention, le système comprenant :

- un moteur d'aéronef,
- un premier processeur
- un deuxième processeur,
- un FPGA comprenant :
 - 5 - une première liaison de communication bidirectionnelle avec le deuxième processeur,
 - une deuxième liaison de communication unidirectionnelle depuis le FPGA vers le premier processeur,
 - une troisième liaison de communication unidirectionnelle depuis
10 le premier processeur vers le FPGA,
- le premier processeur implémentant une fonction de maintenance du deuxième processeur, le deuxième processeur implémentant une fonction de contrôle du moteur d'aéronef, le premier processeur et le deuxième processeur étant isolés en communication par le FPGA.

15 [0021] Un autre aspect de l'invention concerne un produit programme d'ordinateur comprenant des instructions qui, lorsque le programme est exécuté par un ordinateur, conduisent celui-ci à mettre en œuvre le procédé selon l'invention.

[0022] Un autre aspect de l'invention concerne un support d'enregistrement lisible par ordinateur comprenant des instructions qui, lorsqu'elles sont exécutées par un
20 ordinateur, conduisent celui-ci à mettre en œuvre le procédé selon l'invention.

[0023] L'invention et ses différentes applications seront mieux comprises à la lecture de la description qui suit et à l'examen des figures qui l'accompagnent.

BREVE DESCRIPTION DES FIGURES

[0024] Les figures sont présentées à titre indicatif et nullement limitatif de
25 l'invention.

- La figure 1 montre une représentation schématique d'un système de l'état de l'art en mode maintenance.
- La figure 2 montre une représentation schématique d'un système de l'état de l'art en mode opérationnel.

- La figure 3 montre une représentation schématique d'un système mettant en œuvre le procédé selon l'invention.
- La figure 4 montre une représentation schématique du procédé selon l'invention.

5 DESCRIPTION DETAILLEE

[0025] Sauf précision contraire, un même élément apparaissant sur des figures différentes présente une référence unique.

[0026] La Figure 3 montre une représentation schématique d'un système selon l'invention.

10 [0027] Le système 2 selon l'invention comprend un premier processeur 12 et un deuxième processeur 11. Le premier processeur 12 implémente une fonction de maintenance du deuxième processeur 11. Il sera ainsi appelé « processeur de maintenance 12 ». Le deuxième processeur 11 implémente une fonction de contrôle d'un moteur. Il sera ainsi appelé « processeur de contrôle 11 ». Le moteur contrôlé est
15 par exemple un moteur d'aéronef. Le système 2 est alors embarqué dans l'aéronef comprenant le moteur d'aéronef.

[0028] Un processeur implémente une fonction lorsqu'il exécute des instructions stockées par une mémoire, les instructions conduisant le processeur à mettre en œuvre des étapes de procédé correspondant à la fonction à implémenter.

20 [0029] Le processeur de contrôle 11 et le processeur de maintenance 12 sont séparés par un FPGA 21, qui isole les deux processeurs 11 et 12 en communication, c'est-à-dire que les deux processeurs 11 et 12 ne peuvent communiquer que via le FPGA 21.

[0030] Le FPGA 21 permet aux deux processeurs 11 et 12 de communiquer via
25 les liaisons de communication L1 à L3, comme dans l'art antérieur. Le FPGA 21 est alors configuré pour transmettre, ou non, les trames d'un processeur à destination de l'autre processeur, réalisant ainsi la fonction d'isolation des processeurs 11 et 12 en communication.

[0031] Le système 2 comprend :

- 30 - une première liaison de communication bidirectionnelle L1 entre le FPGA 21 et le processeur de contrôle 11,

- une deuxième liaison de communication unidirectionnelle L2 depuis le FPGA 21 vers le processeur de maintenance 12,
- une troisième liaison de communication unidirectionnelle L3 depuis le processeur de maintenance 12 vers le FPGA 21.

5 [0032] Le FPGA 21 comprend une fonction de réception de données Rx via la troisième liaison L3 et une fonction de transmissions de données Tx via la deuxième liaison L2.

[0033] Le système 2 peut fonctionner en mode opérationnel et en mode maintenance.

10 [0034] En mode maintenance, tous les liens de communication L1 à L3 sont fonctionnels, c'est-à-dire qu'ils peuvent permettre le transit d'une communication.

[0035] En mode opérationnel, le lien L3 est coupé par le FPGA, cette coupure n'étant pas physique mais logicielle. La coupure est une coupure logicielle, c'est-à-dire que, via le lien L1, le processeur 11 n'a pas accès aux données envoyées par le processeur 12 via le lien L3. Le lien L3 peut par exemple être en état physique de faire transiter des communications, mais le FPGA peut alors ne pas lire sur le lien et donc ne pas lire les données reçues via le lien L3. En mode opérationnel, le lien L2 est fonctionnel, pour pouvoir indiquer au processeur de maintenance 12 que la fonction de contrôle 11 mise en œuvre par le processeur de contrôle 11 fonctionne de manière
15 correcte. La fonction de réception de données Rx est arrêtée en mode opérationnel.

20 [0036] On entend par « fonctionnement correct » ou « fonctionne de manière correcte » un fonctionnement « normal » ou « attendu », c'est-à-dire respectant un standard de fonctionnement.

[0037] Le changement de mode est réalisé par pilotage du FPGA 21, qui
25 implémente pour cela une fonction de changement de mode du système 2. Le pilotage d'un mode vers l'autre parmi les modes opérationnel et de maintenance du FPGA 21 est mis en œuvre par le processeur de contrôle 11.

[0038] Le procédé selon l'invention est représenté à la Figure 4 et comprend au moins trois étapes. Le procédé selon l'invention est mis en œuvre par le système 2.

30 [0039] Le procédé 3 selon l'invention permet au processeur de contrôle 11 d'avoir accès à un indicateur de fonctionnement du processeur de maintenance 12 en mode

opérationnel. Selon l'invention, l'indicateur de fonctionnement du processeur de maintenance 12 est créé par le FPGA 21, à partir de trames envoyées par le processeur de maintenance 12.

[0040] Pour cela, le procédé 3 selon l'invention comprend une première étape 31
5 de réception, par le FPGA 21, d'au moins une trame envoyée par le processeur de maintenance 12. Cette trame est envoyée par le processeur de maintenance 12 via la troisième liaison unidirectionnelle L3. Les liaisons de communication L1 à L3 respectent un protocole de communication, par exemple choisi parmi Ethernet, CAN, UART, SPI, I2C etc. La trame envoyée par le processeur de maintenance 12 respecte
10 le même protocole. La trame est préférentiellement une trame prédéfinie, c'est-à-dire une trame connue du processeur de maintenance 12 et du FPGA 21. Par exemple, une trame prédéfinie a une structure particulière, connue de l'émetteur et du récepteur. Une trame prédéfinie n'a pas forcément un contenu prédéfini. Cette étape 31 peut comprendre la réception de plusieurs trames simultanées.

[0041] A réception de la trame, le FPGA 21 évalue un paramètre prédéfini à une
15 étape 33. Le paramètre prédéfini prend, après l'évaluation, une valeur dépendant de la trame reçue. Lorsque plusieurs trames sont reçues, le paramètre prédéfini prend une valeur dépendant des plusieurs trames reçues.

[0042] Le paramètre prédéfini est préférentiellement un compteur de trames
20 reçues. Ainsi, le compteur de trames reçues par le FPGA 21 a une valeur correspondant au nombre de trames reçues. Un autre paramètre prédéfini possible est par exemple une moyenne de nombre de trames par intervalle de temps prédéfini, ou tout autre paramètre reflétant l'état du processeur de maintenance 12.

[0043] Le paramètre prédéfini est une indication de fonctionnement correct du
25 processeur de maintenance 12 en ce qu'il reflète le fonctionnement attendu du processeur de maintenance 12. Lorsque le paramètre prédéfini est un compteur de trames reçues, le processeur de maintenance 12 a un fonctionnement correct lorsqu'il envoie un nombre de trame prédéfini, ou un nombre de trames prédéfini par intervalle de temps. Le compteur de trames peut permettre au processeur de contrôle 11 de
30 savoir si le processeur de maintenance 12 est toujours en fonctionnement correct si le processeur de contrôle 12 reçoit un compteur incrémenté régulièrement, par exemple tous les intervalles de temps prédéfinis.

[0044] En mode opérationnel, après l'étape d'évaluation 33, les trames reçues à l'étape 31 sont supprimées par le FPGA 21. Ainsi, le processeur de contrôle 11 n'a pas accès aux trames reçues, et aucune communication du processeur de maintenance 12 vers le processeur de contrôle 11 n'a lieu ni n'est possible.

5 [0045] En mode maintenance, les trames reçues par le FPGA 21 sont stockées par le FPGA 21, par exemple dans une mémoire externe au FPGA 21.

[0046] Le paramètre prédéfini est ensuite stocké par le FPGA 21, par exemple dans une mémoire externe accessible par le FPGA 21.

[0047] L'étape 34 comprend l'accès, par le processeur de contrôle 11, au paramètre prédéfini, c'est-à-dire à une indication de fonctionnement correct du procédé de maintenance. En fonction de la valeur de l'indicateur, ou en fonction d'une variation de sa valeur, le processeur de contrôle 11 sait alors si le processeur de maintenance 12 est dans un fonctionnement correct ou dans un état de fonctionnement incorrect. Le processeur de contrôle 11 est capable de prendre cette
10 décision par configuration du processeur de contrôle 11. Pour que le processeur de contrôle 11 ait accès au paramètre prédéfini, le FPGA 21 peut émettre, dans une étape 34, le paramètre stocké vers le processeur de contrôle 11 via la liaison de communication bidirectionnelle L1. Dans une variante, le paramètre prédéfini peut être stocké dans une mémoire, par exemple dans un registre compris dans la mémoire, et
20 le processeur de contrôle 11 émet une requête via la liaison bidirectionnelle L1 au FPGA21, d'accès à la mémoire ou d'accès au registre compris dans la mémoire, pour accéder au paramètre prédéfini. Ainsi, le processeur de contrôle 11 a accès à une information fiable concernant l'état de fonctionnement du processeur de maintenance 12, sans compromettre l'isolation en communication entre les deux processeurs 11 et
25 12, maintenant ainsi un haut niveau de sécurité du système 2.

[0048] Le paramètre prédéfini peut aussi dépendre d'une vérification d'intégrité mise en œuvre par le FPGA 21. Cette vérification est mise en œuvre à une étape de vérification d'intégrité 32, avant l'évaluation de la valeur du paramètre prédéfini à l'étape 33. En fonction du résultat de la vérification d'intégrité, le paramètre prédéfini est alors évalué ou non par rapport à la ou aux trame(s) reçue(s) ayant fait l'objet de
30 la vérification d'intégrité.

[0049] L'étape de vérification d'intégrité 32 comprend la mise en œuvre de l'évaluation d'un contrôle de redondance cyclique compris dans chaque trame reçue à l'étape 31 ou d'une somme de contrôle comprise dans chaque trame reçue à l'étape 31. Ainsi, le FPGA 21 sait si chaque trame reçue est intègre et a donc bien été envoyée par le processeur de maintenance 12. L'ajout d'un contrôle d'intégrité à chaque trame par le processeur de maintenance 12 et sa vérification permettent de s'assurer que le processeur de contrôle 11 a accès à une information fiable de fonctionnement correct du processeur de maintenance 12. Un autre avantage est que le FPGA 21 nécessite très peu d'adaptation, et seulement des adaptations logicielles, pour pouvoir vérifier l'intégrité des trames reçues, au contraire de l'état de l'art qui impose de nombreuses modifications du système.

[0050] Si la vérification 32 de l'intégrité de la trame reçue à l'étape 31 est positive, le paramètre prédéfini est évalué à une étape 33 et la trame est supprimée par le FPGA 21. Ainsi, le processeur de contrôle 11 n'a pas accès à la trame reçue mais a bien accès à un paramètre prédéfini dépendant de la trame reçue et indiquant un fonctionnement correct du processeur de maintenance 12. On entend par « l'intégrité de la trame reçue à l'étape 31 est positive » le fait que la trame est intègre, c'est-à-dire que le contrôle de redondance cyclique ou la somme de contrôle compris dans la trame reçue peut être retrouvé(e) à partir d'un calcul prédéfini réalisé à partir de la trame. Dans le cas d'une vérification d'intégrité positive, le procédé est alors poursuivi jusqu'à l'étape 34.

[0051] Si la vérification 32 de l'intégrité de la trame reçue à l'étape 31 est négative, le paramètre prédéfini n'est pas évalué à une étape 33 et la trame est supprimée par le FPGA 21. Ainsi, le processeur de contrôle 11 n'a pas accès à la trame reçue et le paramètre prédéfini n'est pas évalué car la trame reçue n'était pas intègre. On entend par « l'intégrité de la trame reçue à l'étape 31 est négative » le fait que la trame n'est pas intègre, c'est-à-dire que le contrôle de redondance cyclique ou la somme de contrôle compris dans la trame reçue ne peut être retrouvé(e) à partir d'un calcul prédéfini réalisé à partir de la trame. Dans le cas d'une vérification d'intégrité négative, le procédé est alors stoppé jusqu'à réception d'une nouvelle trame à une étape 31.

[0052] Le procédé 3 selon l'invention est répété, durant le mode opérationnel, à chaque nouvelle réception d'une ou plusieurs trames envoyée(s) par le processeur de maintenance 12 via la liaison unidirectionnelle L3. Pendant toute la durée du mode

opérationnel, le processeur de contrôle 11 a alors connaissance de l'état de fonctionnement du processeur de maintenance 12, sans compromettre le prérequis d'isolation en communication des deux processeurs 11 et 12.

REVENDEICATIONS

[Revendication 1] Procédé (3) de communication d'une indication de fonctionnement correct par un premier processeur (12) à un deuxième processeur (11), le premier processeur (12) implémentant une fonction de maintenance du deuxième processeur (11), le deuxième processeur (11) implémentant une fonction de contrôle d'un moteur d'aéronef, le premier processeur (12) et le deuxième processeur (11) étant isolés en communication par un FPGA (21), le FPGA (21) comprenant :

- une première liaison (L1) de communication bidirectionnelle avec le deuxième processeur (11),
- une deuxième liaison (L2) de communication unidirectionnelle depuis le FPGA (21) vers le premier processeur (12),
- une troisième liaison (L3) de communication unidirectionnelle depuis le premier processeur (12) vers le FPGA (21),

le procédé (3) comprenant au moins les étapes de :

- Réception (31), par le FPGA (21), via la troisième liaison (L3), d'au moins une trame envoyée par le premier processeur (12),
- Evaluation (33), par le FPGA (21), d'un paramètre prédéfini pour obtenir une valeur du paramètre prédéfini, la valeur du paramètre prédéfini dépendant de la trame reçue,
- Accès (34), par le deuxième processeur (11), via la première liaison (L1), à la valeur du paramètre prédéfini, via le FPGA (21).

[Revendication 2] Procédé (3) selon la revendication précédente selon lequel le FPGA (21) est configuré pour implémenter un mode opérationnel dans lequel les trames reçues via la troisième liaison (L3) sont supprimées par le FPGA (21) après l'étape d'évaluation, et un mode maintenance dans lequel les trames reçues via la troisième liaison (L3) sont stockées par le FPGA (21) après l'étape de réception (31), le procédé (3) étant mis en œuvre en mode opérationnel.

[Revendication 3] Procédé (3) selon l'une des revendications précédentes selon lequel le paramètre est un compteur de nombre de trames reçues, le compteur étant incrémenté à chaque nouvelle réception de trame.

[Revendication 4] Procédé (3) selon l'une des revendications précédentes comprenant en outre, avant l'étape d'évaluation (33), une étape de vérification (32), par le FPGA (21), de l'intégrité de chaque trame reçue via la troisième liaison (L3), l'étape d'évaluation (33) n'étant réalisée, pour chaque trame reçue, que si la trame
5 reçue est intègre.

[Revendication 5] Procédé (3) selon la revendication précédente selon lequel l'étape de vérification d'intégrité (32) comprend une évaluation d'un contrôle de redondance cyclique compris dans la trame ou d'une somme de contrôle comprise dans la trame.

[Revendication 6] Procédé (3) selon l'une des revendications précédentes selon
10 lequel le moteur contrôlé par la fonction de contrôle est un moteur d'aéronef.

[Revendication 7] Système (2) configuré pour mettre en œuvre le procédé (3) selon l'une quelconque des revendications précédentes, le système (2) comprenant :

- un moteur d'aéronef,
- un premier processeur (12),
- 15 – un deuxième processeur (11),
- un FPGA (21) comprenant :
 - une première liaison (L1) de communication bidirectionnelle avec le deuxième processeur (11),
 - une deuxième liaison (L2) de communication unidirectionnelle
20 depuis le FPGA (21) vers le premier processeur (12),
 - une troisième liaison (L3) de communication unidirectionnelle depuis le premier processeur (12) vers le FPGA (21),

le premier processeur (12) implémentant une fonction de maintenance du deuxième processeur (11), le deuxième processeur (11) implémentant une fonction de contrôle
25 du moteur d'aéronef, le premier processeur (12) et le deuxième processeur (11) étant isolés en communication par le FPGA (21).

[Revendication 8] Produit programme d'ordinateur comprenant des instructions qui, lorsque le programme est exécuté par un ordinateur, conduisent celui-ci à mettre en œuvre le procédé (3) selon l'une quelconque des revendications 1 à 6.

[Revendication 9] Support d'enregistrement lisible par ordinateur comprenant des instructions qui, lorsqu'elles sont exécutées par un ordinateur, conduisent celui-ci à mettre en œuvre le procédé (3) selon l'une quelconque des revendications 1 à 6.

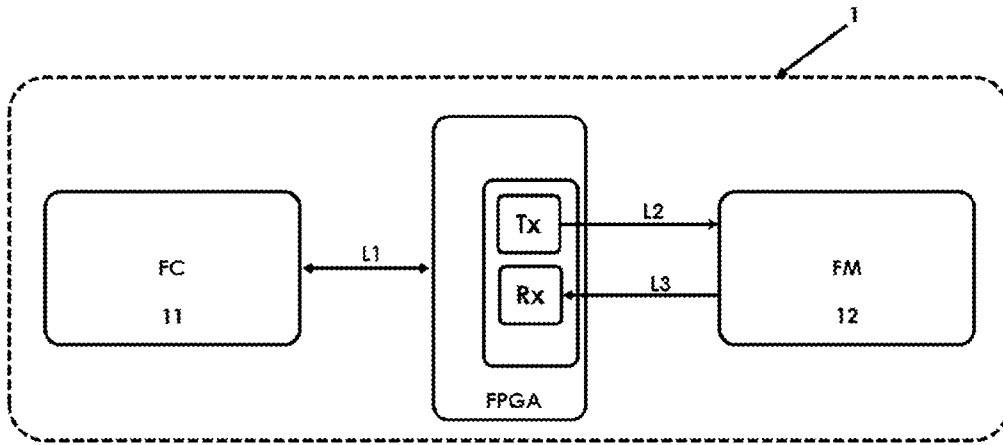


FIG. 1

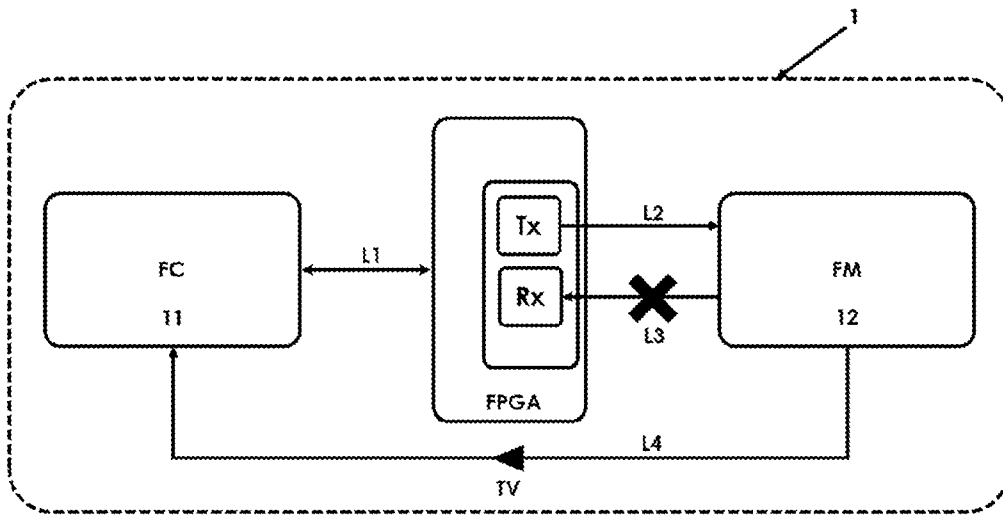


FIG. 2

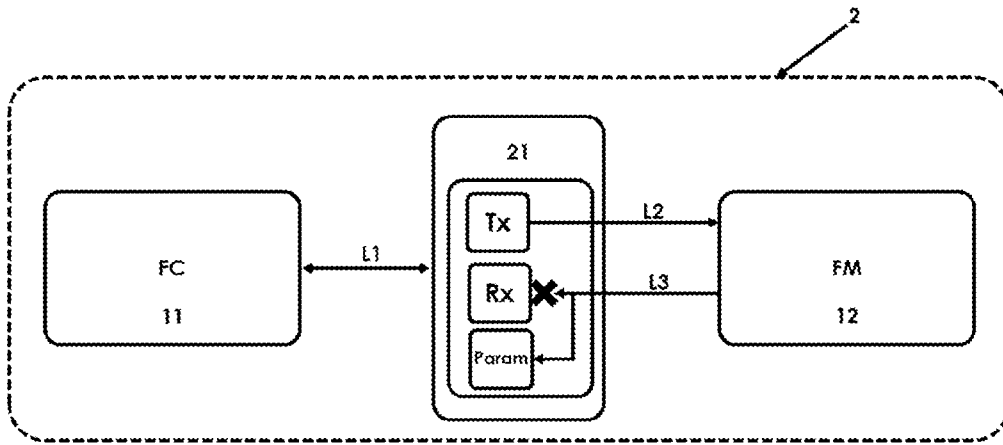


FIG. 3

3



FIG. 4

INTERNATIONAL SEARCH REPORT

International application No.

PCT/FR2023/051655

A. CLASSIFICATION OF SUBJECT MATTER <i>G06F 15/163</i> (2006.01)i; <i>G06F 15/78</i> (2006.01)i; <i>G06F 21/76</i> (2013.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G06F Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2017374027 A1 (FISCHER PETER [US] ET AL) 28 December 2017 (2017-12-28) paragraph [0008] - paragraph [0015]; figure 1 paragraph [0028] - paragraph [0050]	1-9
A	US 2020159941 A1 (SKERTIC RICHARD JOSEPH [US] ET AL) 21 May 2020 (2020-05-21) figures 2-4 paragraph [0001] - paragraph [0006] paragraph [0021] - paragraph [0027]	1-9
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>		
Date of the actual completion of the international search 23 January 2024		Date of mailing of the international search report 12 February 2024
Name and mailing address of the ISA/EP European Patent Office p.b. 5818, Patentlaan 2, 2280 HV Rijswijk Netherlands Telephone No. (+31-70)340-2040 Facsimile No. (+31-70)340-3016		Authorized officer De Poy, Iker Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/FR2023/051655

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
US	2017374027	A1	28 December 2017	NONE	
US	2020159941	A1	21 May 2020	NONE	

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°
PCT/FR2023/051655

A. CLASSEMENT DE L'OBJET DE LA DEMANDE INV. G06F15/163 G06F15/78 G06F21/76 ADD.		
Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB		
B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE		
Documentation minimale consultée (système de classification suivi des symboles de classement) G06F		
Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche		
Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	US 2017/374027 A1 (FISCHER PETER [US] ET AL) 28 décembre 2017 (2017-12-28) alinéa [0008] – alinéa [0015]; figure 1 alinéa [0028] – alinéa [0050] -----	1-9
A	US 2020/159941 A1 (SKERTIC RICHARD JOSEPH [US] ET AL) 21 mai 2020 (2020-05-21) figures 2-4 alinéa [0001] – alinéa [0006] alinéa [0021] – alinéa [0027] -----	1-9
<input type="checkbox"/> Voir la suite du cadre C pour la fin de la liste des documents <input checked="" type="checkbox"/> Les documents de familles de brevets sont indiqués en annexe		
* Catégories spéciales de documents cités:		
"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent "E" document antérieur, mais publié à la date de dépôt international ou après cette date "L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée) "O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens "P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée	"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention "X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément "Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier "&" document qui fait partie de la même famille de brevets	
Date à laquelle la recherche internationale a été effectivement achevée	Date d'expédition du présent rapport de recherche internationale	
23 janvier 2024	12/02/2024	
Nom et adresse postale de l'administration chargée de la recherche internationale Office Européen des Brevets, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Fonctionnaire autorisé De Poy, Iker	

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale n°

PCT/FR2023/051655

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2017374027	A1	28-12-2017	AUCUN

US 2020159941	A1	21-05-2020	AUCUN
