

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94127497

※申請日期：94.8.12

※IPC 分類：

G06F 13/16. G11C 29/00  
(2006.01) (2006.01)

一、發明名稱：(中文/英文)

菊鏈連接的記憶體拓樸中之記憶體命令延遲平衡

MEMORY COMMAND DELAY BALANCING IN A DAISY-CHAINED MEMORY  
TOPOLOGY

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

麥克隆科技公司 / MICRON TECHNOLOGY, INC.

代表人：(中文/英文)

麥可 L 林屈 / LYNCH, MICHAEL L.

住居所或營業所地址：(中文/英文)

美國愛達華州 83707 波思市，南聯邦路 8000 號

8000 South Federal Way, Boise, Idaho 83707, U.S.A.

國籍：(中文/英文)

美國 / USA

三、發明人：(共 1 人)

姓名：(中文/英文)

道格拉斯 亞倫 拉森 / LARSON, DOUGLAS ALAN

國籍：(中文/英文)

美國 / USA

四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，  
其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

美國、2004. 8. 19、10/922,299

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本案的揭露內容大致係有關於記憶體系統，並且尤其有關於菊鏈連接的記憶裝置中之命令延遲平衡。

### 【先前技術】

記憶裝置係廣泛運用於許多電子產品與電腦中以儲存資料。記憶裝置是一種包含一些記憶體晶片的半導體電子裝置，每個晶片係儲存全部資料中之一部份的資料。晶片本身係包含大量的記憶單元，其中每個單元係儲存一個位元的資料。記憶體晶片可以是包含許多此種記憶體晶片的DIMM(雙直列記憶體模組)或是PCB(印刷電路板)之一部分。在以下的討論中，這些術語“記憶裝置”、“記憶體模組”以及“DIMM”係同義地被使用。處理器或記憶體控制器都可以和系統中的記憶裝置通訊，以執行記憶體的讀取/寫入以及測試動作。第1圖係描繪一種習知技術的配置10，其係顯示在一個記憶體控制器11以及複數個記憶裝置(DIMM)12、18與24之間、在平行的記憶體匯流排30(亦以“線腳(stub)匯流排”著稱)之上的信號通訊。為了便於討論及描述，總共N個的記憶裝置中只有三個記憶裝置(DIMM 0(12)、DIMM 1(18)以及DIMM N-1(24))被展示在第1圖中，該些記憶裝置係被記憶體控制器11所控制，並且也和記憶體控制器11通訊。可觀察到的是，同樣為了便於討論，在第1圖中的每個DIMM都被展示為包含同樣為N個的DRAM(動態隨機存取記憶體)記憶體晶片。例如，記憶體模

組 12 係包含具有 N 個 DRAM 晶片 16 的 DRAM 記憶體庫 14，而記憶體模組 18 係包含具有 N 個 DRAM 晶片 22 的記憶體庫 20、等等。然而，顯然在第 1 圖中的每個 DIMM 都可包含不同數目個記憶體晶片或 DRAM。在此注意到的是，這些術語“DRAM 晶片”、“記憶體晶片”、“資料儲存及擷取元件”以及“記憶體元件”係在以下同義地被使用。

每個記憶體晶片 16、22、28 都可包含複數個接腳(未顯示)，其係位在晶片的外側，以用於透過該晶片位於其上的 DIMM 來電連接該晶片至其它的系統裝置。那些接腳(未顯示)中的某些接腳可以構成記憶體位址接腳或位址匯流排、資料接腳或資料匯流排以及控制接腳或控制匯流排。記憶體晶片(例如，其中一個晶片 16)之額外的結構上之細節在此是不相關的，因而不加以提出。該項技術中具有通常技能者將容易體認到，第 1 圖的記憶體晶片 16、22 與 28 並非打算詳細描繪典型的記憶體晶片之所有的特點。許多週邊裝置或電路(未顯示)通常都可以和對應的記憶體晶片一起設置在 DIMM 上，用於寫入資料至晶片中的記憶單元(未顯示)並且從該記憶單元讀取資料。再者，第 1 圖中的 DIMM(例如，DIMM 12、18 與 24)之結構上的細節也同樣只是為了方便描述起見，而未被展示出來。實際上，每個 DIMM 都可經由適當的 DIMM 連接器(未顯示)來連接至平行匯流排 30，以容許信號流通在 DIMM 與控制器 11 之間。

在第 1 圖之平行匯流排的配置 10 中，記憶體控制器 11 係在該平行匯流排 30 之位址/控制匯流排部份(未顯示)上

傳送位址及/或控制信號，並且在該平行匯流排 30 之資料匯流排部份(未顯示)上傳輸資料往返於 DIMM。該平行匯流排 30 是包含位址與控制線(兩者均為單向的)以及資料線(此係為雙向的)的信號傳輸匯流排，部分或全部的線係連接至系統中的每個 DIMM，並且其係被用來執行在記憶體控制器 11 以及個別的 DIMM 12、18、24 之間的記憶體資料傳輸動作(亦即，資料發送及接收的動作)。記憶體控制器 11 可決定記憶體模組(或是 DIMM)的動作模式。來自記憶體控制器 11 的某些控制信號(未顯示)可包含一晶片選擇(CS\_N)信號、一列位址選擇(RAS\_N)信號、一行位址選擇(CAS\_N)信號、一寫入致能(WE\_N)信號、列/行位址(A)、一資料遮罩(DM)信號、一終端控制(ODT\_N)信號、以及一組單端或是差動資料選通(RDQS/RDQS#/DQS/DQS#)、等等。這些控制信號係在平行匯流排 30 之控制線或控制匯流排(未顯示)部份上被傳送，以在適當的記憶體晶片(DRAM)中之所選擇的記憶單元處執行資料傳輸動作。位址、資料及控制匯流排的“寬度”(亦即，線的數目)可以隨著不同的記憶體配置而不同。

可觀察到的是，在第 1 圖之平行匯流排的配置 10 中，每個記憶體模組 12、18、24 係經由該平行匯流排 30 直接連接至記憶體控制器 11。換言之，記憶體控制器 11 係平行連接至每個記憶體模組(DIMM)。因此，來自控制器 11 的每個信號輸出係平行到達每個記憶體模組。儘管此種配置能夠較易於實施且可以提供“較寬的”記憶體匯流排，但

是所付出的一項代價是在匯流排 30 上能夠實施信號發送之速度受到限制。在平行匯流排 30 之現代的做法中，信號發送的速度之上限大約在 800MHz。再者，在平行匯流排的配置中，在最慢的 DIMM 中所遭遇到的任何延遲都會主宰資料傳輸動作中的整體延遲。為了增快記憶體資料傳輸動作之信號發送的速度到 GHz 的領域，以助於現代更快速的記憶體晶片及控制器之處理能力，平行匯流排的配置可能是不適合的。

第 2 圖係描繪一種替代的配置 32，其中記憶體模組 (DIMM) 34、40 與 44 係以菊鏈連接的配置連接至一個記憶體控制器 33。如同先前所述，為了簡化的緣故，(總共 N 個模組中)只有三個記憶體模組被描繪在第 2 圖中。同樣是為了清楚起見，在第 2 圖中，用於一個記憶體模組的連接器 (DIMM 連接器) 係以相同於對應的記憶體模組的參考圖號來指明。類似於第 1 圖的實施例，在第 2 圖中的每個 DIMM 係包含具有複數個記憶體晶片或 DRAM 晶片於其中之對應的 DRAM 記憶體庫。例如，DIMM 0(34) 係被展示為包含一具有 N 個 DRAM 晶片 38 的記憶體庫 36。為了清楚起見，第 2 圖中之其它的記憶體庫 (例如，記憶體庫 42 與 46) 並未展示其對應的記憶體晶片。

在第 2 圖之菊鏈連接的配置 32 中，每個 DIMM 連接器 34、40、44 都具有一對“下行(downlink)”端子以及一對“上行(uplink)”端子。每對下行端子係包含一個下行-輸入端子 (DL\_In) 以及一個下行-輸出端子 (DL\_Out)。類似地，每

對上行端子係包含一個上行-輸入端子(UL\_In)以及一個上行-輸出端子(UL\_Out)。相對於第 1 圖中所示之平行的機構，該菊鏈連接的配置 32 是串列信號的傳輸機構。因此，記憶體模組係在下行通道(由該配置 32 中之所有的下行端子 48A-48C 所構成)上接收一個來自記憶體控制器 33 的信號，而一個傳送至記憶體控制器 33 的信號係在該上行通道(包含該配置 32 中之所有的上行端子 50A-50C)上被傳送。信號係經由信號“跳躍(hop)”，從一個記憶體模組串列地傳遞至另一個記憶體模組。因此，例如，從記憶體控制器 33 廣播至所有的 DIMM 34、40、44 之命令首先係被接收在 DIMM 0(34)的 DL\_In 端子 48A 處，然後經由其 DL\_Out 端子 48B 向前傳送命令至 DIMM 1(40)，該 DL\_Out 端子 48B 也連接至 DIMM 40 的 DL\_In 端子。此係完成一次命令“跳躍”。在第二次命令“跳躍”之後，來自記憶體控制器 33 的命令係出現在記憶體模組 40 的 DL\_Out 端子 48C 處。因此，在總共  $N-1$  次“跳躍”之下，該命令將會到達在該記憶體通道(由所有以菊鏈連接的配置 32 連接至記憶體控制器 33 的記憶體模組所組成)中之最後一個或是最遠的 DIMM(在此為 DIMM 44)。類似地，來自最後一個或是最遠的 DIMM 44 對於命令之響應可能需要  $N-1$  次“跳躍”來到達記憶體控制器 33。在此注意到的是，該術語“命令”在此係被使用來參照從記憶體控制器 33(例如，在資料寫入的動作期間、或是在記憶體模組測試的動作期間)傳送至一或多個在系統 32 中的 DIMM 之位址、資料及/或控制信號。在另一方面，

該術語“響應”在此係被使用來參照被傳送至記憶體控制器 33 並且藉由 DIMM 響應於從記憶體控制器 33 所接收到的命令而產生的一個資料信號或是一個狀態信號(例如，在資料讀取的動作期間、或是在記憶體測試的動作期間)。

如同從第 2 圖中可見到的，在一種菊鏈連接的記憶體配置中，記憶體控制器 33 僅直接連接到其中一個 DIMM 模組(亦即，第 2 圖中的記憶體模組 34)，此係相對於如同在第 1 圖之平行匯流排配置的記憶體控制器是連接到所有的記憶體模組。因此，串列的菊鏈連接之一項缺點是在其中一個記憶體模組之缺陷或故障可能會妨礙來自記憶體控制器 33 的命令進一步“向下游的”傳遞。然而，儘管有此項缺點，菊鏈連接的配置 32 係提供相當重要的好處，其例如是包含非常高速的信號傳遞(在數個 GHz 的範圍內)以及對於個別的 DIMM 之資料傳輸動作有更大的控制能力。因此，在菊鏈連接的配置 32 中之信號發送可以顯著地較快於在平行的配置 10 中之信號發送。如同先前所注意到的，在菊鏈連接的配置中之每個 DIMM 係作用為給下一個 DIMM 的下游(連接至 DL\_Out 端子)或是上游(連接至 UL\_Out 端子)的信號之“中繼器”。該下行及上行通道是極為快速、窄寬度且為單向的信號匯流排，其係載有編碼過的信號封包(包含記憶體位址、資料及/或來自記憶體控制器 33 的控制資訊)，其係藉由接收的 DIMM 來加以解碼。下行通道係在一個方向上載有信號，而該上行通道係在相反的方向上載有不同的信號。在第 2 圖之菊鏈連接的配置 32 中明顯可知



的是，一個信號必須透過“跳躍”來行進，而不論其是否為一個從記憶體控制器 33 廣播到記憶體通道中之所有的 DIMM 之信號、或是其是否為一個只被定址到記憶體通道中之單一 DIMM 的信號。換言之，任何來自記憶體控制器 33 的信號係經由一或多次牽涉到一或多個介於中間的 DIMM 之跳躍而傳遞至所要的 DIMM 或是目的地 DIMM。

在此注意到的是，該術語“菊鏈連接的配置”在此係被使用來參照一種高速的串列匯流排配置，並且尤其是指一種利用單向的信號傳輸鏈路來連結複數個電子裝置（例如，第 2 圖中的記憶體模組 34、40、44）以及其控制器（例如，第 2 圖中的記憶體控制器 33）之串列匯流排配置，其中從控制器帶出信號的一組鏈路或端子（下行鏈路）係不同於將信號帶入控制器的一組鏈路（上行鏈路）。

從以上的討論中可看出在第 2 圖之菊鏈連接的配置 32 中，一個信號在到達一個目的地 DIMM 或是記憶體控制器 33 之前會遭遇到不同的延遲量。例如，DIMM 44 可能在經過一段特定的延遲之後才接收到一個從記憶體控制器 33 傳送而來的信號，其中該延遲將包含在該信號能夠到達 DIMM 44 之前所需的  $N-1$  次跳躍所耗費的時間。在另一方面，在 DIMM 40 的情形中，信號可能只有延遲完成單次跳躍（透過 DIMM 34）來到達 DIMM 40 所花費的時間。在由 DIMM 產生響應的情形中，該響應到達記憶體控制器 33 的延遲也是依據記憶體通道的“深度”而有所變化。例如，由 DIMM 0(34) 產生的響應可以在沒有任何“跳躍”之下就到達記憶體控制

器，然而，來自 DIMM 44 的響應在到達記憶體控制器 33 之前可能需要經歷  $N-1$  次跳躍。因此，該延遲量可能是隨著記憶體模組 34、40、44 到記憶體控制器 33 的實際靠近程度而呈線性地變化（亦即，記憶體模組越遠，則延遲越長），並且也可能隨著記憶體通道中之記憶體模組的總數而線性地變化（亦即，以菊鏈連接的方式串列地連接至控制器 33 的記憶體模組數目越多，則越遠的模組之延遲會越長）。

從以上的論述可看出在第 2 圖之菊鏈連接的配置 32 中，因為透過“跳躍”之固有的命令傳遞延遲，所以來自記憶體控制器 33 的命令可能在不同時間被不同的 DIMM 處理。類似地，來自不同的 DIMM 之響應可能在不同時間到達控制器 33，此同樣是因為透過“跳躍”的延遲之緣故。在第 2 圖的實施例中，該命令延遲或是命令傳遞延遲（亦即，來自記憶體控制器 33 的命令或信號到達最遠的 DIMM 44 之總延遲）必須和響應延遲或是響應傳遞延遲（亦即，來自最遠的 DIMM 44 之響應到達記憶體控制器 33 的總延遲）一起加以考量，以確保來自系統 32 中的任何 DIMM 之響應會同時到達記憶體控制器 33。此種效果可被稱為“延遲均衡 (levelization)”，亦即，記憶體控制器 33 不需要等待不同的時間量來接收來自系統 32 中之各種 DIMM 的響應。而是記憶體控制器 33 在期待來自系統 32 中的任何 DIMM 之回應上，所必須等待的只有一段固定的預設時間延遲。因此，從記憶體控制器的角度來看，在傳送一命令到接收一

響應之間只存在一段固定的單一延遲，而不論記憶體通道的深度或是 DIMM 相對於記憶體控制器 33 的實際接近程度為何。此項特點在原理上係類似於第 1 圖之平行匯流排配置中的延遲。如同先前所指出的，在第 1 圖的情形中，最慢的 DIMM 之延遲可能主宰控制器 11 在一個命令到系統 10 中的一個 DIMM 收到該命令的響應之間所遭遇到的延遲。在第 2 圖之菊鏈連接的配置 32 的情形中，同樣所期望的是控制器 33 免於對每個 DIMM 依照個案來判斷延遲。取而代之的是，該延遲可被“均衡化”因而控制器 33 可同時接收（或是“預期”）來自任何 DIMM 34、40、44 的響應。

第 3 圖係描繪一種在第 2 圖之菊鏈連接的記憶體通道中達成延遲均衡的習知技術方法。在第 3 圖中，達成延遲均衡之結構上的細節係僅針對第 2 圖的系統 32 中之一個 DIMM（亦即，DIMM 1(40)）來加以描繪。然而，顯然的是類似的配置可出現在系統 32 中的每個 DIMM 34、40、44 之上。在第 3 圖中的 DIMM 40 係被展示為包含一個 DIMM 特定的響應延遲單元 52，其係容許一可程式化的延遲儲存在其中。將被程式化在延遲單元 52 中的延遲量主要可依據三個因素而定：(1) DIMM 40 至記憶體控制器 33 的實際接近程度、(2) 在菊鏈連接的配置 32 中之 DIMM 的總數、以及(3) 到系統中之最遠的 DIMM（例如，第 2 圖中的 DIMM 44）之命令傳遞延遲以及從最遠的 DIMM 至記憶體控制器 33 的響應傳遞延遲的總合。例如，為了簡化及說明起見，在第 2 圖的系統 32 中假設只有三個 DIMM（DIMM 34、40 與 44），

並且在系統 32 中的每個 DIMM 處(除了最遠的 DIMM 44 之外，即如以下所述者)，每個命令及響應傳遞都有一個時脈週期的“和跳躍相關的”延遲。換言之，其係假設花費一個時脈週期的延遲來傳遞一個命令信號至下行通道上之下一個在下游的 DIMM，並且其亦花費一個時脈週期的延遲來傳遞一個響應信號至上行通道上之下一個在上游的 DIMM，亦即，在上行及下行通道中為對稱的延遲。在該情形中，忽略由 DRAM 記憶體庫 42 所造成之非常小的信號處理延遲(用來處理一個命令且產生一個響應)之下，在第 3 圖中的延遲單元 52 可被程式化來適當地延遲由記憶體庫 42 中之記憶體晶片對於來自記憶體控制器 33 的命令所產生的響應之發送(該響應可包含將被讀取的資料)。

在目前的例子中，在延遲單元 52 內將被程式化的延遲量係等於  $[T*(N-1)/P]$  個時脈週期，其中“T”是在一個 DIMM(除了最遠的 DIMM 44 之外，即如以下所述者)處之總計的“與跳躍相關的”時脈週期延遲，其包含在菊鏈中傳遞一個命令至下一個“下游的”DIMM 以及一個響應至下一個“上游的”DIMM(在目前的例子中  $T=2$ )之延遲，“N”是系統中的 DIMM 總數(在此  $N=3$ )，並且“P”是該 DIMM 至記憶體控制器 33 的實際接近程度(例如，第一個或是最靠近的 DIMM 34 之  $P=1$ 、第二個在下游的 DIMM 40 之  $P=2$ 、等等)。因此，在 DIMM 1(40)的情形中，在單元 52 內將被程式化的延遲值係等於 2 個時脈週期，而將被儲存在 DIMM 0(34)內之對應的延遲單元(未顯示)中之延遲值是 4 個時脈週期。在最

遠的 DIMM(亦即，第 2 圖中的 DIMM 44)的情形中，可程式化的延遲值可以是零，因為最遠的 DIMM 之  $T=0$ 。

從以上可看出參考第 2 與 3 圖所討論的均衡係容許記憶體控制器 33 能夠同時接收來自菊鏈連接的配置 32 中之任何記憶體模組的響應。在系統 32 中的每個 DIMM 處使用適當的延遲以補償在命令及響應信號往返在菊鏈中之最遠的 DIMM 的傳遞上所耗費的時間之下，記憶體控制器 33 係同時從每個 DIMM 接收一個響應，而不論該 DIMM 相對於控制器 33 的實際接近程度為何。換言之，控制器 33 係從在下行通道上由該控制器 33 發送命令開始，經過一段固定的延遲之後“預期”並接收響應，而不論該命令是被傳送至單一 DIMM 或是廣播至系統中之所有的 DIMM 都是如此。例如，若一個命令係在時間“t”被傳送，則在先前的例子之情形中，記憶體控制器 33 係在“t”之後的 4 個時脈週期後接收到一個響應，而不論該命令係被傳送至 DIMM 0(34)或是 DIMM N-1(44)都是如此。

參考第 3 圖的實施例可看出虛線係在第 3 圖中被顯示來描繪一個信號如何在 DIMM 40 之內傳遞。因此，例如一個出現在 DL\_In 端子 48B 處之命令信號將會直接傳遞至 DL\_Out 端子 48C，以被傳送至下一個在下游的 DIMM。該命令信號亦將被傳送至 DRAM 記憶體庫 42 以供處理(例如，資料寫入到記憶單元)。在另一方面，一個來自相鄰的(“上游的”)DIMM 而出現在 UL\_In 端子 50C 處之響應信號將會類似地直接傳遞至 UL\_Out 端子 50B。該 DIMM 40 可以將其本

身的響應加到在 UL\_In 端子 50C 處所接收到的信號(如上文所述，透過延遲單元 52 來適當地加以延遲)，以便於將其響應和先前的 DIMM 之響應一起傳送至上行通道中的下一個 DIMM。

儘管第 3 圖的實施例合理化(streamlining)或是“正規化(normalizing)”從 DIMM 至記憶體控制器 33 的響應傳送，但是其仍然讓記憶體控制器 33 無法預測一個命令何時將會被一個特定的 DIMM 所執行。尤其在某些 DRAM 的動作中，若記憶體控制器 33 能夠預測命令何時被接收的 DIMM 所執行，則使得該控制器 33 能夠更確定及/或更輕易地控制記憶體系統的功率消耗(或是功率特性)，此可能是所期望的。例如，某些 DRAM 動作(像是“更新”命令)可能消耗許多電力。在第 3 圖的實施例中，記憶體控制器 33 可以在時間上展延特定 DIMM 的更新命令，以嘗試降低汲取過大的系統電力，亦即，以嘗試避免在兩個或是多個 DIMM 同時執行其對應的更新命令時，在功率消耗上的突然增高。因此，在只有三個 DIMM(例如，DIMM 34、40、44)的例子中，記憶體控制器 33 可以在第一時脈週期傳送一個更新命令至最遠的 DIMM 44，接著在第二時脈週期傳送一個第二更新命令至中間的 DIMM 40，並且在第三時脈週期傳送一個第三更新命令至最靠近的 DIMM 34。然而，儘管有此種更新命令的展延，仍然可能發生 DIMM 40 與 44 同時結束執行更新命令，此可能不是較佳的。或者是，即使此種更新命令的同時處理是可容忍的，但仍然可能會期望記憶體控

制器能夠“知道”該命令何時將會被所要送達的 DIMM 所處理。

因此，所期望的是發明一種系統為其中除了預測從一個 DIMM 收到一個響應的時間之外，記憶體控制器也可以有效地預測其所傳送的一個命令何時將會被所要送達的 DIMM 所處理。在具有此種預測命令的執行時間的功能之下，記憶體控制器可以有效率地控制在一個菊鏈連接的記憶體通道上之所有的 DRAM 裝置(或是記憶體模組)的功率特性。

#### 【發明內容】

在一個實施例中，本案的揭露內容係思及一種方法，其係包括：以一種菊鏈連接的配置連結複數個記憶體模組，其中該複數個記憶體模組的每個記憶體模組都包含對應的複數個記憶體元件；在該複數個記憶體模組中之一個記憶體模組處接收一個命令；傳遞該命令至該菊鏈連接的配置中之一或多個記憶體模組；以及配置該複數個記憶體模組中之至少一個記憶體模組，以延遲在該至少一個記憶體模組處所收到的命令之發送至內含於其中的一或多個記憶體元件，直到經過一段個別的預設的延遲為止。

在另一實施例中，本案的揭露內容係思及一種方法，其係包括：以一種菊鏈連接的配置連結複數個電子裝置；在該複數個電子裝置中的一個電子裝置處接收一個命令；傳遞該命令至該菊鏈連接的配置中之其餘的電子裝置；以及配置在該複數個電子裝置中的每個電子裝置，以延遲執

行該命令來產生一個對於該命令之對應的響應，直到經過一段個別的預設的延遲為止。

在一個替代的實施例中，本案的揭露內容係思及一種組合，其係包含一個記憶體控制器連接至一個串列配置中的複數個記憶體模組，其中該複數個記憶體模組中之至少一個記憶體模組係被配置，以延遲在該至少一個記憶體模組處所收到的命令之發送至內含於其中的一或多個記憶體元件，直到經過一段個別的預設的延遲為止。在另一個實施例中，本案的揭露內容係思及一種系統，其係包含一個處理器；一個匯流排；一個控制器，其係經由該匯流排連接至該處理器並且亦連接至一個菊鏈連接的配置中之複數個電子裝置；以及複數個電子裝置，其中每個電子裝置係被配置以延遲執行從該控制器所收到的命令以產生一個對於該命令之對應的響應，直到經過一段個別的預設的延遲為止。

本案的揭露內容係描述一種用於一個菊鏈連接的記憶體拓撲之方法，其中除了預測從一個記憶體模組(DIMM)接收到一個響應的時間之外，記憶體控制器也可以有效地預測其所傳送的一個命令何時將會被所要送達的 DIMM 加以處理。藉由在該 DIMM 的命令延遲單元中程式化特定 DIMM 的命令延遲，根據本案的揭露內容之命令延遲平衡方法係“正規化”或“同步化”在記憶體通道中之所有的 DIMM 之間的命令信號的執行。在具有此種預測命令的執行時間的功能之下，記憶體控制器可以有效率地控制在一個菊鏈連接的



記憶體通道上之所有的 DRAM 裝置(或是記憶體模組)的功率特性。在 DIMM 中之一個別的特定 DIMM 的響應延遲單元亦可被程式化以提供在響應路徑中之特定 DIMM 的延遲補償，其進一步容許記憶體控制器能夠正確地確定其收到一個對於先前藉由其所傳送之命令之響應的時間，並且因此更佳地管理或計畫(在時間上)該響應的進一步處理。

### 【實施方式】

現在將詳細參考本案的揭露內容中之某些實施例，這些實施例的例子係在所附的圖式中被描繪。將瞭解到的是，內含在本案的揭露內容中之圖式及說明係描繪及描述特別有關於本案的揭露內容之元件，而為了清楚起見，省略其它在典型的資料儲存或記憶體系統中可見的元件。最先可注意到的是，該等用語“連接”、“電氣連接”、等等，在此係可互換地被使用，以通稱電氣連接的狀況。

第 4 圖係描繪根據本案的揭露內容之一個實施例的一種命令延遲平衡方法。為了便於說明起見，只有一個記憶體模組(DIMM)54 以及一個特定 DIMM 的可程式化的命令延遲單元 56 係被描繪。該 DIMM 54 可以是第 3 圖中的 DIMM 40 之一種修改版本，並且因此亦稱作為 DIMM 1。DIMM 54 連接器之上行及下行端子係用和第 2 與 3 圖中所用者相同的參考圖號來指示。DRAM 記憶體庫 42 也是用和第 2 與 3 圖中所用者相同的參考圖號來指示。在此注意到的是，第 4 圖中的 DIMM 1(54)可被利用在一種類似於第 2 圖中所繪之菊鏈連接的配置中。在該情形中，第 2 圖中所示之所有的

DIMM 34、40、44 都可以用具有類似於第 4 圖中針對於 DIMM 54 所繪的結構之相對應的 DIMM 來取代之，以在第 2 圖之菊鏈連接的配置拓撲中實施根據本案的揭露內容之命令延遲平衡方法。因為在第 4 圖的實施例中是以不同的方式來計算命令延遲與響應延遲值，因此一個可程式化的響應延遲單元 58 係以一個不同於在第 3 圖中的延遲單元所用的參考圖號“52”之參考圖號來被顯示在第 4 圖中。因此，在第 3 與 4 圖之間共用的參考圖號係指明類似的電路元件或組件，而不同的參考圖號係被用來區別在第 4 圖的實施例中所出現之修改或額外的電路元件或組件。

在此可觀察到的是，在第 2 圖的實施例中之命令傳遞延遲以及響應傳遞延遲之總和係維持不變的，而不論在第 2 圖中的每個 DIMM 之配置是第 3 圖中所示的配置或是第 4 圖中所示的配置。在第 3 與 4 圖中的實施例之間的一項差異是，總信號傳遞延遲（亦即，命令及響應傳遞延遲的總和）在第 3 圖的實施例中係透過單一響應路徑延遲補償而被考量，而在第 4 圖的實施例中，該總延遲係如以下所述，被細分成為其對應的命令傳遞延遲以及響應傳遞延遲，並且每個此種延遲成分係個別地予以補償。

如上所指出者，在第 4 圖的實施例中，在下行通道上從記憶體控制器（例如，記憶體控制器 33）傳遞一個命令至菊鏈中之最遠的 DIMM（例如，被適當修改來內含第 4 圖中所示的電路元件之 DIMM 44）的單向的命令傳遞延遲，其係和從系統中之最遠的 DIMM 傳遞一個響應至記憶體控制器

之單向的響應傳遞延遲分開考量。因此，如同先前假設為三個 DIMM 的菊鏈配置(例如，第 2 圖中所示的配置 32，其中每個 DIMM 都具有一個類似於第 4 圖中所示的 DIMM 54 之拓撲)，在系統 32 中的每個 DIMM(除了最遠的 DIMM 以外)處之命令及響應傳遞分別具有一個時脈週期的“跳躍相關的”延遲，並且忽略由個別的 DIMM 中之 DRAM 記憶體庫所造成的非常小的信號處理延遲(用來處理一個命令以及產生一個響應)，則“跳躍相關的”命令傳遞延遲係等於兩個時脈週期，而該響應傳遞延遲係等於兩個週期。在該情形中，在第 4 圖的實施例中，將在 DIMM 的命令延遲單元(例如，單元 56)內被程式化的特定 DIMM 的命令延遲值可以等於  $[C*(N-1)/P]$ ，其中“C”是在一個 DIMM 處傳遞一個命令給下一個“下游的”DIMM 之總“跳躍相關的”時脈週期延遲，而參數“N”與“P”係和先前所定義的相同。類似地，在第 4 圖的實施例中，將在 DIMM 的響應延遲單元(例如，單元 58)內被程式化的特定 DIMM 的響應延遲值可以是等於  $[R*(N-1)/P]$ ，其中“R”是在一個 DIMM 處傳遞一個響應給下一個“上游的”DIMM 之總“跳躍相關的”時脈週期延遲，而參數“N”與“P”係和先前所定義的相同。在一個實施例中， $C+R=T$ ，其中參數“T”係如先前所定義者。

利用以上的公式，可見到的是，在三個 DIMM 的菊鏈( $N=3$ )之情形中，命令傳遞延遲  $=C*(N-1)=2$  個時脈週期，其中  $C=1$  個時脈週期。再者，在此種配置中，響應傳遞延遲  $=R*(N-1)=2$  個時脈週期，其中  $R=1$  個時脈週期。在這些值之下，

可見到的是，在三個 DIMM 的菊鏈中之中間的 DIMM(例如，DIMM 54)將會使得 1 個時脈週期的特定 DIMM 的命令延遲被程式化到延遲單元 56 中，因為  $[C*(N-1)/P]=1$ 。中間的 DIMM 54 亦將會使得 1 個時脈週期的特定 DIMM 的響應延遲被程式化到延遲單元 58 中，因為  $[R*(N-1)/P]=1$ 。在另一方面，最接近記憶體控制器的 DIMM(例如，在第 2 圖中以第 4 圖中所述的方式修改後的 DIMM 34)將會使得 2 個時脈週期的特定 DIMM 的命令延遲被程式化到其命令延遲單元(類似於延遲單元 56)中，並且使得 2 個時脈週期的響應延遲被程式化到其響應延遲單元(類似於延遲單元 58)中。如前所述，距離記憶體控制器最遠的 DIMM(例如，在第 2 圖中以第 4 圖中所述的方式修改後的 DIMM 44)將會在其命令及響應延遲單元中具有零時脈週期的延遲，因為對於最遠的 DIMM 而言， $C=0$  且  $R=0$ 。

除了一個不同的延遲值被儲存於其中之外，該響應延遲單元(例如，單元 58)的功能，如同從模組外所見，其看似與在上文中參考第 3 圖中的延遲單元 52 所述的功能為相同的。然而，根據本案的揭露內容之命令延遲單元(例如，第 4 圖中的延遲單元 56)係作用來延遲一個命令被所要送達的 DIMM(例如，DIMM 54)執行或處理，直到在 DIMM 的命令延遲單元 56 中被程式化的延遲過去為止。在此注意到的是，該用語“執行”或“處理”在此係被使用來參照藉由 DIMM 的 DRAM 記憶體庫(例如，記憶體庫 42)執行或處理命令。在一個實施例中，這些用語亦可包含對應的響應(其

接著藉由響應延遲單元 58 來適當地加以延遲)之產生。因此，根據本案的揭露內容之一個實施例，在 DIMM 連接器 54 的 DL\_In 端子 48B 處所收到的命令信號並不只是被傳送(經由 DL\_Out 端子 48C)至下行通道中的下一個 DIMM 而已，而且在呈現或傳送命令給 DRAM 記憶體庫 42 以及相關的電路(未顯示)以供處理/執行之前也被命令延遲單元 56 所延遲。在經過單元 56 中被程式化的延遲之後，DRAM 記憶體庫 42 及其相關的信號處理電路(未顯示)可以判斷該命令是否為傳送給 DIMM 54 以供執行的，並且若是的話，則如記憶體控制器所指示地執行該命令(例如，寫入資料到記憶單元中、在記憶單元上執行一項測試動作、等等)並且產生一個響應，該響應接著被饋送到響應延遲單元 58，以在經由 UL-Out 端子 50B 釋放該響應於上行通道(並且最終到達記憶體控制器)之前，延遲適當的延遲量(如上文中所論述)。

從以上的論述中可看出的是，藉由在 DIMM 的命令延遲單元內(例如，第 4 圖中的單元 56)程式化特定 DIMM 的命令延遲，根據本案的揭露內容之命令延遲平衡方法係“正規化”或“同步化”在記憶體通道中之所有的 DIMM 之間的命令信號之執行。再者，在菊鏈連接的系統中之記憶體控制器(例如，第 2 圖中的控制器 33)可被修改或配置以在其中儲存命令傳遞延遲值(亦即，一個命令信號從控制器到達系統中之最遠的 DIMM 之總延遲)，以便於“預測”一個特定的命令何時將會被所要送達的 DIMM 所執行。例如，在上文

中所論述之範例的時脈延遲值的例子中可見到的是，該命令傳遞延遲是 2 個時脈週期（兩次“跳躍”以到達在 3 個 DIMM 的通道中之最遠的 DIMM）。因此，在此種系統中的記憶體控制器可預期到每個接收的 DIMM 都是在控制器傳送該命令給最接近其之 DIMM 的時間“t”之後的兩個時脈週期後執行該命令。因此，即使該命令信號不是廣播信號，而是欲傳送給記憶體通道中之一個特定的 DIMM（或是一組所選的 DIMM），被程式化到 DIMM 之對應的命令延遲單元中之預設的延遲仍然“正規化”該命令執行，此係容許記憶體控制器能夠有效地“預測”該命令何時將會被所要送達的 DIMM 所執行。

根據本案的揭露內容之延遲正規化方法不只是在響應路徑中（包括在系統中之所有的上行通道上之響應信號傳遞路徑）達成延遲補償，而且也在命令路徑中（包括在系統中之個別的下行通道上之命令信號傳遞路徑）達成延遲補償。由於在命令路徑中的延遲補償之緣故，因而在菊鏈連接的拓撲中之記憶體控制器可被配置以預測一個命令信號何時將會被一或多個該命令信號所要送達以供執行的 DIMM 來加以執行或處理。此功能係容許記憶體控制器能夠有效率地決定相當耗用資源的命令信號（例如，需要記憶體模組相當大的功率消耗之更新命令信號）至系統中的一或多個 DIMM 的發送時間，以便於有效地平衡系統的功率消耗或是功率特性（以在系統中避免例如是系統過載或是突然的功率增高）。記憶體通道功率特性之受到控制的管理係

進一步導致有橫跨在菊鏈連接的配置中之上行及下行通道上的信號之改善的完整性。再者，在響應路徑中的延遲補償係導致有延遲的“均衡”，此進一步容許記憶體控制器能夠正確地確定收到對於其較早所傳送之命令之響應的時間，並且因此更佳地管理或計畫（在時間上）該響應的進一步處理。

第 5 圖是描繪根據本案的揭露內容教示之命令延遲平衡方法可被運用於其中的一種系統 100 之方塊圖。該系統 100 可包含一個資料處理單元或是計算單元 102，該單元 102 係包含用於執行各種的計算功能之處理器 104，例如是執行特定的軟體以執行特定的計算或是資料處理工作。該計算單元 102 亦可包含一組菊鏈連接的記憶裝置或記憶體模組 106（類似於第 2 圖中所示的配置），該記憶裝置或記憶體模組 106 係透過記憶體控制器 110 與處理器 104 通訊。該記憶體控制器 110 可經由下行通道 107 與上行通道 108 連接至菊鏈連接的記憶裝置 106 中之一。其它的記憶裝置也可以用類似於如第 2 圖中的配置 32 所示的方式，經由個別的上行通道與下行通道連接至此直接連接到記憶體控制器 110 的記憶裝置（未顯示）。為了便於討論，下行通道 107 及上行通道 108 在此係合稱為“記憶體控制器匯流排”。如同在上文中所述，該記憶體控制器匯流排可載有位址、資料及/或控制信號。每個記憶裝置 106 都可具有針對於第 4 圖中之範例的 DIMM 54 所繪的配置。換言之，如同在上文中所述，每個記憶裝置 106 都可包含特定裝置的可程

式化的命令以及響應延遲單元，以提供命令路徑及響應路徑的延遲補償。再者，每個記憶裝置 106 都可以是包含複數個動態隨機存取記憶體 (DRAM) 晶片或例如是 SRAM (靜態隨機存取記憶體) 晶片或快閃記憶體的其它類型的記憶體電路之記憶體模組 (DIMM)。再者，DRAM 可以是同步的 DRAM，其通常被稱為 SGRAM (同步繪圖隨機存取記憶體)、SDRAM (同步動態隨機存取記憶體)、SDRAM II 或是 DDR SDRAM (雙倍資料速率 SDRAM) 以及 Synchlink 或是 Rambus® DRAM。該項技術中具有通常技能者將容易體認到的是，第 5 圖的記憶裝置 106 是被簡化來描繪記憶裝置的一個實施例，而且並非意欲作為典型的記憶體模組或 DIMM 之所有特點的詳細說明。該處理器 104 可以根據儲存在記憶裝置 106 中的資訊及資料來執行複數個功能。該處理器 104 可以是微處理器、數位信號處理器、內嵌式處理器，微控制器、專用的記憶體測試晶片、或類似者。

該記憶體控制器 110 係響應於在匯流排 112 之上從處理器 104 所接收到的控制信號 (未顯示) 來控制資料通訊往返於記憶裝置 106，該匯流排 112 可以是平行或串列匯流排。記憶體控制器 110 可包含命令解碼電路 (未顯示)。該命令解碼電路可以接收在匯流排 112 之上的輸入控制信號 (未顯示) 以決定一或多個記憶裝置 106 的動作模式。在匯流排 112 之上 (而且同樣在記憶體控制器匯流排 108 之上) 的輸入信號或控制信號 (在第 5 圖中未顯示) 之某些例子係包含一外部的時脈信號、一晶片選擇信號、一列存取選通



信號、一行存取選通信號、一個寫入致能信號、一個記憶體更新信號、等等。

該系統 100 可包含一或多個連接至計算單元 102 的輸入裝置 114(例如，鍵盤、滑鼠、等等)，以容許使用者手動地輸入資料、指令、等等來運作該計算單元 102。一或多個連接至計算單元 102 的輸出裝置 116 亦可被設置作為該系統 100 的一部分，以顯示或輸出由處理器 104 所產生的資料。輸出裝置 116 的例子係包含印表機、視訊終端機或是視訊顯示單元(VDU)。在一個實施例中，該系統 100 亦包含一或多個連接至資料處理單元 102 的資料儲存裝置 118，以容許處理器 104 能夠儲存資料在內部或外部的儲存媒體(未顯示)中、或是從內部或外部的儲存媒體擷取資料。典型的資料儲存裝置 118 的例子係包含接收硬碟與軟碟的磁碟機、CD-ROM(光碟唯讀記憶體)以及磁帶卡匣。

在此注意到的是，根據本案的揭露內容之一個實施例的個別的命令及響應延遲補償方法不只可被利用於菊鏈連接的記憶體模組，而且可被利用於任何其它以類似於第 2 圖中所繪的方式連接且藉由一個共用的控制器(未顯示)控制的菊鏈連接的電子裝置(未顯示)，而且該控制器可能需要預測在一或多個電子裝置處之命令執行的時間以及從一或多個電子裝置傳送響應的時間。

以上係描述一種用於一個菊鏈連接的記憶體拓撲之方法，其中除了預測從一個記憶體模組(DIMM)接收到一個響應的時間之外，記憶體控制器也可以有效地預測其所傳送

的一個命令何時將會被所要送達的 DIMM 加以處理。藉由在該 DIMM 的命令延遲單元中程式化特定 DIMM 的命令延遲，根據本案的揭露內容之命令延遲平衡方法係“正規化”或“同步化”在記憶體通道中之所有的 DIMM 之間的命令信號的執行。在具有此種預測命令的執行時間的功能之下，記憶體控制器可以有效率地控制在一個菊鏈連接的記憶體通道上之所有的 DRAM 裝置(或是記憶體模組)的功率特性。在 DIMM 中之一個別的特定 DIMM 的響應延遲單元亦可被程式化來提供在響應路徑中之特定 DIMM 的延遲補償，此進一步容許記憶體控制器能夠正確地確定在其位置處收到對於其較早所傳送之命令之響應的時間，並且因此更佳地管理或計畫(在時間上)該響應的進一步處理。

儘管本案的揭露內容已經詳細參考其特定的實施例來加以描述，但是熟習此項技術者明顯將會瞭解的是，各種對於實施例的改變及修改都可在不脫離該些實施例的精神與範疇之下加以完成。因此，本案的揭露內容欲涵蓋落在所附的申請專利範圍及其均等範圍的範疇內之此揭露內容的改變及修改。

#### 【圖式簡單說明】

為了本案的揭露內容能夠輕易地理解且易於實施，本案的揭露內容現在將會為了說明之目的而非限制性地相關於以下的圖式來加以描述，其中：

第 1 圖係描繪一種習知技術的配置，其係顯示在一個記憶體控制器以及複數個記憶裝置(DIMM)之間，在一個平

行的記憶體匯流排上之信號通訊；

第 2 圖係描繪一種替代的配置，其中記憶體模組 (DIMM) 係以一種菊鏈連接的配置來連接至一個記憶體控制器；

第 3 圖係描繪一種在第 2 圖之菊鏈連接的記憶體通道中達成延遲均衡之習知技術的方法；

第 4 圖係描繪一種根據本案的揭露內容之一個實施例的命令延遲平衡方法；以及

第 5 圖是描繪一種根據本案的揭露內容之教示的命令延遲平衡方法可被利用於其中的系統之方塊圖。

## 【主要元件符號說明】

10 習知技術的配置

11 記憶體控制器

12 記憶裝置 (DIMM 0)

14 DRAM 記憶體庫

16 DRAM 晶片

18 記憶裝置 (DIMM 1)

20 記憶體庫

22 DRAM 晶片

24 記憶裝置 (DIMM N-1)

28 記憶體晶片

30 記憶體匯流排

32 配置

33 記憶體控制器

34、40、44 記憶體模組 (DIMM)

- 36 記憶體庫
- 38 DRAM 晶片
- 42、46 記憶體庫
- 48A-48C 下行端子
- 50A-50C 上行端子
- 52 響應延遲單元
- 54 記憶體模組(DIMM)
- 56 命令延遲單元
- 58 響應延遲單元
- 100 系統
- 102 資料處理單元(計算單元)
- 104 處理器
- 106 記憶裝置(記憶體模組)
- 107 下行通道
- 108 上行通道
- 110 記憶體控制器
- 112 匯流排
- 114 輸入裝置
- 116 輸出裝置
- 118 資料儲存裝置

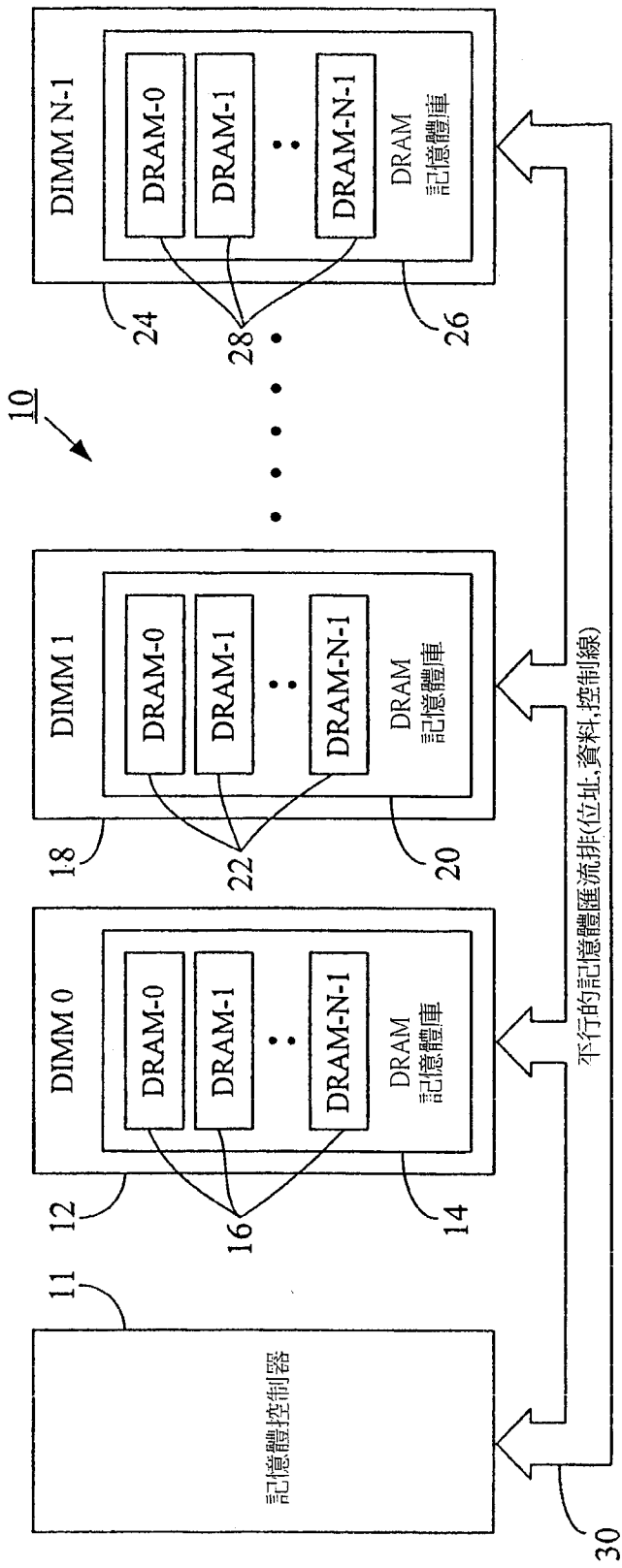
## 五、中文發明摘要：

一種用於一個菊鏈連接的記憶體拓撲之方法，其中除了預測從一個記憶體模組(DIMM)接收到一個響應的時間之外，記憶體控制器也可以有效地預測其所傳送的一個命令何時將會被所要送達的 DIMM 加以處理。藉由在該 DIMM 的命令延遲單元中程式化特定 DIMM 的命令延遲，根據本案的揭露內容之命令延遲平衡方法係“正規化”或“同步化”在記憶體通道中之所有的 DIMM 之間的命令信號的執行。在具有此種預測命令的執行時間的功能之下，記憶體控制器可以有效地控制在一個菊鏈連接的記憶體通道上之所有的 DRAM 裝置(或是記憶體模組)的功率特性。在 DIMM 中之一個別的特定 DIMM 的響應延遲單元亦可被程式化以提供在響應路徑中之特定 DIMM 的延遲補償，其進一步容許記憶體控制器能夠正確地確定在其位置處接收到響應的時間，並且因此更佳地管理該響應的進一步處理。

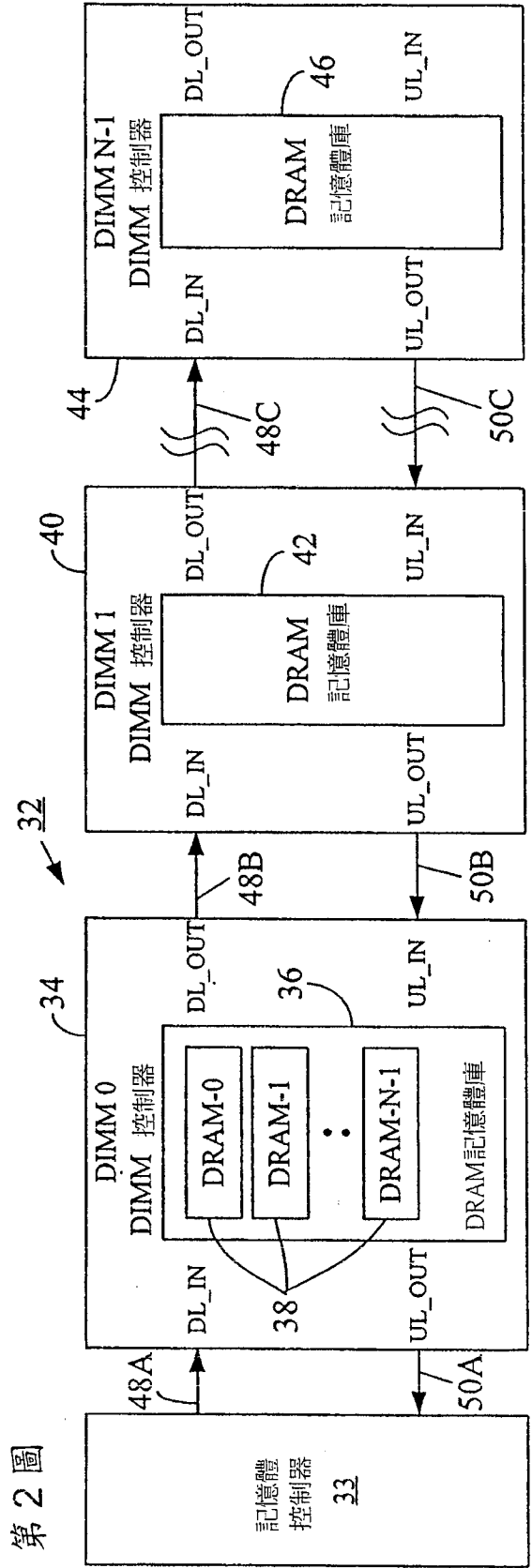
## 六、英文發明摘要：

A methodology for a daisy-chained memory topology wherein, in addition to the prediction of the timing of receipt of a response from a memory module (DIMM), the memory controller can effectively predict when a command sent by it will be executed by the addressee DIMM. By programming DIMM-specific command delay in the DIMM's command

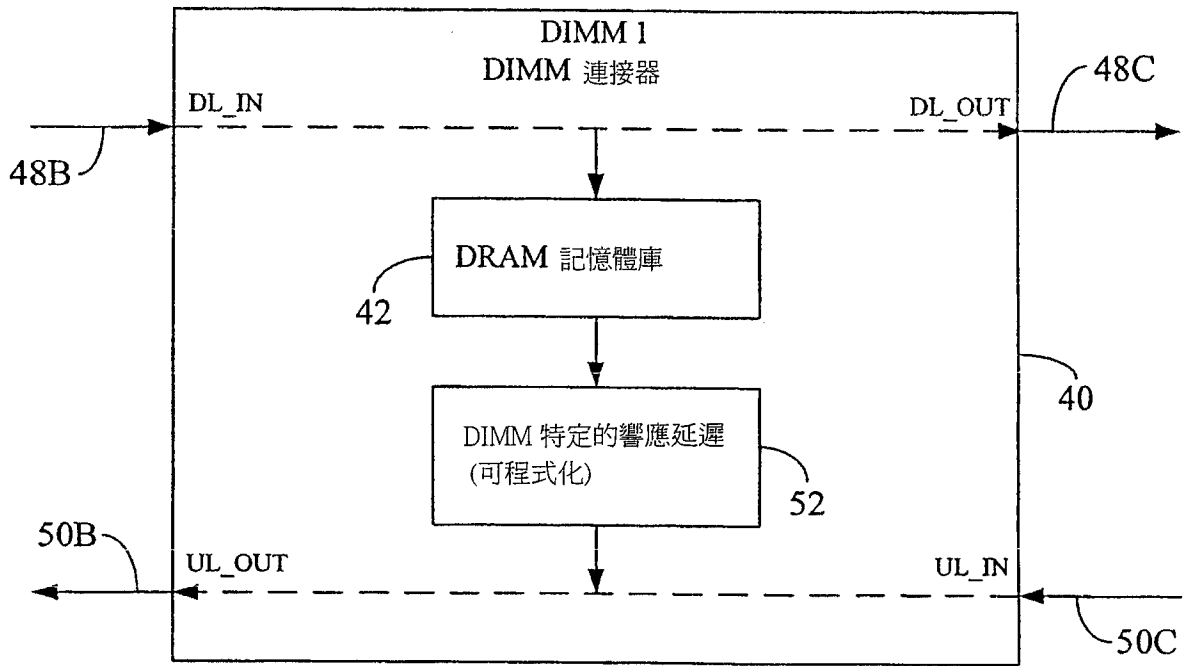
delay unit, the command delay balancing methodology according to the present disclosure “normalizes” or “synchronizes” the execution of the command signal across all DIMMs in the memory channel. With such ability to predict command execution timing, the memory controller can efficiently control power profile of all the DRAM devices (or memory modules) on a daisy-chained memory channel. A separate DIMM-specific response delay unit in the DIMM may also be programmed to provide DIMM-specific delay compensation in the response path, further allowing the memory controller to accurately ascertain the timing of receipt of a response thereat, and, hence, to better manage further processing of the response.



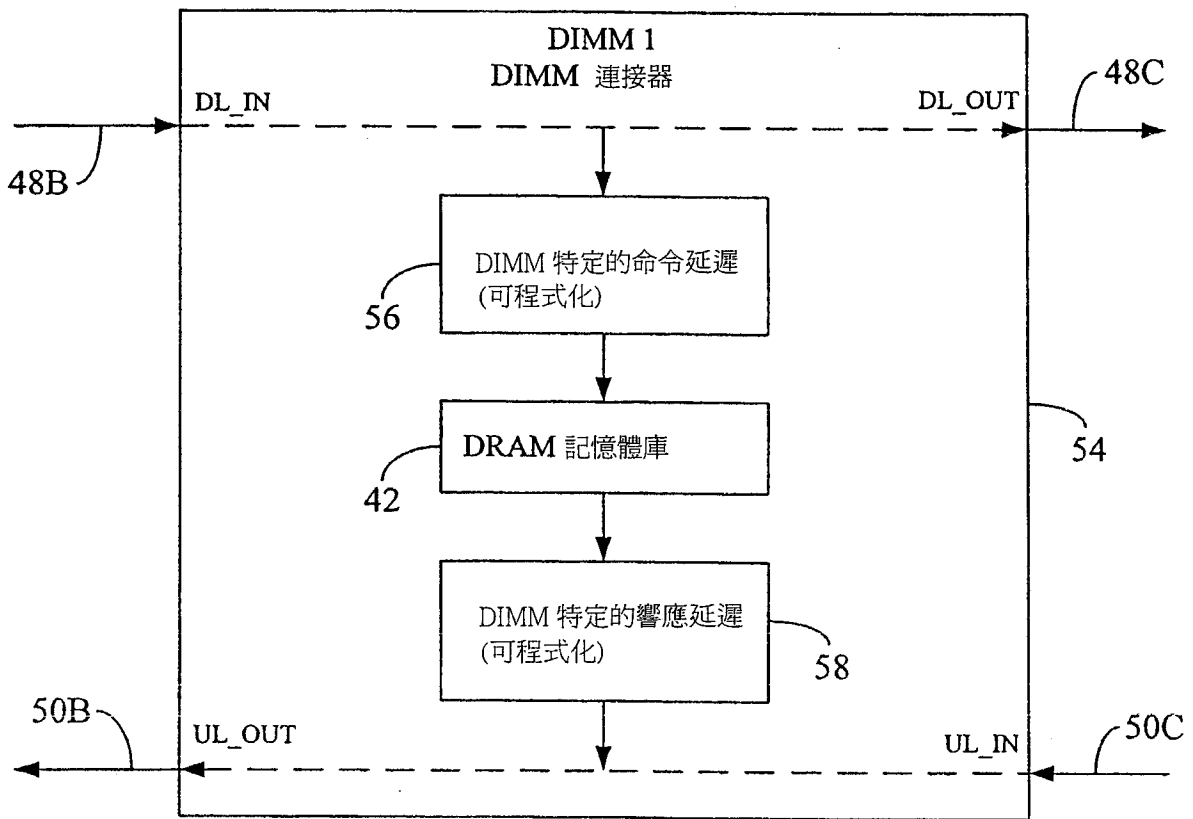
第 1 圖



第 2 圖

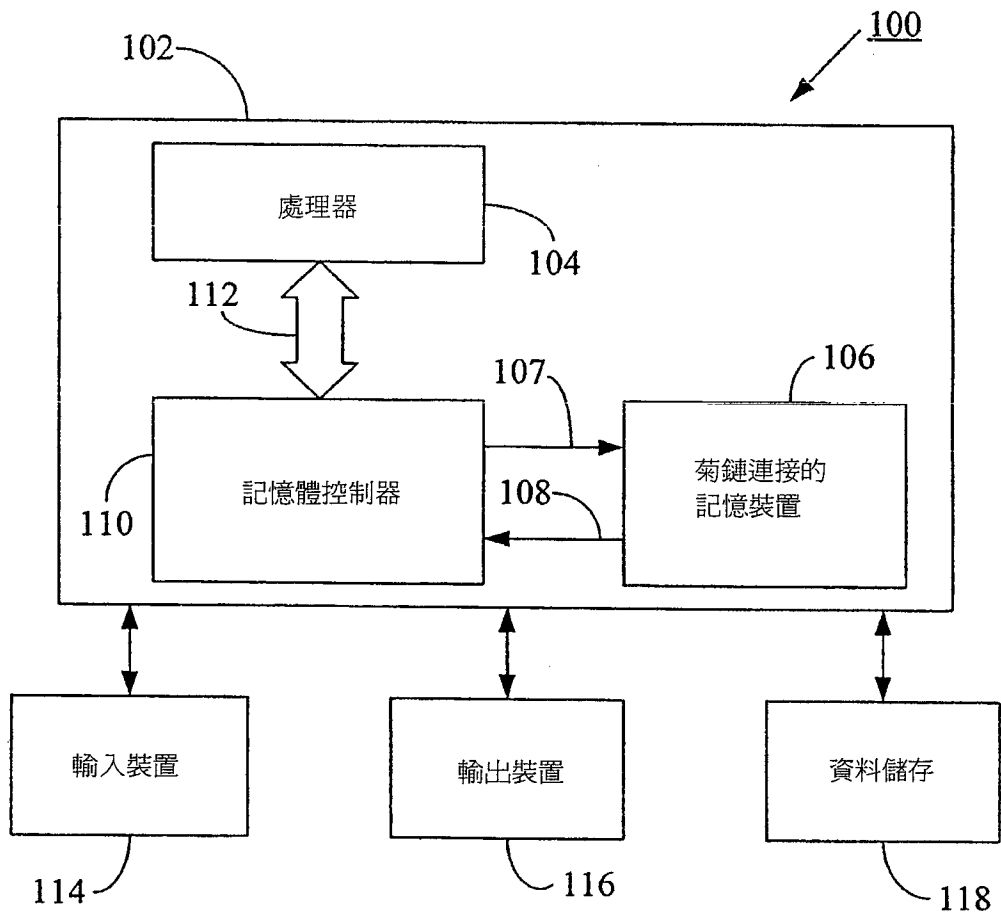


第 3 圖



第 4 圖





第 5 圖

七、指定代表圖：

(一)本案指定代表圖為：第(4)圖。

(二)本代表圖之元件符號簡單說明：

42 記憶體庫

48B、48C 下行端子

50B、50C 上行端子

54 記憶體模組

56 命令延遲單元

58 響應延遲單元

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 十、申請專利範圍：

1. 一種運作複數個以一菊鏈連接的配置連結之記憶體模組的方法，其中該複數個記憶體模組中的每個記憶體模組係包含對應的複數個記憶體元件，該方法係包括：

傳遞一命令穿過該複數個在該菊鏈連接的配置中之記憶體模組；

在該菊鏈連接的配置中的複數個記憶體模組中之每個記憶體模組處接收該命令；以及

延遲開始該命令在一或多個記憶體模組處藉由其內含的一或多個記憶體元件的執行，直到一段個別的第一預設的延遲已經過去為止，以正規化該命令在該菊鏈連接的配置中之複數個記憶體模組的執行。

2. 如申請專利範圍第 1 項之方法，其更包括：

對於在該記憶體模組處所接收到的命令產生一個響應；以及

延遲該響應的發送，直到一個別的第二預設的延遲已經過去為止。

3. 一種配置複數個以一菊鏈連接的配置連結之記憶體模組的方法，其中該複數個記憶體模組中的每個記憶體模組係包含對應的複數個記憶體元件，並且其中一個記憶體控制器僅連接至該複數個記憶體模組中之一個記憶體模組，該方法係包含：

判斷該複數個記憶體模組中之該至少一個記憶體模組對於該記憶體控制器的實際接近程度；

決定從該記憶體控制器傳遞一命令至該菊鏈連接的配置之複數個記憶體模組中最後接收該命令的一個記憶體模組之命令延遲時間；

根據該實際接近程度、命令延遲時間以及在該複數個記憶體模組中的記憶體模組總數來決定一個別的第一預設的延遲；以及

程式化該複數個記憶體模組中之該至少一個記憶體模組，以便於在傳送一接收到的命令至內含於該至少一個記憶體模組中的一或多個記憶體元件之前，對於該接收到的命令施加該個別的第一預設的延遲，以正規化該接收到的命令的執行。

4.如申請專利範圍第3項之方法，其更包含：

決定傳遞最後一個響應至該記憶體控制器所需的響應延遲時間，其中該最後一個響應是一個對於在該菊鏈連接的配置之複數個記憶體模組中最後接收該命令的一個記憶體模組所產生的命令之響應；

根據該實際接近程度、響應延遲時間以及在該複數個記憶體模組中的記憶體模組總數來決定一個別的第二預設的延遲；以及

程式化該複數個記憶體模組中之該至少一個記憶體模組，以便於在傳送一產生的響應至該記憶體控制器之前，對於該產生的響應施加該個別的第二預設的延遲。

5.一種運作複數個以一菊鏈連接的配置連結之電子裝置的方法，該配置係具有一個控制器僅連接至該複數個電

子裝置中之一個電子裝置，該方法係包括：

從該控制器發送一個命令；

在該複數個電子裝置中之一第一電子裝置處接收該命令；

傳遞該命令至在該菊鏈連接的配置中之其餘的電子裝置；以及

延遲開始執行該命令以產生一個對於該命令之對應的響應，直到一段個別的第一預設的延遲已經過去為止，以正規化該命令在該菊鏈連接的配置中之複數個電子裝置的執行。

6.如申請專利範圍第5項之方法，其中最後接收該命令的電子裝置之個別的第一預設的延遲是零。

7.如申請專利範圍第5項之方法，其更包括：

延遲該對應的響應發送至該控制器，直到一個別的第二預設的延遲已經過去為止。

8.如申請專利範圍第7項之方法，其中最後接收該命令的電子裝置之個別的第二預設的延遲是零。

9.一種配置複數個以一菊鏈連接的配置連結之電子裝置的方法，該配置係具有一個控制器僅連接至該複數個電子裝置中之一個電子裝置，該方法係包含：

判斷該複數個電子裝置的每個電子裝置對於該控制器的實際接近程度；

決定從該控制器傳遞一命令至該菊鏈連接的配置中最後接收該命令的電子裝置之命令延遲時間；

根據該複數個電子裝置的每個電子裝置的實際接近程度、命令延遲時間以及在該複數個電子裝置中的電子裝置總數來對於每個電子裝置決定一個別的第一預設的延遲；以及

程式化該複數個電子裝置的每個電子裝置，以便於延遲開始處理一接收到的命令，直到該個別的第一預設的延遲已經過去為止，以正規化該接收到的命令在該菊鏈連接的配置中之複數個電子裝置的執行。

10.如申請專利範圍第9項之方法，其更包含：

決定從該菊鏈連接的配置中最後接收該命令的電子裝置傳遞一響應至該控制器所需的響應延遲時間；

根據該複數個電子裝置的每個電子裝置的實際接近程度、響應延遲時間以及在該複數個電子裝置中的電子裝置總數來決定每個電子裝置之一個別的第二預設的延遲；以及

程式化該複數個電子裝置的每個電子裝置，以便於在傳送一產生的響應至該控制器之前，對於該產生的響應施加該個別的第二預設的延遲。

11.一種用於複數個以一串列配置連結的記憶體模組中之命令延遲平衡的組合，其係包括：

一個被配置以產生及傳送一命令的記憶體控制器；以及

複數個以一串列配置彼此連接的記憶體模組，

其中該複數個記憶體模組中只有一個記憶體模組連接

至該記憶體控制器，並且其中每個記憶體模組係包含對應的複數個記憶體元件，

其中連接至該記憶體控制器的記憶體模組係被配置以從該記憶體控制器接收該命令，並且傳遞該命令至該串列配置中之其它記憶體模組，其中該複數個記憶體模組中之至少一個記憶體模組係被配置以延遲開始一接收到的命令藉由內含在該至少一個記憶體模組內的一或多個記憶體元件的執行，直到一段個別的第一預設的延遲已經過去為止，以正規化該接收到的命令在該串列配置中之複數個記憶體模組的執行。

12.如申請專利範圍第 11 項之組合，其中該個別的第一預設的延遲係根據該複數個記憶體模組的該至少一個記憶體模組對於該記憶體控制器的實際接近程度、從該記憶體控制器傳遞該命令至該串列配置的複數個記憶體模組中之最後接收該命令的一個記憶體模組所需的命令延遲時間、以及在該複數個記憶體模組中的記憶體模組總數來加以決定。

13.如申請專利範圍第 11 項之組合，其中該個別的第一預設的延遲係被儲存在該複數個記憶體模組中之該至少一個記憶體模組中。

14.如申請專利範圍第 11 項之組合，其中在該串列配置中最後接收該被傳遞的命令之記憶體模組之個別的第一預設的延遲是零。

15.如申請專利範圍第 11 項之組合，其中該複數個記憶

體模組中之該至少一個記憶體模組係被配置以對於該接收到的命令產生一個響應，並且延遲發送該響應至該記憶體控制器，直到一個別的第二預設的延遲已經過去為止。

16.如申請專利範圍第 15 項之組合，其中該個別的第二預設的延遲係根據該複數個記憶體模組的該至少一個記憶體模組對於該記憶體控制器的實際接近程度、從該串列配置的複數個記憶體模組中之最後接收該命令的一個記憶體模組傳遞一個對於該命令之對應的響應至該記憶體控制器所需的響應延遲時間、以及在該複數個記憶體模組中的記憶體模組總數來加以決定。

17.如申請專利範圍第 15 項之組合，其中該個別的第二預設的延遲係儲存在該複數個記憶體模組中之該至少一個記憶體模組中。

18.如申請專利範圍第 15 項之組合，其中在該串列配置中最後接收該命令之記憶體模組之個別的第二預設的延遲是零。

19.如申請專利範圍第 11 項之組合，其中該串列配置是一菊鏈連接的配置。

20.一種用於複數個以一菊鏈連接的配置連結之電子裝置中的命令延遲平衡之系統，其係包括：

一個處理器；

一個匯流排；

一個經由該匯流排連接至該處理器的控制器，其中該控制器係被配置以產生及傳送一個命令；以及



複數個以一菊鏈連接的配置彼此連接的電子裝置，其中該複數個電子裝置中只有一個電子裝置連接至該控制器，並且其中該複數個電子裝置的每個電子裝置係利用一個用於該菊鏈連接的配置之信號傳輸機構和該控制器通訊，

其中連接至該控制器的電子裝置係被配置以從該控制器接收該命令，並且傳遞該命令至該菊鏈連接的配置中之其它電子裝置，

其中在該複數個電子裝置中之至少一個電子裝置係被配置以延遲開始執行一接收到的命令，直到一個別的第一預設的延遲已經過去為止，以正規化該接收到的命令在該菊鏈連接的配置中之複數個電子裝置的執行。

21.如申請專利範圍第 20 項之系統，其中該至少一個電子裝置之個別的第一預設的延遲係根據該至少一個電子裝置對於該控制器的實際接近程度、從該控制器傳遞該命令至該菊鏈連接的配置中最後接收該命令的電子裝置所需的命令延遲時間、以及在該複數個電子裝置中的電子裝置總數來加以決定。

22.如申請專利範圍第 20 項之系統，其中該個別的第一預設的延遲係被儲存在每個該電子裝置中。

23.如申請專利範圍第 20 項之系統，其中最後接收該命令之電子裝置之個別的第一預設的延遲是零。

24.如申請專利範圍第 20 項之系統，其中每個該至少一個電子裝置係進一步被配置以延遲一對於該接收到的命令

的響應發送至該控制器，直到一個別的第二預設的延遲已經過去為止，其中該個別的第二預設的延遲係根據該至少一個電子裝置對於該控制器的實際接近程度、從該菊鏈連接的配置中最後接收該命令的電子裝置傳遞一產生的響應至該控制器所需的響應延遲時間、以及在該複數個電子裝置中的電子裝置總數來加以決定。

25.如申請專利範圍第 24 項之系統，其中該個別的第二預設的延遲係被儲存在每個該電子裝置中。

26.如申請專利範圍第 24 項之系統，其中最後接收該被命令之電子裝置之個別的第二預設的延遲是零。

## 十一、圖式：

如次頁