

申請日期： 93.4.13	IPC分類
申請案號： 93110212	H01L 27/11

(以上各欄由本局填註)

## 發明專利說明書

200423384

一、 發明名稱	中文	數位隨耦器、數位儲存元件以及靜態隨機存取記憶體
	英文	NEW STORAGE ELEMENT AND SRAM CELL STRUCTURES USING VERTICAL FETS CONTROLLED BY ADJACENT JUNCTION BIAS THROUGH SHALLOW TRENCH

二、 發明人 (共1人)	姓名 (中文)	1. 季明華
	姓名 (英文)	1. Min-Hwa Chi
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 新竹市大學路50號3樓2室
	住居所 (英文)	1.

三、 申請人 (共1人)	名稱或姓名 (中文)	1. 台灣積體電路製造股份有限公司
	名稱或姓名 (英文)	1. Taiwan Semiconductor Manufacturing Co., Ltd.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹科學工業園區新竹市力行六路八號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. NO. 8, Li-Hsin Rd. 6, Science-Based Industrial Park Hsin-Chu, Taiwan 300-77, R. O. C.
	代表人 (中文)	1. 張忠謀
	代表人 (英文)	1. Chung-Mou Chang



## 一、本案已向

國家(地區)申請專利	申請日期	案號	主張專利法第二十四條第一項優先權
美國 US	2003/04/22	10/420,263	有

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

熟習該項技術者易於獲得,不須寄存。

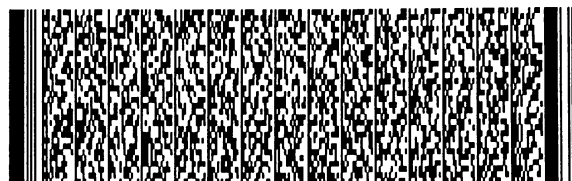
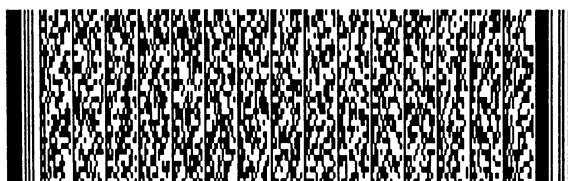
## 五、發明說明 (1)

## 發明所屬之技術領域

本發明係有關於一種儲存裝置，特別係有寫於一種應用數位隨耦器、及其建構而成之數位儲存元件；更有關於應用上述數位儲存元件建構而成之靜態隨機存取記憶體 (SRAM)。

## 先前技術

在先進的CMOS製程中，淺溝槽隔離(STI)是一種常用的隔離方法。然而由鄰近源極或汲極的電場穿透至通道或是基底的效應是顯著的，特別是STI的間隔縮小至小於 $0.15\mu\text{m}$ 。強化並且利用電場穿透效應以形成有用之垂直電阻和場效電晶體(FET)的技術已經揭露。第1A-1B圖表示p型垂直電阻。第1B圖p型垂直電阻是由一般CMOS製程製造，第1A圖的STI、 $n^+$ 摻雜區比第1B圖的STI、 $n^+$ 摻雜區深。垂直電阻可以由習知CMOS製程加上額外的三道光罩程序製造而成。其中一道光罩是用於蝕刻淺溝槽隔離區120、122，另一道光罩是用於 $n^+$ 控制接面110、112的高能離子植入，再另一道光罩是特別用於垂直通道區101的離子植入用以調整摻雜濃度。P型垂直通道區101的電阻值隨著 $n^+$ 控制接面110、112的偏壓 $V_n$ 變化。當偏壓 $V_n$ 的電壓在接地電位，p型垂直通道區101在側壁產生一小空乏區。垂直電阻的電阻值主要是由垂直通道區101的截面積所決定。當偏壓 $V_n$ 為高電壓，空乏區擴大，甚至擴大至整個垂直通道，或者垂直通道區101甚至進入反轉區，則垂直電

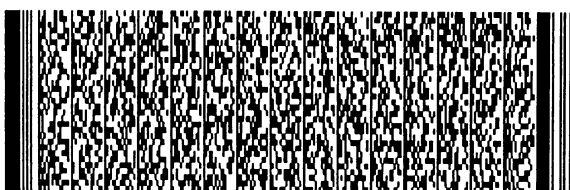


## 五、發明說明 (2)

阻的電阻值也就增加到非常大。

第1圖p型"場控"(field control)電阻的 $n^+$ 控制接面110、112可以改善為第2A圖或是第2B圖所示的 $p^+$ 控制接面130、132，其下方各有一n型底座(n-base)140、142用以隔絕p型基底200，因此 $p^+$ 控制接面130、132可以偏壓在零伏特，甚至是負電壓，例如 $-V_{cc}$ ，如第2B圖所示。當 $p^+$ 控制接面130、132的偏壓 $V_p$ 在負電壓，p型垂直通道區101在淺溝槽隔離區120、122的側壁進入電洞累積區(偏壓 $V_p$ 在更負電壓，電洞累積更顯著)，垂直場效電晶體導通。如第2A圖所示，當偏壓 $V_p$ 在 $+V_{cc}$ ，p型垂直通道區101在淺溝槽隔離區120、122的側壁完全進入空乏區(或者甚至進入反轉區)，如果摻雜濃度夠低，則垂直場效電晶體關閉。偏壓 $V_p$ 所需要的正、負電壓是由晶片上的電荷幫浦(charge pump)產生。n型底座140、142的摻雜製程是接著 $p^+$ 控制接面130、132的 $p^+$ 摻雜製程。由於 $p^+$ 控制接面130、132和p型垂直通道區101之間有較小的費米能階差， $p^+$ 控制接面130、132有容易感應電洞累積的好處。垂直場效電晶體亦可以只由一個淺溝槽隔離區的側壁用一個控制接面操作。p型垂直場效電晶體的操作方式是異於習知接面場效電晶體，以及表面金氧半電晶體。

第3A圖表示p型垂直場效電晶體的結構圖。第3B圖表示p型垂直場效電晶體的I-V特性曲線圖(基底接地時)。當 $p^+$ 控制接面130、132的偏壓 $V_p$ 是在 $-V_{cc}$ ，p型垂直通道的表面是在強累積區，大電流 $I_r$ 流過垂直場效電晶體，也就是



## 五、發明說明 (3)

強導通。當 $p^+$ 控制接面130、132的偏壓 $V_p$ 是在 $+V_{cc}$ ， $p$ 型垂直通道完全是在空乏區，小漏電流流過垂直場效電晶體，也就是關閉。當 $p^+$ 控制接面130、132的偏壓 $V_p$ 是在接地， $p$ 型垂直通道的表面是在輕微累積區(是由於 $p^+$ 控制接面130、132和 $p$ 型垂直通道區101之間有較小的費米能階差)，電流 $I_r$ 流過垂直場效電晶體，也就是正常導通。當跨於垂直場效電晶體的電壓 $V_r$ 增加到更大的正電壓，由於 $p$ 型垂直通道區101上方和 $p^+$ 控制接面130、132的電位差， $p$ 型垂直通道區101上方電洞累積更劇烈，電流 $I_r$ 增加的更快。在本發明中，對於正的電壓 $V_r(0v$ 到 $V_{cc})$ ，正常導通已經足夠。

同樣地，相同的原理也可以應用於垂直 $n$ 型電阻以及垂直 $n$ 型場效電晶體，其形成和操作是類似的，把第1圖、第2圖垂直 $p$ 型場效電晶體的極性和偏壓反轉。

第4A圖表示 $n$ 型垂直場效電晶體的結構圖。第4B圖表示 $n$ 型垂直場效電晶體的 $I-V$ 特性曲線圖( $n$ 型井區202係偏壓在 $V_{cc}$ )。當 $n^+$ 控制接面110、112的偏壓 $V_n$ 大於 $V_{cc}$ 時， $n$ 型垂直通道的表面顯然是在電子累積區(當偏壓 $V_n$ 在更大的正電壓，例如在 $+2V_{cc}$ 時，則是在強電子累積區)，電流 $I_r$ 流過 $n$ 型垂直場效電晶體，也就是導通。當 $n^+$ 控制接面110、112的偏壓 $V_n$ 是 $+V_{cc}$ 時， $n$ 型垂直通道的表面是在輕微累積區(是由於 $n^+$ 控制接面110、112和低摻雜 $n$ 型垂直通道區102之間有較小的費米階差)，電流 $I_r$ 流過垂直場效電晶體，也就是適當(moderate)導通。當 $n^+$ 控制接面110、



## 五、發明說明 (4)

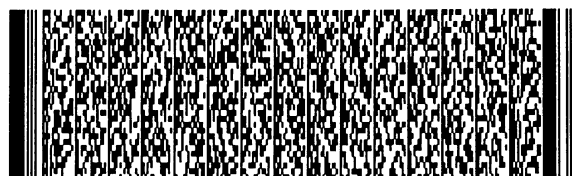
112 的偏壓  $V_n$  為接地，n 型垂直通道完全是在空乏區，小漏電流流過垂直場效電晶體，也就是關閉。

當跨於垂直場效電晶體的電壓(也就是  $V_{cc}-V_r$ )增加到更大的電壓，n 型垂直通道區 101 側壁上方電子累積更具劇烈，電流  $I_r$  增加的更快。在本發明中，正常導通已經足夠，不需要產生高電壓的電荷幫浦。

第 5A 圖表示習知 6-T SRAM 記憶單元電路圖，其包括兩個 p 型金氧半電晶體 p1、p2、兩個 n 型金氧半電晶體 n1、n2 所組成交叉耦合 CMOS 反相器 (INV-1、INV-2)，以及兩個開關電晶體 S1、S2。開關電晶體 S1 將交叉耦合反相器 INV-1 的輸入端、INV-2 的輸出端耦接到位元線 BL，開關電晶體 S2 將交叉耦合反相器 INV-1 的輸出端、INV-2 的輸入端耦接到互補位元線  $\overline{BL}$ ；其等效電路如第 5B 圖所示。

第 6 圖表示習知使用 0.13um CMOS 製程之 6-T SRAM 的佈局。傳統 SRAM 如第 5A、5B 圖、及第 6 圖所示者，均係使用兩個交叉耦合反相器 INV-1、INV-2 作為儲存記憶胞 (cell) 或儲存元件。傳統記憶胞中 MOS 電晶體之尺寸明顯地大於垂直型場效電晶體之尺寸。因此，若能使用垂直型場效電晶體來製作儲存元件，不僅能利用元件縮小化產生的場穿透特性，同時可以改善習知 SRAM 記憶單元佔用太多面積之問題。

發明內容



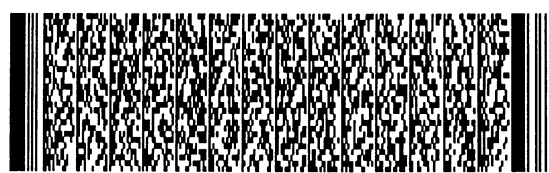
## 五、發明說明 (5)

為了解決習知SRAM記憶體佔用太多面積之問題，本發明首先利用一對垂直場效電晶體建構出一數位隨耦器，再利用數位隨耦器建構成一數位儲存元件，由於上述數位隨耦器之佈局面積小、結構簡單，因此能夠建構出面積小結構簡單之數位儲存元件。再進一步將上述數位儲存元件作為SRAM記憶體之單元，即能大幅降低SRAM記憶體所佔之面積。

為達成上述目的，本發明提出之數位隨耦器包括一第一型和一第二型垂直場效電晶體。上述第一型垂直場效電晶體，包括一第一型井區，設置於一第二型基底中；一第一型垂直通道區，設置於上述第一型井區中；及，一第一型控制接面區，設置於上述第一型井區中且與上述第一型井區及第一型垂直通道區互相區隔開。上述一第二型垂直場效電晶體，包括一第二型垂直通道區，設置於上述第二型基底中；一第二型控制接面區，設置於上述第二型基底中且與上述第二型基，及第二型垂直通道區互相區隔開。

上述數位隨耦器更包括一第一連接層，連接上述第一型、第二型控制接面區，作為上述數位隨耦器之輸入端；以及，一第二連接層，連接上述第一型、第二型垂直通道區，作為上述數位隨耦器之輸出端。

應用上述數位隨耦器，本發明所提出之數位儲存元件，包括：一開關；以及，一數位隨耦器（結構亦可同上述），其輸入端耦接上述開關之輸出，且其輸出端回授至上述輸入端。其中，當上述開關導通時，上述數位隨耦器



##### 五、發明說明 (6)

提供資料之存取，當上述開關關閉時，上述數位隨耦器則鎖住所存入之資料。

應用上述數位儲存元件，本發明所提出之SRAM記憶體，包括一第一字元線；一第一位元線；一第一數位隨耦器(結構亦可以同上所述)，其輸出端回授至其輸入端；以及，一第一開關，耦接於上述第一位元線及上述第一數位隨耦器的輸入端之間；其中，當上述第一開關接收上述字元線之信號而導通時，上述第一數位隨耦器提供資料之存取，當上述開關關閉時，上述數位隨耦器則鎖住所存入之資料。

為了讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖示，作詳細說明。

##### 實施方式

本發明利用一對垂直場效電晶體建構出一數位隨耦器(digital follower)，再利用數位隨耦器建構成一數位儲存元件，更進一步出一種新SRAM記憶單元的結構。本發明提出的具有兩個儲存元件SRAM記憶單元比習知SRAM記憶單元更省面積。配合感應放大器使用參考電壓 $V_{cc}/2$ ，本發明的SRAM記憶單元也可以儲存兩個位元。另外配合感應放大器使用參考電壓 $V_{cc}/2$ ，本發明的SRAM記憶單元也可以使用一個儲存元件，一條位元線。

第7A圖顯示本發明應用垂直型場效電晶體所製成之一





## 五、發明說明 (7)

數位隨耦器(digital follower)300，可作為數位儲存元件、或栓鎖器(latch)。

如圖所示，上述數位隨耦器300，包括一p型垂直場效電晶體300p、以及一n型垂直場效電晶體300n；其中p型垂直場效電晶體300p的p<sup>+</sup>控制接面130和n型垂直場效電晶體300n的n<sup>+</sup>控制接面110耦接在一起成為數位隨耦器300的輸入端301；而p型垂直場效電晶體300p的p型垂直通道101和n型垂直場效電晶體300n的n型垂直通道102則耦接在一起成為數位隨耦器300的輸出端305。上述p型垂直場效電晶體300p和n型垂直場效電晶體300n之結構及動作原理，已詳述於第2A、2B、3A、3B、4A及4B圖，在此不再予以贅述。

如第7A圖所示，當輸入端301的偏壓V<sub>i</sub>為高電壓，例如V<sub>cc</sub>，n型垂直通道102藉由電子累積而導通，而p型垂直通道101則關閉。因此，輸出端305會耦接到n型井區202，而n型井區202係耦接到V<sub>cc</sub>，所以輸出端305之輸出電壓成為V<sub>cc</sub>。再如第7B圖所示，當輸入端301的偏壓V<sub>i</sub>為低電壓，例如0v，p型垂直通道101藉由電洞累積導通，而n型垂直通道102則關閉。因此，輸出端305會耦接到p型基底200，而p型基底200係耦接到0v，所以輸出端305輸出電壓成為0v。

若將數位隨耦器300的輸入端301耦接到輸出端305，則可以維持住輸入端301之偏壓狀態、和輸出端305的輸出狀態；因此，數位隨耦器300可以用作儲存元件、或是栓鎖器，其功能相似於習知一對交叉耦合反相器所形成之栓



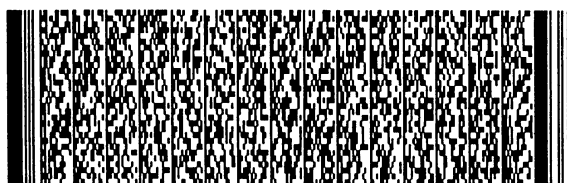
## 五、發明說明 (8)

鎖器。

第8A圖表示一由一對垂直型場效電晶體所構成之數位隨耦器(栓鎖器)的緊密佈局圖；其中，850表示形成於p型基底800的n型井區；AA表示主動區之範圍801和830分別表示形成於上述p型基底800中的p型垂直通道、及p<sup>+</sup>控制接面；802和810分別表示形成於上述n型井區850中的n型垂直通道、及n<sup>+</sup>控制接面；連接上述p<sup>+</sup>控制接面830和上述n<sup>+</sup>控制接面810的金屬層M1<sub>1</sub>，係作為上述數位隨耦器之輸入端以接收輸入電壓V<sub>i</sub>；以及，連接上述p型垂直通道801和上述n型垂直通道802的金屬層M1<sub>2</sub>，係作為上述數位隨耦器之輸出端以送出電壓V<sub>o</sub>。另外，第8B圖表示數位隨耦器(或栓鎖器)的功能方塊圖。

和習知利用一對交叉耦合反相器所形成之栓鎖器相比較，第8A圖所示之栓鎖器，消除了多晶矽閘極和用於連接到V<sub>cc</sub>和接地的金屬接觸窗，使用垂直場效電晶體作為栓鎖器、或數位儲存元件的全部面積可以大量地減少。以0.13μm製程為例，數位儲存元件可以使用最小的尺寸0.52 μm × 0.52 μm，也就是一邊兩個間距(pitch)，以相同的製程和習知一對交叉耦合反相器所形成之栓鎖器比較，至少減少十倍。

第9A圖表示本發明數位儲存元件的電路圖，係使用由垂直型場效電晶體組成之栓鎖器900(或數位隨耦器)所建構而成。上述數位儲存元件，包括一輸入開關S1用以寫入資料至上述栓鎖器900，輸入開關S1例如是用習知n型金氧



##### 五、發明說明 (9)

半電晶體構成。第9B圖則係表示習知數位儲存元件的電路圖，其包括一輸入開關S1用以寫入資料，及由兩個反相器Inv來構成栓鎖器。

本發明進一步提出應用兩個數位儲存元件(如第9A圖所示)來構成一種新穎SRAM記憶單元的架構。

請參照第10A圖，本發明提出之一種SRAM記憶單元400，其包括兩個數位儲存元件latch-1、latch-2，兩個開關S1、S2(例如由n型金氧半電晶體所構成)；上述開關S1、S2配合互補位元線BL、BLB而對數位儲存元件latch-1、latch-2進行資料寫入或讀出。第10B圖表示第10A圖所示SRAM記憶單元的佈局圖，和第5圖習知SRAM記憶單元比較，面積至少減少兩倍。SRAM的記憶單元400讀寫操作則類似習知SRAM記憶單元。

本發明提出之SRAM記憶單元400，由於具備兩個儲存單元(latch-1、latch-2)，故亦可用以儲存2位元(2-bits)的資料。

第11圖表示可儲存兩位元資料的SRAM的記憶單元500，和第10a圖相同，其包括兩個數位儲存元件latch-1、latch-2，兩個開關S1、S2(例如由n型金氧半電晶體構成)，上述開關S1、S2配合兩條位元線BLa、BLb而可分別對數位儲存元件latch-1、latch-2進行資料寫入或讀出。

第11圖和第10a圖不同之處是在於，數位儲存元件latch-1、數位儲存元件latch-2可以分別獨立儲存高位準

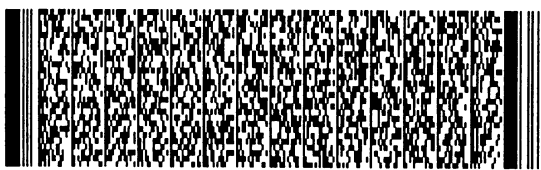


## 五、發明說明 (10)

或是低位準的資料。在讀取操作期間，開關電晶體S1、S2導通，位元線BLa、BLb分別偏壓在數位儲存元件latch-1、latch-2所儲存資料的位準，也就是2位元資料，例如"11"、"10"、"00"、"01"。2位元資料的讀取是藉由兩個感應放大器SA1、SA2分別比較數位儲存元件latch-1、數位儲存元件latch-2儲存的資料高於參考電壓Vcc/2或是低於參考電壓Vcc/2而決定，而感應放大器SA1、SA2的輸出電壓Voa、Vob所對應之之邏輯值就是代表2位元資料。

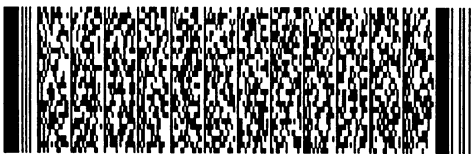
第11圖所提出之可儲存兩位元資料的SRAM記憶單元500，更可以進一步簡化成為儲存一位元(1-bit)資料的SRAM記憶單元。

第12A圖表示一儲存一位元資料的SRAM記憶單元600，其包括一個數位儲存元件latch-1，一個開關S1(例如是由n型金氧半電晶體構成)，上述開關S1配合一條位元線BL而對數位儲存元件latch-1進行1位元資料之寫入和讀出。在讀取操作期間，開關電晶體S1導通，位元線BL偏壓在數位儲存元件latch-1所儲存資料的位準，也就是1位元資料。1位元資料的讀取是藉由一個感應放大器SA1比較數位儲存元件latch-1儲存的資料高於參考電壓Vcc/2或是低於參考電壓Vcc/2而決定，感應放大器SA1的輸出電壓Vo所對應之邏輯值就是代表1位元資料。第12B圖則表示一儲存一位元的SRAM記憶單元600的佈局圖，一位元的SRAM的記憶單元600可以更節省面積。



## 五、發明說明 (11)

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 圖式簡單說明

第1A-1B圖表示p型垂直電阻。

第2A-2B圖表示p型垂直場效電晶體。

第3A圖表示n型垂直場效電晶體。

第3B圖表示P型垂直場效電晶體的I-V曲線(基底接地)。

第4A圖表示n型垂直場效電晶體。

第4B圖表示n型垂直場效電晶體的I-V曲線(n型井區偏壓在Vcc)。

第5A圖表示習知6-T SRAM電路圖。

第5B圖表示習知6-T SRAM等效電路圖。

第6圖表示習知6-T SRAM佈局圖。

第7A-7B圖表示本發明之數位隨耦器。

第8A圖表示本發明數位隨耦器的佈局圖。

第8B圖表示本發明數位隨耦器的功能方塊圖。

第9A圖表示本發明數位儲存元件的電路圖。

第9B圖表示習知數位儲存元件的電路圖。

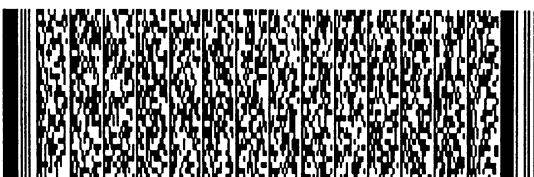
第10A圖表示本發明SRAM的記憶單元電路圖。

第10B圖表示本發明SRAM的記憶單元佈局圖。

第11圖表示本發明儲存兩位元的SRAM的記憶單元電路圖。

第12A圖表示本發明儲存一位元的SRAM的記憶單元電路圖。

第12B圖表示本發明儲存一位元的SRAM的記憶單元佈局圖。



四、中文發明摘要 (發明名稱：數位隨耦器、數位儲存元件以及靜態隨機存取記憶體)

本發明主要利用一對垂直場效電晶體建構出一數位隨耦器(digital follower)，再利用數位隨耦器建構成一數位儲存元件，更進一步提出一種新SRAM記憶單元的結構。因此，本發明提出的具有兩個儲存元件SRAM記憶單元比習知SRAM記憶單元更省面積。配合感應放大器使用參考電壓 $V_{cc}/2$ ，本發明的SRAM記憶單元也可以儲存兩個位元。另外配合感應放大器使用參考電壓 $V_{cc}/2$ ，本發明的SRAM記憶單元也可以使用一個儲存元件，一條位元線。

伍、(一)、本案代表圖為：第10A圖

(二)、本案代表圖之元件代表符號簡單說明：

400~SRAM記憶單元；

latch-1、latch-2~數位隨耦器；

S1、S2~開關；

WL~字元線；

六、英文發明摘要 (發明名稱：NEW STORAGE ELEMENT AND SRAM CELL STRUCTURES USING VERTICAL FETS CONTROLLED BY ADJACENT JUNCTION BIAS THROUGH SHALLOW TRENCH)

A new digital follower device is achieved. The digital follower device comprises an n-channel vertical FET device and a p-channel vertical FET device. Each vertical FET device comprises a bulk region in a semiconductor substrate. The bulk region comprises a first doping type. A STI region is in the bulk region. A drain region is on a first side of the STI region. The drain



四、中文發明摘要 (發明名稱：數位隨耦器、數位儲存元件以及靜態隨機存取記憶體)

BL、BLB~位元線、互補位元線。

六、英文發明摘要 (發明名稱：NEW STORAGE ELEMENT AND SRAM CELL STRUCTURES USING VERTICAL FETS CONTROLLED BY ADJACENT JUNCTION BIAS THROUGH SHALLOW TRENCH)

region overlies the bulk region. The drain region comprises the first doping type. A gate region is on a second side of the STI region. The gate region comprises the first doping type. A voltage on the gate region controls a vertical channel in the bulk region. A buried region is between the gate region and the bulk region. The buried region comprises a second doping type. The





四、中文發明摘要 (發明名稱：數位隨耦器、數位儲存元件以及靜態隨機存取記憶體)

六、英文發明摘要 (發明名稱：NEW STORAGE ELEMENT AND SRAM CELL STRUCTURES USING VERTICAL FETS CONTROLLED BY ADJACENT JUNCTION BIAS THROUGH SHALLOW TRENCH)

n-channel FET device drain and the p-channel FET device gate and the p-channel FET device gate are connected together.



## 六、申請專利範圍

1. 一種數位隨耦器(digital follower)，包括：
  - 一第一型垂直場效電晶體，包括：
  - 一第一型井區，設置於一第二型基底中；
  - 一第一型垂直通道區，設置於上述第一型井區中；及
  - 一第一型控制接面區，設置於上述第一型井區中且與上述第一型井區及第一型垂直通道區互相區隔開；
  - 一第二型垂直場效電晶體，包括：
  - 一第二型垂直通道區，設置於上述第二型基底中；
  - 一第二型控制接面區，設置於上述第二型基底中且與上述第二型基底及第二型垂直通道區互相區隔開；
  - 一第一連接層，連接上述第一型、第二型控制接面區，作為上述數位隨耦器之輸入端；以及
  - 一第二連接層，連接上述第一型、第二型垂直通道區，作為上述數位隨耦器之輸出端。
2. 如申請專利範圍第1項所述之數位隨耦器，其中上述第一型井區為沿一第一方向設置之長條形區域；上述第一型垂直通道區和上述第一型控制接面區，係沿上述第一方向設置；上述第二型垂直通道區和上述第二型控制接面區係平行上述第一型井區而設置，而且分別地鄰近上述第一型垂直通道區和上述第一型控制接面區；上述第一、第二連接層實質彼此互相平行，且實質上垂直於上述第一方向。
3. 如申請專利範圍第1項所述之數位隨耦器，其中，上述第一型垂直場效電晶體更包括一第二型摻雜底座，設



## 六、申請專利範圍

置於上述第一型控制接面區之下方；上述第二型垂直場效電晶體更包括一第一型摻雜底座，設置於上述第二型控制接面區之下方；且上述第一、第二型控制接面區係為絕緣區所包圍。

4. 如申請專利範圍第3項所述之數位隨耦器，其中，上述第一型係為n型，上述第二型係為p型。

5. 如申請專利範圍第4項所述之數位隨耦器，其中，上述p型基底係偏壓在一參考電位；上述n型井區係偏壓在一第一電位，上述第一電位大於上述參考電位。

6. 如申請專利範圍第5項所述之數位隨耦器，其中，當上述輸入端耦接一第一電壓時，上述第一型垂直通道導通而上述第二型垂直通道關閉，藉以將上述第一電位耦接至上述輸出端；當上述輸入端耦接一第二電壓時，上述第二型垂直通道導通而上述第一型垂直通道關閉，藉以將上述參考電位耦接至上述輸出端；上述第一電壓大於上述第二電壓。

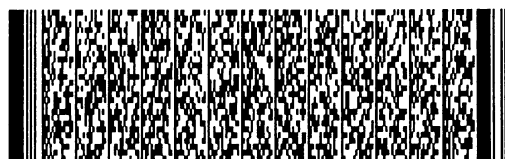
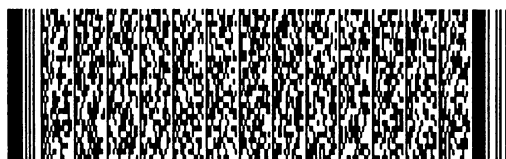
7. 一種數位儲存元件，包括：

一開關；以及

一數位隨耦器，由一第一型和一第二型垂直場效電晶體所構成，其輸入端耦接上述開關之輸出，且其輸出端回授至上述輸入端；

上述第一型垂直場效電晶體，包括：

一第一型垂直通道，及一第一型控制接面區，彼此間互為電性隔離；



## 六、申請專利範圍

上述第二型垂直場效電晶體，包括：

一第二型垂直通道，及一第二型控制接面區，彼此間互為電性隔離；

其中，上述第一型及第二型垂直通道互相耦接，作為上述數位隨耦器之輸入端；上述第一型及第二型控制接面互相耦接，作為上述數位隨耦器之輸出端；

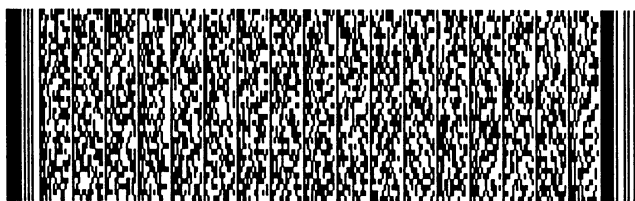
當上述開關導通時，上述數位隨耦器提供資料之存取，當上述開關關閉時，上述數位隨耦器則鎖住所存入之資料。

8. 如申請專利範圍第7項所述之數位儲存元件，其中，上述第二型垂直通道及上述第二型控制接面均係設置於一第二型基底中，且上述第二型控制接面分別與上述第二型基底及第二型垂直通道區係互相區隔開；以及

上述第一型垂直通道及上述第一型控制接面均係設置於一形成於上述第二型基底內之第一型井區中，且上述第二型控制接面分別與上述第一型井區及第一型垂直通道區係互相區隔開。

9. 如申請專利範圍第8項所述之數位儲存元件，其中，上述第一型垂直場效電晶體更包括一第二型摻雜底座，設置於上述第一型控制接面之下方；上述第二型垂直場效電晶體更包括一第一型摻雜底座，設置於上述第二型控制接面之下方；上述第一型、第二型控制接面之側壁係為絕緣區所包圍。

10. 如申請專利範圍第9項所述之數位儲存元件，其



## 六、申請專利範圍

中，上述第一型係為n型，上述第二型係為p型。

11. 如申請專利範圍第10項所述之數位儲存元件，其中，上述p型基底係偏壓在一參考電位；上述n型井區係偏壓在一第一電位，上述第一電位大於上述參考電位。

12. 一種靜態隨機存取記憶體，包括：

一第一字元線；

一第一位元線；

一第一數位隨耦器，由一第一型和一第二型垂直場效電晶體所構成，其輸出端回授至其輸入端；以及

一第一開關，耦接於上述第一位元線及上述第一數位隨耦器的輸入端之間；

上述第一型垂直場效電晶體，包括：

一第一型垂直通道，及一第一型控制接面區，彼此間互相間隔開；

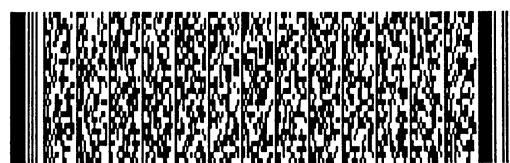
上述第二型垂直場效電晶體，包括：

一第二型垂直通道，及一第二型控制接面區，彼此間互相區隔開；

其中，上述第一型及第二型垂直通道互相耦接，作為上述數位隨耦器之輸入端；上述第一型及第二型控制接面互相耦接，作為上述數位隨耦器之輸出端；

當上述第一開關接收上述字元線之信號而導通時，上述第一數位隨耦器提供資料之存取，當上述開關關閉時，上述數位隨耦器則鎖住所存入之資料。

13. 如申請專利範圍第12項所述之靜態隨機存取記憶



## 六、申請專利範圍

體，更包括：

一 第二位元線；

一 第二數位隨耦器，其結構同上述第一數位隨耦器，其輸出端亦回授至其輸入端；以及

一 第二開關，耦接於上述第二位元線及上述第二數位隨耦器的輸入端之間；

其中，透過上述第一、第二位元線配合上述第一、第二開關之操作，可分別獨立地對上述第一、第二數位隨耦器存取2位元資料。

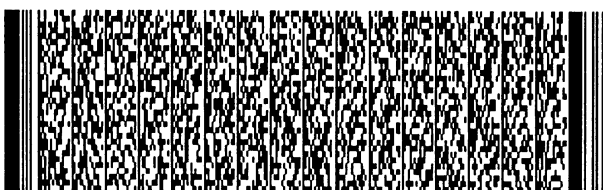
14. 如申請專利範圍第13項所述之靜態隨機存取記憶體，更包括一第一、及一第二感應放大器；上述第一感應放大器耦接上述第一位元線及一參考電壓，用以將由上述第一數位隨耦器所讀出之第一資料電壓與上述參考電壓比較，而決定上述第一資料之邏輯值；上述第二感應放大器耦接上述第二位元線及上述參考電壓，用以將由上述第二數位隨耦器所讀出之第二資料電壓與上述參考電壓比較，而決定上述第二資料之邏輯值。

15. 如申請專利範圍第12項所述之靜態隨機存取記憶體，更包括：

一 第二位元線，作為上述第一位元線之互補位元線；

一 第二數位隨耦器，其結構同上述第一數位隨耦器，其輸出端亦回授至其輸入端；以及

一 第二開關，耦接於上述第二位元線及上述第二數位隨耦器的輸入端之間；



## 六、申請專利範圍

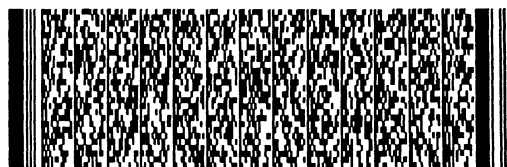
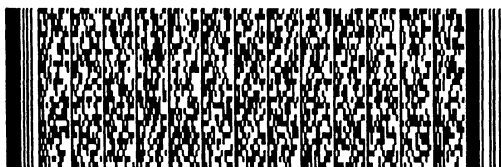
其中，透過上述第一、第二位元線配合上述第一、第二開關之操作，而對上述第一、第二數位隨耦器進行互補資料之存取。

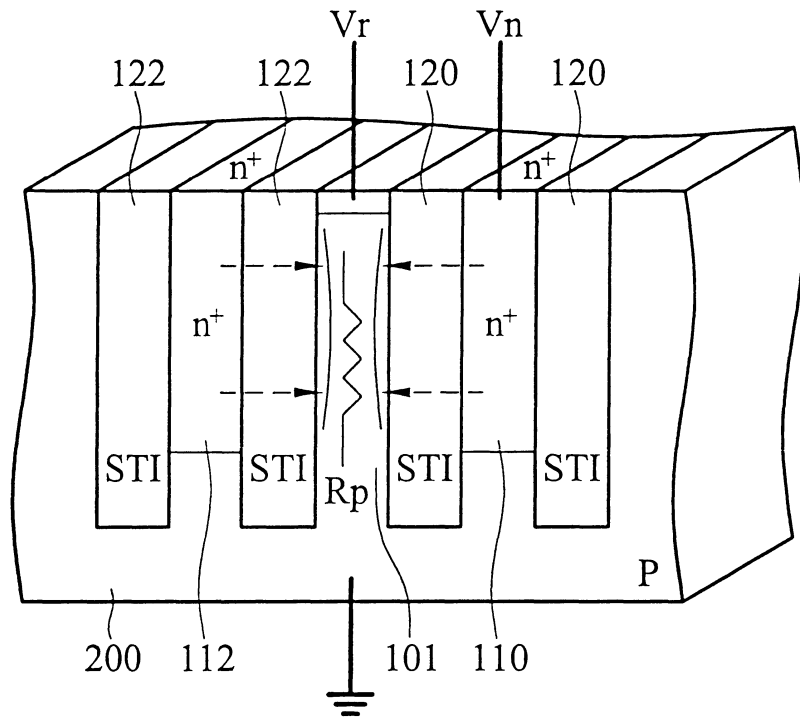
16. 如申請專利範圍第12項所述之靜態隨機存取記憶體，更包括一第一感應放大器，耦接上述第一位元線及一參考電壓，用以將由上述第一數位隨耦器所讀出之第一資料電壓與上述參考電壓比較，而決定上述第一資料之邏輯值。

17. 如申請專利範圍第12項所述之靜態隨機存取記憶體，其中，上述第二型垂直通道及上述第二型控制接面均係設置於一第二型基底中，且上述第二型控制接面分別與上述第二型基底及第二型垂直通道區係互相區隔開；以及上述第一型垂直通道及上述第一型控制接面均係設置於一形成於上述第二型基底內之第一型井區中，且上述第二型控制接面分別與上述第一型井區及第一型垂直通道區係互相區隔開。

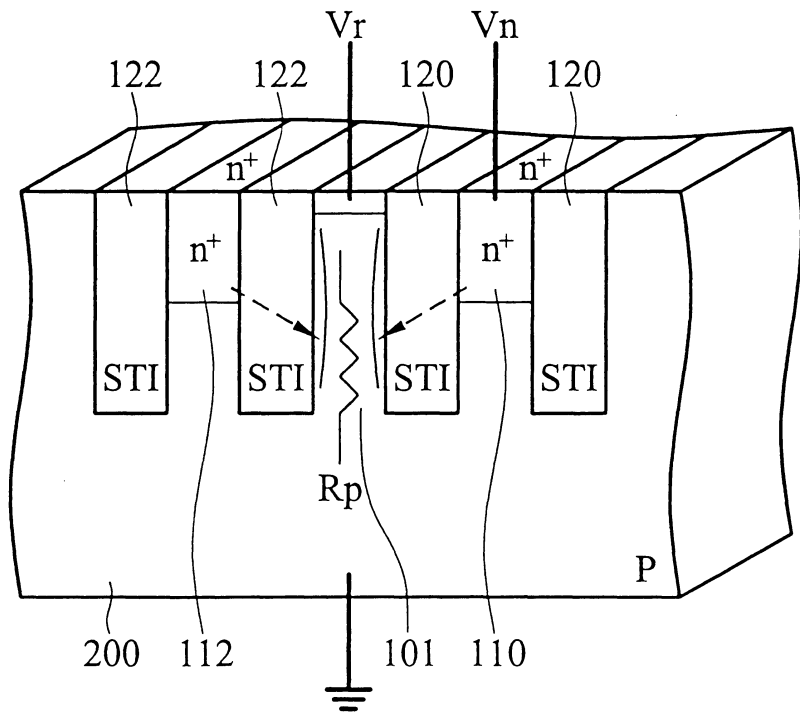
18. 如申請專利範圍第17項所述之靜態隨機存取記憶體，其中，上述第一型垂直場效電晶體更包括一第二型摻雜底座，設置於上述第一型控制接面之下方；上述第二型垂直場效電晶體更包括一第一型摻雜底座，設置於上述第二型控制接面之下方；上述第一型、第二型控制接面之側壁係為絕緣區所包圍。

19. 如申請專利範圍第18項所述之靜態隨機存取記憶體，其中，上述第一型係為n型，上述第二型係為p型。



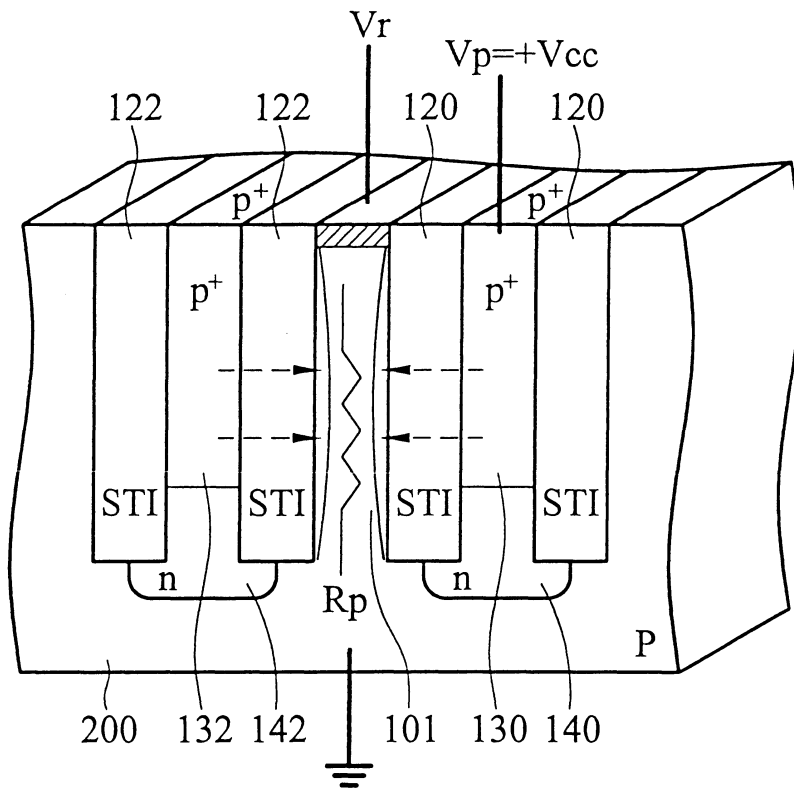


第1A圖

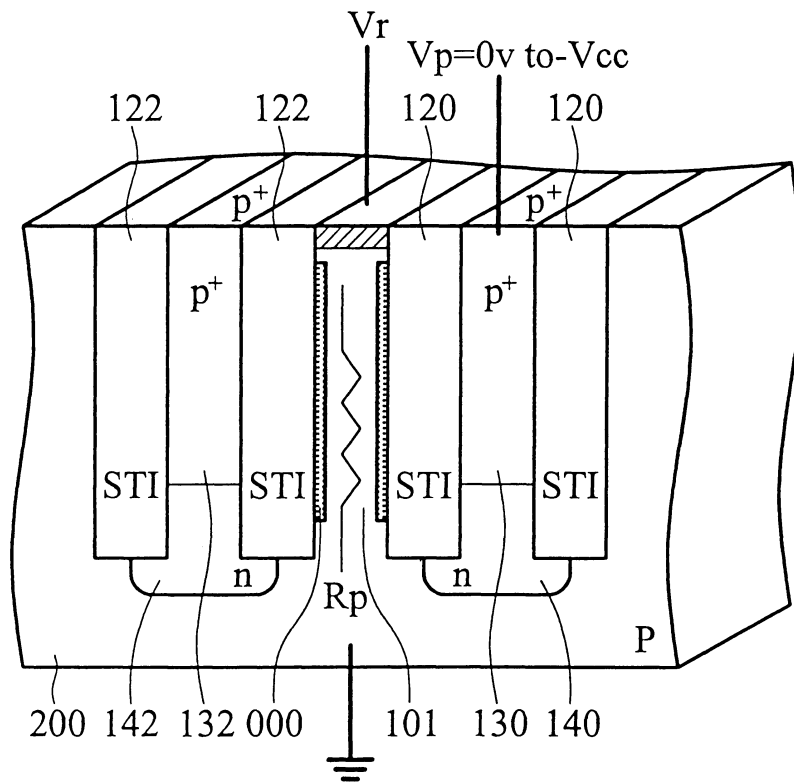


第1B圖

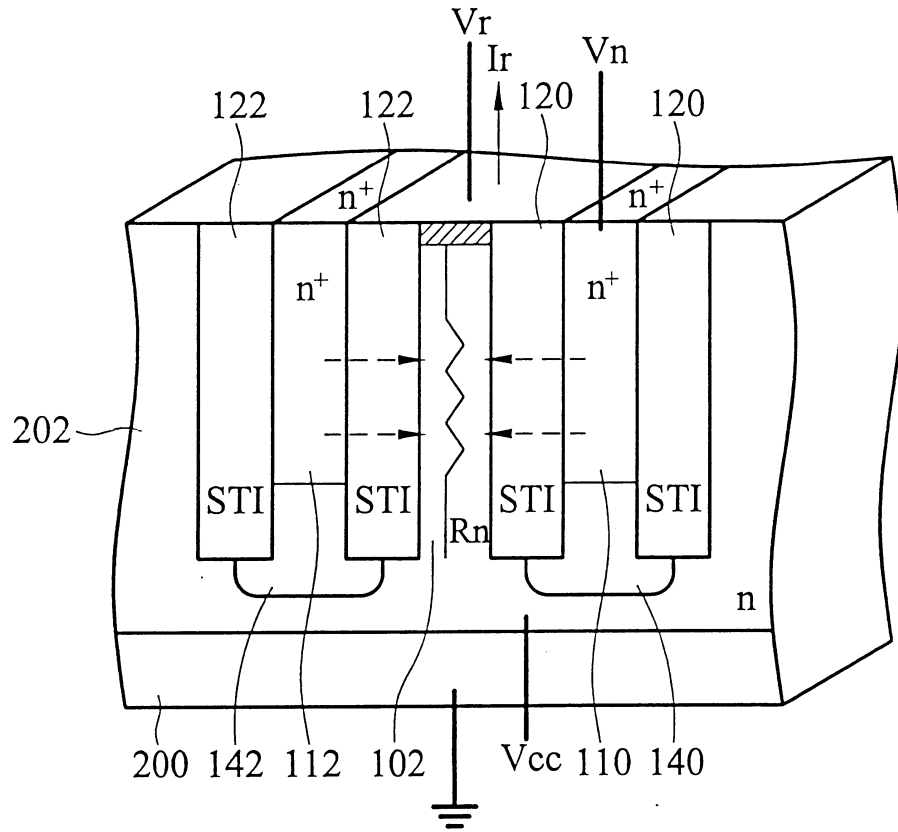




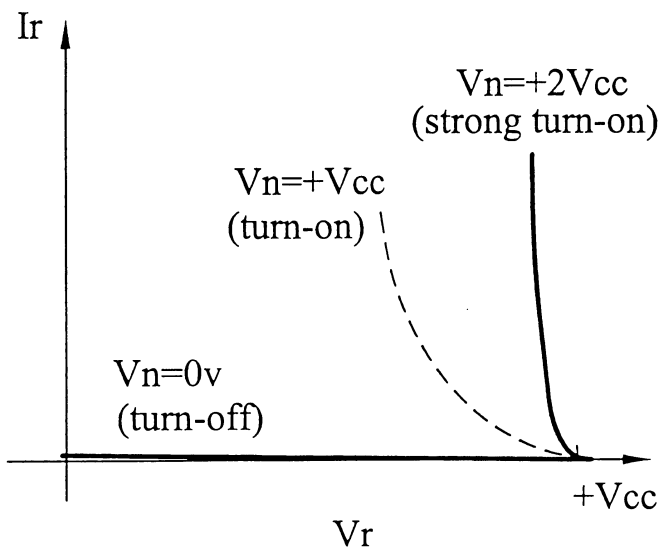
第2A圖



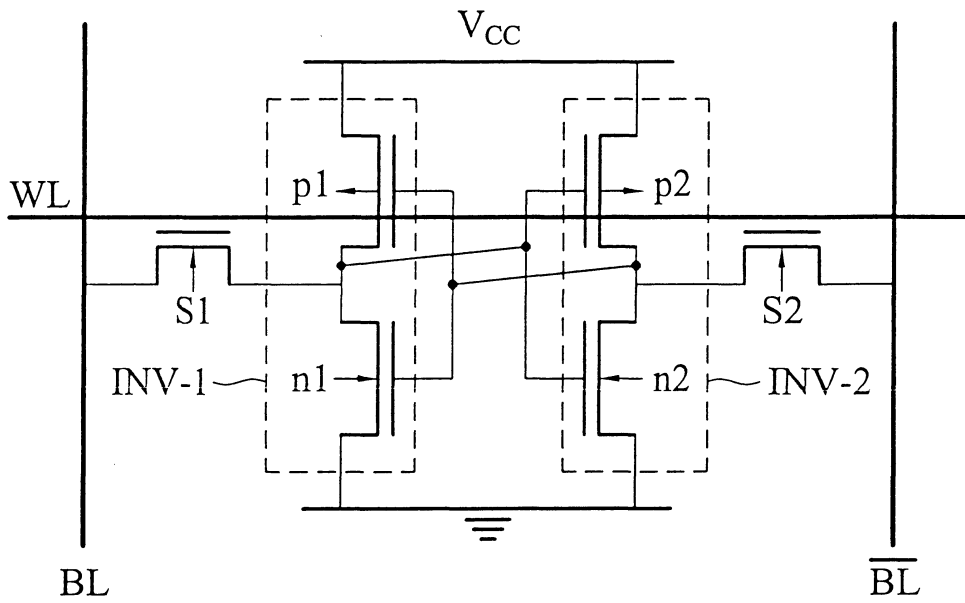
第2B圖



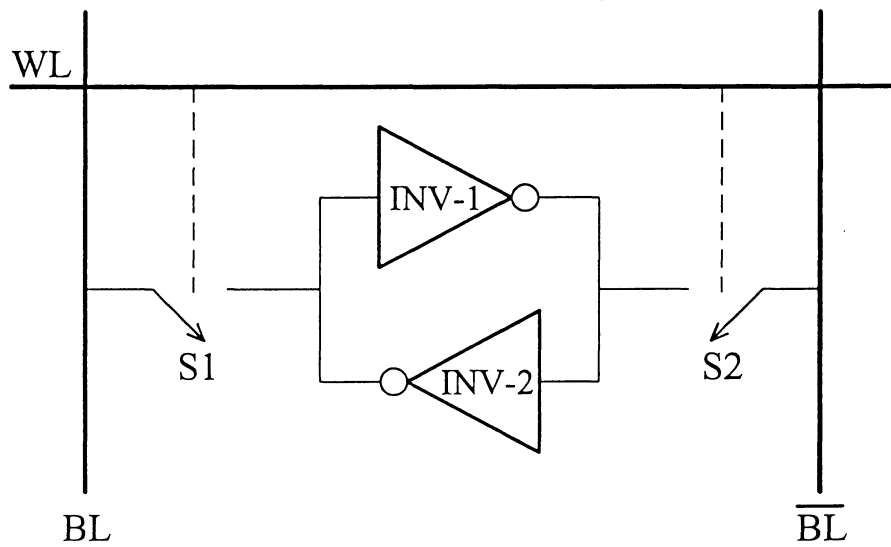
第 4A 圖



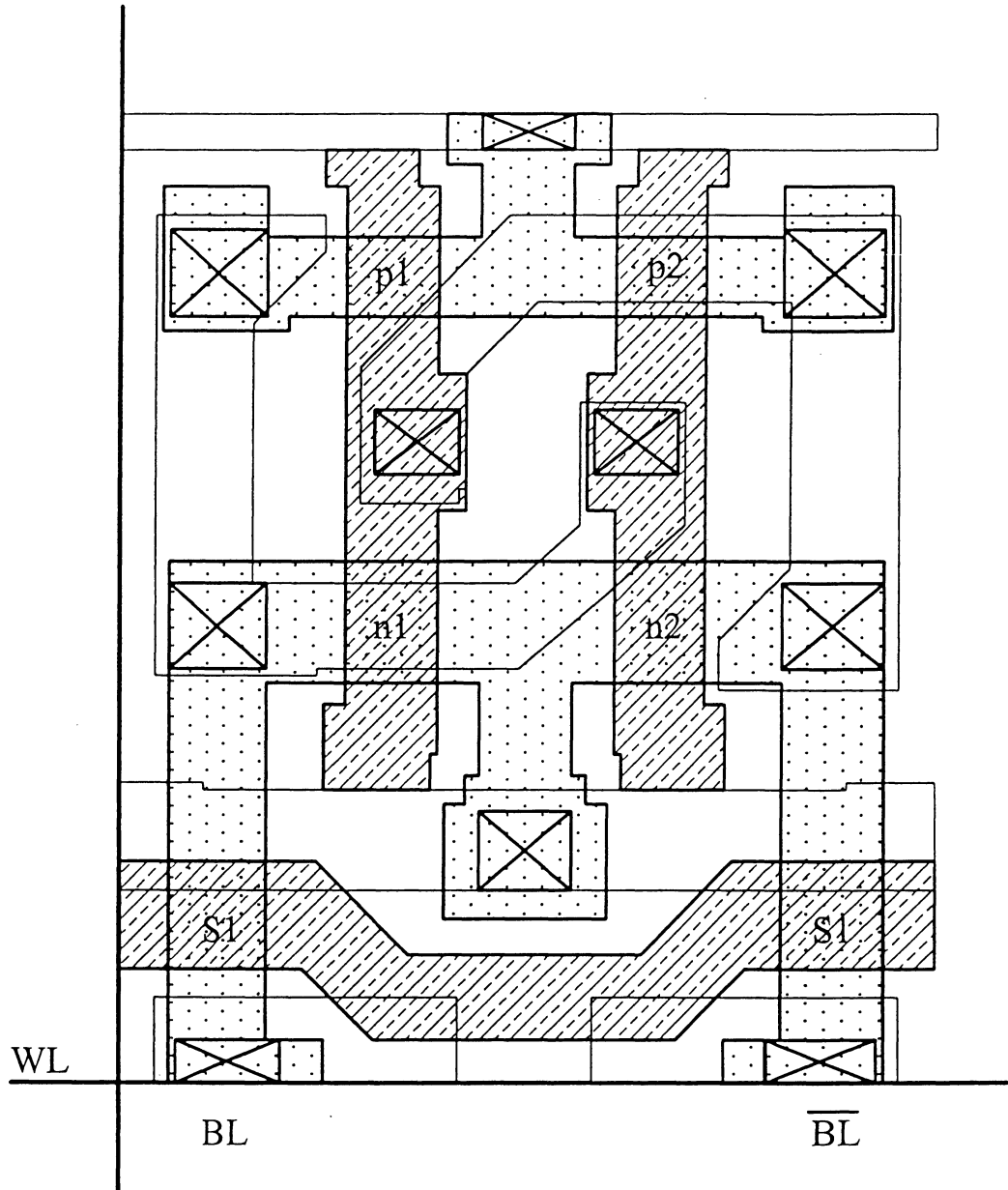
第 4B 圖



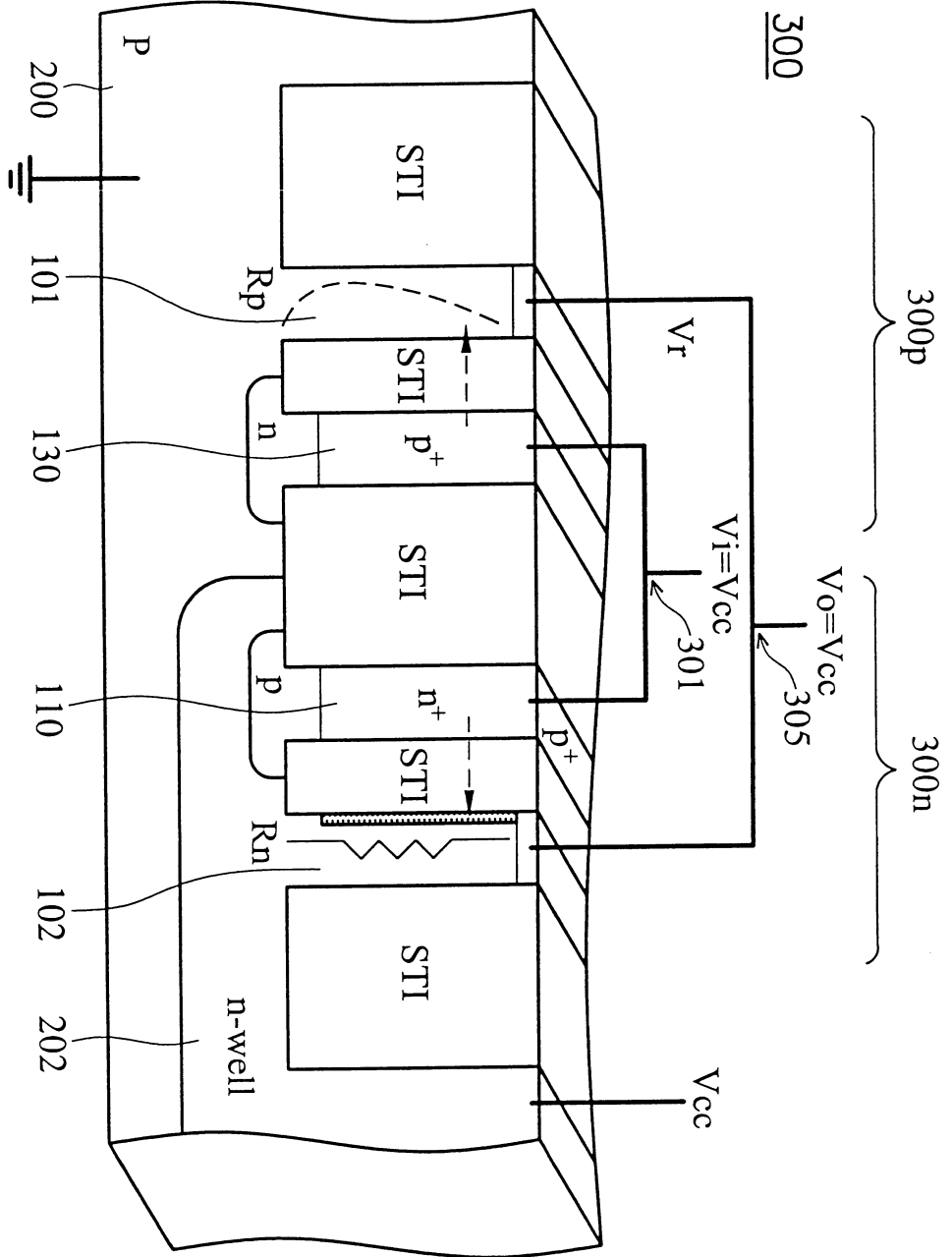
第5A圖



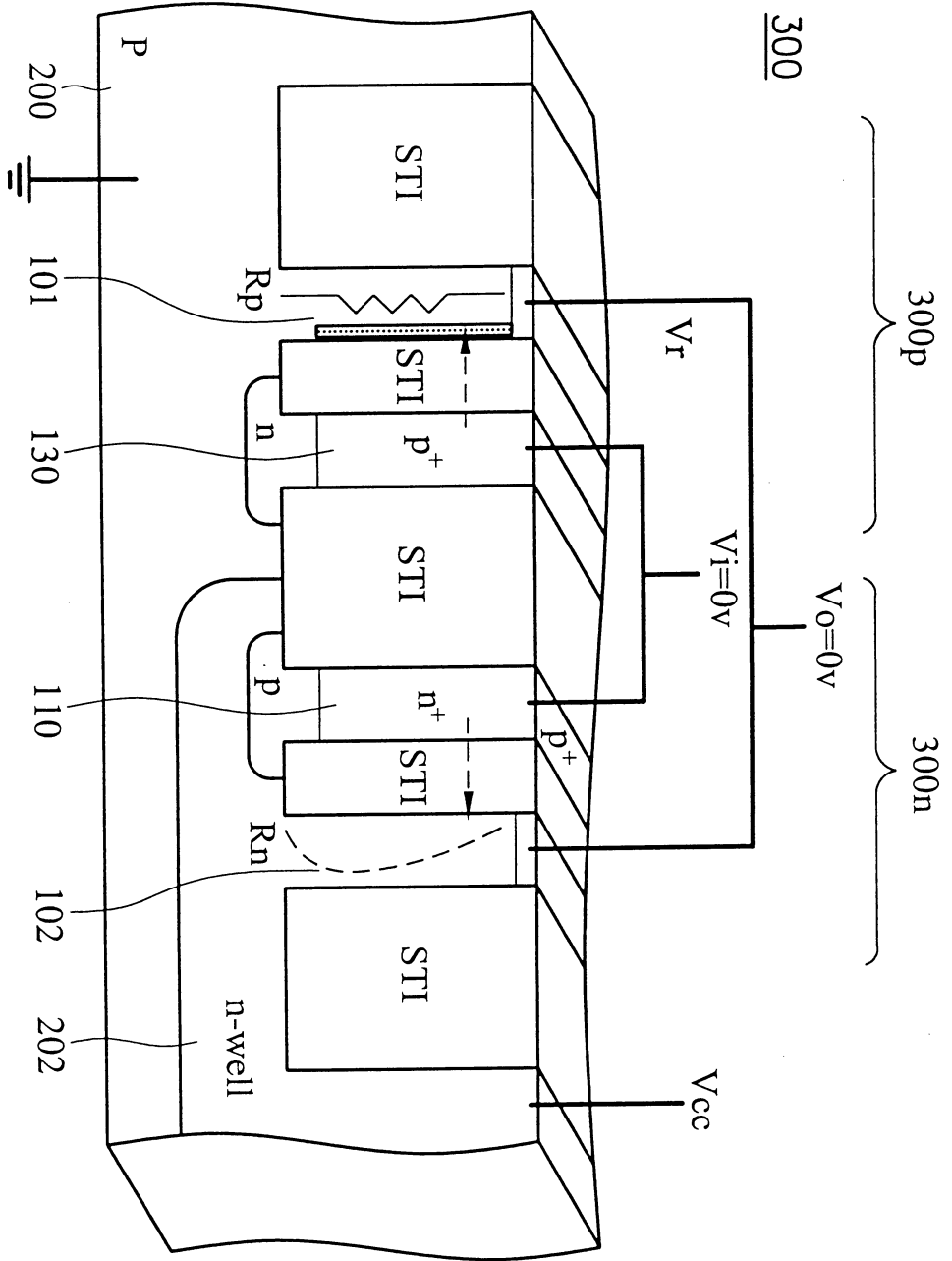
第5B圖



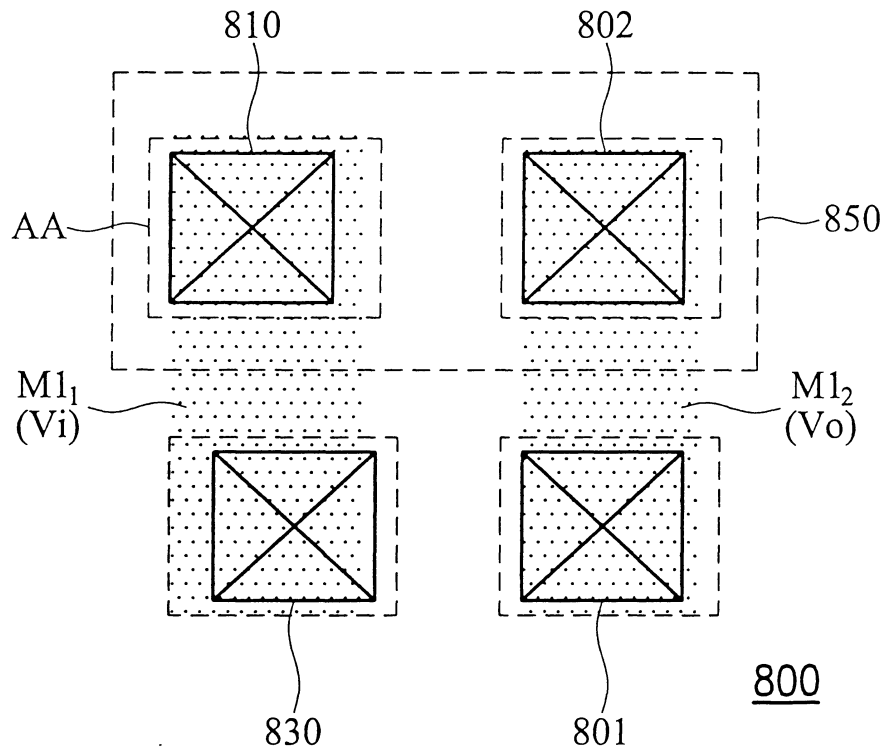
第 6 圖



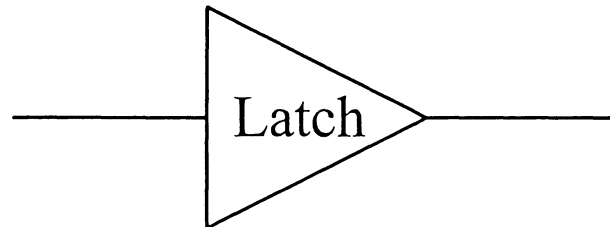
第7A圖



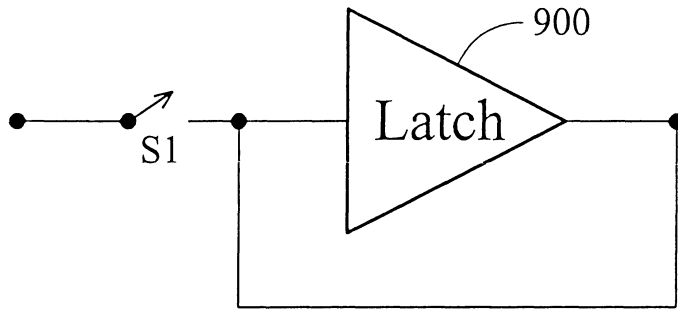
第7B圖



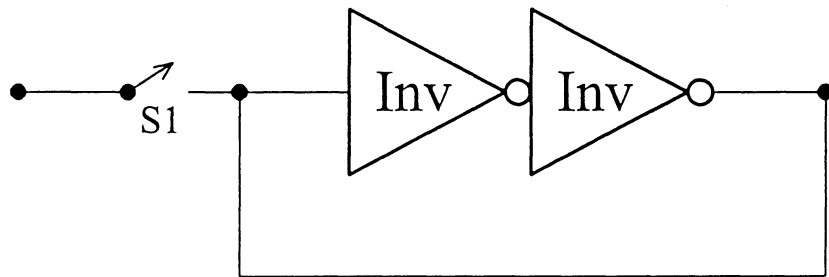
第8A圖



第8B圖

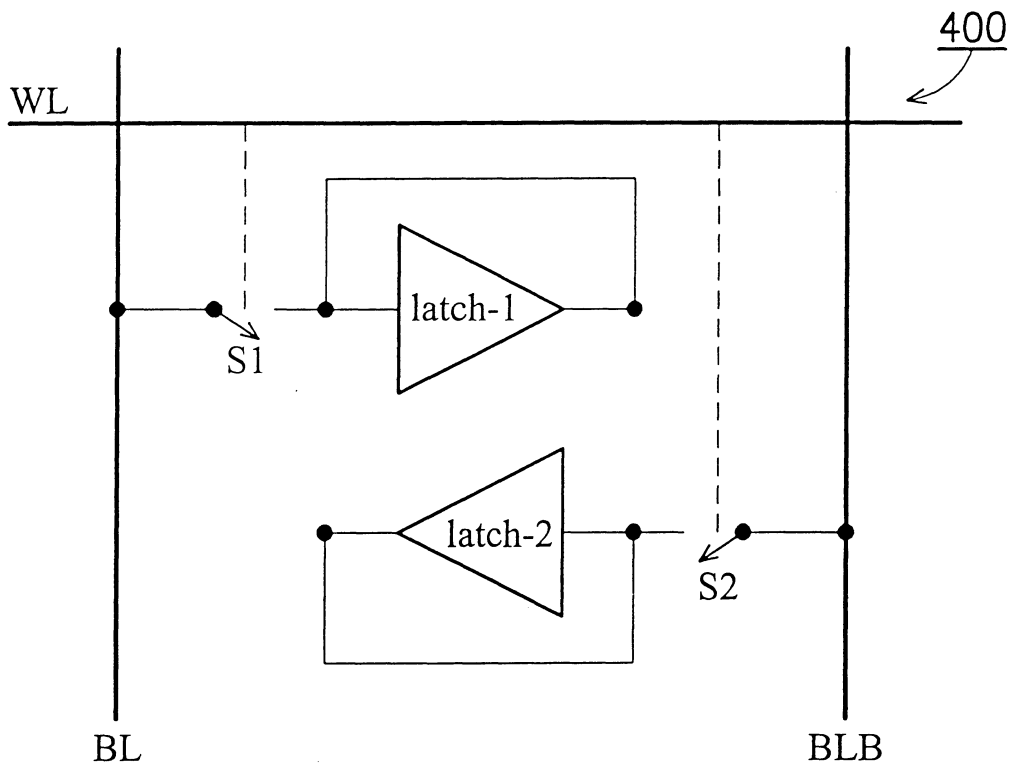


第9A圖

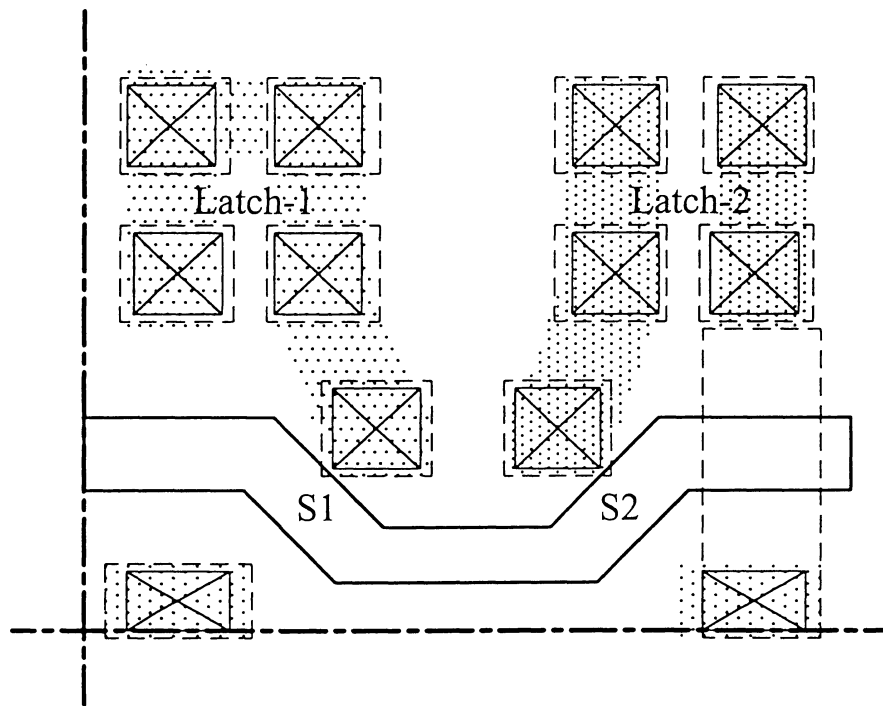


第9B圖

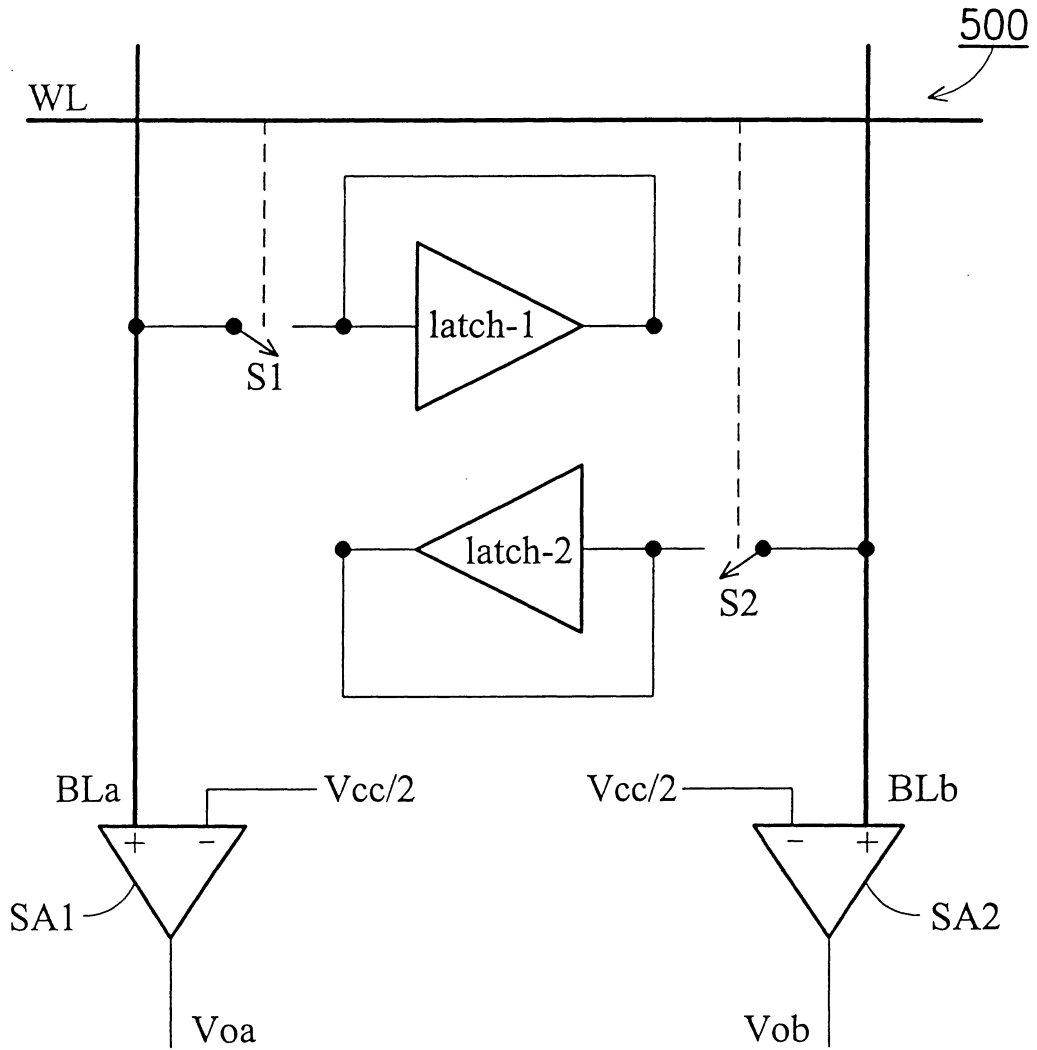




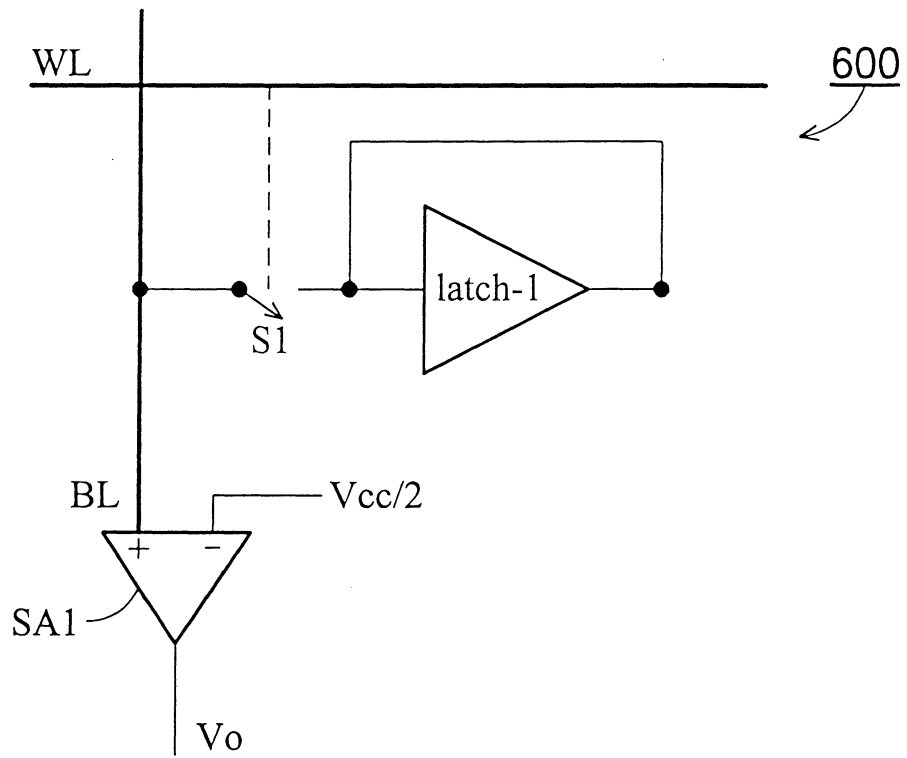
第10A圖



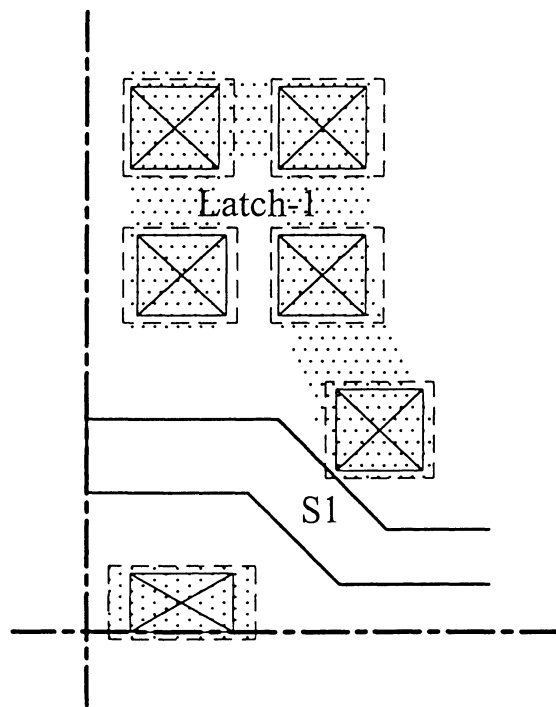
第10B圖



第 11 圖



第12A圖



第12B圖