



(12) 发明专利申请

(10) 申请公布号 CN 114124100 A

(43) 申请公布日 2022. 03. 01

(21) 申请号 202111457615.3

(22) 申请日 2021.12.01

(71) 申请人 南京邮电大学

地址 226000 江苏省南通市港闸区新康路
33号云院9、10幢

申请人 南京邮电大学南通研究院有限公司

(72) 发明人 张翼 高昊 刘依桦 刘雅琴

庄宇航 姚佳飞 张瑛 蔡志匡

肖建 郭宇锋

(74) 专利代理机构 南京正联知识产权代理有限

公司 32243

代理人 王素琴

(51) Int. Cl.

H03M 3/00 (2006.01)

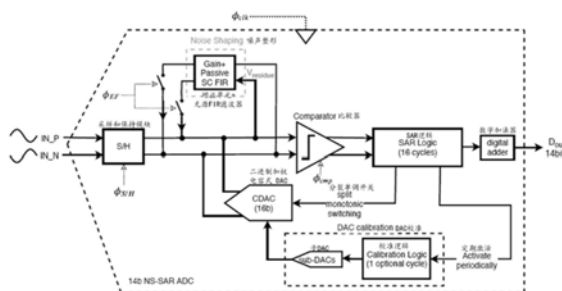
权利要求书2页 说明书5页 附图4页

(54) 发明名称

具有背景失配校准的噪声整形SAR ADC

(57) 摘要

本发明提供了一种具有背景失配校准的噪声整形SAR ADC,属于集成电路技术领域。本发明所采用的SAR ADC架构类似于通用SAR ADC,结构包括采样和保持(S/H)模块、二进制加权电容式DAC(CDAC)、SAR逻辑块、比较器和数字加法器;所呈现的拓扑与通用SAR ADC的不同之处在于,它嵌入了两个附加模块:噪声整形和DAC校准模块。偶尔激活的校准模块能够通过使用一组子DAC的机制执行DAC失配校准;在典型的SAR转换中通常被丢弃的残差信息Vresidue则被NS块重新使用,从而可以改变带内比较器噪声和量化噪声。本发明将NS-SAR与新的背景校准相结合,同时结合了 $\Sigma \Delta$ 和SAR架构的优点,实现了高精度低功耗架构,并且克服了比较器噪声和DAC失配误差对电路的限制。



1. 一种具有背景失配校准的噪声整形SAR ADC,其特征在于,所述SAR ADC包括采样和保持模块、二进制加权电容式DAC、比较器、SAR逻辑、数字加法器、噪声整形模块、DAC校准模块;

所述SAR ADC的整体时钟输入信号为 ϕ_{clk} ,输入信号为差分信号,差分信号输入采样和保持模块;

采样和保持模块的输入信号为差分信号与时钟信号 $\phi_{S/H}$,输出信号作为输入信号进入比较器模块进行比较;

比较器的输入信号部分来自采样和保持模块,部分来自时钟信号 ϕ_{cmp} ,输出信号作为SAR逻辑电路的输入信号;

SAR逻辑电路的输出信号分别输入数字加法器、二进制加权电容式DAC与DAC校准模块;

数字加法器的输出结果为SAR ADC的输出信号,二进制加权电容式DAC的输出信号再次连接至比较器的输入端;

噪声整形模块的结构为增益单元和无源FIR滤波器,增益单元的输入信号为残差信息 $V_{residue}$,连接至比较器的输入端,增益单元的输出信号连接至无源FIR滤波器,无源FIR滤波器的输入信号还包括时钟信号 ϕ_{gain} 、 ϕ_{D2} 和 ϕ_{RST} ,无源FIR滤波器的输出信号为噪声整形模块的输出信号,其连接至由时钟信号 ϕ_{EF} 控制的开关,开关输出端连接至采样和保持模块的输出端;

DAC校准模块的结构包括校准逻辑模块和子DAC模块,来自SAR逻辑的输入信号输入校准逻辑模块,校准逻辑模块的输出信号输入子DAC模块,子DAC模块的输出信号输入二进制加权电容式DAC。

2. 根据权利要求1所述的一种具有背景失配校准的噪声整形SAR ADC,其特征在于,所述二进制加权电容式DAC由18个电容器组成,包括C15a、C15b、C14a、C14b、C13-C1、Cres,电容器的上极板均连接至比较器的输入端,输入信号 $DN\langle 15 \rangle - DN\langle 0 \rangle$ 经由反相器依次输入C15a、C14a、C13-C1、Cres的底板,输入信号 $DP\langle 15 \rangle$ 、 $DP\langle 14 \rangle$ 经由两个反相器依次输入C15b、C14b的底板;由SAR逻辑控制的二进制加权电容式DAC和比较器执行具有分裂单调切换方案的二进制搜索算法。

3. 根据权利要求2所述的一种具有背景失配校准的噪声整形SAR ADC,其特征在于,所述分裂单调切换方案为,在二进制加权电容式DAC结构中,前2个MSB由四个电容器即C15a、C15b、C14a、C14b组成,这些电容器的底板由两组互补信号控制: $DP\langle 15 \rangle / DN\langle 15 \rangle$ 和 $DP\langle 14 \rangle / DN\langle 14 \rangle$;前6个MSB即C15-C10的失配误差可由六组子DAC校准;其中两个冗余位即C8/C4用于缓解DAC稳定误差并触发6个MSB的校准机制。

4. 根据权利要求1所述的一种具有背景失配校准的噪声整形SAR ADC,其特征在于,对于噪声整形模块,组成结构为增益单元和无源FIR滤波器,增益单元的组成结构为增益为G的放大器,无源FIR滤波器的组成结构为3个开关电容器Cres1、Cres2和Cdelay,分别由时钟信号 ϕ_{gain} 、 ϕ_{D2} 和 ϕ_{RST} 控制;放大器的输入端连接至比较器的输入端,输出端连接至由 ϕ_{gain} 控制的两个开关,两个开关依次连接Cres1、Cres2的正端,Cres1的正端连接至采样和保持模块的输出端,Cres2的正端连接至由 ϕ_{D2} 控制的开关,由 ϕ_{D2} 控制的开关连接至Cdelay的正端,Cdelay的正端连接至由 ϕ_{RST} 控制的开关与采样和保持模块的输出端。

5. 根据权利要求1所述的一种具有背景失配校准的噪声整形SAR ADC,其特征在于:所

述时钟包括 ϕ_{clk} 、 $\phi_{\text{S/H}}$ 、 ϕ_{EF} 、 ϕ_{cmp} 、 ϕ_{gain} 、 ϕ_{D2} 和 ϕ_{RST} ,上述时钟共同构成了SAR ADC架构中的时钟控制,时钟控制按时序可分为三大部分:残差处理、输入跟踪和NS-SAR转换,分别代表了SAR ADC的三种不同的工作状态,在残差处理部分, ϕ_{clk} 为1, $\phi_{\text{S/H}}$ 、 ϕ_{EF} 、 ϕ_{cmp} 为0, ϕ_{RST} 、 ϕ_{D2} 和 ϕ_{gain} 的初始状态为0,依次变为1一段时间后又置0,此时,SAR ADC的噪声整形模块处于工作状态,比较器不工作,SAR ADC不进行模数转换,在输入跟踪部分, ϕ_{clk} 、 ϕ_{EF} 、 ϕ_{cmp} 、 ϕ_{RST} 、 ϕ_{D2} 和 ϕ_{gain} 为0, $\phi_{\text{S/H}}$ 为1,此时,SAR ADC处于信号采样状态,在NS-SAR转换部分, ϕ_{clk} 、 ϕ_{EF} 为1, $\phi_{\text{S/H}}$ 、 ϕ_{RST} 、 ϕ_{D2} 和 ϕ_{gain} 为0, ϕ_{cmp} 为16个周期的方波信号,此时,比较器处于比较状态,SAR ADC处于执行SAR转换状态。

具有背景失配校准的噪声整形SAR ADC

技术领域

[0001] 本发明涉及集成电路技术领域,具体为一种具有背景失配校准的噪声整形SAR ADC。

背景技术

[0002] 在各种类型的ADC中,连续时间Delta-Sigma ($\Delta \Sigma$) 调制器由于其特殊的噪声整形(NS) 功能而成为高分辨率应用中广泛使用的架构,这是通过改变架构中误差的频谱形状来实现的,从而可以有效地提高带内信噪比(SNR),但这种架构通常需要基于高性能运算跨导放大器(OTA)的有源积分器,这使得它耗电且不太适合扩展;而对于物联网(IoT)传感器等低功耗应用,通常选择逐次逼近寄存器(SAR ADC)将基带信号数字化到数字域中,这是因为SAR ADC以其卓越的功率效率和灵活的转换率(kS/s MS/s)以及中等分辨率(7-12b)而闻名。然而,由于比较器噪声、数模转换器(DAC)电容失配引起的非线性问题的严格要求,将这些优点扩展到更高分辨率的设计仍然很困难。

[0003] 在这些问题中,由CMOS制造变化引起的电容失配是必须考虑的关键因素,这些变化会导致DAC出现非线性问题,进而导致比较器决策错误;这些误差会在频谱中产生谐波失真(HD),从而降低ADC的整体性能。通过后处理进行前景校准是纠正DAC失配错误的常用方法,但由于功耗和延迟开销,它通常在片外实现。动态元素匹配(DEM)技术是另一种可用于消除失配误差的方法,但是,DEM技术在高分辨率设计中的实施成本很高,因为它需要对校准DAC进行温度计编码,从而导致复杂的控制逻辑。虽然DAC失配误差也可以通过失配误差整形(MES)技术进行整形,但代价是通过应用反向LSB操作来牺牲6dB的动态范围。

[0004] 除了DAC失配外,由于电源电压降低和输入信号摆幅有限,比较器噪声也成为高分辨率设计的限制因素,目前大多如下两种方法来解决该问题,一种方法是通过以额外周期为代价从过采样中做出多项决定来平均比较器噪声;另一种方法是采用两级流水线SAR ADC,它利用残差放大器在精细位转换期间缓和比较器噪声;然而,残差放大器的设计并非微不足道,它还在级之间引入了流水线延迟。一个可重新配置的比较器被用来以两种模式处理转换周期。虽然该比较器能够通过电平转换器补偿2模偏移,但在将结构扩展到更高分辨率设计时,它仍然面临比较器噪声的限制。

[0005] 由于SAR ADC的结构简单明了,可以在基于SAR的架构中使用过采样和NS技术来抑制比较器噪声,这种类型的ADC结合了 $\Sigma \Delta$ 和SAR架构的优点,实现了高精度低功耗架构。这种混合ADC,它通过利用嵌入过采样SAR ADC的有源FIR-IIR滤波器采用NS技术,这证明了SAR ADC中的NS技术可以有效地将量化噪声和比较器噪声整形为高通滤波器的方式,从而在滤波后提高ADC的有效带内分辨率。

[0006] 由上述可知,比较器噪声和DAC失配是限制SAR ADC的信噪比(SNDR)的主要问题;之前的NS工作提出了独特的解决方案,但它们的缺点是DAC失配校准的功率效率。因此,本发明的研究内容是设计一种更简单的基于SAR的架构,使其具有高SNDR和最先进的效率,以解决这两个问题。

发明内容

[0007] 为解决上述技术问题,本发明提供了一种具有背景失配校准的噪声整形SAR ADC,此电路架构能够实现传SAR ADC的模数转换功能,并且满足改善比较器噪声和DAC失配误差的指标要求。

[0008] 本发明所述的一种具有背景失配校准的噪声整形SAR ADC,所述SAR ADC包括采样和保持模块(即S/H模块)、二进制加权电容式DAC(即CDAC)、比较器、SAR逻辑、数字加法器、噪声整形模块、DAC校准模块;所述采样和保持模块、二进制加权电容式DAC、比较器、SAR逻辑、数字加法器实现传统SAR ADC的模数转换功能,噪声整形模块、DAC校准模块用于改善比较器噪声和DAC失配误差;

[0009] 所述SAR ADC的整体时钟输入信号为 ϕ_{clk} ,输入信号为差分信号,差分信号输入采样和保持模块;

[0010] 采样和保持模块的输入信号为差分信号与时钟信号 $\phi_{S/H}$,输出信号作为输入信号进入比较器模块进行比较;

[0011] 比较器的输入信号部分来自采样和保持模块,部分来自时钟信号 ϕ_{cmp} ,输出信号作为SAR逻辑电路的输入信号;

[0012] SAR逻辑电路的输出信号分别输入数字加法器、二进制加权电容式DAC与DAC校准模块;

[0013] 数字加法器的输出结果为SAR ADC的输出信号,二进制加权电容式DAC的输出信号再次连接至比较器的输入端;

[0014] 噪声整形模块的结构为增益单元和无源FIR滤波器,增益单元的输入信号为残差信息 $V_{residue}$,连接至比较器的输入端,增益单元的输出信号连接至无源FIR滤波器,无源FIR滤波器的输入信号还包括时钟信号 ϕ_{gain} 、 ϕ_{D2} 和 ϕ_{RST} ,无源FIR滤波器的输出信号为噪声整形模块的输出信号,其连接至由时钟信号 ϕ_{EF} 控制的开关,开关输出端连接至采样和保持模块的输出端;

[0015] DAC校准模块的结构包括校准逻辑模块和子DAC模块,来自SAR逻辑的输入信号输入校准逻辑模块,校准逻辑模块的输出信号输入子DAC模块,子DAC模块的输出信号输入二进制加权电容式DAC。

[0016] 进一步的,所述二进制加权电容式DAC由18个电容器组成,包括C15a、C15b、C14a、C14b、C13-C1、Cres,电容器的上极板均连接至比较器的输入端,输入信号 $DN_{<15>-DN_{<0>}}$ 经由反相器依次输入C15a、C14a、C13-C1、Cres的底板,输入信号 $DP_{<15>}$ 、 $DP_{<14>}$ 经由两个反相器依次输入C15b、C14b的底板;由SAR逻辑控制的二进制加权电容式DAC和比较器执行具有分裂单调切换方案的二进制搜索算法。

[0017] 进一步的,所述分裂单调切换方案为,在二进制加权电容式DAC结构中,前2个MSB(最高有效位)由四个电容器即C15a、C15b、C14a、C14b组成,这些电容器的底板由两组互补信号控制: $DP_{<15>}/DN_{<15>}$ 和 $DP_{<14>}/DN_{<14>}$;前6个MSB即C15-C10的失配误差可由六组子DAC校准;其中两个冗余位即C8/C4用于缓解DAC稳定误差并触发6个MSB的校准机制。

[0018] 进一步的,对于噪声整形模块,组成结构为增益单元和无源FIR滤波器,增益单元的组成结构为增益为G的放大器,无源FIR滤波器的组成结构为3个开关电容器Cres1、Cres2和Cdelay,分别由时钟信号 ϕ_{gain} 、 ϕ_{D2} 和 ϕ_{RST} 控制;放大器的输入端连接至比较器的输

入端,输出端连接至由 ϕ gain控制的两个开关,两个开关依次连接Cres1、Cres2的正端,Cres1的正端连接至采样和保持模块的输出端,Cres2的正端连接至由 ϕ D2控制的开关,由 ϕ D2控制的开关连接至Cdelay的正端,Cdelay的正端连接至由 ϕ RST控制的开关与采样和保持模块的输出端。

[0019] 进一步的,所述时钟包括 ϕ clk、 ϕ S/H、 ϕ EF、 ϕ cmp、 ϕ gain、 ϕ D2和 ϕ RST,上述时钟共同构成了SAR ADC架构中的时钟控制,时钟控制按时序可分为三大部分:残差处理、输入跟踪和NS-SAR转换,分别代表了SAR ADC的三种不同的工作状态,在残差处理部分, ϕ clk为1, ϕ S/H、 ϕ EF、 ϕ cmp为0, ϕ RST、 ϕ D2和 ϕ gain的初始状态为0,依次变为1一段时间后又置0,此时,SAR ADC的噪声整形模块处于工作状态,比较器不工作,SAR ADC不进行模数转换,在输入跟踪部分, ϕ clk、 ϕ EF、 ϕ cmp、 ϕ RST、 ϕ D2和 ϕ gain为0, ϕ S/H为1,此时,SAR ADC处于信号采样状态,在NS-SAR转换部分, ϕ clk、 ϕ EF为1, ϕ S/H、 ϕ RST、 ϕ D2和 ϕ gain为0, ϕ cmp为16个周期的方波信号,此时,比较器处于比较状态,SAR ADC处于执行SAR转换状态。

[0020] 本发明所述的有益效果为:本发明以传统SAR ADC为基础结构,加上噪声整形模块与DAC校准模块,提出了一种将NS-SAR与新的背景校准相结合的架构,其中,NS-SAR即为加入了噪声整形模块的SAR ADC,背景校准即为DAC校准模块,其中,噪声整形模块采用将量化噪声和比较器噪声整形为高通滤波器的方式,在滤波后能够提高ADC的有效带内分辨率,同时改善了比较器噪声,背景校准通过使用一组子DAC的机制执行DAC失配校准,从而改善DAC失配误差,此结构适合于高分辨率设计;此外,SAR ADC中采用了分裂单调切换方案,与单调开关方案相比,此方案可以避免给系统带来较大的VCM变化。

附图说明

[0021] 为了使本发明的内容更容易被清楚地理解,下面根据具体实施例并结合附图,对本发明作进一步详细的说明。

[0022] 图1为本发明的SAR ADC电路的结构框图;

[0023] 图2为本发明的SAR ADC电路的CDAC的电路图;

[0024] 图3为本发明的SAR ADC电路的时钟信号图;

[0025] 图4为本发明的SAR ADC电路的一次完整转换图;

[0026] 图5为本发明的SAR ADC电路在不同Ccalu下的ENOB图;

[0027] 图6为本发明的SAR ADC电路的性能对比图。

具体实施方式

[0028] 如图1所示,一种具有背景失配校准的噪声整形SAR ADC包括采样和保持(S/H)模块、二进制加权电容式DAC(CDAC)、比较器、SAR逻辑、数字加法器、噪声整形模块、DAC校准模块。所述采样和保持(S/H)模块、二进制加权电容式DAC(CDAC)、比较器、SAR逻辑、数字加法器实现传统SAR ADC的模数转换功能,噪声整形模块、DAC校准模块用于改善比较器噪声和DAC失配误差。

[0029] 所述SAR ADC的工作流程如下,首先,差分输入信号通过采样和保持(S/H)模块采样到二进制加权电容式DAC(CDAC),时钟为 ϕ S/H。然后由SAR逻辑块控制的CDAC和比较器将

执行具有分裂单调切换方案的二进制搜索算法。由于使用了冗余,16个比较周期产生的原始代码由数字加法器进一步处理,最终给出数字14b输出代码Dout。

[0030] 如图2所示,在上述SAR ADC的二进制加权电容式DAC结构中,虽然单调开关方案可以有效减小DAC尺寸并节省开关功率,但它也会给系统带来较大的VCM变化;为了避免这种情况,这项工作采用了分裂单调切换方案。所述二进制加权电容式DAC由18个电容器组成,包括C15a、C15b、C14a、C14b、C13-C1、Cres,电容器的上极板均连接至比较器的输入端,输入信号DN<15>-DN<0>经由反相器依次输入C15a、C14a、C13-C1、Cres的底板,输入信号DP<15>、DP<14>经由两个反相器依次输入C15b、C14b的底板;在二进制加权电容式DAC结构中,前2个MSB由四个电容器(C15a、C15b、C14a、C14b)组成,这些电容器的底板由两组互补信号控制:DP<15>/DN<15>和DP<14>/DN<14>。除了前2个MSB外,DAC中还存在具有独特用途的电容器:前6个MSB(C15-C10)的失配误差可由六组子DAC校准,此处,C15a、C15b的整体为C15,C14a、C14b的整体为C14;其中两个冗余位(C8/C4)用于缓解DAC稳定误差并触发6个MSB的校准机制。

[0031] 在图1、2所示的SAR ADC中,比较器噪声和DAC失配是限制SAR ADC的信噪比(SNDR)的主要问题。对于DAC校准模块,偶尔激活的校准模块能够通过使用一组子DAC的机制执行DAC失配校准。对于噪声整形模块,在典型的SAR转换中通常被丢弃的残差信息Vresidue正在被NS块重新使用,从而可以改变带内比较器噪声和量化噪声。通常,在单调开关SAR ADC中,DAC电容器阵列比实际ADC分辨率低1位,因为LSB电容器上的残留电荷在开关后会被丢弃。然而,在这项工作中,残留信息需要在下一次转换开始之前由环路滤波器处理并加回到DAC,因此一个额外的Cres用于保存来自SAR转换每一端的残留电荷。其中,NS模块由增益单元和无源FIR滤波器组成,由3个开关电容器组成:Cres1、Cres2和Cdelay,它们分别由 ϕ_{gain} 、 ϕ_{D2} 和 ϕ_{RST} 控制。与增益为G的放大器一起,这些电容器将能够创建二阶噪声传递函数(NTF)以过滤Vresidue。此处,FIR滤波器中的-1增益不是实际放大器,它是由交叉耦合差分设置产生的。

[0032] 其中,SAR ADC架构的时钟控制可分为三大部分:残差处理、输入跟踪和NS-SAR转换。保持时钟信号相互隔离很重要,这有助于防止模拟中由开关问题引起的不必要的伪影。

[0033] 在实施例中,如图1所示,展示了一个14b NS-SAR ADC,值得注意的是,14b不是一个任意设定的数字。仅针对12ENOB使用如此高分辨率的过采样架构似乎是过度设计的,但这种架构的隐含价值在于它也可以通过禁用过采样和NS块在仅SAR模式下工作,这为电路中的问题提供了双重解决方案,是一种使架构更为可靠的设计。

[0034] 如图3所示,SAR ADC架构采用的时钟包括 ϕ_{clk} 、 $\phi_{S/H}$ 、 ϕ_{EF} 、 ϕ_{cmp} 、 ϕ_{gain} 、 ϕ_{D2} 和 ϕ_{RST} ,上述时钟共同构成了SAR ADC架构中的时钟控制;SAR ADC架构的时钟控制可分为三大部分:残差处理、输入跟踪和NS-SAR转换,分别代表了SAR ADC的三种不同的工作状态,各部分相结合,共同完成电路的转换过程。在残差处理部分, ϕ_{clk} 为1, $\phi_{S/H}$ 、 ϕ_{EF} 、 ϕ_{cmp} 为0, ϕ_{RST} 、 ϕ_{D2} 和 ϕ_{gain} 的初始状态为0,依次变为1一段时间后又置0,此时,SAR ADC的噪声整形模块处于工作状态,比较器不工作,SAR ADC不进行模数转换,在输入跟踪部分, ϕ_{clk} 、 ϕ_{EF} 、 ϕ_{cmp} 、 ϕ_{RST} 、 ϕ_{D2} 和 ϕ_{gain} 为0, $\phi_{S/H}$ 为1,此时,SAR ADC处于信号采样状态,在NS-SAR转换部分, ϕ_{clk} 、 ϕ_{EF} 为1, $\phi_{S/H}$ 、 ϕ_{RST} 、 ϕ_{D2} 和 ϕ_{gain} 为0, ϕ_{cmp} 为16个周期的方波信号,此时,比较器处于比较状态,SAR ADC处于执行SAR转换状态。

[0035] 如图4所示,图中展示了ADC的一次完整转换过程,其中16个周期用于执行SAR转换,Vresidue将在第16个周期后馈入NS块。虚线标记的是偶尔由第17个周期激活的DAC失配的校准机制。总的来说,这16个周期由14个正常周期和两个冗余周期(第8个周期和第12个周期)组成。尽管数字加法器通过去除冗余位最终会给出14b输出代码,但这些冗余周期仍可用于SAR转换以缓解DAC稳定误差;更重要的是,第一个冗余位也实现了校准方案,这样前6个MSB电容器可以通过一组子DAC进行校准。

[0036] 其中,EF回路的模型由增益单元和电荷共享块组成,可以用二阶噪声传递函数(NTF)表示,如下所示:

[0037] $NTF(z) = 1 - K_{EF}(z^{-1} - 0.5z^{-2})$

[0038] 其中 K_{EF} 是EF系数。

[0039] 在SAR ADC架构中,背景校准拓扑可以分为两个部分:错误检测和错误纠正;由于冗余,错误检测可用于检查MSB上是否确实存在DNL错误;而MSB将有一个相干子DAC,它是一个具有单位电容 C_{calu} 的二进制加权电容阵列,该子DAC将补偿来自MSB的DNL损失;因此,与 C_u 类似, C_{calu} 的大小也是一个需要确定的重要参数,因为大小会影响对MSB的校准。原则上,较小的 C_{calu} 校准得更好,这会导致整个ADC的性能更好,可以通过图5得到证实。在图5中,当 C_{calu} 为 $1/16C_u$ 时,校准效果最好,显然,图5所示的所有情况在启用主DAC校准后都有实质性的改善。

[0040] 如图6所示,将上述相结合,电路整体性能得到改善,SFDR均值从83.32dB变为95.27dB。

[0041] 综上所述,与传统的 $\Sigma \Delta$ 和SAR架构相比,本发明提出的具有背景失配校准的噪声整形SAR ADC架构在电路中嵌入了两个附加模块:噪声整形和DAC校准模块,创造性的将NS-SAR与新的背景校准相结合,同时结合了 $\Sigma \Delta$ 和SAR架构的优点,实现了高精度低功耗架构,并且克服了比较器噪声和DAC失配误差对电路的限制。

[0042] 以上所述仅为本发明的优选方案,并非作为对本发明的进一步限定,凡是利用本发明说明书及附图内容所作的各种等效变化均在本发明的保护范围之内。

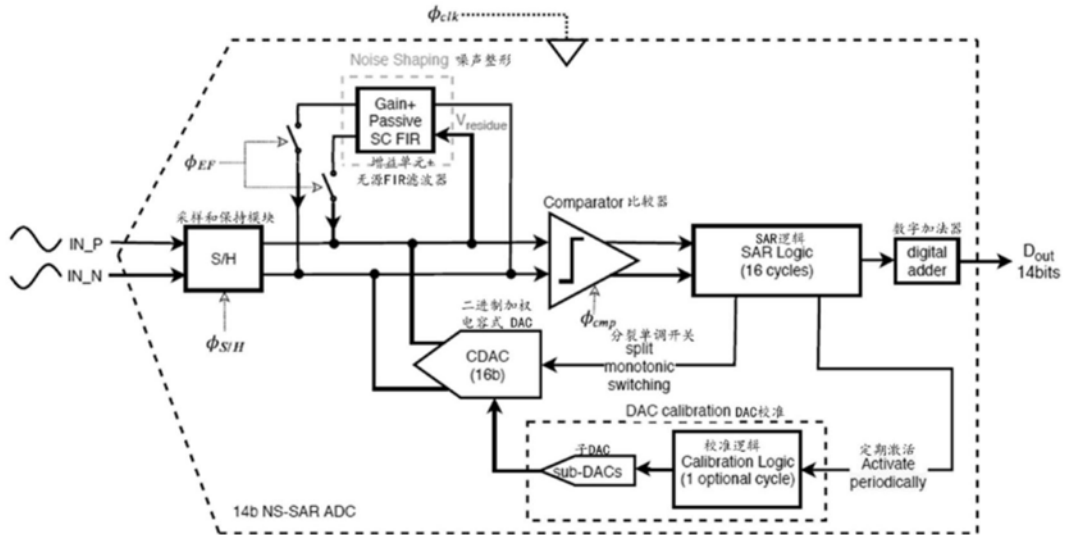


图1

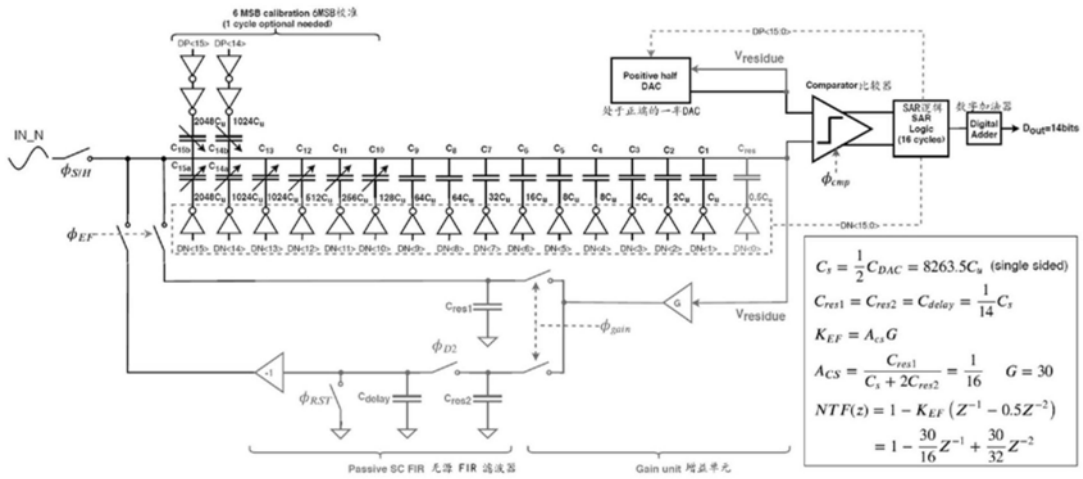


图2

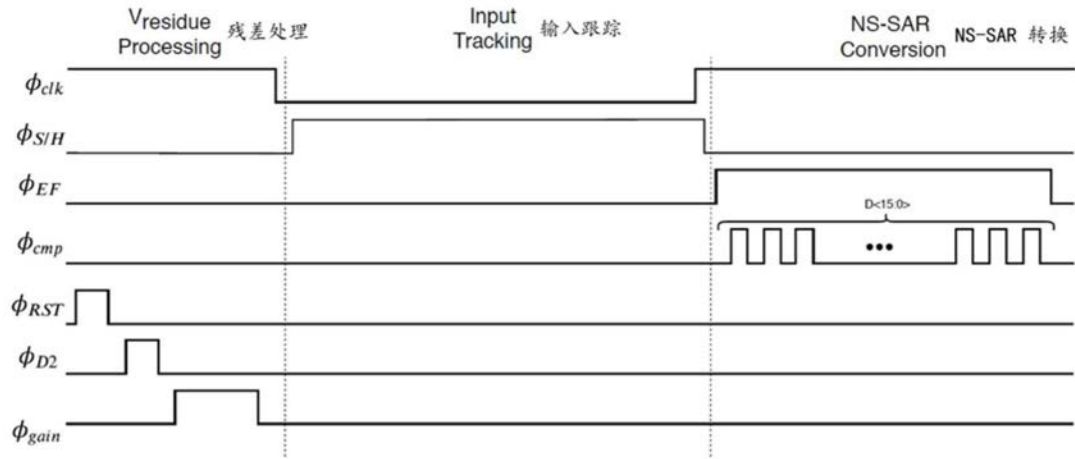


图3

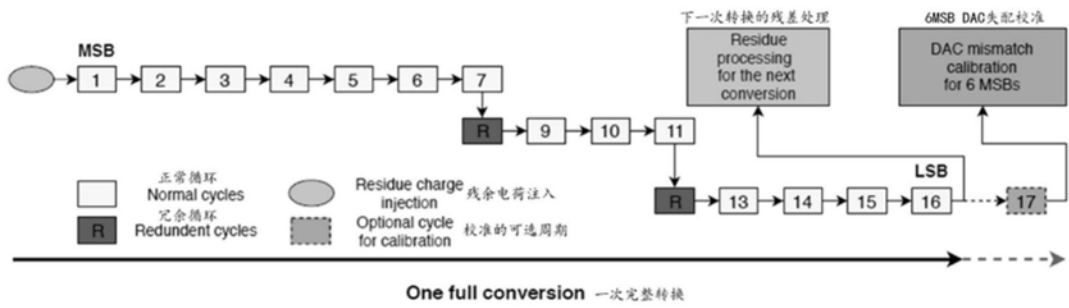


图4

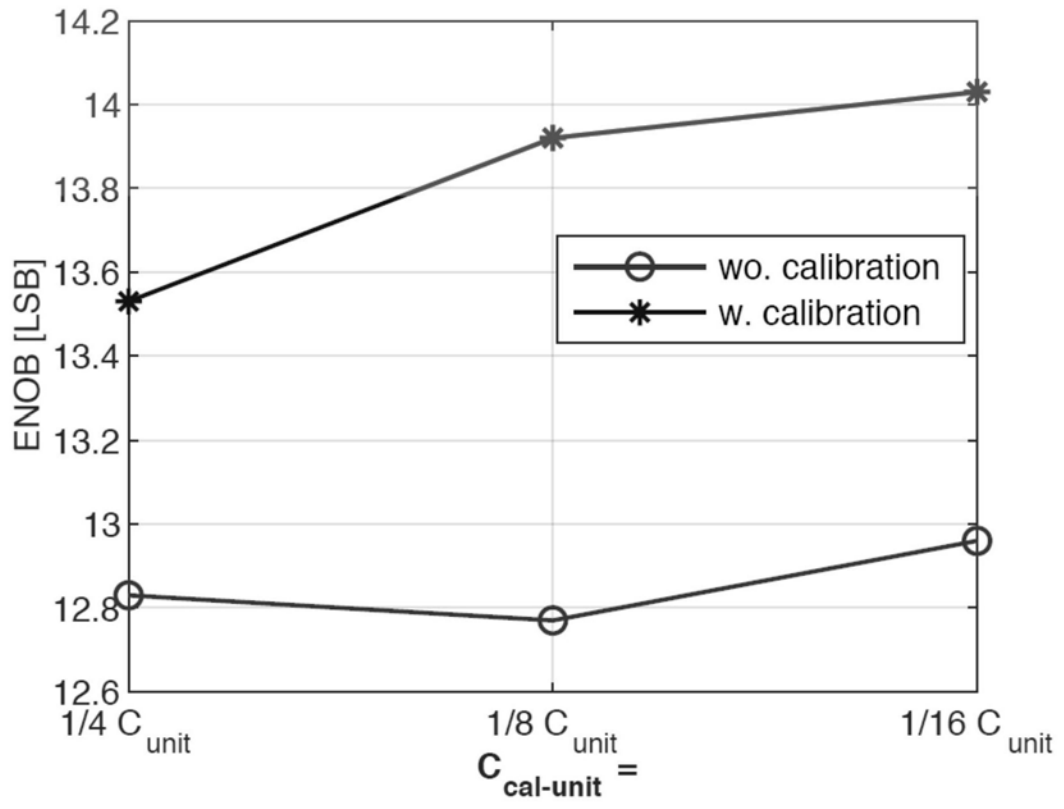


图5

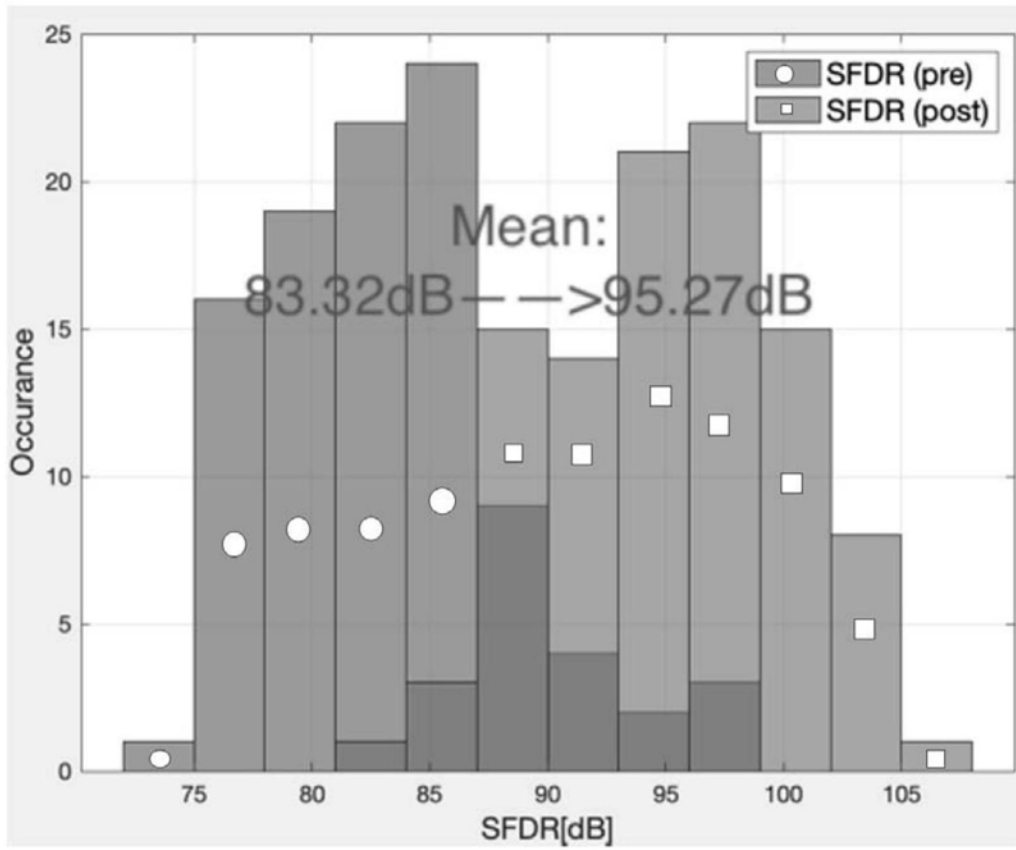


图6