

公告本

申請日期: 91.8.9 案號: 91117960
 類別: H01L 21/8242

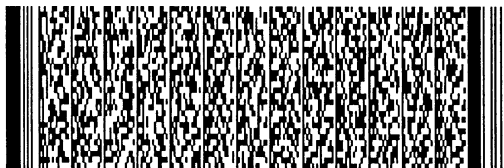
(以上各欄由本局填註)

發明專利說明書 550758

一、發明名稱	中文	用於偵測動態隨機存取記憶體之位元線接點與主動區重疊是否偏移的測試元件及測試方法
	英文	Test key and test method for detecting whether the overlay of bit line contact and active area of DRAM is normal

二、發明人	姓名(中文)	1. 吳鐵將 2. 黃建章 3. 丁裕偉 4. 姜伯青
	姓名(英文)	1. Wu Tie Jiang 2. Huang Chien-Chang 3. Ting Yu-Wei 4. Bo Ching Jiang
	國籍	1. 中華民國 2. 中華民國 3. 中華民國 4. 中華民國
	住、居所	1. 宜蘭縣三星鄉萬德村93-7號 2. 台北縣板橋市國泰里14鄰實踐路93巷59號3樓之1 3. 台北市內湖區文德路66巷69弄14號2樓 4. 花蓮縣吉安鄉東海五街35號

三、申請人	姓名(名稱)(中文)	1. 南亞科技股份有限公司
	姓名(名稱)(英文)	1. Nanya Technology Corporation.
	國籍	1. 中華民國
	住、居所(事務所)	1. 桃園縣龜山鄉華亞科技園區復興三路669號
	代表人姓名(中文)	1. 連日昌
代表人姓名(英文)	1. Lien Jih-Chang	



申請日期：

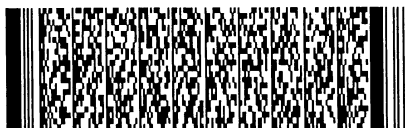
案號：

類別：

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人	姓名 (中文)	5. 黃慶玲
	姓名 (英文)	5. Chin-Ling Huang
	國籍	5. 中華民國
	住、居所	5. 台北縣樹林市中華路281號6-5樓
三、 申請人	姓名 (名稱) (中文)	
	姓名 (名稱) (英文)	
	國籍	
	住、居所 (事務所)	
	代表人 姓名 (中文)	
	代表人 姓名 (英文)	



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

【發明領域】

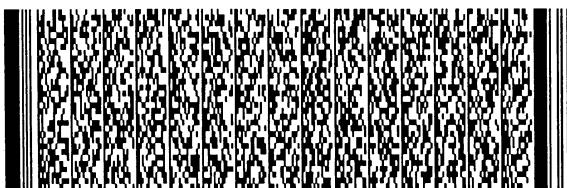
關於一種測試元件 (test key) , 特別是有關於一種偵測位元線接點 (bitline contact) 與主動區 (active area) 重疊之誤對準 (misalignment) 的測試元件。

【習知技術】

溝槽電容器為一種動態隨機存取記憶體 (dynamic random access memory ; 簡稱DRAM) 中常見的電容器結構, 其係形成於半導體矽基底中, 並藉由增加溝槽電容器於半導體矽基底中的深度可以增加其表面積, 以增加其電容量。

第1圖係繪示傳統的溝槽電容器之佈局圖。溝槽電容器10係配置在路過字元線 (passing wordline) 下方。電晶體14係經由擴散區18電性耦接至溝槽電容器10的儲存節點16。另一擴散區20係連接至接觸窗22, 而接觸窗22則連接至位元線 (未繪示), 以藉由電晶體14來讀取或寫入至儲存節點16。電晶體14係藉由字元線12來趨動。當電壓施加至字元線12時, 字元線12下方的通道會導通, 而於兩擴散區18和20之間產生電流並流入或流出儲存節點16。

當溝槽電容器10完成後, 會於基底和溝槽電容器中形成淺溝槽隔離, 以定義主動區 (active area), 並用以隔離將形成之路過字元線12和溝槽電容器10。之後, 於基底上形成字元線12。再配合以字元線和淺溝槽隔離為離子植入罩幕, 於字元線兩側的主動區形成做為源極/汲極的摻



五、發明說明(2)

雜區18和20。接著，形成位元線接點22於摻雜區20上。因此，若主動區的光罩與位元線接點的光罩未對準時，會使得相鄰的記憶胞產生漏電流，以及記憶胞無效，因而造成製程良率的下降。

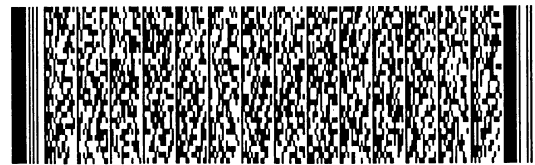
因此，若能控制主動區的光罩與位元線接點的光罩之對準誤差在可允許的範圍內，則可提高記憶胞的可靠度及製程之良率。

【發明之目的及概要】

有鑑於此，本發明之首要目的，在於提供一種可偵測動態隨機存取記憶體之位元線接點與主動區重疊是否產生偏移的測試方法。

此外，本發明的另一目的，在於提供一種可偵測動態隨機存取記憶體之位元線接點與主動區重疊是否產生偏移的測試元件。

根據上述目的，本發明係提供一種用於偵測動態隨機存取記憶體之位元線接點與主動區重疊是否偏移的測試元件，設置於一晶圓之切割道中。上述測試元件包括：一長條型主動區，設置於上述切割道中，具有一中心位置；一位元線接點，設置於長條型主動區之中心位置上；一位元線，具有一中心位置與位元線接點耦接，以及一第一端及一第二端，位元線係大體上與長條型主動區垂直；以及二接觸插塞，分別設置於長條型主動區之兩端上方，皆與底下之長條型主動區接觸。



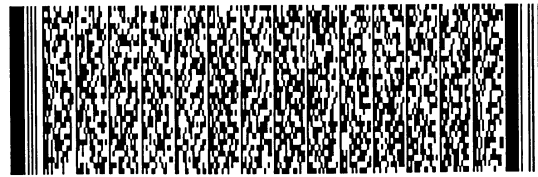
五、發明說明 (3)

根據上述目的，本發明並提供一種位元線接點與主動區之重疊是否產生偏移的測試方法，包括提供一晶圓，該晶圓至少具有一切割道和一記憶胞區；於該晶圓之該切割道中形成一測試元件，並同時於該晶圓之該記憶胞區形成複數記憶胞，其中該測試元件包括一長條型主動區，設置於該切割道中，具有一中心位置；一位元線接點，設置於該長條型主動區之中心位置上；一位元線，具有一中心位置與該位元線接點耦接，該位元線係大體上與該長條型主動區垂直；以及二接觸插塞，分別設置於該長條型主動區之兩端上方，皆與底下之長條型主動區接觸；藉由該位元線之第一端和該二接觸插塞之一者間量測得一第一電阻值；藉由該位元線之第二端和該二接觸插塞之另一者，量測得一第二電阻值；根據該第一與該第二電阻值，判斷該測試元件中位元線接點與主動區重疊是否偏移；以及藉由該測試元件上之位元線接點與主動區重疊是否偏移，判別該記憶胞區之該等記憶胞中位元線接點與主動區重疊是否偏移。

為讓本發明之上述目的、特徵及優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

【發明的詳細說明】

請參照第2圖，用以說明本發明之一實施例。第2圖係為本發明中用以偵測一動態隨機存取記憶體之位元線接點



五、發明說明 (4)

(bitline contact)與主動區(active area)之重疊(overlap)是否偏移(misalignment)的測試元件的佈局圖，其中測試元件係設置於晶圓100之切割道160中。

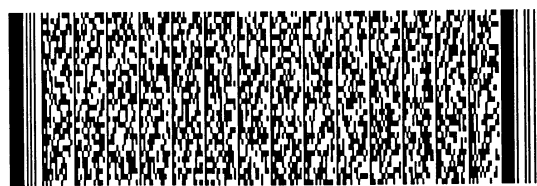
首先在一晶圓100之切割道區域160上，以淺溝槽隔離的方式，定義出一長條型主動區11，其中長條型主動區13之寬度大體為 w ，並且具有一中心位置。

接著，一位元線接點15設置於該長條型主動區11之中心位置上。一位元線13具有一中心位置，耦接至位元線接點15，以及一第一端13c及一第二端13d，該位元線13係大體上垂直於長條型主動區11。

另外，二接觸插塞 CS_A 、 CS_B ，分別設置於長條型主動區11之兩端上方，皆與底下之長條型主動區11接觸。其中上述測試元件更包括二字元線121平行設置於該長條型主動區11之兩側上方。

第3圖，為本發明之測試元件之等效電路圖，一般來說，於第一導電插塞 CS_A 和位元線之第一端13c之間，可以量測到一第一電阻值 R_1 ，而第二導電插塞 CS_B 和位元線之第二端13d之間，可以量測得一第二電阻值 R_2 。其中可藉由施加一既定電壓差於第一導電插塞 CS_A 和位元線之第一端13c之間，量得一對應電流後，而推得上述第一電阻值 R_1 。同樣地，可藉由施加上述既定電壓差於第二導電插塞 CS_B 和位元線之第二端13d之間，量得一對應電流後，而推得上述第二電阻值 R_2 。

其中第一電阻值 R_1 會包括位元線接點15與主動區之接



五、發明說明 (5)

面阻值 CBR_1 、第一接觸插塞 CS_A 與主動區11之接面阻值 CSR_1 以及一電阻 R_{ac} ，即

$$R_1 = R_{ac} + CBR_1 + CSR_1 ; \quad \text{式一}$$

而第二電阻值 R_2 會包括位元線接點15與主動區之接面阻值 CBR_2 、第二接觸插塞 CS_B 與主動區11之接面阻值 CSR_2 以及一電阻 R_{bd} ，即

$$R_2 = R_{bd} + CBR_2 + CSR_2 ; \quad \text{式二}$$

另外，電阻 R_{ac} 、 R_{bd} 會分別符合式三及式四；

$$R_{ac} = R_{AA} * ((L + \Delta L) / w) ; \quad \text{式三}$$

$$R_{bd} = R_{AA} * ((L - \Delta L) / w) ; \quad \text{式四}$$

將式三及式四分別代入式一及式二；

$$R_1 = R_{AA} * ((L + \Delta L) / w) + CBR_1 + CSR_1 ; \quad \text{式五}$$

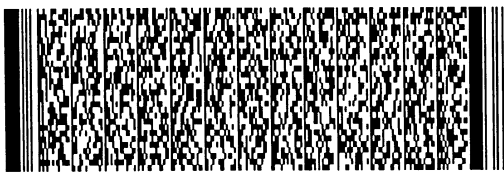
$$R_2 = R_{AA} * ((L - \Delta L) / w) + CBR_2 + CSR_2 ; \quad \text{式六}$$

由於是在相同的製程條件、材料下，形成位元線接點15、第一、第二接觸插塞 CS_A 、 CS_B ，因此位元線接點15與主動區之接面阻值 CBR_1 會等於位元線接點15與主動區之接面阻值 CBR_2 ，且第一接觸插塞 CS_A 與主動區11之接面阻值 CSR_1 會等於第二接觸插塞 CS_B 與主動區11之接面阻值 CSR_2 。又，主動區之單位面積的電阻值皆為 R_{AA} ，且主動區兩側之寬度會皆為 w ，而位元線接點至主動區兩側之距離亦皆為 L 。因此，可以得知

$$R_1 - R_2 = R_{AA} * (2 \Delta L) / w \quad \text{式七}$$

$$\Delta L = w * (R_1 - R_2) / (2 R_{AA}) \quad \text{式八}$$

故只要測得第一、第二電阻值 R_1 、 R_2 ，即可得知位元



五、發明說明 (6)

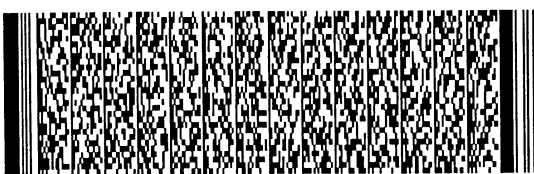
線接點15與主動區11之重疊偏移量 ΔL 。當第一電阻值 R_1 等於第二電阻值 R_2 時，表示位元線接點15與主動區11重疊並沒有產生偏移。

換句話說，若位元線接點之光罩往第一接觸插塞 CS_A 之'方向偏移 ΔL 距離時，則第2圖中位元線接點15會往第一接觸插塞 CS_A 的方向偏移了 ΔL 的距離。由於電阻值係與導體長度成正反比，故第一電阻值 R_1 會大於第二電阻值 R_2 ，且偏移量 ΔL 可藉由上述式八而求得。若位元線接點之光罩往第二接觸插塞 CS_B 之'方向偏移 ΔL 距離時，則第2圖中位元線接點15會往第二接觸插塞 CS_B 的方向偏移了 ΔL 的距離。由於電阻值係與導體長度成正反比，故第一電阻值 R_1 會小於第二電阻值 R_2 ，且偏移量 ΔL 同樣可藉由上述式八而求得。

因此，本發明可藉由量測上述測試元件中第一導電插塞 CS_A 和位元線之第一端13c間之第一電阻值 R_1 ，以及第二導電插塞 CS_B 和位元線之第二端13d間之第二電阻值 R_2 ，根據第一、第二電阻值是否相同，來監控制程中位元線接點與主動區之重疊是否產生偏移。

本發明提供之偵測位元線接點與主動區之重疊是否產生偏移的方法，包括下列步驟，首先提供一晶圓100，該晶圓至少具有一切割道區和一記憶胞區160。

接著，於該晶圓100之該切割道160形成一測試元件，並同時於該晶圓100之該記憶胞區形成複數記憶胞，其中該測試元件之構造如第2圖所示，且該等記憶胞之結構如



五、發明說明 (7)

第1圖中所示，在此不再綴述。

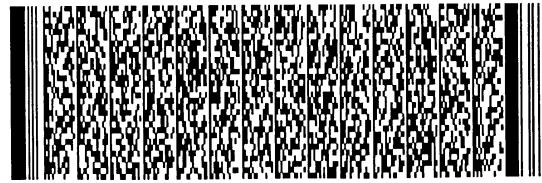
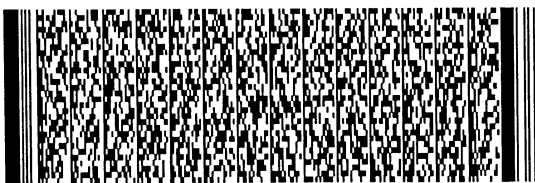
接著，量測上述測試元件中第一導電插塞 CS_A 和位元線13之第一端13c間之第一電阻值 R_1 ，以及第二導電插塞 CS_B 和位元線13之第二端13d間之第二電阻值 R_2 。

然後，根據第一、第二電阻值 R_1 、 R_2 是否相同，來估算測試元件上之位元線接點15與主動區11的重疊是否偏移，若產生偏移，則依據上述式八，求得位元線接點與主動區的偏移程度。最後，藉由測試元件上之位元線接點與主動區的重疊偏移程度，估算晶圓之記憶胞區內複數記憶胞中之位元線接點與主動區的重疊偏移程度。

由於當光罩偏移時，無論是記憶胞區或是切割道上的測試元件均會產生一致的偏移，因此，藉由切割道上的測試元件，可以反應出記憶區中的字元線接點與主動區間是否產生重疊偏移的狀況。

此外，本發明之測試元件與測試方法，將測試元件設置於切割道上，可以同步與記憶胞區進行相同製程，監控位元線接點與主動區之重疊是否有產生偏移，且避免佔據記憶胞區的空間。

雖然本發明已以較佳實施例揭露如上，然其並非用以限制本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做更動與潤飾，因此本發明之保護範圍當事後附之申請專利範圍所界定者為準。



圖式簡單說明

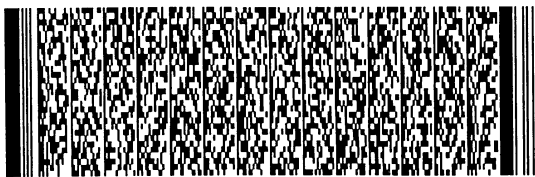
第1圖係為傳統的溝槽電容器之佈局圖。

第2圖係為本發明中用以偵測位元線接點與主動區之重疊是否偏移的測試元件之佈局圖。

第3圖，為本發明之測試元件之等效電路圖。

【符號說明】

10~溝槽電容器；	11~主動區；
12、121~字元線；	13~位元線；
14~電晶體；	15~位元線接點；
16~儲存節點；	18、20~摻雜區；
22~位元線接點；	CS_A 、 CS_B ~導電插塞；
100~測試元件；	160~切割道區；
R_1 ~第一電阻值；	R_2 ~第二電阻值。

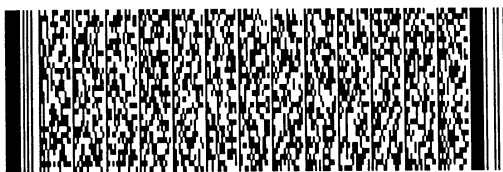


四、中文發明摘要 (發明之名稱：用於偵測動態隨機存取記憶體之位元線接點與主動區重疊是否偏移的測試元件及測試方法)

一種用於偵測動態隨機存取記憶體之位元線接點與主動區重疊是否偏移的測試元件，設置於一切割道中，上述測試元件包括一長條型主動區，設置於上述切割道中，具有一中心位置；一位元線接點，設置於長條型主動區之中心位置上；一位元線，具有一中心位置與位元線接點耦接，以及一第一端及一第二端，位元線係大體上與長條型主動區垂直；以及二接觸插塞，分別設置於長條型主動區之兩端上方，皆與底下之長條型主動區接觸。

英文發明摘要 (發明之名稱：Test key and test method for detecting whether the overlay of bit line contact and active area of DRAM is normal)

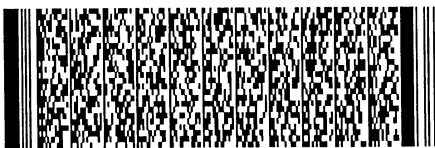
A test key for detecting whether the overlay of bit line contact and active area of DRAM is normal. The test key is deposited in the scribe line region of a wafer. In the test key of the present invention, a banding active area is deposited in the scribe line region and has a center. A bit line contact is deposited at the center of the banding active area. A bit line has a center connects to the bit line contact, and has a first terminal and a second terminal, and the



四、中文發明摘要 (發明之名稱：用於偵測動態隨機存取記憶體之位元線接點與主動區重疊是否偏移的測試元件及測試方法)

英文發明摘要 (發明之名稱：Test key and test method for detecting whether the overlay of bit line contact and active area of DRAM is normal)

bit line is substantially perpendicular to the banding active area. Two plugs are deposited above the two ends of the banding active area respectively and are coupled to the banding active area below.



六、申請專利範圍

1. 一種用於偵測動態隨機存取記憶體之位元線接點與主動區重疊是否偏移的測試元件，係設置於切割道，該測試元件包括：

一長條型主動區，設置於該切割道中，具有一中心位置；

一位元線接點，設置於該長條型主動區之中心位置上；

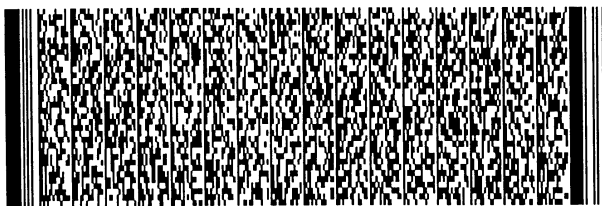
一位元線，具有一中心位置與該位元線接點耦接，以及一第一端及一第二端，該位元線係大體上與該長條型主動區垂直；以及

二接觸插塞，分別設置於該長條型主動區之兩端上方，皆與底下之長條型主動區接觸。

2. 如申請專利範圍第1項所述之用於偵測動態隨機存取記憶體之位元線接點與主動區重疊是否偏移的測試元件，更包括二字元線，平行設置於該長條型主動區之兩側上方。

3. 如申請專利範圍第1項所述之用於偵測動態隨機存取記憶體之位元線接點與主動區重疊是否偏移的測試元件，其中該位元線之第一端和該二接觸插塞之一者間用以測得一第一電阻值，以及該位元線之第二端和該二接觸插塞之另一者間用以測得一第二電阻值，若該第一電阻值不等於該第二電阻值時，則該位元線接點與主動區重疊有偏移。

4. 一種偵測動態隨機存取記憶體之位元線接點與主動



六、申請專利範圍

區重疊是否偏移的方法，包括下列步驟：

提供一晶圓，該晶圓至少具有一切割道和一記憶胞區；

於該晶圓之該切割道中形成一測試元件，並同時於該晶圓之該記憶胞區形成複數記憶胞，

其中該測試元件包括：

一長條型主動區，設置於該切割道中，具有一中心位置；

一位元線接點，設置於該長條型主動區之中心位置上；

一位元線，具有一中心位置與該位元線接點耦接，該位元線係大體上與該長條型主動區垂直；以及

二接觸插塞，分別設置於該長條型主動區之兩端上方，皆與底下之長條型主動區接觸；

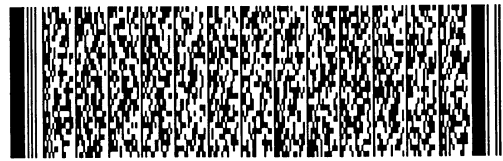
藉由該位元線之第一端和該二接觸插塞之一者間量測得一第一電阻值；

藉由該位元線之第二端和該二接觸插塞之另一者，量測得一第二電阻值；

根據該第一與該第二電阻值，判斷該測試元件中位元線接點與主動區重疊是否偏移；以及

藉由該測試元件上之位元線接點與主動區重疊是否偏移，判別該記憶胞區之該等記憶胞中位元線接點與主動區重疊是否偏移。

5. 如申請專利範圍第4項所述之用於偵測動態隨機存



六、申請專利範圍

取記憶體之位元線接點與主動區重疊是否偏移的測試方法，其中該試測元件更包括二字元線，平行設置於該長條型主動區之兩側上方。

6. 如申請專利範圍第4項所述之用於偵測動態隨機存取記憶體之位元線接點與主動區重疊是否偏移的測試方法，其中若該第一電阻值不等於該第二電阻值時，則該位元線接點與主動區重疊有偏移。

7. 一種偵測動態隨機存取記憶體之位元線接點與主動區重疊是否偏移的方法，包括下列步驟：

提供一晶圓，該晶圓至少具有一切割道和一記憶胞區；

於該晶圓之該切割道中形成一測試元件，並同時於該晶圓之該記憶胞區形成複數記憶胞，

其中該測試元件包括：

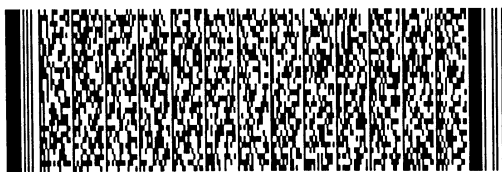
一長條型主動區，設置於該切割道中，具有一中心位置、一既定寬度以及一既定導電率；

一位元線接點，設置於該長條型主動區之中心位置上；

一位元線，具有一中心位置與該位元線接點耦接，該位元線係大體上與該長條型主動區垂直；以及

二接觸插塞，分別設置於該長條型主動區之兩端上方，皆與底下之長條型主動區接觸；

藉由該位元線之第一端和該二接觸插塞之一者間量測得一第一電阻值；



六、申請專利範圍

藉由該位元線之第二端和該二接觸插塞之另一者，量測得一第二電阻值；

根據該第一與該第二電阻值，判斷該測試元件中位元線接點與主動區重疊是否偏移；以及

藉由該測試元件上之位元線接點與主動區重疊是否偏移，判別該記憶胞區之該等記憶胞中位元線接點與主動區重疊是否偏移。

8. 如申請專利範圍第7項所述之用於偵測動態隨機存取記憶體之位元線接點與主動區重疊是否偏移的測試方法，其中若該第一電阻值不等於該第二電阻值時，則該位元線接點與主動區重疊有偏移。

9. 如申請專利範圍第8項所述之用於偵測動態隨機存取記憶體之位元線接點與主動區重疊是否偏移的測試方法，更包括若產生偏移時，根據該第一、第二電阻值、既定導電率以及既定寬度，計算出該長條型主動區與該位元線接點之重疊偏移量(ΔL)。

10. 如申請專利範圍第9項所述之用於偵測動態隨機存取記憶體之位元線接點與主動區重疊是否偏移的測試方法，其中該重疊偏移量係依照下列數學式而求得：

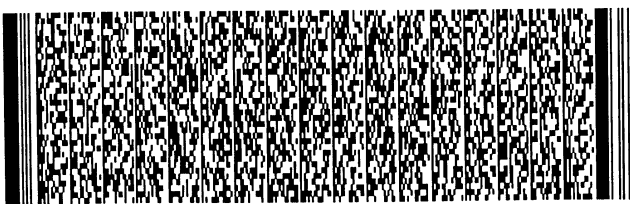
$$\Delta L = w * (R_1 - R_2) / (2R_{AA}) ;$$

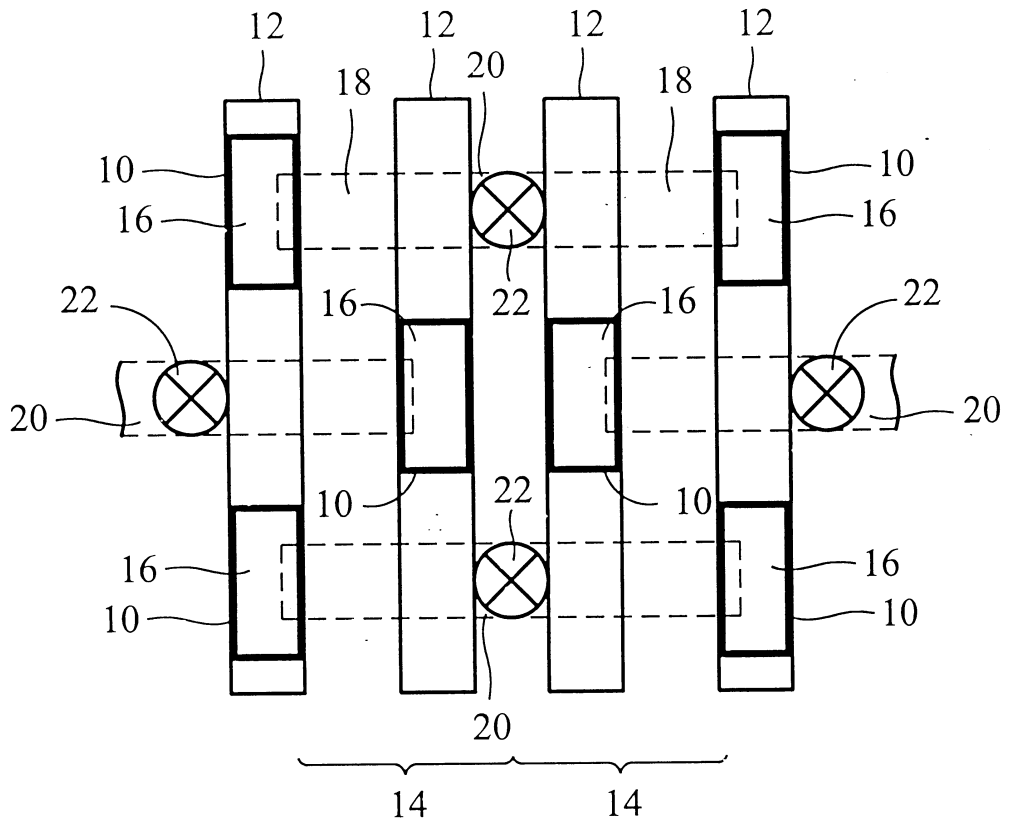
其中 R_1 表示該第一電阻值；

R_2 表示該第二電阻值；

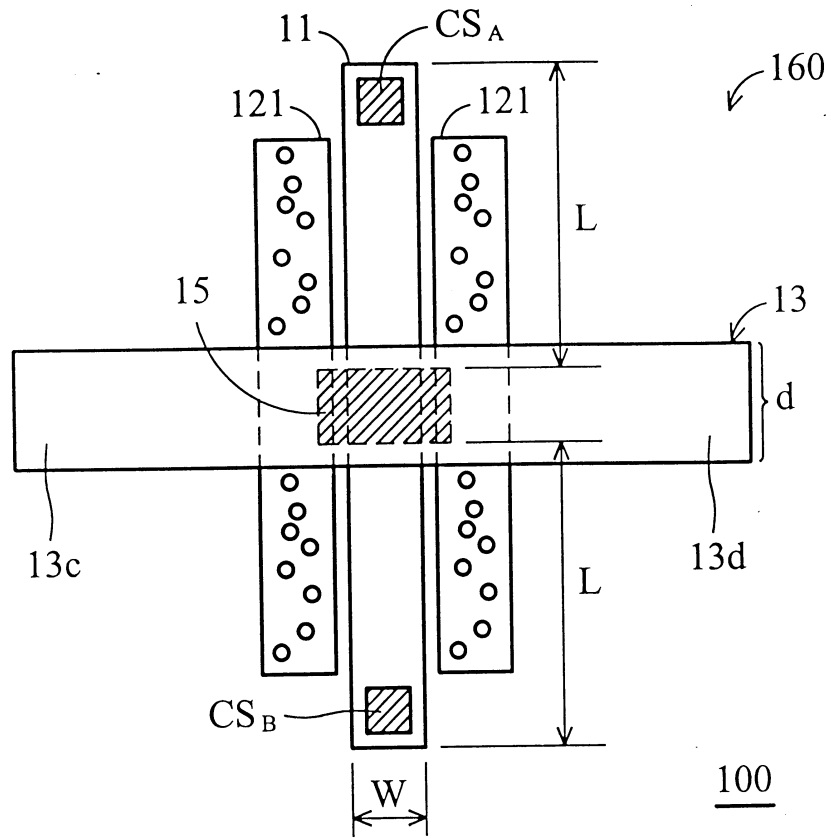
R_{AA} 表示該既定導電率；以及

w 表示該既定寬度。

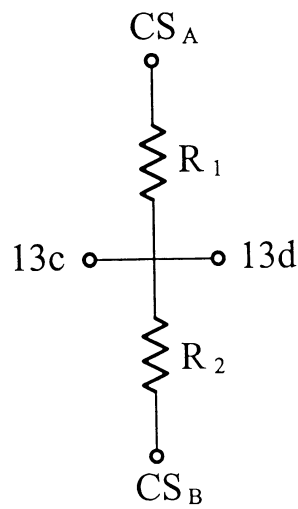




第 1 圖



第 2 圖



第 3 圖