

八 生 本

申請日期: 88. 11. 6

案號: 88119233

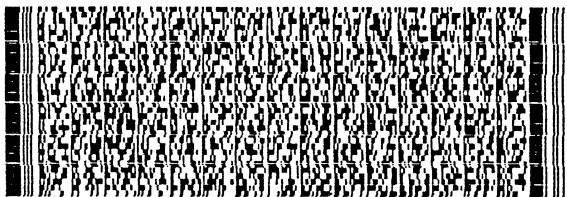
類別: G09G 5/30

(以上各欄由本局填註)

發明專利說明書

501092

| | | |
|-------------------|----------------------|--|
| 一、 發明名稱 | 中文 | 半導體裝置之系統構造及使用該半導體裝置之系統構造之液晶顯示裝置模組 |
| | 英文 | SYSTEM CONSTRUCTION OF SEMICONDUCTOR DEVICES AND LIQUID CRYSTAL DISPLAY DEVICE MODULE USING THE SAME |
| 二、 發明人 | 姓名 (中文) | 1. 坂口 修久 2. 玉井 滋樹 |
| | 姓名 (英文) | 1. NOBUHISA SAKAGUCHI 2. SHIGEKI TAMAI |
| | 國籍 | 1. 日本 2. 日本 |
| | 住、居所 | 1. 日本國奈良縣天理市襟本町2613-1-938 2. 日本國奈良縣吉野郡吉野町丹治94-1 |
| 三、 申請人 | 姓名 (名稱) (中文) | 1. 日商夏普股份有限公司 |
| | 姓名 (名稱) (英文) | 1. SHARP KABUSHIKI KAISHA |
| | 國籍 | 1. 日本 |
| | 住、居所 (事務所) | 1. 日本國大阪府大阪市阿倍野區長池町22番22號 |
| | 代表人 姓名 (中文) | 1. 町田 勝彦 |
| 代表人 姓名 (英文) | 1. KATSUHIKO MACHIDA | |



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

日本 JP

1998/11/20 特願平10-331557

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

發明之領域

本發明係關於一種多級串接(串級(cascade))複數個相同之半導體裝置而成的半導體裝置之系統構造，以及使用該半導體裝置之系統構造的液晶顯示裝置模組。

發明之背景

在習用液晶顯示裝置模組中之半導體系統如圖10所示，係作成一將作為半導體裝置之源極驅動器LSI(大型積體電路)晶片51以及閘極驅動器LSI晶片52等搭載於TCP(帶子承載封裝)53上之構成。又，這些源極驅動器LSI晶片51以及閘極驅動器LSI晶片52之輸出端子側，係藉由例如ACF(異質導電膜(Anisotropic Conductive Film))，採熱加壓接著之方式，連接至各位於液晶面板54上未圖示之由ITO(銦錫氧化物Indium Tin Oxide)所組成之端子上。

又，在TCP 53與可撓性基板55之間，亦和上述源極驅動器LSI晶片51與閘極驅動器LSI晶片52之輸出端子側一樣，電氣相連接。藉此，一些要輸入上述源極驅動器LSI晶片51的彩色影像資料(或稱數據)信號(R、G、B三種信號)，以及各種要輸入源極驅動器LSI晶片51和閘極驅動器LSI晶片52的控制信號和電源線等，即可透過可撓性基板55上之配線，由控制器電路56，送到各源極驅動器LSI晶片51或閘極驅動器LSI晶片52。

搭載有上述源極驅動器LSI晶片51之TCP 53在此設有八個，各別為第一源極驅動器、...至第八源極驅動器，亦即成為一有八個相同之源極驅動器LSI晶片51串級連接



五、發明說明 (2)

者。又，閘極驅動器LSI晶片52在此為一有二個串級連接而成者。

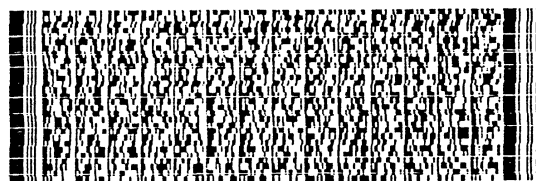
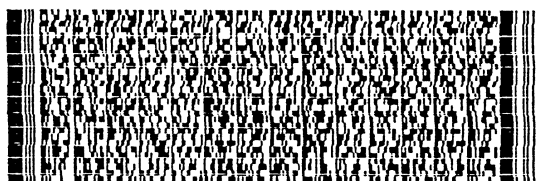
上述液晶面板54之像素數為800像素×3 (RGB)[源極側]×600像素(閘極側)者。

上述第一源極驅動器至第八源極驅動器各別進行一64色階之顯示，且各別用以驅動100像素×3 (RGB)。

各源極驅動器之源極驅動器LSI晶片51如圖11所示，包含有：移位暫存器電路61、資料門鎖電路62、取樣記憶電路63、維持記憶電路64、基準(或稱“參考”)電源產生電路65、D/A轉換器電路66、以及輸出電路67。

該移位暫存器電路61係，以一由該控制器電路56之SSPI端子輸出後被輸入至該源極驅動器LSI晶片51之端子SPin，且與影像資料信號R.G.B (信號)之水平同步信號取得同步之起始脈衝輸入信號SPI (信號)，作為起始脈衝。又，之後，上述移位暫存器電路61即根據控制器電路56之SCK端子所輸出之時脈信號CK (基準信號)，來對該起始脈衝輸入信號SPI進行移位。

在該移位暫存器電路61中被移位後之起始脈衝輸入信號SPI，會以其最末段之輸出作為起始脈衝輸出信號SPO，並由該源極驅動器LSI晶片51之SPout端子輸出，再被輸入至下一級之源極驅動器LSI晶片51之SPin端子。又，該時脈信號CK亦被輸入CKin輸入端子，並由CKout輸出端子輸出，再被輸入至下一級源極驅動器LSI晶片51之CKin端子。



五、發明說明 (3)

上述起始脈衝輸入信號SPI一直到圖10所示第八個移位暫存器中之源極驅動器LSI晶片51之移位暫存器電路61之最末段為止，都被同樣地移位。

另一方面，控制器電路56之各R.G.B端子所輸出之影像資料信號R.G.B係由R.G.B各六個位元所構成。這些影像資料信號R.G.B如圖11所示，分別由源極驅動器LSI晶片51之R1-6in端子、G1-6in端子、B1-6in端子被並聯輸入，並在資料閃鎖電路62中被暫時閃鎖之後，即被送至取樣記憶電路63。

取樣記憶電路63根據該移位暫存器電路61之各段輸出信號，而對分時送來之RGB各6位元合計18位元的影像信號資料，加以取樣。取樣記憶電路63會將所取樣之影像信號資料加以記憶，直到控制器電路56之LS端子(參照本發明之說明圖圖3)所輸出之後述閃鎖信號LS被輸入為止。

接著，這些影像信號資料被輸入維持記憶電路64，並在影像資料信號R.G.B之一水平週期的資料被輸入維持記憶電路64後的一時點，為閃鎖信號LS所閃鎖。接著，維持記憶電路64在下一水平週期之資料被由取樣記憶電路63輸入維持記憶電路64之前將保持資料，且在這期間這些影像信號資料會被輸出。

基準電源產生電路65係根據一由該控制器電路56之端子Vref 1-9(參照本發明之說明圖的圖3)所輸出並輸入至源極驅動器LSI晶片51之端子Vref 1-9的基準電壓，利用一例如電阻分壓之方式，使色階顯示用的64個準位電壓產



五、發明說明 (4)

生。

D/A轉換器電路66用以將數位的R.G.B各6位元的影像信號資料轉換為類比信號。然後，輸出電路67根據一由該控制器電路56輸出而被輸入源極驅動器LSI晶片51之端子VLS的電壓，放大64個準位的類比信號，再由輸出端子X01~X0100、Y01~Y0100、Z01~Z0100輸出至該液晶面板54之未示於圖中的端子。

上述輸出端子X0、Y0、Z0各對應於各影像資料信號R.G.B，且各共有100個端子。又，源極驅動器LSI晶片51之端子Vcc與端子GND為用以供電給該源極驅動器LSI晶片51之電源用端子。又，在圖11中，省略緩衝器電路之記載。

以上為64色階之源極驅動器之構成與動作的說明。

又，就閘極驅動器LSI晶片52而言，基本上為一與源極驅動器LSI晶片51相同之構成，因而在此省略其說明。

在如上所述之液晶顯示裝置模組中的半導體裝置之系統構造中，液晶顯示裝置之高像素數化、以及高解析能力化在進展者。藉由如此之高像素數化，源極驅動器LSI晶片51以及閘極驅動器LSI晶片52將被要求能高速化影像資料信號R.G.B之傳送，亦即以高頻時脈來動作。此點在源極驅動器LSI晶片51側尤其比閘極驅動器LSI晶片52側還顯著。

例如，源極側為800像素、閘極側為600像素時，時脈信號CK約為65 MHz。

在將上述高頻時脈信號CK透過撓性基板55送給各源極驅



五、發明說明 (5)

動器 LSI 晶片 51 時，漂浮電容將變大，且時脈波形平緩化而產生誤動作。因此，在圖 10 所示之半導體裝置之系統構造中，使相鄰 TCP 53 部份重疊來電連接配線，而且，時脈信號 CK 經由源極驅動器 LSI 晶片 51 內未圖示之緩衝器電路輸出，並被輸入至下一源極驅動器 LSI 晶片 51 中。藉此，在第一至第八源極驅動器中所有串級連接在一起之源極驅動器 LSI 晶片 51 將依序收到時脈信號 CK。

使將這些相鄰 TCP 53 重疊來連接配線之手法揭示於特開平 6-3684 號公報 (公開日：1994 年 1 月 14 日) 中。在該場合，由於源極驅動器 LSI 晶片 51 間之漂浮電容相當小，波形之鈍化將受到減輕。

然而，在一上述習知半導體裝置之系統構造，以及使用了該半導體裝置之系統構造的液晶顯示裝置模組中，為了時脈信號 CK 之高頻化，以及為了串級相同特性之 IC 晶片，將產生下述問題。

一般而言，因時脈信號 CK 之上升時間 (10% 準位至 90% 準位所花時間) 所致延遲時間 t_{d1} ，以及因下降時間 (自 90% 準位至 10% 準位所花時間) 所致延遲時間 t_{d2} 設計成相同。

例如，在以 P 通道型 MOS (金氧半導體) 和 N 通道型 MOS 所構成之時脈緩衝器電路中，擴大 P 通道型 MOS 之閘極寬度，作為增加驅動能力等之對策。

然而，時脈信號 CK 在上升時之延遲時間 t_{d1} 以及下降時的延遲時間 t_{d2} 沒辦法完全相同，在製造後，通常會產生例如 1 nsec. 左右之特性上的不同。此外，因製程條件之



五、發明說明 (6)

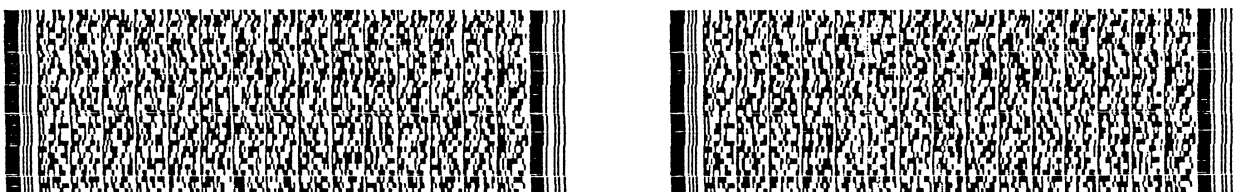
變動所致LSI臨界電壓 V_{th} 會因個別LSI而有若干變化這一點亦加重該情形。實際上，上升時之延遲時間若約2 nsec.左右，則下降時之延遲時間將約為3 nsec.左右。若將複數個LSI串級連級起來，並使其傳送信號，將產生如圖12所示之時序圖。

亦即，每一個LSI晶片1 nsec.的不同在相同特性之LSI晶片連接成N個串級時，該不同將累積，而使延遲時間之不同變成1 nsec. \times N。於是，如圖12所示般，低準位期間將變窄。

如前所述，時脈信號CK若約65 MHz，一個週期約15 nsec.，而工作(duty)比若為50%的話，低準位應為8 nsec.。

其中，若具有前述特性之源極驅動器LSI晶片51八個串級連接在一起(N=8)，則最後一級之源極驅動器LSI晶片51內之時脈信號CK之低準位將僅分到1 nsec.，這將無法確保一時脈信號CK於要使源極驅動器LSI晶片51受到驅動所被要求之一低準位時間的最小容許時間。結果，源極驅動器LSI晶片1將誤動作，並喪失穩定性而導致有損可靠度之情事。

進一步，在圖12中，對於第一源極驅動器之時脈信號CK的輸入雖設定為工作比50%之波形，但在實際系統設計中，自控制器電路56，經撓性基板55之配線，至輸入第一源極驅動器這一條線的漂浮電容最大。此外，該自該控制器電路56經可撓性基板55之配線至輸入第一源極驅動器這



五、發明說明(7)

一條線為一因LSI之構裝形狀、設計等而有最大漂浮電容變動的部位。

由於波形之鈍化或分散會加重前述源極驅動器LSI晶片51間之累積，因而將極難保證其可靠度可達源極驅動器LSI晶片51之最後一級。

今後，由於高像素更被追及，該問題將更為嚴重。

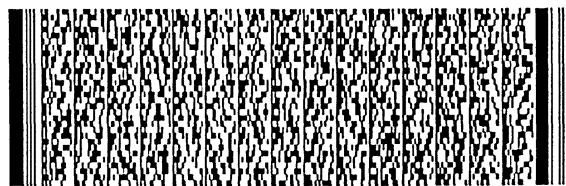
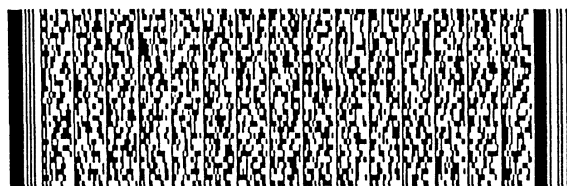
發明之概述

本發明之目的在於提供一種於串級連接複數個相同半導體裝置時，可以防止誤動作或是動作停止等狀況而能建構一可靠度高之系統的半導體裝置之系統構造，以及利用該半導體裝置之系統構造的液晶顯示裝置模組。

為達成上述目的，本發明之半導體裝置之系統構造為一種串級連接有複數個具有相同特性之半導體裝置而成之半導體裝置之系統構造，其中各半導體裝置具特徵在於：

包含有一半週期延遲裝置，其使串級於該等複數個半導體裝置而被傳送之傳送信號與基準信號，相對於各輸入信號，延遲該基準信號之半個週期量後，才被輸出。

若將複數個具有相同特性之半導體裝置串級連接，並將例如起始脈衝信號或影像資料信號等信號，以及時脈信號等基準信號，串級至這些半導體裝置而傳送之的話，在各半導體裝置中將產生延遲。該延遲原本在信號與基準信號之上升時與下降時都應該相同，然實際上這些延遲時間並不相同。結果，在末端之半導體裝置中，由於延遲時間不同之累積，信號與基準信號之各低準位期間將縮短，而有



五、發明說明 (8)

系統產生誤動作或動作停止之虞。

然而，在本發明中，由於在各半導體裝置中設置一半週期延遲裝置，藉由該半週期延遲裝置，串級至複數個相串級連接之半導體裝置而被傳送之傳送信號與基準信號，將相對於各輸入信號，受延遲基準信號之半週期量，才被輸出。

亦即，藉由使傳送信號與基準信號相對於輸入信號延遲基準信號之半週期量，在第奇數級之半導體裝置與第偶數級之半導體裝置中，傳送信號與基準信號之上升與下降將顛倒。因此，在各半導體裝置中，信號以及基準信號之延遲時間即使在信號之上升時與下降時有所不同，也可以相抵銷，而能作到不使延遲時間不同所致累增產生。結果，即使基準信號高速化，亦即例如時脈高速化，且即使半導體裝置之串級連接數增加，也可以將適當的時脈傳送至最末端之半導體裝置，並能排除誤動作之原因。

因此，在串級連接有特性相同之複數個半導體裝置時，將可以防止系統之誤動作或是動作停止等狀況，並能提供一可建構高可靠度系統的半導體裝置之系統構造。

本發明之其它目的、特徵、以及優點藉由以下之敘述將相當清楚。又，本發明之有利點，在下述參照所附圖式之說明下將很明白。

圖式之簡單說明

圖1為一顯示本發明之半導體裝置之系統構造，以及利用該半導體裝置之系統構造的液晶顯示裝置模組之其中一



五、發明說明(9)

實施態樣者，且為一顯示源極驅動器LSI晶片之構成的方塊圖。

圖2為上述液晶顯示裝置模組中之半導體裝置之系統構造的概略平面圖。

圖3為一顯示上述源極驅動器LSI晶片中之控制器電路之各端子的說明圖。

圖4(a)至4(f)圖為上述第奇數級源極驅動器中之源極驅動器LSI晶片之各種信號的時序圖。

圖5為上述各源極驅動器中之輸出入信號的時序圖。

圖6(a)至6(e)為上述各源極驅動器中之時脈信號之上升時與下降時之延遲狀況的時序圖。

圖7為上述液晶顯示裝置模組中之液晶面板與TCP搭載狀態的概略截面圖。

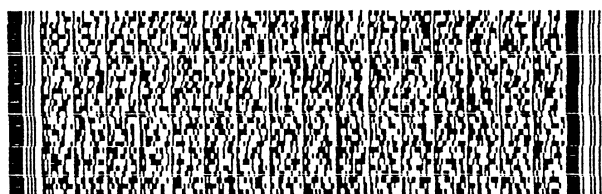
圖8為一對上述液晶顯示裝置模組中之液晶面板上之各TCP進行搭載之狀態的概略截面圖。

圖9為上述液晶顯示裝置模組中之閘極驅動器LSI晶片之構成的方塊圖。

圖10為一顯示習知半導體裝置之系統構造，以及利用該半導體裝置之系統構造的液晶顯示裝置模組者，且為一顯示液晶顯示裝置模組中之半導體裝置之系統構造的概略平面圖。

圖11為上述液晶顯示裝置模組中之源極驅動器LSI晶片之構成的方塊圖。

圖12為一顯示上述各源極驅動器中之時脈信號的上升與



五、發明說明(10)

下降時之延遲狀況的時序圖。

發明之詳細說明

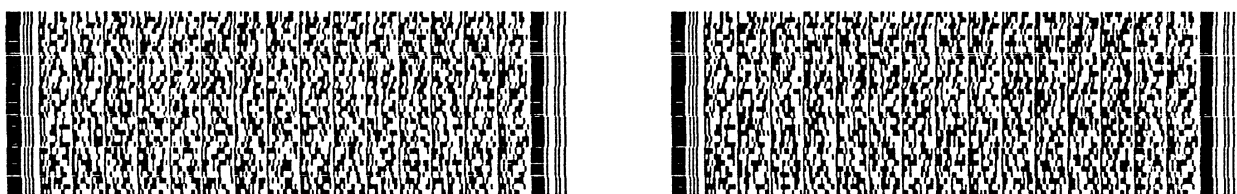
本發明之實施例根據圖1至圖9說明如下。

本實施例之液晶顯示裝置模組中的半導體裝置之系統構造如圖2所示般，其作為半導體裝置之源極驅動器LSI晶片1以及閘極驅動器LSI晶片2被搭載於各TCP（膠帶承載封裝）上。在此，所謂TCP係指將LSI晶片張貼於膠帶薄片上而成的薄型封裝。

TCP3之輸出端子側如後述之圖7所示般，係透過例如ACF（異質性導電膜Anisotropic Conductive Film）4c，而被熱加壓接著於一設於液晶面板4之液晶玻璃基板4a上由ITO（銻錫氧化物）所構成之端子4b上，進而與其電連接。

另一方面，送給各源極驅動器LSI晶片1與閘極驅動器LSI晶片2之輸入側信號的往來，係如圖2所示般透過TCP配線與撓性基板5之配線進行。

藉此，送給上述源極驅動器LSI晶片1之彩色影像資料信號R.G.B（各由6位元所組成之R.G.B三種信號），以及送給源極驅動器LSI晶片1與閘極驅動器LSI晶片2之各種控制信號與電源線等，將由控制器電路6透過撓性基板5上之配線，而被供應至各源極驅動器LSI晶片1與閘極驅動器LSI晶片2。另一方面，起始脈衝信號SP由控制器電路6之端子SSP1被輸入至第一源極驅動器之端子SPin。而且，由端子SPout輸出一起始脈衝輸出信號SP0，且被輸入至下一級源極驅動器之端子SPin。惟，時脈信號CK理所當然可以透過



五、發明說明 (11)

撓性基板5，然為求特別高速，在本實施例中係在不透過撓性基板5下進行配線。

搭載上述源極驅動器LSI晶片1之TCP3在本實施例中設有8個，各設定為第一源極驅動器...至第八源極驅動器。結果，八個相同之源極驅動器LSI晶片1即成為串級連接在一起者；又，閘極驅動器LSI晶片2在本實施例中構設成由二個串級連接在一起。

上述液晶面板4之像素數為800像素×3(RGB)[源極側]×600像素[閘極側]，此等與習知技術所記載者相同。

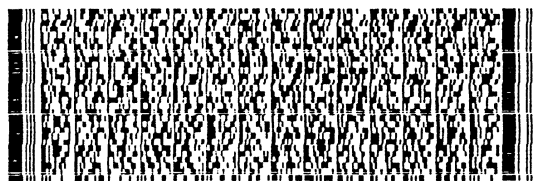
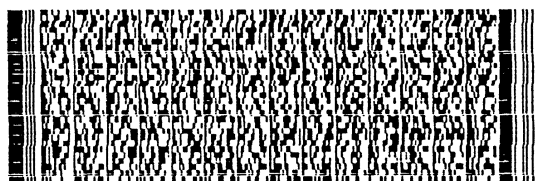
以下就上述構成之液晶顯示裝置模組中之各種信號與其流通路徑作一說明。

首先，如圖2與圖3所示，送給源極驅動器LSI晶片1之各由6位元組成的影像資料信號R.G.B、時脈信號CK、以及起始脈衝輸入信號SPI等，由控制器電路6輸出，並通過撓性基板5上之配線以及TCP3之配線，而被輸入第一源極驅動器之源極驅動器LSI晶片1。

在第一源極驅動器中之源極驅動器LSI晶片1所輸出之影像資料信號R.G.B再由圖1所示之端子R1-6out、G1-6out、B1-6out，透過撓性基板5，被輸入至下一級之第二源極驅動器中的源極驅動器LSI晶片1。

又，同樣地，第一源極驅動器中之源極驅動器LSI晶片1所輸出之起始脈衝輸出信號SP0亦由端子SPout，被輸入至下一級之第二源極驅動器中的源極驅動器LSI晶片1。

又，時脈信號CK由第一源極驅動器中之源極驅動器LSI



五、發明說明 (12)

晶片1的端子CKout輸出，並如圖2所示般，不透過撓性基板5，而直接送至下一級之第二源極驅動器中的源極驅動器LSI晶片1。

以下，第三源極驅動器至第八源極驅動器依序同樣連接。

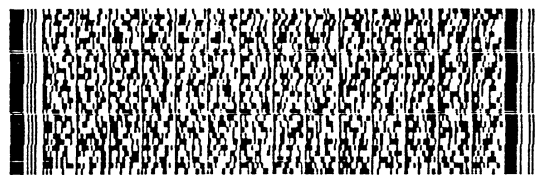
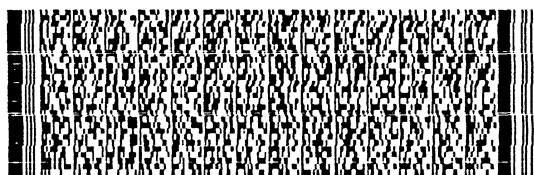
來自第八源極驅動器之起始脈衝輸出信號SPO通過撓性基板5之配線，被輸入至控制器電路6之端子SSPO。

又，在源極驅動器LSI晶片1中之電源端子Vcc與端子GND線、64位元色階顯示用電壓Vref 1-9、送給液晶面板4之施加電壓調整用電壓VLS以及閃鎖信號LS為共同信號，且由控制器電路6，供應至第一源極驅動器至第八源極驅動器之各源極驅動器LSI晶片1。

另一方面，閘極驅動器LSI晶片2亦同樣被搭載於TCP3上，且電連接至液晶面板4之端子與撓性基板5上。

又，閘極驅動器用時脈信號GCK以及閘極驅動器用起始脈衝信號GSPI，由控制器電路6，被輸入第一閘極驅動器之閘極驅動器LSI晶片2。

此外，來自第一閘極驅動器之閘極驅動器用時脈信號GCK，會如後述之圖9所示般，由端子GCKout被輸出，且閘極驅動器用起始脈衝信號GSPO由端子GSPout被輸出，且一同被輸入至下一級之第二閘極驅動器中。最後一級之第二閘極驅動器之閘極驅動器LSI晶片2所送出之閘極驅動器用起始脈衝信號GSPO被輸入控制器電路6。而且，閘極驅動器LSI晶片2之電源端子Vcc、GND線、以及液晶面板施壓用



五、發明說明 (13)

電壓 $V_{ref 1}$ 、2 等為共通信號，並由控制器電路 6，供應至各開極驅動器 LSI 晶片 2。

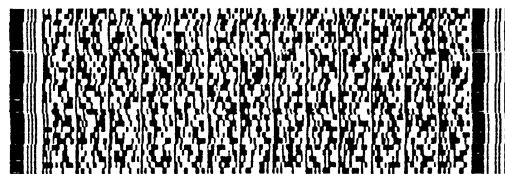
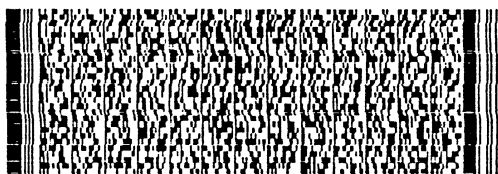
像這樣，在本實施例中，於源極驅動器 LSI 晶片 1 中，來自控制器電路 6 之時脈信號 CK 與起始脈衝輸入信號 SPI 在串級連接至各第一源極驅動器至第八源極驅動器下被輸出，而且，影像資料信號 R.G.B 亦在串級連接至各第一源極驅動器~第八源極驅動器下被輸出。

又，在開極驅動器 LSI 晶片 2 中，來自控制器電路 6 之開極驅動器用時脈信號 GCK 以及開極驅動器用起始脈衝信號 GSPI 在串級連接至各第一源極驅動器與第二開極驅動器下被輸出。

因此，來自上述控制器電路 6 之送給源極驅動器的起始脈衝輸入信號 SPI 和影像資料信號 R.G.B，以及來自控制器電路 6 之送給開極驅動器的開極驅動器用起始脈衝信號 GSPI，都是一些在串級至本發明之半導體裝置下被傳送之信號。又，來自控制器電路 6 之送給源極驅動器的時脈信號 CK，以及來自控制器電路 6 之送給開極驅動器的開極驅動器用時脈信號 GCK，則為在串級至本發明之半導體裝置下被傳送之基準信號。

其次，就源極驅動器 LSI 晶片 1 之電路，根據圖 1 詳細說明。

上述源極驅動器 LSI 晶片 1 為一用以進行 64 色階顯示者，且用以驅動 $100 \text{ 像素} \times 3 \text{ (RGB)}$ 。又，此點與習知技術所載者相同。



五、發明說明 (14)

源極驅動器LSI晶片1之電路構成如圖1所示，包含：移位暫存器電路11、作為半週期延遲裝置與反相裝置的輸入反相緩衝器電路12、作為半週期延遲裝置的時脈半週期延遲電路13、資料門鎖電路14、取樣記憶電路15、作為半週期延遲裝置之時脈半週期延遲電路16、維持記憶電路17、基準(或稱“參考”)電源產生電路18、D/A轉換器電路19、以及輸出電路20。

又，與習知源極驅動器LSI晶片不同之處在於：時脈信號CK由端子CKin被輸入之後，會通過輸入反相緩衝器電路12、而在反相後成為移位暫存器電路11的時脈；起始脈衝SPI信號在移位暫存器電路11被移位之後，於由端子SPout輸出前，經過一會使時脈延遲半週期的時脈半週期延遲電路13後才被輸出；以及，將各6位元的影像資料信號R.G.B中在被輸入後且在進入資料門鎖電路14前之信號，導入一和先前一樣會使時脈延遲半週期的時脈半週期延遲電路16中，再經過該時脈半週期延遲電路16，使其由端子R1-6out、G1-6out、B1-6out被輸出。

在上述構成之源極驅動器LSI晶片1中，如圖1所示，首先，時脈信號CK一由端子CKin被輸入，時脈即在輸入反相緩衝器電路12中被反相，而成為時脈反相信號/CK。接著，與影像資料信號R.G.B之水平同步信號同步之起始脈衝信號SPI一由端子SPin被輸入，將自一在該起始脈衝信號SPI之高準位期間被輸入之時脈反相信號/CK之最初下降緣開始，開始起始脈衝信號SPI之偏移。



五、發明說明 (15)

被移位暫存器電路11所偏移之起始脈衝輸入信號SPI會被時脈半週期延遲電路13所延遲半個時脈週期，而成為起始脈衝輸出信號SPO，並由端子SPout輸出。該起始脈衝輸出信號SPO會被輸入下一個第二源極驅動器中之源極驅動器LSI晶片1的端子SPin。

影像資料信號R.G.B係由RGB各6個位元所構成，且與時脈信號CK之下降緣同步，並由控制器電路6被輸入至第一源極驅動器中之源極驅動器LSI晶片1的端子R1-6in、G1-6in、B1-6in。這些影像資料信號R.G.B在資料門鎖電路14被暫時門鎖後，將被送至取樣記憶電路15。

上述各6位元的影像資料信號R.G.B除了被輸入資料門鎖電路14外，並被輸入該使時脈延遲半週期的時脈半週期延遲電路16。此外，這些影像資料信號R.G.B會經由該時脈半週期延遲電路16，而由端子R1-6out、G1-6out、B1-6out輸出，並被分別輸入下一第二源極驅動器中之源極驅動器LSI晶片1之端子R1-6in、G1-6in、B1-6in。

以下，根據圖4(a)~圖4(f)說明該時脈信號CK與起始脈衝輸入信號SPI以及影像資料信號R.G.B間之關係。

首先，一旦時脈信號CK被輸入(圖4(a))，即在輸入反相緩衝器電路12中反相，而成為時脈反相信號/CK(圖4(d))。其次，自一在該起始脈衝輸入信號SPI之高準位期間之時脈反相信號/CK的最初下降緣開始，開始在移位暫存器電路11中之起始脈衝信號SPI的偏移，並在一個源極驅動器所對應的100個像素之資料(RGB之各6位元被並列送出)



五、發明說明 (16)

被送出時，起始脈衝輸出信號SPO亦被輸出。惟，該起始脈衝輸出信號SPO係自100像素量資料之最後段開始，才受一使時脈延遲半週期的時脈半週期延遲電路13所作用而延遲半個時脈週期(圖4(c))。

另一方面，影像資料信號R.G.B亦在時脈半週期延遲電路16中被延遲後才被輸出(圖4(f))。

結果，在對第二源極驅動器進行輸入之時序中，即如圖5所示，就時脈而言雖有時脈反相信號/CK被輸入，但被輸入第二源極驅動器中之源極驅動器LSI晶片1之端子SPin的起始脈衝輸出信號SPO、以及影像資料信號R.G.B，將因為在第一源極驅動器之時脈半週期延遲電路13以及時脈半週期延遲電路16中，受延遲半個時脈週期，而會在一與時脈反相信號/CK之下降緣同步之情形下，被輸入第二源極驅動器中之源極驅動器LSI晶片1。因此，時脈反相信號/CK、起始脈衝輸出信號SPO、以及影像資料信號R.G.B之相位，即變成與第一源極驅動器1相同。

如上所述，屬第奇數個的第一源極驅動器、第三源極驅動器、第五源極驅動器、第七源極驅動器，以及屬第偶數個的第二源極驅動器、第四源極驅動器、第六源極驅動器、第八源極驅動器中，由於各信號在各源極驅動器LSI晶片1之輸入端子上的相位關係變得相同，因而就相位而言，只要以第一源極驅動器中之源極驅動器LSI晶片1的動作作考量即可。

藉由上述時脈反相信號/CK或時脈信號CK、起始脈衝輸



五、發明說明 (17)

入信號SPI、以及影像資料信號R.G.B被輸入各源極驅動器LSI晶片1中，如圖1所示，取樣記憶電路15將因為移位暫存器電路11之起始脈衝輸入信號SPI中未圖示之各級移位輸出信號，而對分時送來之影像資料信號R.G.B各6位元總計18位元加以取樣，並記憶到閘鎖信號LS被輸入為止。

這些影像信號資料接著被輸入保持記憶電路17，並於影像資料信號R.G.B之一水平期間的資料被輸入保持記憶電路17之時點，為閘鎖信號LS之下降緣所閘鎖保持。然後，保持記憶電路17會在下一水平期間之資料由取樣記憶電路15被輸入至保持記憶電路17期間，保持該資料，且於該期間，這些影像信號資料會被輸出至後續之D/A轉換器電路19。

此時，移位暫存器電路11以及取樣記憶電路15會進行下一水平期間之新影像資料信號R.G.B的取入。

其次，基準電源產生電路18會根據該控制器電路6之端子Vref 1-9所輸出而被輸入至源極驅動器LSI晶片1之端子Vref 1-9的基準電壓，而使例如因電阻分壓而供色調顯示用的64位階電壓產生。

D/A轉換器電路19會將以數位且R.G.B各6位元送來之影像資料信號R.G.B轉換成類比信號。然後，輸出電路20會因為由源極驅動器LSI晶片1之施加電壓調整用端子VLS輸入之送給液晶面板4的電壓，而放大64個位階之類比信號，並將其由分別對應於R.G.B之輸出端子X01~X010、Y01~Y010、Z01~Z0100輸出至液晶面板4之未示於圖中的端



五、發明說明 (18)

子。

又，在圖1中，源極驅動器LSI晶片1之端子Vcc以及端子GND為用以送電給該源極驅動器LSI晶片1的電源用端子。

其次，就圖6(a)~圖6(e)所示之時序圖，說明本系統構造中之時脈信號CK的動作。又，在此說明中，串級連接之第一源極驅動器~第八源極驅動器為特性大略相同之源極驅動器LSI晶片1，並將上升時之延遲時間設為 t_{d1} ，下降時之延遲時間設定為 t_{d2} 。

時脈信號CK由該控制器電路6被輸入至第一源極驅動器。該時脈信號CK在第一源極驅動器內被反相，而成為時脈反相信號 \overline{CK} ，再被輸入第二源極驅動器。以下，第奇數之第一源極驅動器、第三源極驅動器、第五源極驅動器、第七源極驅動器中，將被輸入時脈信號CK；第偶數之第二源極驅動器、第四源極驅動器、第六源極驅動器、第八源極驅動器中，將被輸入反相之時脈反相信號 \overline{CK} 。

其中，例如，若以圖6(c)所示之對第三源極驅動器之輸入階段來看的話，相對於來自控制器電路6之輸出(圖6(a))，可知上升緣延遲 $t_{d2} + t_{d1}$ ，而下降緣則延遲 $t_{d1} + t_{d2}$ 。

亦即， t_{d1} 和 t_{d2} 雖然不同，但被輸入第奇數之第一源極驅動器、第三源極驅動器、第五源極驅動器、第七源極驅動器之時脈波形會被修正，而變成與控制器之輸出波形等同。

因此，因為在串級連接中之延遲時間不同的累加情形不



五、發明說明 (19)

存在，所以根據本實施例，即使時脈高速化、源極驅動器之串級連接數增加，也可以將適當的時脈傳送至身為最後一級源極驅動器的第八源極驅動器，而可以排除誤動作之原因。

其中，該輸入反相緩衝器電路12通常可以用一例如作為反相器使用之P通道MOS與N通道MOS兩者合成之構成來實現。

又，時脈半週期延遲電路13、16在例如使用D型正反器，且其輸入以一來自移位暫存器電路11之最後段的輸出，或是被輸入源極驅動器LSI晶片1之影像資料信號R.G.B作為輸入；而D型正反器之時脈以被輸入該源極驅動器LSI晶片1的時脈，或是進一步使輸入反相緩衝器之輸出反相而得之信號，來作為D正反器之時脈，將可以獲得所要之輸出。

接著，由於只要將這些由源極驅動器LSI晶片1之輸出端子輸出即可，因而可用簡單的電路來實現輸入反相緩衝器電路12與時脈半週期延遲電路13、16，且不會大幅增加電路數。

以下，就本實施例所揭液晶顯示裝置模組之構造作說明。

在本實施例所揭液晶顯示裝置模組中，如同部份已說明者，TCP3之輸出端子側係如圖7所示般，透過例如ACF（異質性導電膜）4c而被熱加壓接著於一由設於液晶面板4之液晶玻璃基板4a上之ITO（銦錫氧化物）所構成之端子4b



五、發明說明 (20)

上，而被電連接著。

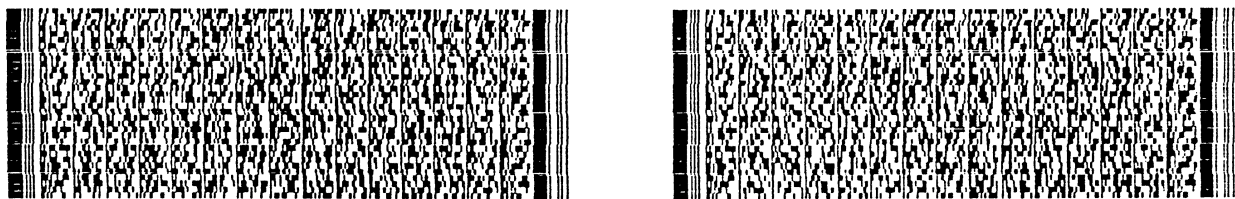
接著，就時脈信號而言，如圖2所示般，係在不透過撓性基板5下進行配線，這樣之作法如先前習知技術已說明般，係為了藉由使相鄰之TCP配線以端部相重疊連接，而電性連接在一起。

又，為了連接配置於該源極驅動器LSI晶片1之側面方向的時脈信號CK之TCP配線3a，係如圖8所示，於一作為液晶面板4之下玻璃的液晶玻璃基板4a上，配置一與像素用端子同樣由ITO所組成的源極驅動器連接用配線4d（圖8顯示2根之情形），並透過該ACF 4c，將TCP3向該液晶玻璃基板4a進行熱加壓接著。藉此，電性連接即被同時進行。

又，今後，由於信號會進一步高速化，或者來自系統之小型化要求所致源極驅動器構裝區域之縮小化，其它信號線亦有可能不透過撓性基板5而以上述方法進行配線。進一步，使作為共同線之電源係屬、電壓Vref係屬、門鎖信號LS等所有信號如前面所述般由TCP配線3a傳導至TCP配線3a，而不用撓性基板5亦可。此場合下之共同信號與電源係屬之配線只要使用例如源極驅動器LSI晶片1內之資料配線，並導通成由晶片之端子→晶片內之資料配線→晶片之端子→TCP配線→下一晶片之端子即可。

以上，雖就源極驅動器LSI晶片1作說明，然本手法亦可適用於閘極驅動器LSI晶片2。

亦即，閘極驅動器側現今雖非特別高速，但將來因高像素數化等而被高速化時，只要如圖9所示作即可。



五、發明說明 (21)

圖9所示之閘極驅動器LSI晶片2包含：移位暫存器電路31、輸入反相緩衝器電路32、時脈半週期延遲電路33、準位轉移電路34、以及輸出電路35。

上述移位暫存器電路31會因為該作為閘極驅動器用時脈信號GCK之反相信號的閘極驅動器用時脈反相信號/GCK，而將根據影像資料信號R.G.B之水平同步信號的起始脈衝加以移位，並輸出一用以選擇該液晶面板4之像素的選擇脈衝。

準位轉移電路34為一用以將上述選擇脈衝，變換成進行液晶面板4之TFT（薄膜電晶體）之ON/OFF所需之電壓準位者。輸出電路35為一用以以內藏之未圖示輸出緩衝器電路，來對上述信號加以放大，並由輸出端子OG1~OGn將其輸出至液晶面板4者。

在該閘極驅動器LSI晶片2中，雖因為手法與前述源極驅動器LSI晶片1相同，而不再詳述，然和先前一樣，在閘極驅動器LSI晶片2內部，藉由輸入反相緩衝器電路32（半週期延遲裝置、反相裝置），使閘極驅動器用時脈信號GCK反相，而作為移位暫存器電路31之時脈。

又，閘極驅動器用起始脈衝輸入信號GSPI於移位暫存器電路31中移位後，即在作為半週期延遲裝置之時脈半週期延遲電路33中進行延遲，再由端子GSPout輸出作為閘極驅動器用起始脈衝輸出信號GSP0，並輸入至下一第二閘極驅動器中之閘極驅動器LSI晶片2之GSPin端子者。

輸入反相緩衝器電路32或是時脈半週期延遲電路33之實



五、發明說明 (22)

現手法，以及各種配線之配線方法等與先前在源極驅動器中之說明相同。

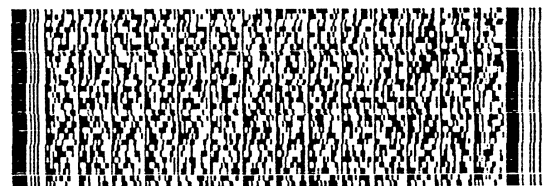
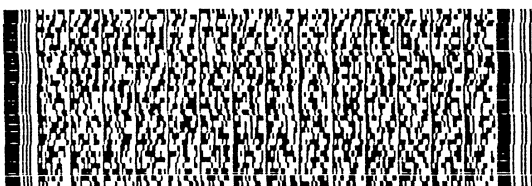
又，到此為止所說明之輸入反相緩衝器電路12以及輸入反相緩衝器電路32雖設定為用以將時脈信號CK或開極驅動器用時脈信號GCK予以反相，使之成為時脈反相信號/CK或是開極驅動器用時脈反相信號/GCK者，然如此一來會成為一使時脈信號CK延遲半週期者。因此，輸入反相緩衝器電路12以及輸入反相緩衝器電路32雖為一具有作為本發明之反相裝置之機能者，同時，亦具有一作為半週期延遲裝置之機能。

又，至此為止所說明之時脈半週期延遲亦可為以下之情形。

$$\text{時脈半週期延遲} \times (2n+1) \quad (n=0, 1, 2, \dots)$$

進一步，時脈半週期延遲電路13與時脈半週期延遲電路16以及時脈半週期延遲電路33之設置部位，亦只要使各串級連接之源極驅動器LSI晶片1與各開極驅動器LSI晶片2之輸入階段，具有相同相位即可，其並不限於至目前為止所說明之部位。又，至此為止之說明雖舉單相時脈為例作說明，必要時亦不限於此，二相等多相時脈亦容易適用。

進一步，在上述說明中，雖舉液晶顯示裝置模組為例作說明，然本實施例之驅動器並不限於液晶顯示裝置，只要串級連接有複數個相同之驅動器，並轉送一被串級而傳送之信號的裝置都可，例如，電漿顯示器等其它顯示裝置中之顯示裝置驅動電路中亦可適用。



五、發明說明 (23)

以上，根據所說明之本實施例，在一串級連接複數個相同半導體裝置而成之系統構造中，由於藉由一較簡單之電路的追加，即可以自動修正該被串級而傳送之信號波形，所以可以迴避系統之誤動作或是動作停止等狀況，並可以構建一可靠度高的系統。

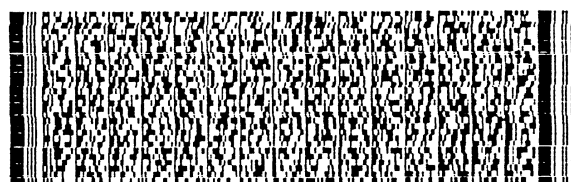
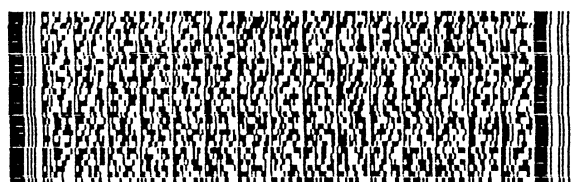
進而，在今後預料中之高像素數、高解析度之顯示裝置中，隨著信號的高速化以及串級半導體裝置的增加，將發揮更大的效果。

又，由於在前述最小容許時間等規格嚴格時發揮效果，在低電壓驅動或使用溫度範圍擴大時亦有效，且用以實現液晶面板4週邊之小型化的系統設計或構裝設計亦變得容易。

像這樣，在本實施例所揭半導體裝置之系統構造，亦即源極驅動器或閘極驅動器中，便串級連接著有複數個相同之源極驅動器LSI晶片1或閘極驅動器LSI晶片2。

而且，這些源極驅動器LSI晶片1將串級連接各起始脈衝輸入信號SPI，或是由影像資料信號R.G.B組成之信號，以及時脈信號CK所組成之基準信號，並傳送之。又，閘極驅動器LSI晶片2將串級並傳送各由閘極驅動器用起始脈衝信號GSPI所組成之信號，或是閘極驅動器用時脈信號GCK所組成之基準信號。

這些起始脈衝輸入信號SPI或是影像資料信號R.G.B以及時脈信號CK會在各源極驅動器LSI晶片1中產生延遲。另，閘極驅動器用起始脈衝信號GSPI以及閘極驅動器用時脈信



五、發明說明 (24)

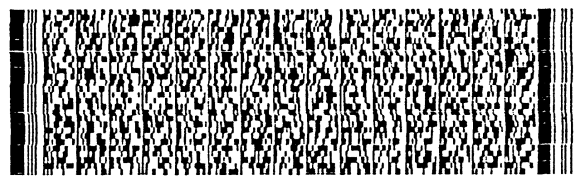
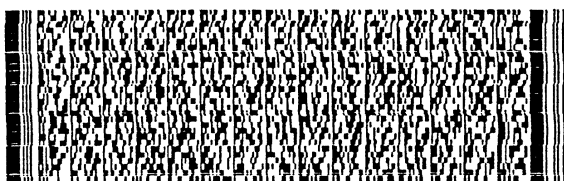
號GCK，會在各開極驅動器LSI晶片2中，產生延遲。

這些延遲本來在信號或基準信號之上升與下降時應該是相同的，然在實際上這些延遲時間皆不相同；結果，末端之第八個源極驅動器之源極驅動器LSI晶片1，或是第二開極驅動器之開極驅動器LSI晶片2中，將因為延遲時間不同之累積，而使信號與基準信號之各低準位期間變短，系統因而有產生誤動作或是動作停止等之虞。

然而，在本實施例中，由於在各源極驅動器LSI晶片1中，設有輸入反相緩衝器電路12與時脈半週期延遲電路13、16，因而透過這些輸入反相緩衝器電路12與時脈半週期延遲電路13、16，串級至複數個串級連接之源極驅動器LSI晶片1上被傳送之信號以及基準信號，將相對於彼等之各個輸入信號，延遲時脈信號CK之半週期量，才被輸出。

亦即，藉由使起始脈衝輸入信號SPI，或是影像資料信號R.G.B所組成之信號，以及時脈信號CK所組成之基準信號，相對於輸入信號，延遲該時脈信號CK之半週期量，在第奇數個源極驅動器LSI晶片1與第偶數個源極驅動器LSI晶片1中，信號與基準信號之上升時和下降時間將顛倒。藉此，各源極驅動器LSI晶片1中之信號與基準信號的延遲時間，在信號上升與下降時即使不同，亦會相抵消而不會使延遲時間之不同產生累積。

結果，即使時脈信號CK被高速化，且源極驅動器LSI晶片1之串級連接數增加，也可以將適當的時脈傳送至最末端之第八個源極驅動器之源極驅動器LSI晶片1，而可以排



五、發明說明 (25)

除誤動作的原因。

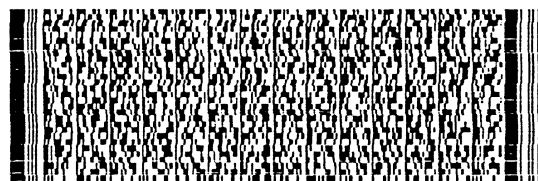
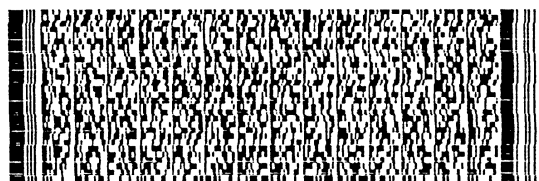
又，這點對於開極驅動器LSI晶片2亦一樣。

因此，當串級連接複數個相同的源極驅動器LSI晶片1或開極驅動器LSI晶片2時，將可以迴避系統之誤動作或動作停止等狀況，而可提供一可構造出一高可靠度系統的源極驅動器LSI晶片1與開極驅動器LSI晶片2之系統構造。

又，在本實施例中的半導體裝置之系統構造中，由於設有一輸入反相緩衝器電路12，來使串級至源極驅動器LSI晶片1而被傳送之時脈信號CK，相對於輸入信號反相，因而時脈信號CK將因為該輸入反相緩衝器電路12使其相對於輸入信號反相，而相對於輸入信號，延遲時脈信號CK的半個週期量。亦即，藉由反相該時脈信號CK，亦可以使時脈信號CK延遲半週期量，最終仍可以獲得一同於延遲基準信號半個週期量所得的效果。

因此，在半週期延遲裝置中，可以單純地對起始脈衝輸入信號SPI或是影像資料信號R.G.B等信號，延遲基準信號的半個週期量，或是藉由以輸入反相緩衝器電路12所致之時脈信號CK的反相，來延遲半個時脈信號CK週期量。

是以，藉由以此來使起始脈衝輸入信號SPI和影像資料信號R.G.B以及時脈信號CK，相對於輸入信號，延遲時脈信號CK的半週期量，將可以在第奇數個源極驅動器LSI晶片1與第偶數個源極驅動器LSI晶片1中，顛倒起始脈衝輸入信號SPI和影像資料信號R.G.B以及時脈信號CK之上升時段與下降時段。據此，在各源極驅動器LSI晶片1中，即使



五、發明說明 (26)

起始脈衝輸入信號SPI和影像資料信號R.G.B以及時脈信號CK之延遲時間，在信號之上升時段與下降時段有所不同，也可以相抵消而不會使延遲時間之不同產生累積。結果，即使時脈信號CK高速化，且源極驅動器LSI晶片1之串級連接數增加，也可以將適當的時脈傳送到最末端的第八源極驅動器的源極驅動器LSI晶片1，而能排除誤動作的原因。

又，上述事項在閘極驅動器LSI晶片2中亦一樣，半週期延遲裝置係由一會使閘極驅動器用起始脈衝信號GSPI延遲的時脈半週期延遲電路33、以及一會使閘極驅動器用時脈信號GCK反相的輸入反相緩衝器電路32所組成。藉此，即使閘極驅動器用時脈信號GCK高速化，且閘極驅動器LSI晶片2的串級連接數增加，也可以將適當的時脈傳送至最末端的第二閘極驅動器的閘極驅動器LSI晶片2，並可以排除誤動作的原因。

又，輸入反相緩衝器電路12為一僅使時脈信號CK反相者，另一方面，輸入反相緩衝器電路32亦為一僅使閘極驅動器用時脈信號GCK反相者。因此，這些輸入反相緩衝器電路12與輸入反相緩衝器電路32之裝置構成亦相當簡單。

因此，於串級連接複數個相同的源極驅動器LSI晶片1與閘極驅動器LSI晶片2時，將可以用簡單的構成，迴避系統的誤動作或動作停止等狀況，並可以提供一可以建構出可靠度高之系統的半導體裝置之系統構造。

又，在本實施例之半導體裝置之系統構造中，串級於該等被串級連接之複數個相同的源極驅動器LSI晶片1而被傳



五、發明說明 (27)

送之起始脈衝輸入信號SPI和影像資料信號R.G.B等信號，在各第一源極驅動器至第八源極驅動器的源極驅動器LSI晶片1中的輸出入相位相同。

結果，由於在各個源極驅動器LSI晶片1中，被串級傳送之起始脈衝輸入信號SPI以及影像資料信號R.G.B等信號的輸出入相位切齊，將可以確實地迴避系統的誤動作或動作停止等狀況，並可以提供一可以建構出高可靠度系統的半導體裝置之系統構造。

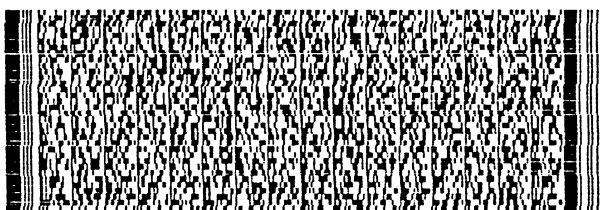
又，在本實施例之半導體裝置之系統構造中，被串級連接之複數個相同的源極驅動器LSI晶片1以及閘極驅動器LSI晶片2為用以構成顯示裝置驅動電路者。

結果，在顯示裝置驅動電路中，當串級連接複數個相同的源極驅動器LSI晶片1與閘極驅動器LSI晶片2時，可以迴避系統之誤動作或動作停止等狀況，且可以提供一可以建構出高可靠度系統的半導體裝置之系統構造。

又，在本實施例之半導體裝置的系統構造中，顯示裝置驅動電路作為一液晶顯示裝置驅動電路。

結果，在作為顯示裝置驅動電路之液晶顯示裝置驅動電路中，於串級連接複數個相同的源極驅動器LSI晶片1與閘極驅動器LSI晶片2時，將可以迴避系統的誤動作或動作停止等狀況，並可以提供一可以建構出高可靠度系統的半導體裝置之系統構造。

又，在本實施例之半導體裝置之系統構造中，液晶顯示裝置驅動電路作為源極驅動器。



五、發明說明 (28)

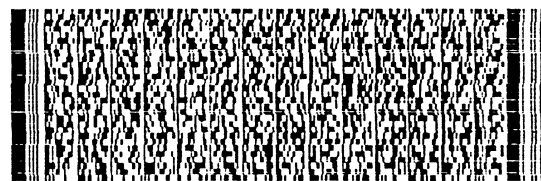
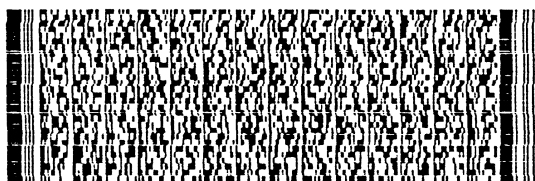
亦即，在第一源極驅動器至第八源極驅動器中，為了高速化影像資料信號R.G.B之傳送，時脈信號的CK的高速度化將被要求，尤其在末端之第八源極驅動器中的源極驅動器LSI晶片1，將因延遲時間的累積，而使一由起始脈衝輸入信號SPI和影像資料信號R.G.B等信號以及時脈信號CK所組成之基準信號的各低準位期間變短，且系統易產生誤動作或動作停止等。

因此，藉由在第一源極驅動器至第八源極驅動器中，採用本半導體裝置之系統構造，在作為液晶顯示裝置驅動電路的源極驅動器中，於串級連接複數個相同的源極驅動器LSI晶片1時，將可以高速傳送影像資料信號R.G.B，而可以迴避系統的誤動作或是動作停止等狀況，並可以提供一可建構高可靠度系統的半導體裝置之系統構造。

又，使用了本實施例所揭半導體裝置之系統構造的液晶顯示裝置模組，係由一用以構成顯示裝置驅動電路，或是該顯示裝置驅動電路係液晶顯示裝置驅動電路的半導體裝置之系統構造所組成。

結果，於串級連接複數個相同的源極驅動器LSI晶片1與閘極驅動器LSI晶片2時，將可以迴避系統之誤動作或動作停止等狀況，並可以提供一使用了一可以建構出高可靠度系統的半導體裝置之系統構造的液晶顯示裝置模組。

如上所述，本發明之第一個半導體裝置之系統構造係一具有複數個相同的半導體裝置串級連接在一起，且串級至這些半導體裝置而被傳送之例如起始脈衝信號或是影像資

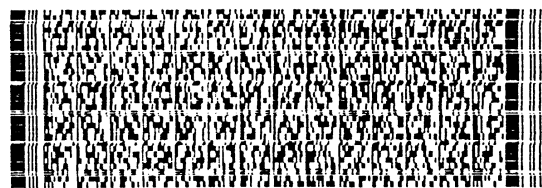
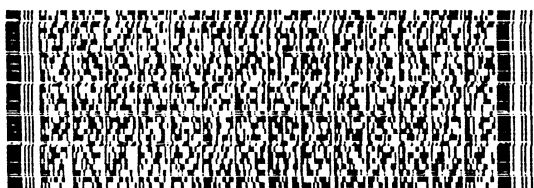


五、發明說明 (29)

料信號等信號以及時脈信號等基準信號，會在各半導體裝
置中產生延遲，且該延遲時間在信號之上升時與下降時有
所不同的半導體裝置之系統構造，其特徵在於在上述複數個
裝置中設有一半週期延遲裝置，其使在串級至上述信號，相
串級連接之半導體裝置下被傳送之半週期量。

亦即，若串級連接複數個相同的半導體裝置，並將例如基
起始脈衝信號或影像資料信號等信號，以及時脈信號等基
準信號串級至這些半導體裝置而在傳送的話，在各半導體裝
置中會產生延遲。該延遲本來在信號之上升時與下降時結
果，在末端半導體裝置中，由於延遲時間不同之累積，信
號與基準信號之各低準位期間將變短，且系統有產生誤動
作或動作停止之虞。

但是，在本發明中，由於各半導體裝置中設有半週期延
遲裝置，藉由該半週期延遲裝置，串級至複數個串級連接
之半導體裝置上而被傳輸的信號與基準信號，將相對於各
個輸入信號，受延遲該基準信號的半週期量，才被輸出。
亦即，藉由使信號與基準信號，相對於輸入信號，延遲
半個基準信號週期量，在奇數個半導體裝置與第偶數個
半導體裝置中，將可顛倒信號與基準信號的上升時間與
下降時間。據此，在各半導體裝置中，信號與基準信號在
其上升時與下降時之延遲時間即使不同，亦會相抵而不會
使延遲時間之不同產生累積。結果，基準信號即使被高速



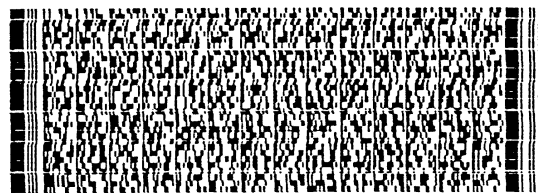
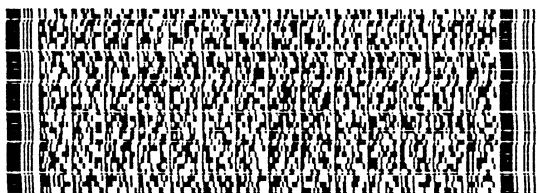
五、發明說明 (30)

化，亦即例如時脈高速化，且即使半導體裝置之串級連接數增加，亦可以將適當時脈，傳送至最末端的半導體裝置，並能排除誤動作的原因。

因此，於串級連接有複數個相同的半導體裝置時，將可以迴避系統的誤動作或是動作停止等狀況，並可以提供一可以建構出高可靠度系統的半導體裝置之系統構造。

本發明之第二個半導體裝置之系統構造為一具有複數個相同的半導體裝置串級連接在一起，且串級至這些半導體裝置而被傳輸之信號與基準信號，會在各半導體裝置中產生延遲，且該延遲時間在信號上升時與下降時不同的系統構造，其特徵在於：在各半導體裝置中設有一半週期延遲裝置，其使串級至上述複數個串級連接之半導體裝置上而被傳輸的信號和基準信號，相對於各輸入信號，延遲該基準信號之半週期量，且該半週期延遲裝置具有一用以使串級至該半導體裝置而被傳送之基準信號相對於輸入信號反相的反相裝置。

亦即，若串級連接複數個相同的半導體裝置，並將例如起始脈衝信號或影像資料信號等信號，以及時脈信號等基準信號串級至這些半導體裝置來進行傳送的話，在各半導體裝置中會產生延遲。該延遲本來在信號與基準信號之上升時與下降時應該相同的，然實際上其延遲時間有異；結果，在末端之半導體裝置中，由於延遲時間不同之累積，信號與基準信號之各低準位期間將變短，且系統有產生誤動作或動作停止之虞。



五、發明說明 (31)

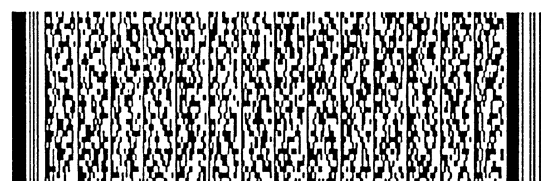
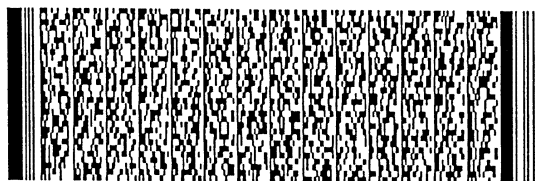
但是，在本發明中，由於各半導體裝置中設有半週期延遲裝置，藉由該半週期延遲裝置，串級至複數個串級連接之半導體裝置上而被傳送的信號與基準信號將相對於各個輸入信號，受延遲該基準信號的半週期量，才被輸出。又，由於該半週期延遲裝置具有一用以使串級至該半導體裝置而被傳送之基準信號相對於輸入信號反相的反相裝置，就該基準信號而言，藉由反相裝置使之相對於輸入信號受到反相，將相對於輸入信號受延遲半個基準信號週期量。亦即，藉由使基準信號受到反相，亦可使其延遲半個基準信號週期量，且最後可以獲得一與受延遲半個基準信號週期量一樣的效果。

因此，在半週期延遲裝置中，可以純粹使信號受延遲半個基準信號週期量，亦可以藉由以反相裝置來使基準信號反相，而使基準信號受延遲半個基準信號週期量。

而且，藉由使信號與基準信號依此方式相對於輸入信號受延遲半個基準信號週期量，在第奇數個半導體裝置與第偶數個半導體裝置中，將可以顛倒信號與基準信號的上升與下降。據此，在各半導體裝置中，信號與基準信號在其上升時與下降時之延遲時間即使不同，亦會相抵而不會使延遲時間之不同產生累積。

結果，基準信號即使高速化，亦即例如時脈高速化，且即使半導體裝置之串級連接數增加，亦可以將適當時脈，傳輸至最末端的半導體裝置，並能排除誤動作的原由。

又，由於反相裝置僅使基準信號反相，裝置構成亦相當



五、發明說明 (32)

簡單。

因此，於串級連接有複數個相同的半導體裝置時，將可以迴避系統的誤動作或是動作停止等狀況，並可以提供一可建構出高可靠度系統的半導體裝置之系統構造。

本發明之第三種半導體裝置之系統構造為一種上述第一或第二種之半導體裝置之系統構造，其特徵在於相對於複數個串級連接之相同半導體裝置而被串級傳送之信號，在輸出入各半導體裝置時之相位相同。

根據上述發明，相對於複數個串級連接之相同半導體裝置而被串級傳送之信號，在輸出入各半導體裝置時之相位將相同。

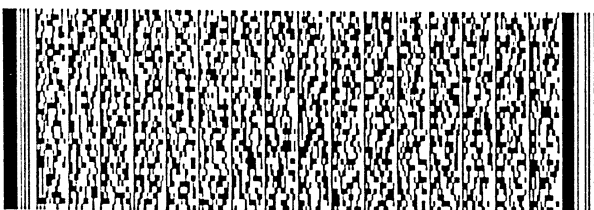
結果，在每個半導體裝置中，由於被串級傳送之信號的輸出入相位標齊，將可以確實地迴避系統之誤動作或是動作停止等狀況，並可以提供一可建構一高可靠度系統的半導體裝置之系統構造。

本發明之第四半導體裝置之系統構造為上述第一、第二、或第三種半導體裝置之系統構造，其特徵在於串級連接之複數個相同半導體裝置為用以構成顯示裝置驅動電路者。

根據上述發明，串級連接之複數個相同半導體裝置為用以構成顯示裝置驅動電路者。

結果，在顯示裝置驅動電路中，即可獲得上述第一、第二、或第三種半導體裝置之系統構造中可得之作用效果。

本發明之第五種半導體裝置之系統構造為在上述第四種



五、發明說明 (33)

半導體裝置之系統構造中，具特徵在於該顯示裝置驅動電路係一液晶顯示裝置驅動電路。

根據上述發明，顯示裝置驅動電路將為液晶顯示裝置驅動電路。

結果，在作為顯示裝置驅動電路之液晶顯示裝置驅動電路中，即可獲得第一、第二或第三種半導體裝置之系統構造中所得之作用效果。

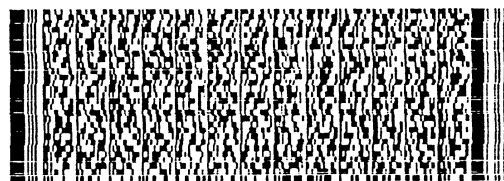
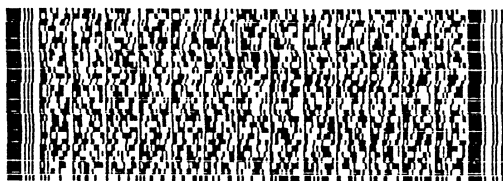
本發明之第六種半導體裝置之系統構造為在上述第五種半導體裝置之系統構造中，具特徵在於該液晶顯示裝置驅動電路為源極驅動器。

根據上述發明，該液晶顯示裝置驅動電路將為源極驅動器。

亦即，在源極驅動器中，由於基準信號因為影像資料信號傳送的高速化而被要求高速化，尤其是，在末端之半導體裝置中，由於延遲時間不同之累積，信號與基準信號之各低準位期間將變短，系統即易於產生誤動作或動作停止等。

因此，藉由在源極驅動器中採用本半導體裝置之系統構造，於作為液晶顯示裝置驅動電路之源極驅動器中，當串級連接複數個相同的源極驅動器時，即可以高速傳送影像資料信號，並能迴避系統之誤動作或動作停止等狀況，並能提供一可建構高可靠度系統的半導體裝置之系統構造。

一應用了本發明之第七種半導體裝置之系統構造的液晶顯示裝置模組具特徵在於使用了上述第四或第五種半導體



五、發明說明 (34)

裝置之系統構造。

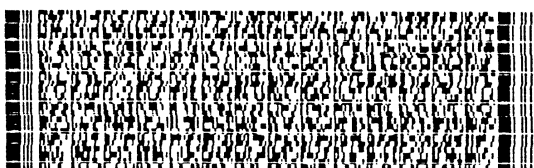
根據上述發明，液晶顯示裝置模組係由上述第四或第五種半導體裝置之系統構造組成，亦即相串級連接之複數個相同半導體裝置係由用以構成顯示裝置驅動電路者，或者該顯示裝置驅動電路為液晶顯示裝置驅動電路之半導體裝置之系統構造所組成者。

結果，於串級連接複數個相同的半導體裝置時，即可迴避系統之誤動作或動作停止等狀況，並能提供一使用了一可建構出高可靠度系統之半導體裝置之系統構造的液晶顯示裝置模組。

在發明之詳細說明欄中之具體實施態樣或實施例至多僅為用以闡明本發明之技術內容者，並非用以限定於該等具體例而受到狹義解釋者，且為在本發明之精神以及以下所載申請專利範圍之範圍內可進行各種變更者。

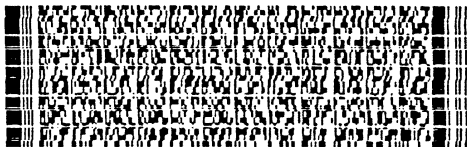
圖式符號之說明

- 1 源極驅動器 LSI 晶片 (半導體裝置)
- 2 閘極驅動器 LSI 晶片 (半導體裝置)
- 3 TCP
- 4 液晶面板
- 5 撓性基板
- 6 控制器電路
- 12 輸入反相緩衝器電路 (半週期延遲裝置、反相裝置)
- 13 時脈半週期延遲電路 (半週期延遲裝置)



五、發明說明 (35)

- 32 輸入反相緩衝器電路(半週期延遲裝置、反相裝置)
- 33 時脈半週期延遲電路(半週期延遲裝置)
- R.G.B 影像資料信號(信號)
- CK 時脈信號(基準信號)
- /CK 時脈反相信號(基準信號)
- SPI 起始脈衝輸入信號(信號)
- GCK 開極驅動器用時脈信號(基準信號)
- /GCK 開極驅動器用時脈反相信號(基準信號)
- GSPI 開極驅動器用起始脈衝輸入信號(信號)



四、中文發明摘要 (發明之名稱：半導體裝置之系統構造及使用該半導體裝置之系統構造之液晶顯示裝置模組)

本發明揭露一種半導體裝置之系統構造，其由複數個具有相同特性之半導體裝置多級串接(串級)而成，且其中各半導體裝置含有一半週期延遲裝置，其用以使串級至該等複數半導體而被傳送之傳送信號與基準信號，相對於彼等各輸入信號，延遲該基準信號之半個週期量，再被輸出。

英文發明摘要 (發明之名稱：SYSTEM CONSTRUCTION OF SEMICONDUCTOR DEVICES AND LIQUID CRYSTAL DISPLAY DEVICE MODULE USING THE SAME)

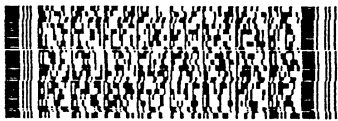
A system construction of semiconductor devices, in which a plurality of semiconductor devices of similar properties are cascaded, each of the semiconductor devices including a clock half-period delaying means which delays a propagation and a reference signal by a half period of the reference signal relative to the input signals before outputting the signals. The propagation signal and the reference signal are cascaded and propagated to the plurality of



四、中文發明摘要 (發明之名稱：半導體裝置之系統構造及使用該半導體裝置之系統構造之液晶顯示裝置模組)

英文發明摘要 (發明之名稱：SYSTEM CONSTRUCTION OF SEMICONDUCTOR DEVICES AND LIQUID CRYSTAL DISPLAY DEVICE MODULE USING THE SAME)

semiconductors.



六、申請專利範圍

1. 一種半導體裝置之系統構造，其由複數個具有相同特性之半導體裝置串級連接而成，其中：

各半導體裝置含有一半週期延遲裝置，其用以使串級連接至該等複數半導體而被傳送之傳送信號與基準信號，相對於彼等各輸入信號，延遲該基準信號之半個週期量，才被輸出。

2. 如申請專利範圍第1項之半導體裝置之系統構造，其中該半週期延遲裝置含有一反相裝置，其使串級連接至該等複數個半導體裝置而被傳送之基準信號，相對於其輸入信號反相。

3. 如申請專利範圍第1項之半導體裝置之系統構造，其中該半週期延遲裝置對於該基準信號係使其相對於其輸入信號反相，而對於該傳送信號係使其延遲該基準信號之半個週期量，才受輸出。

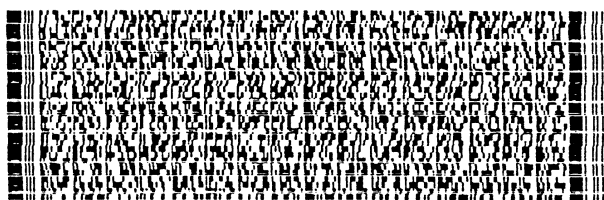
4. 如申請專利範圍第1項之半導體裝置之系統構造，其中該傳送信號在各半導體裝置中之輸出入相位相同。

5. 如申請專利範圍第1項之半導體裝置之系統構造，其中該等複數個半導體裝置構成顯示裝置驅動電路。

6. 如申請專利範圍第5項之半導體裝置之系統構造，其中該顯示裝置驅動電路為源極驅動器。

7. 如申請專利範圍第6項之半導體裝置之系統構造，其中該傳送信號包含源極驅動器用起始脈衝信號。

8. 如申請專利範圍第6項之半導體裝置之系統構造，其中該傳送信號包含影像資料信號。



六、申請專利範圍

9. 如申請專利範圍第5項之半導體裝置之系統構造，其中該顯示裝置驅動電路為閘極驅動器。

10. 如申請專利範圍第9項之半導體裝置之系統構造，其中該傳送信號包含閘極驅動器用起始脈衝信號。

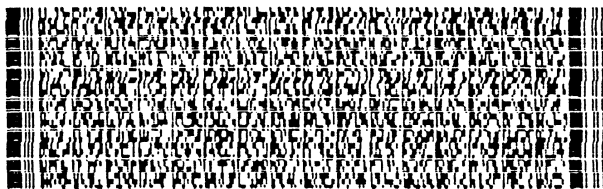
11. 如申請專利範圍第5項之半導體裝置之系統構造，其中該顯示裝置驅動電路為液晶顯示裝置驅動電路。

12. 如申請專利範圍第11項之半導體裝置之系統構造，其中該液晶顯示裝置驅動電路為源極驅動器。

13. 一種利用申請專利範圍第11項所述之半導體裝置之系統構造的液晶顯示裝置模組。

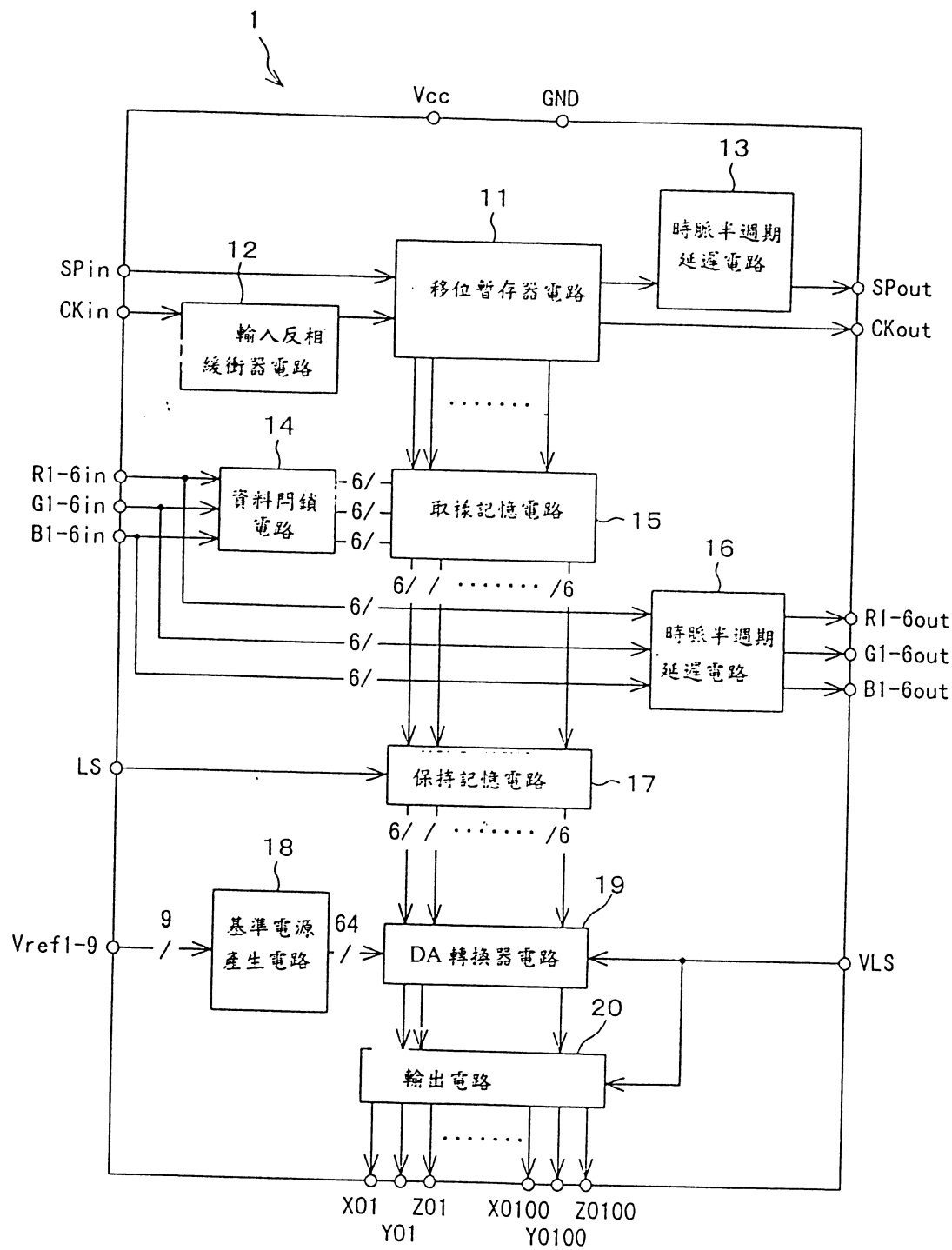
14. 一種半導體裝置之系統構造，其有複數個相同的半導體裝置串級連接，且串級至該等半導體裝置而被傳送之信號與基準信號會在各半導體裝置中產生延遲，且該延遲時間在信號上升時與下降時不同，其特徵在於：

含有一半週期延遲裝置，其使串級連接至該等複數個串級連接在一起之半導體裝置而被傳送之信號與基準信號，相對於彼等之各輸入信號，延遲半個基準信號週期量才受輸出。



圖式

圖 1



圖式

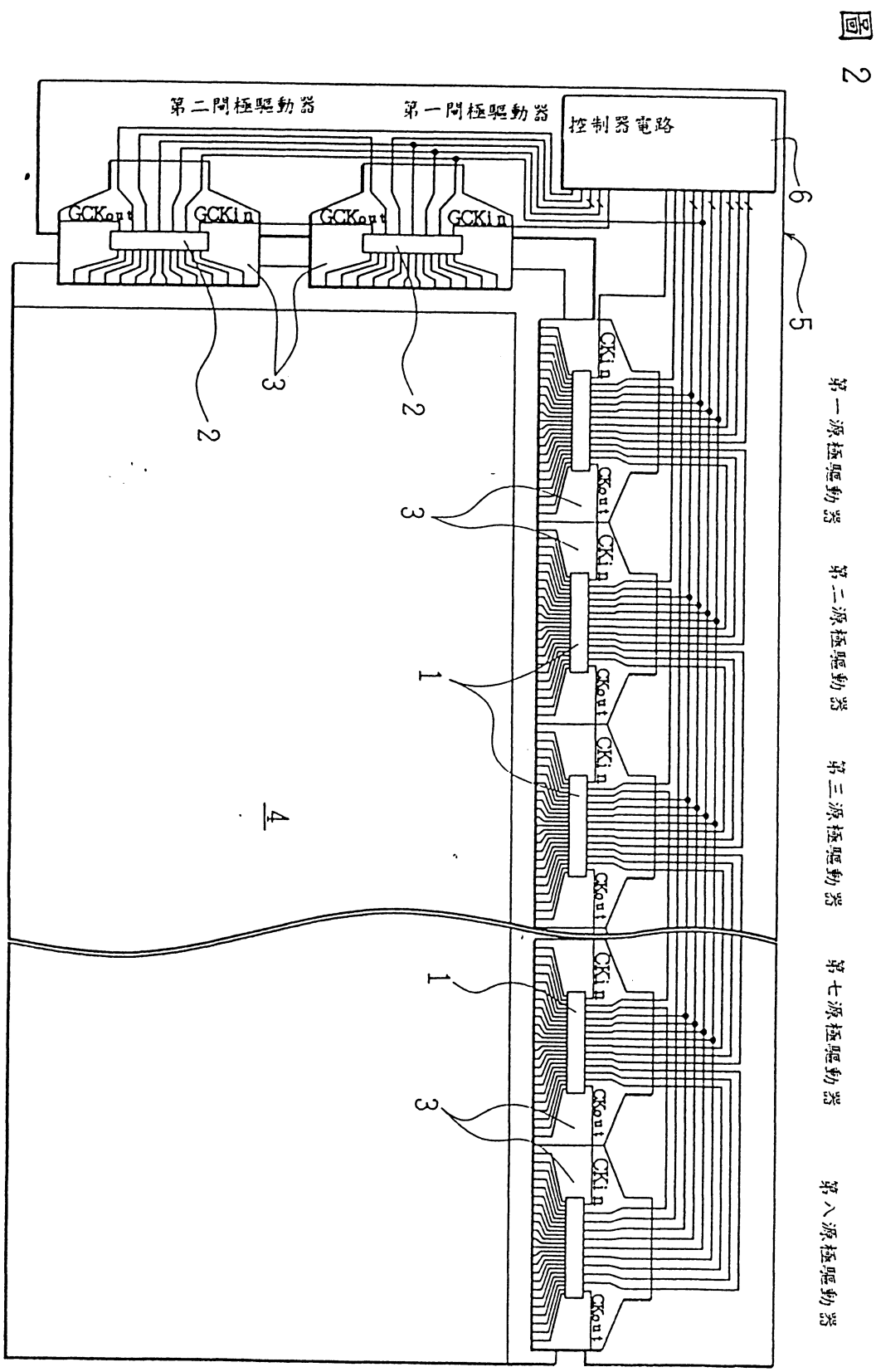
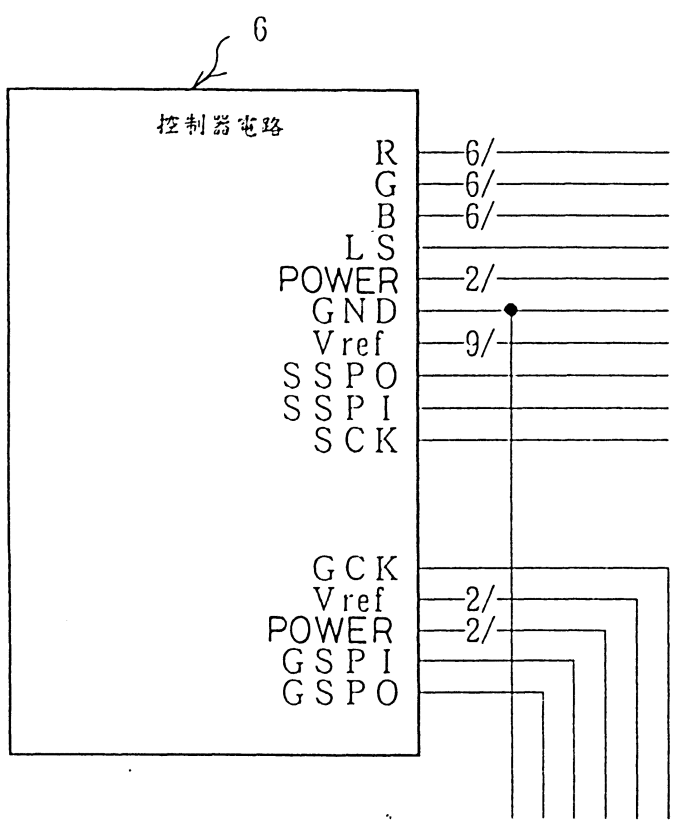


圖 2

圖式

圖 3



圖式

圖 4(a)

CK

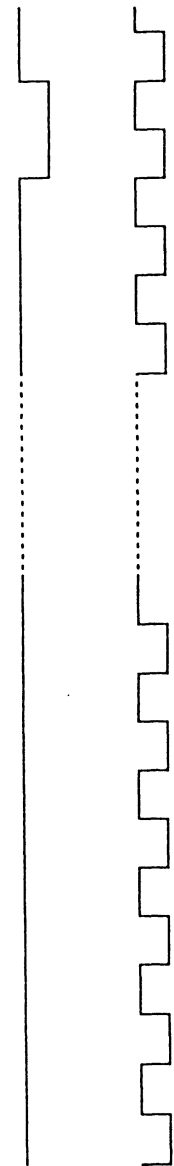


圖 4(b)

SPI

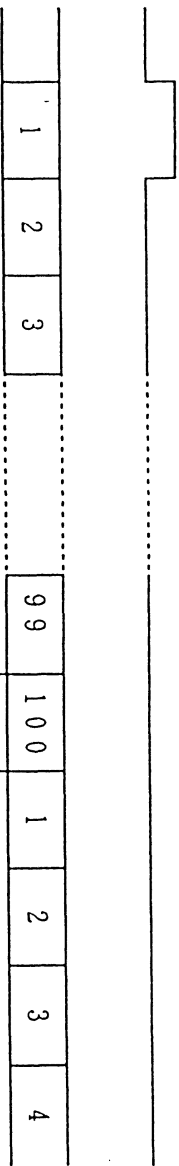


圖 4(c)

輸入 RGB x 6 位元
影像資料信號輸入

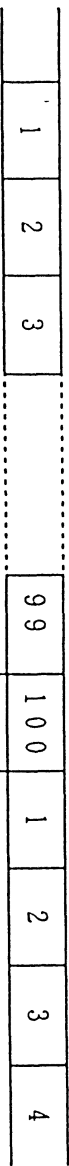


圖 4(d)

CK (後續源級驅動器之
反相時脈及時脈)



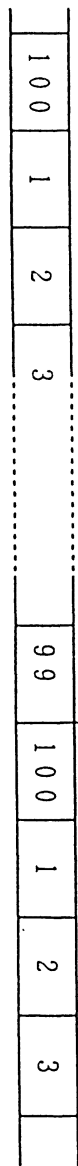
圖 4(e)

SPO



圖 4(f)

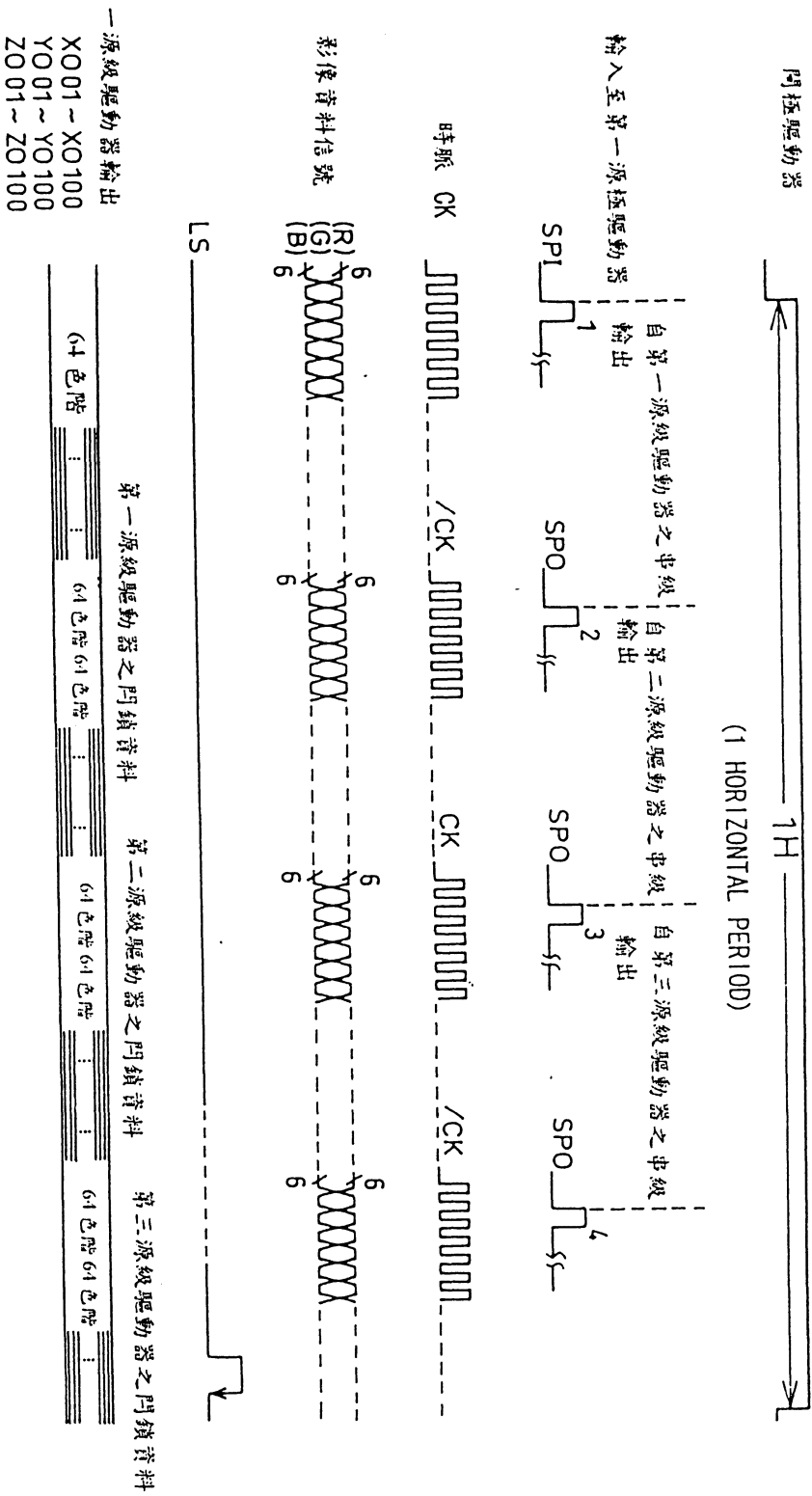
輸入 RGB x 6 位元
影像資料信號輸入



時脈半週期延遲

時脈半週期延遲

圖 5



圖式

圖式

圖 6(a)

控制器輸出(輸入(CN))
至第一源極驅動器

圖 6(b)

輸入(CN)至第二源極驅動器

圖 6(c)

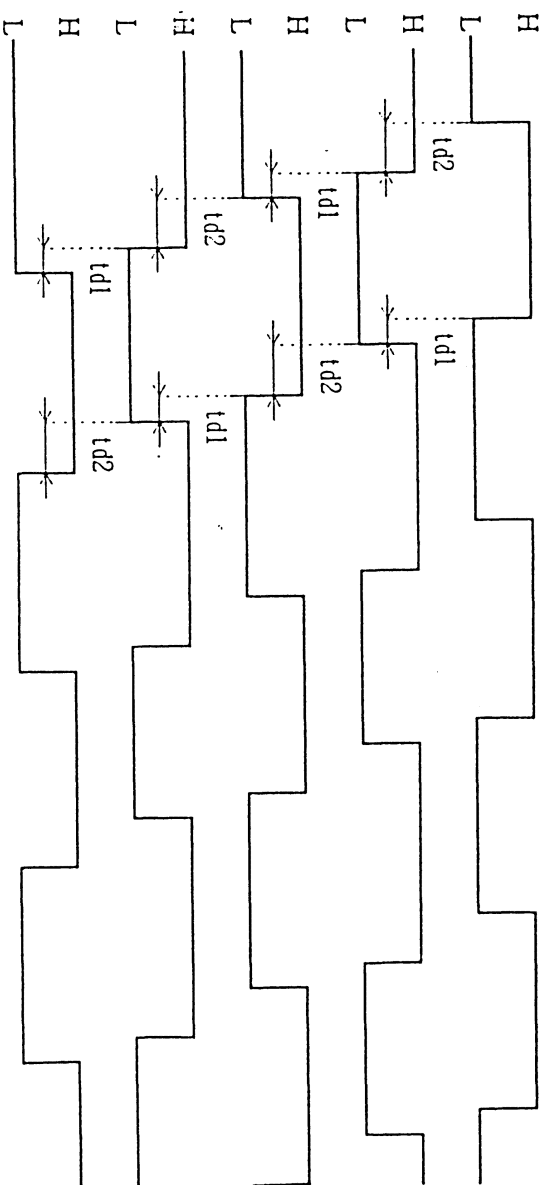
輸入(CN)至第三源極驅動器

圖 6(d)

輸入(CN)至第四源極驅動器

圖 6(e)

輸入(CN)至第五源極驅動器



圖式

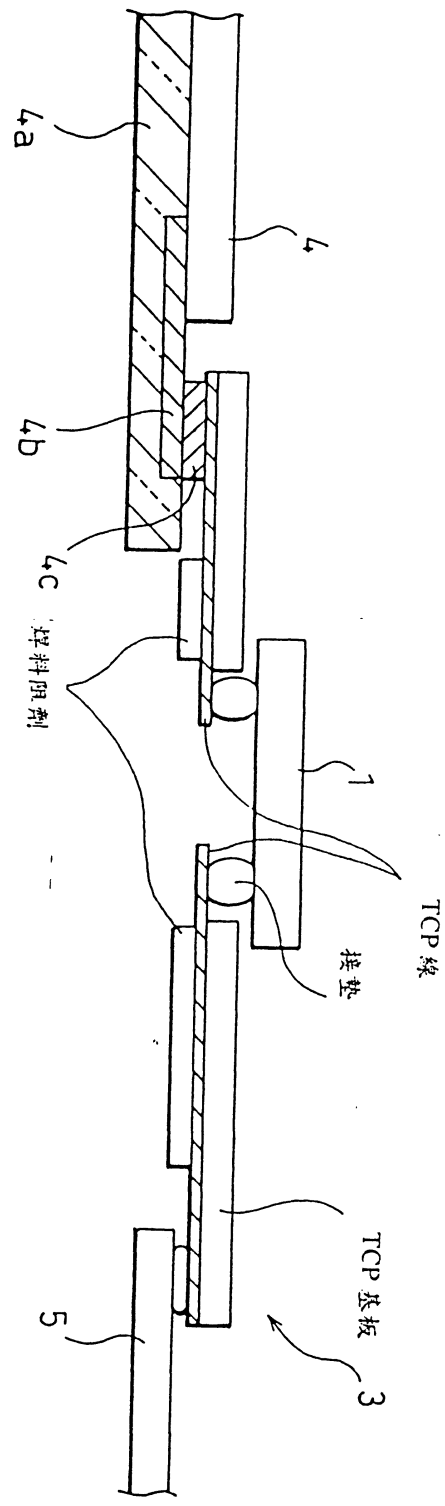


圖 7

圖式

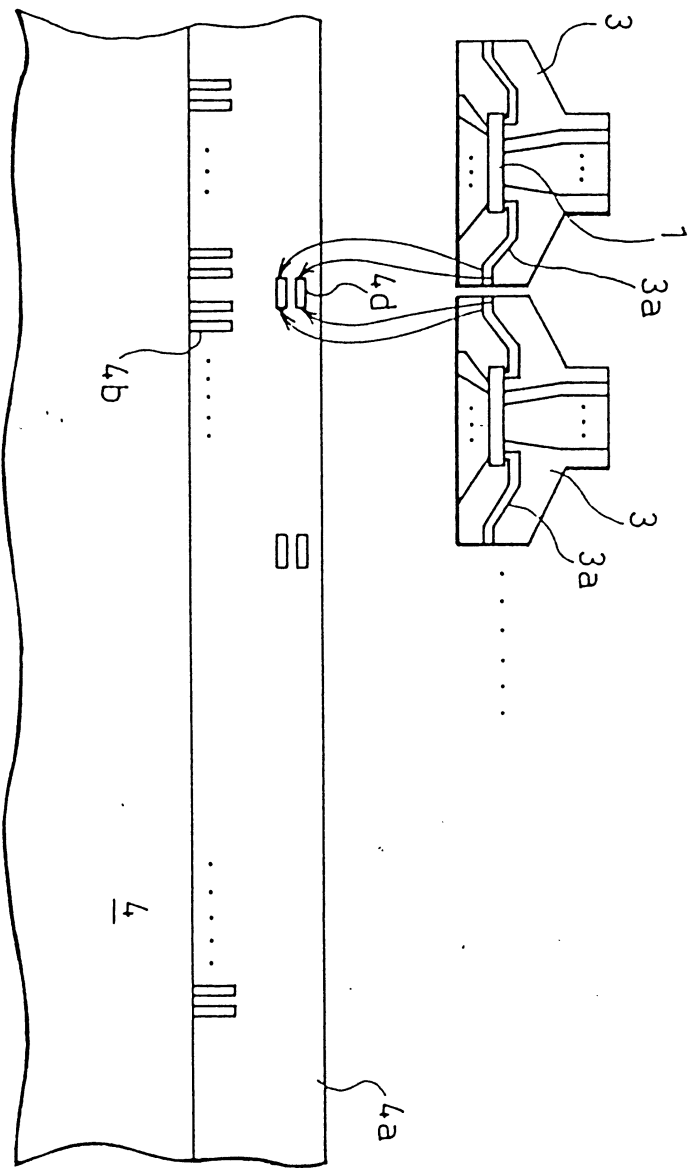
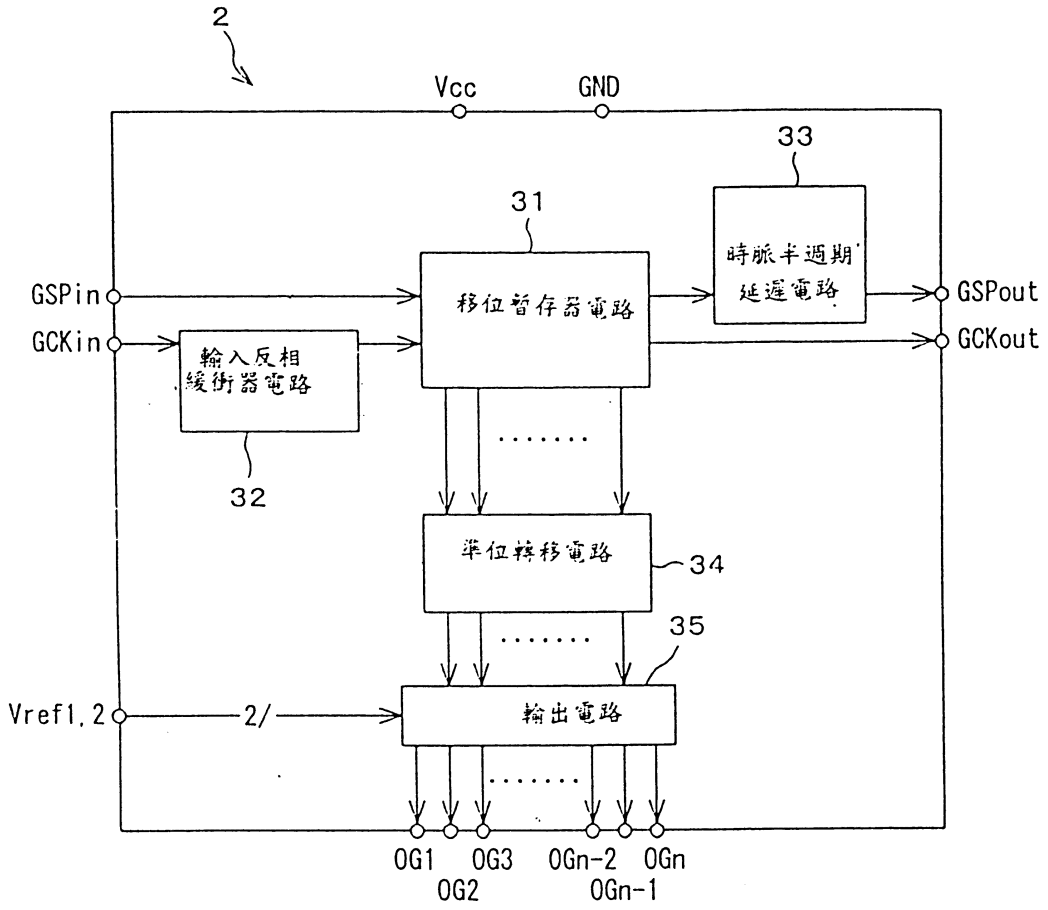


圖 8

圖式

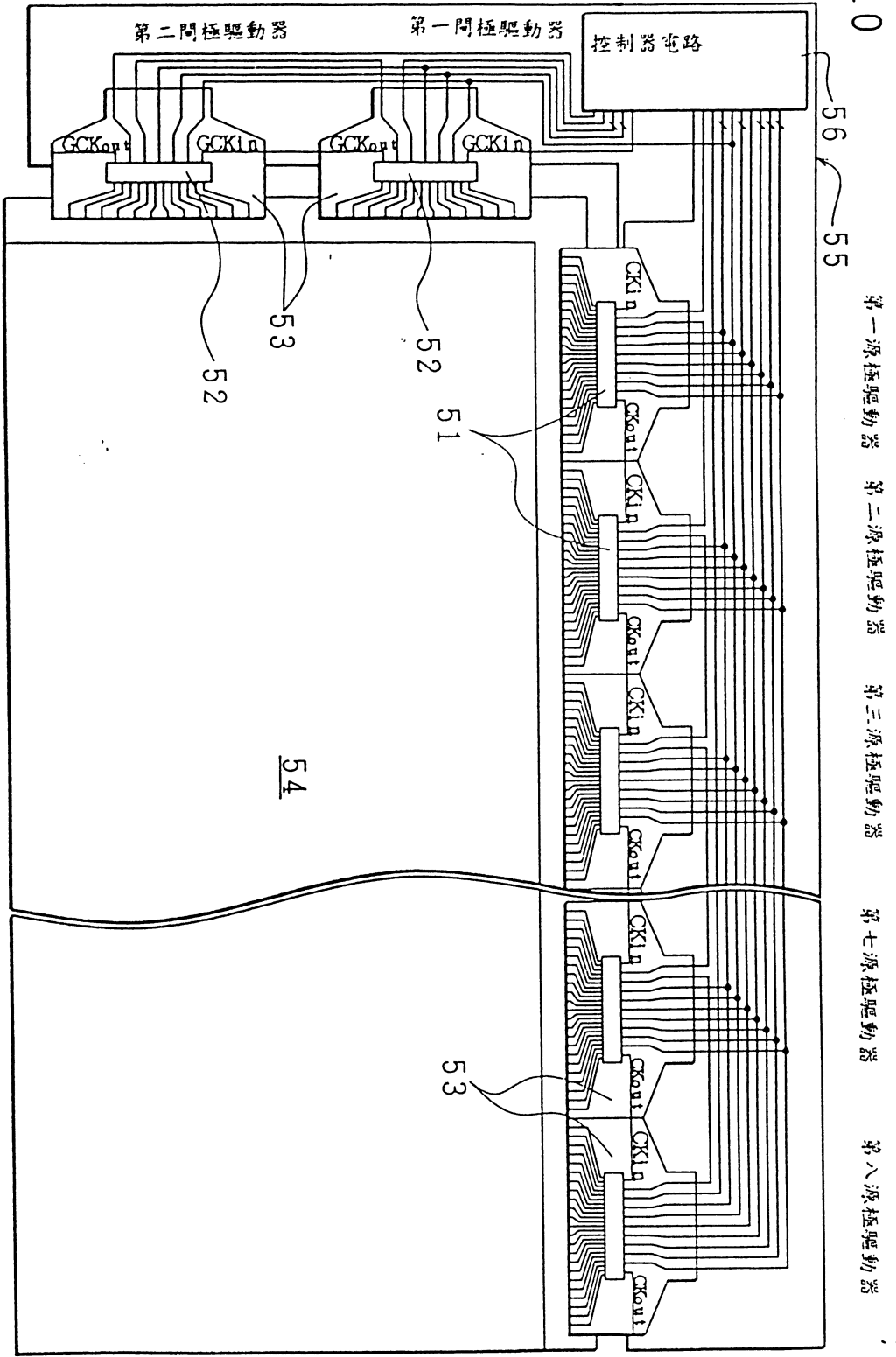
圖 9



圖式

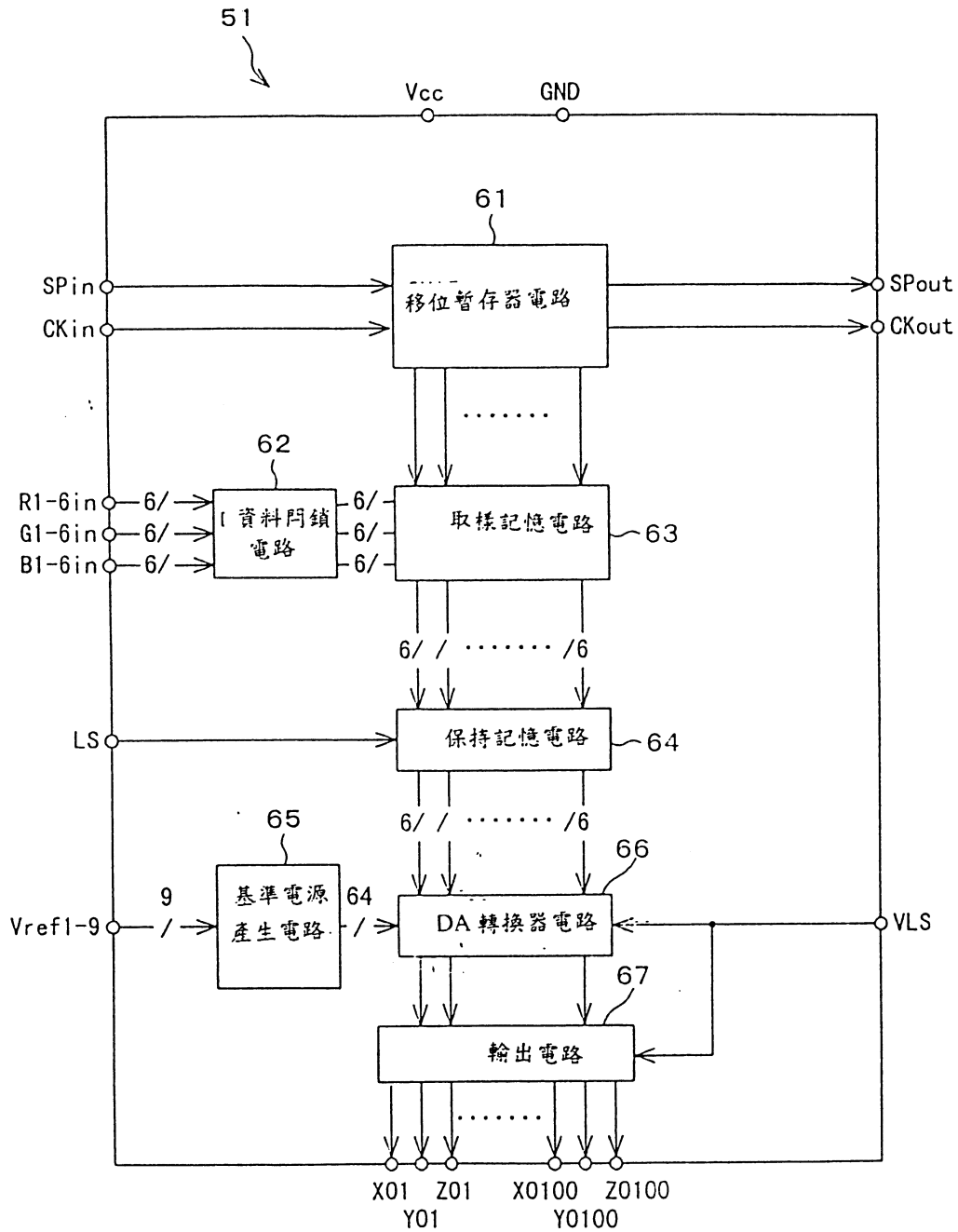
圖

10



圖式

圖 11



圖式

圖 12

