

四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國;2004, 02, 13; 10/779, 140

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

#### 發明領域

本發明之一或更多實施例主要關於電腦系統設計領  
5 域。更特別地，本發明之一或更多實施例關於用以維持同  
位錯誤檢測後之資料完整性之裝置及方法。

### 【先前技術】

#### 發明背景

一電腦系統中裝置間之通訊典型上利用一或更多匯流  
10 排執行裝置互連。這些匯流排可為耦接裝置的專用匯流排  
或以一些元件和裝置(譬如，匯流排代理器)多工的非專用的  
匯流排。又，一電腦系統中之匯流排可為專用於轉送一特  
定類型資訊。譬如，許多微處理器架構包括一種三匯流排  
系統，其包位址、資料、其針對個別轉送資料、位址、和  
15 控制信號之控制匯流排。

絕大多數架構設計之研究係針對增加電腦系統中資料  
總處理能力。過去的十年，週邊構件互連(PCI)已具有一非  
常成功的一般用途輸入/輸出(I/O)互連標準。PCI為一種利  
用PCI發訊技術之一般用途I/O互連標準，包括一種多點下  
20 傳平行匯流排裝備。不幸地，自PCI發展後的十年造成PCI  
種種短處，諸如相對較低的時脈速度、延遲處理之使用、  
等待狀態和其他造成效能貧乏之缺點。因此，系統建構家  
開發出一種PCI-X，目標針對PCI匯流排協定之缺點。不幸  
的，PCI-X仍保有許多肇於PCI匯流排協定之缺點。

【發明內容】

發明概要

本發明所揭示之一種方法包含步驟：響應於一檢測到的同位錯誤阻止匯流排異動；以及依據儲存的關於該檢測到之同位錯誤之一來源匯流排異動異動資訊作為一錯誤匯流排異動，召喚一同位錯誤處理器常式以執行同位錯誤復原。

圖式簡單說明

本發明之種種實施例以所伴隨之附圖不以阻止之方式圖式舉例說明，其中：

第1圖之方塊圖繪示依據一實施例，用以在同位錯誤檢測後維持資料一致性之一電腦系統。

第2圖之方塊圖更進一步繪示第1圖之電腦系統，依據一實施例。

第3圖之方塊圖更進一步繪示第1圖之電腦系統，依據一實施例。

第4圖之方塊圖更進一步繪示第1-3圖之處理捕捉卡，依據一實施例。

第5圖之流程圖繪示一種在同位錯誤檢測後維持資料一致性之方法，依據一實施例。

第6圖之流程圖繪示一種響應於一檢測到的同位錯誤用以阻止匯流排異動之方法，依據一實施例。

第7圖之流程圖用以召喚一同位錯誤處理器常式來執行同位錯誤復原，依據一實施例。

第8圖之流程圖繪示一種用以召喚一同位錯誤處理器常式來執行同位錯誤復原之方法，依據一實施例。

第9圖之流程圖繪示一種用以登錄錯誤匯流排異動來識別有問題的硬體裝置之方法，依據一實施例。

5 第10圖之流程圖繪示一種用於識別錯誤匯流排異動之方法，依據一實施例。

第11圖之流程圖繪示一種用於識別錯誤匯流排異動之方法，依據一實施例。

10 第12圖之流程圖繪示一種用於追蹤與錯誤匯流排異動有關之匯流排主控器來識別有問題的硬體裝置之方法，依據一實施例。

第13圖之方塊圖繪示利用所揭示之技術用於一設計之模擬、仿效、及製造之種種設計樣式或格式。

### 【實施方式】

15 較佳實施例之詳細說明

本發明敘述用以維持同位錯誤檢測後之資料完整性之裝置及方法。在一實施例中，方法包括響應於一同位錯誤之檢測阻止匯流排異動。一當匯流排異動被暫停，即依據儲存的關於檢測到之同位錯誤的一錯誤匯流排異動之異動  
20 資訊召喚一同位錯誤處理器常式來執行同位錯誤復原，。在一實施例中，所儲存的異動資訊包括造成錯誤之一匯流排主控器、以及與為宣告的同位錯誤所校正之資料相關的一位址。在一實施例中，執行資料登錄來追蹤與錯誤的(錯誤)匯流排異動相關之匯流排主控器以識別有問題的或舊

的硬體裝置。

### 系統架構

第1圖之方塊圖繪示依據一實施例，用以在同位錯誤檢測之後維持資料一致性之電腦系統100。如所繪，電腦系統  
5 100包括用於在一處理器(CPU)102和一晶片組200之間通訊資訊的一處理器系統匯流排(前側匯流排(FSB))102。如此處所述用語「晶片組」，係用於總稱種種耦接CPU102來執行所欲系統功能之裝置。

在一實施例中，晶片組200包括輸入/輸出(I/O)區塊  
10 210，諸如，譬如，一I/O控制器、I/O橋接器、或諸如此類。如所示，I/O區塊210經由I/O匯流排230與至少I/O卡120通訊。如此處所述，設置於匯流排230上之每一裝置、或I/O卡，係指I/O匯流排230之匯流排代理器。如此，I/O匯流排230之種種匯流排代理器需為I/O匯流排230之所有權仲裁  
15 來發佈匯流排異動。由於匯流排代理器不允許模擬地驅動一匯流排而需此仲裁。

在一實施例中，電腦系統100包括匯流排異動捕捉卡(BTCC)250。如所示，BTCC250協助電腦系統100維持同位  
20 錯誤檢測後之資料完整性，依據一實施例。伺服器階級系統中最重要之資料一致性，諸如儲存架、電信伺服器、及諸如此類。然而，在正常的個人電腦(PC)平臺操作期間，資料錯誤通常未被檢測到或造成系統重開。因此，無論結果如何，錯誤的資料會不被標記為錯誤資料地達到一終點(目標)。

因此，未檢測到的資料可達到一目標匯流排代理器，使得平臺、或系統根據錯誤的資料作決定。因此，在一實施例中，BTCC250監視I/O匯流排230上之處理來檢測新的處理。譬如，在一實施例中，I/O匯流排可依據一週邊構件互連(PCI)或一PCI高速(PCI-X)匯流排協定來組配。依據此一協定，BTCC250可監視匯流排230來識別一處理開始信號，諸如，譬如、一FRAME#信號依據PCI/PCI-X匯流排協定。

此處更進一步說明，相連或附有井字記號(#)之信號表示主動低信號、或被宣告時以低驅動之信號。然而，如此處所述，用與「宣告」、「宣告的」、「設定」、「解除宣告的」、「宣告」、或諸如此類可指資料信號為或主動高或主動低信號之用語。因此這樣的用語，當與一信號相連時，可替換地用於要求或主動高或主動低之信號。一旦一匯流排異動被檢測，BTCC250執行更進一步監視來判斷是否一同位錯誤信號被一請求者或目標匯流排代理器宣告。

如此處所述，經接收資料之同位檢測可利用習知裝置執行，藉由譬如，利用偶同位或奇同位，其中一或更多位元與資料一起自執行的一邏輯操作接收。根據邏輯操作之一輸出，接收的資料可被識別為正確或錯誤的。依更進一步敘述，請求資料之一匯流排代理器，此處係指一「請求器」。相同地，來自請求資料之一匯流排代理器，係指一「完成器」。依此處更進一步說明，一匯流排異動之完成器指一「匯流排主控器」，而匯流排異動之請求器或起始器係指一

「目標匯流排代理器」。

再次參照第1圖，I/O卡120係一目標匯流排代理器，其可為接收的資料執行同位計算。在所示實施例中，I/O卡120宣告同位錯誤信號202，譬如，PERR#，依PCI/PCI-X匯流排協定所述。依據習知PCI匯流排協定，I/O區塊210一般會監視同位錯誤信號202之宣告，且當宣告，會發佈一硬體錯誤中斷至CPU102(INTR212)。在一實施例中，INTR212可包括一非遮罩中斷(NMI)或其他類似硬體錯誤中斷。

因此，當發佈一中斷至CPU102，CPU102一般會造成一系統重開機，而造成錯誤資料遺失。此外，雖然I/O卡120可宣告同位錯誤信號202，沿著I/O匯流排230之匯流排異動繼續發佈直到發生系統重開機。因此，電腦系統100可繼續操作並根據或利用錯誤資料做決定。因此，在一實施例中，BTCC250捕捉匯流排230當下之一匯流排異動。在一實施例中，當當下的匯流排異動轉送錯誤資料，BTCC250識別處理為一「錯誤匯流排異動」。

在一實施例中，BTCC250儲存異動資訊，可包括，但不限定為、一匯流排主控器、一資料錯誤位址、及錯誤匯流排異動之一目標匯流排代理器。在一實施例中，一中斷處理器常式，可包括，但不限定為目標匯流排代理器之一裝置驅動器之一中斷同位錯誤處理器常式，與硬體錯誤中斷有關之一中斷處理器常式，或可查詢BTCC250相類似軟體，來為錯誤匯流排異動讀取異動資訊。因此，相對於習知I/O匯流排協定，錯誤的匯流排異動之異動資訊由

BTCC250儲存並可用於解決同位錯誤，以及用於資料登錄。

第2圖繪示電腦系統100之一實施例，依據一種兩個匯流排組配來在同位錯誤檢測後維持資料一致性。此實施例中，晶片組200包含記憶體橋接器220以及I/O橋接器210。

5 因此，電腦系統100可利用一晶片組，以及第2、3圖所繪示組配，來包括一記憶體橋接器220與一分離的I/O橋接器210。如所示，主記憶體110被耦接至記憶體橋接器220。在一實施例中，主記憶體110可包括，但不限定為包括一或更多隨機存取記憶體(RAM)、動態RAM(DRAM)同步  
10 RAM(SRAM)、同步DRAM(SDRAM)、雙資料率SDRAM(DDR-SDRAM)、Ram匯流排DRAM(RDRAM)、或任何可以支援高速資料緩衝之裝置。

在一實施例中，BTCC250具有主匯流排230以及次級匯流排240。所示實施例中，匯流排代理器140開始一匯流排  
15 異動來從匯流排代理器150請求資料。響應於此，匯流排代理器150完成請求的處理為一匯流排主控器，並提供請求的資料至目標匯流排代理器140。在一實施例中，目標匯流排代理器140在接收的資料和發佈上執行一同位計算，或為錯誤匯流排異動宣告至I/O橋接器210之同位錯誤信號202。

20 在一實施例中，目標匯流排代理器140在一裝置特定狀態暫存器中設定一狀態位元來代表檢測到一資料相位同位錯誤。在一實施例中，目標匯流排代理器140產生一中斷來召喚一裝置驅動器中斷處理器。在一實施例中，處理器檢查裝置的狀態以判斷檢測到一資料相位同位錯誤，以及執



行處理器的同位錯誤處理器常式。在一實施例中，同位錯誤處理器常式經修改以查詢BTCC250來判斷關於錯誤匯流排異動之異動資訊、並嘗試同位錯誤復原。在另一可選用之實施例中，一硬體中斷處理器被召喚來執行一同位錯誤

5 處理器常式。

第3圖更進一步繪示用於在同位錯誤檢測之後維持資料一致性之電腦系統100，依據一實施例。如所繪，目標匯流排代理器140被耦接至主匯流排230，而主控器匯流排代理器130被耦接至次級匯流排240。錯誤匯流排異動之異動

10 資訊的捕捉可伴隨BTCC250-1以及BTCC250-2執行。在另一可選用之實施例中，BTCC250可於I/O橋接器210中實施，並因此緩和耦接一BTCC至主匯流排230以及次級匯流排240兩者之需求。如所示，BTCC以一I/O卡實施來耦接主匯流排230或次級匯流排240之一連接器。

第4圖之方塊圖更進一步繪示第1-3圖之BTCC250，依據一實施例。如所示，BTCC250包括位址捕捉邏輯260，其可依據PCI/PCI-X匯流排協定查詢I/O匯流排230/240來識別譬如一訊框信號(FRAME#)。一旦偵查到，位址捕捉邏輯260

15 判斷當下或新的一匯流排異動被宣告。因此，位址捕捉邏輯260捕捉與當下匯流排異動相關聯之一位址。在一實施例

20 中，主控器捕捉邏輯270亦監視I/O匯流排230/240以判斷當下之匯流排異動的一匯流排主控器或完成器。另外，主控器捕捉邏輯270亦判斷匯流排異動之一目標、或起始。

在一實施例中，當一同位錯誤信號202被宣告，隨被檢

測錯誤處理邏輯280，錯誤處理位址262以及匯流排主控器272被儲存於儲存裝置290中。在一實施例中，儲存290表示依電性記憶體，譬如，RAM、SRAM、DRAM、SDRAM、RDRAM、或其他類似的固態記憶體。因此，關於一錯誤匯流排異動之異動資訊被儲存在暫時的儲存290中，且可以一同位錯誤處理器常式查詢。在一實施例中，同位錯誤處理器常式亦可組配以追蹤與錯誤的匯流排異動相關聯之匯流排主控器。

因此，根據這些匯流排主控器之追蹤，一同位錯誤處理器常式(譬如，資料登錄軟體)可相連錯誤異動計值和每一與電腦系統100之一匯流排耦接之匯流排代理器。因此，與一匯流排代理器相關聯之錯誤異動計值每當匯流排代理器為錯誤匯流排異動之一匯流排主控器時增加。錯誤異動計值可於一預定的時間區間內與一預定的錯誤異動計值相較。如所示，當一匯流排代理器具有超出一預定錯誤異動計值的錯誤異動計值時，匯流排代理器可被識別為一有問題的匯流排代理器或硬體裝置。現在說明實施本發明程序方法之實施例。

#### 操作

第5圖繪示用於在同位錯誤檢測之後維持資料一致性之一種方法流程圖300，依據一實施例。如所示，於步驟方塊302，判斷是否一同位錯誤信號被宣告。於步驟方塊310，匯流排異動響應於檢測到的同位錯誤被阻止。於步驟方塊340，一同位錯誤處理器常式被召喚來依據儲存的關於檢測

到的同位錯誤之一錯誤匯流排異動之異動資訊來執行一同位錯誤復原程序。因此，相較習知技術，藉由匯流排代理器發佈之更進一步處理被禁止直到一同位錯誤處理器常式完成一或更多復原程序為止。

5           第6圖之流程圖繪示第5圖中步驟方塊310用以阻止匯流排異動之一種方法320，依據一實施例。於步驟方塊322，檢測一同位錯誤信號之宣告。一旦被檢測到，於步驟方塊324，判斷同位錯誤之錯誤匯流排異動是否完成。因此，當檢測到的同位錯誤之錯誤匯流排異動一完成，步驟方塊326  
10 執行設定一停止異動旗標。因此，於步驟方塊328，匯流排仲裁請求被拒絕，直到停止異動旗標被解除宣告或重設。

          第7圖之流程圖繪示一種方法350，其用以第5圖中步驟方塊330之同位錯誤處理器，依據一實施例。於步驟方塊352，產生一中斷來召喚中斷處理器常式。在一實施例中，  
15 以錯誤匯流排異動之一起始/目標匯流排代理器產生中斷。於步驟方塊354，中斷處理器常式依據儲存的關於檢測到的同位錯誤之錯誤匯流排異動之異動資訊執行一同位錯誤處理器常式。

          於步驟方塊356，判斷同位錯誤處理器常式是否已解決  
20 同位錯誤。當同位錯誤一解決，於步驟方塊358，停止異動旗標重設為未暫停匯流排異動。然而，若同位錯誤處理器常式無法解決同位錯誤，譬如一硬體錯誤中斷，非遮罩中斷(NMI)可被發佈到系統以使系統重試。在一實施例中，同位錯誤處理器常式由一硬體中斷處理器常式來執行。

第8圖之流程圖繪示用以召喚第5圖之步驟方塊340中同位錯誤處理器常式之一種方法370，依據一實施例。於步驟方塊372，讀取所儲存的有關錯誤匯流排異動之一錯誤位址之異動資訊。於步驟方塊374，讀取所儲存的關於錯誤匯流排異動之一目標匯流排代理器之異動資訊。於步驟方塊376，處理資料依據錯誤位址被重新傳送到目標匯流排代理器。於步驟方塊378，判決是否資料重新傳送成功。當資料之重新傳送不成功，於步驟方塊380，系統操作被暫停。否則，控制流程回到步驟方塊340(第5圖)。

第9圖之流程圖繪示用於追蹤有關錯誤匯流排異動之匯流排主控器來檢測有問題的硬體裝置之一種方法400，依據一實施例。於步驟方塊440，判斷是否一同位錯誤信號被宣告。一旦被宣告，於步驟方塊450，關於同位錯誤之一來源匯流排異動的異動資訊被登錄為一錯誤匯流排異動。於步驟方塊460，追蹤與錯誤匯流排異動相關之匯流排主控器來識別有問題的硬體裝置。於步驟方塊490，判斷是否檢測到一有問題的硬體裝置。當檢測到這樣一種裝置，於步驟方塊492，發佈有問題的硬體裝置之通知給一系統管理者。

第10圖之流程圖繪示一種方法402，其於同位錯誤信號宣告之檢測前執行，依據一實施例。於步驟方塊404，檢測一新的匯流排異動檢測到。一旦檢測到，於步驟方塊406，新的匯流排異動之一匯流排主控器被識別。一旦被識別，於步驟方塊408，匯流排異動之一資料位址被識別。於步驟方塊410，判斷是否一同位錯誤信號被宣告。一旦被宣告，

於步驟方塊412，匯流排異動、匯流排主控器、以及資料位址(異動資訊)被儲存於，譬如一匯流排異動捕捉卡(BTCC)之一儲存裝置中，如所繪，參照第1-4圖。

第11圖之流程圖繪示一種方法420，其於步驟方塊440  
5 中同位錯誤信號宣告之檢測前執行，依據一實施例。於步驟方塊422，判斷是否一處理開始信號被宣告。一旦被宣告，於步驟方塊424，一新的匯流排異動被識別。一旦被識別，於步驟方塊426，新的匯流排異動之一位址被閃鎖。一旦被閃鎖，於步驟方塊428，一種新的匯流排異動處理類型  
10 被識別。最後，於步驟方塊430，一完成器或匯流排異動之匯流排主控器被識別。

第12圖之流程圖繪示一種方法470用於追蹤第9圖中步驟方塊460之匯流排主控器，依據一實施例。於步驟方塊472，與匯流排錯誤處理相關之一項匯流排主控器被維護。  
15 於步驟方塊474，與個別的匯流排主控器相關之一錯誤異動計值在個別的匯流排主控器涉及新的錯誤匯流排異動時更新。於步驟方塊470，比較錯誤異動計值與一預定的錯誤異動計值。於步驟方塊478，判決是否硬體裝置之處理錯誤數量超出預定的錯誤異動計值。當在這樣的情況下，於步驟  
20 方塊480，檢測一有問題的硬體裝置。

因此，如此處所述相關一或更多實施例，一旦一同位錯誤信號被宣告，匯流排周邊被拒絕匯流排所有權，同時一外部卡，譬如一匯流排異動捕捉卡，儲存有關造成同位錯誤信號宣告之錯誤匯流排異動之異動資訊。利用異動資

訊，一裝置驅動器中斷處理器常式、或一硬體中斷處理服務常式可收集錯誤匯流排異動之異動資訊來執行同位錯誤復原，諸如重新傳送無誤資料。一當復原完成，系統可被重試或匯流排異動可被授予允許。

- 5           因此，是否在一裝置驅動器中實施或藉一硬體中斷處理器服務常式，捕捉異動資訊錯誤匯流排異動能夠識別舊的或有問題的硬體裝置。此外，錯誤的匯流排異動不會依據習知I/O匯流排協定技術而遺失，且可用以傳送資料或執行其他復原程序，依據所述實施例。因此，資料一致性在
- 10 PC平臺或伺服器平臺中被維護，使得平臺禁止根據錯誤資料決策或禁止使用錯誤資料。

- 第13圖之方塊圖繪示利用所揭示技術用以模擬、仿效、及製造一設計之種種樣式或格式。呈現一設計之資料可以一些方式呈現設計。首先，當用在模擬時，硬體可利用一硬體描述語言呈現或另一種功能性描述語言，其實質
- 15 地提供所設計之硬體被預期如何執行之一電腦化模型。硬體模型510可被儲存於一儲存媒體500，諸如一電腦記憶體，使得模型可利用模擬軟體520來模擬，其對硬體模型應用一特定測試套件530來判斷其是否確實如所欲地作用。一
- 20 些實施例中，模擬軟體不被記錄、捕捉、或包含於媒體中。

          在設計之任何表現中，資料可被儲存於任何型式之機器可讀式媒體。經調變或經產生之光波或電波用來傳輸這些資訊，一記憶體550或一磁性或光學儲存裝置540，諸如碟片，可為機器可讀式媒體，任何可承載設計資訊之媒體。

用語「承載」(譬如、一機器可讀式媒體承載資訊)因此涵蓋儲存在一儲存裝置上之資訊、或編碼或調變成一載波或載波上之資訊。描述設計之位元組或一特定設計為(當以諸如一載體或儲存媒體之一機器可讀式媒體實施時)可密封在  
5 本身內或外之一物品，或用於更進一步設計或製造。

#### 其他實施例

可知就其他的實施例，可利用一不同的系統組配。譬如，當系統100包括一單一CPU102，就其他實施例，一多處理器系統(其中一或更多處理器與前述CPU102在組配與  
10 操作上可能相似)可受益於種種實施例中同位錯誤檢測後資料一致性之維持。更進一步不同類型的系統或不同類型的電腦系統諸如，譬如一伺服器、一工作站、一桌上型電腦系統、一遊戲系統、一嵌入式電腦系統、一片狀伺服器等等。可為其他實施例所使用。

15 以所揭示範例實施例及最佳模式，可對所揭示實施例進行修改與變化而仍屬依之後申請專利範圍所界定之本發明實施例範疇中。

#### 【圖式簡單說明】

第1圖之方塊圖繪示依據一實施例，用以在同位錯誤檢  
20 測後維持資料一致性之一電腦系統。

第2圖之方塊圖更進一步繪示第1圖之電腦系統，依據一實施例。

第3圖之方塊圖更進一步繪示第1圖之電腦系統，依據一實施例。

第4圖之方塊圖更進一步繪示第1-3圖之處理捕捉卡，  
依據一實施例。

第5圖之流程圖繪示一種在同位錯誤檢測後維持資料  
一致性之方法，依據一實施例。

5 第6圖之流程圖繪示一種響應於一檢測到的同位錯誤  
用以阻止匯流排異動之方法，依據一實施例。

第7圖之流程圖用以召喚一同位錯誤處理器常式來執  
行同位錯誤復原，依據一實施例。

10 第8圖之流程圖繪示一種用以召喚一同位錯誤處理器  
常式來執行同位錯誤復原之方法，依據一實施例。

第9圖之流程圖繪示一種用以登錄錯誤匯流排異動來  
識別有問題的硬體裝置之方法，依據一實施例。

第10圖之流程圖繪示一種用於識別錯誤匯流排異動之  
方法，依據一實施例。

15 第11圖之流程圖繪示一種用於識別錯誤匯流排異動之  
方法，依據一實施例。

第12圖之流程圖繪示一種用於追蹤與錯誤匯流排異動  
有關之匯流排主控器來識別有問題的硬體裝置之方法，依  
據一實施例。

20 第13圖之方塊圖繪示利用所揭示之技術用於一設計之  
模擬、仿效、及製造之種種設計樣式或格式。

### 【主要元件符號說明】

102····CPU

120····I/O卡

110····主記憶體

130···· I/O裝置



140·····目標	360·····步驟
150·····主控器	370·····步驟
200·····晶片組	372·····步驟
210·····I/O區塊、橋接器	374·····步驟
220·····記憶體橋接器	376·····步驟
250·····BTCC	378·····步驟
250-1·····BTCC	380·····步驟
250-2·····BTCC	440·····步驟
260·····位址捕捉邏輯電路	450·····步驟
270·····主控器捕捉邏輯電路	460·····步驟
280·····錯誤處理	490·····步驟
290·····儲存裝置	492·····步驟
302·····步驟	404·····步驟
310·····步驟	406·····步驟
340·····步驟	408·····步驟
320·····步驟	410·····步驟
322·····步驟	412·····步驟
324·····步驟	422·····步驟
326·····步驟	424·····步驟
328·····步驟	426·····步驟
352·····步驟	428·····步驟
354·····步驟	430·····步驟
356·····步驟	472·····步驟
358·····步驟	474·····步驟

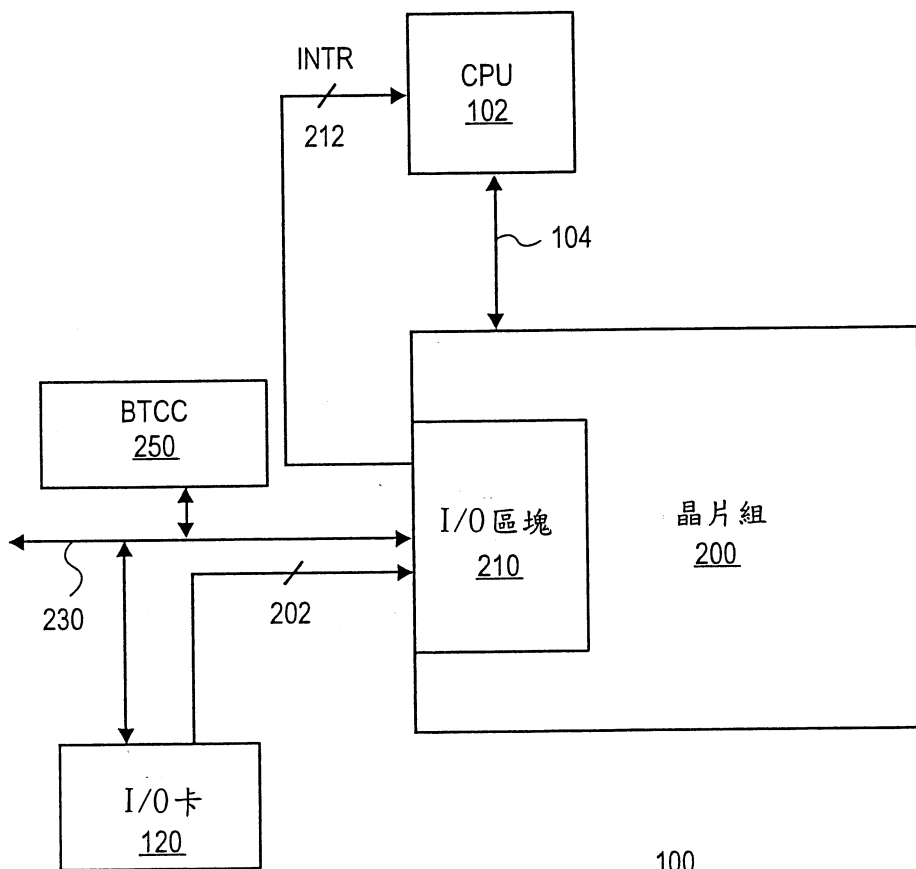
- |              |                     |
|--------------|---------------------|
| 476.....步驟   | 510.....硬體模型(HDL或實體 |
| 478.....步驟   | 設計資料)               |
| 480.....步驟   | 520.....模擬軟體        |
| 500.....儲存媒體 |                     |

## 五、中文發明摘要：

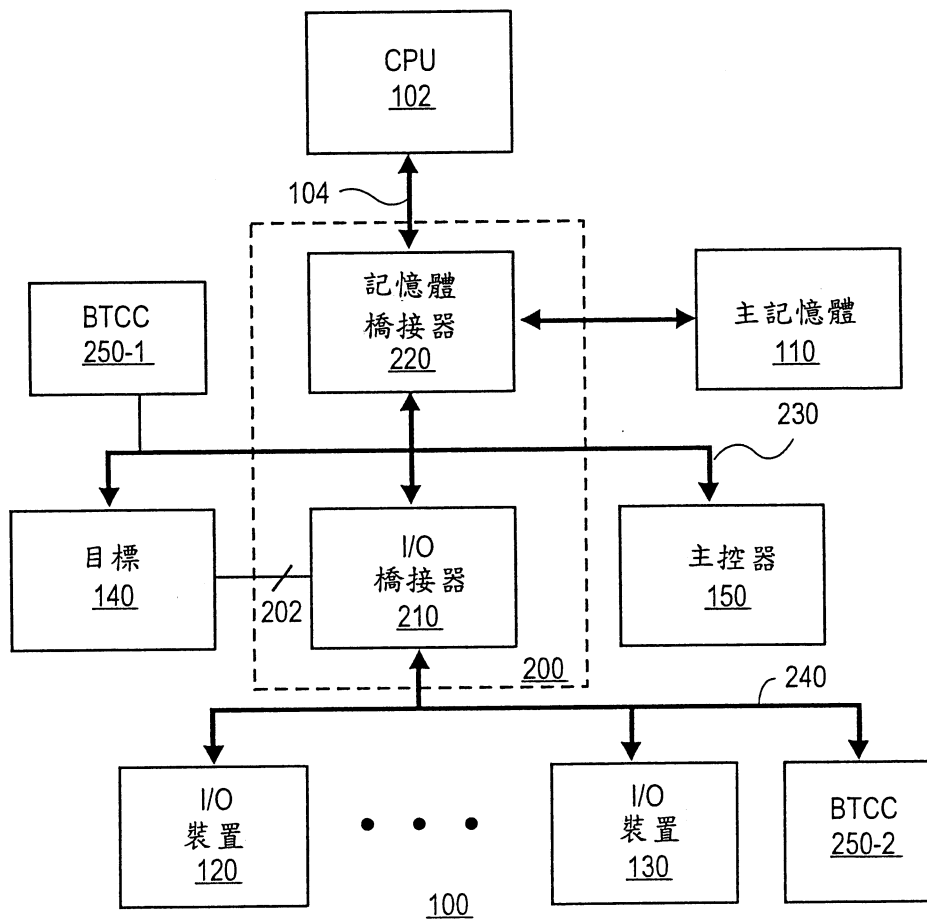
在一些實施例中，敘述用以維持同位錯誤檢測後之資料完整性之裝置及方法。在一實施例中，方法包括響應於一同位錯誤之檢測阻止匯流排異動。一當匯流排異動被暫停，即依據儲存的關於檢測到之同位錯誤的一錯誤匯流排異動之異動資訊召喚一同位錯誤處理器常式來執行同位錯誤復原。在一實施例中，所儲存的異動資訊包括造成錯誤之一匯流排主控器、以及與為宣告的同位錯誤所校正之資料相關的一位址。在一實施例中，執行資料登錄來追蹤與錯誤的(錯誤)匯流排異動相關之匯流排主控器以識別有問題的或舊的硬體裝置。其他實施例如說明書與申請專利範圍所述。

## 六、英文發明摘要：

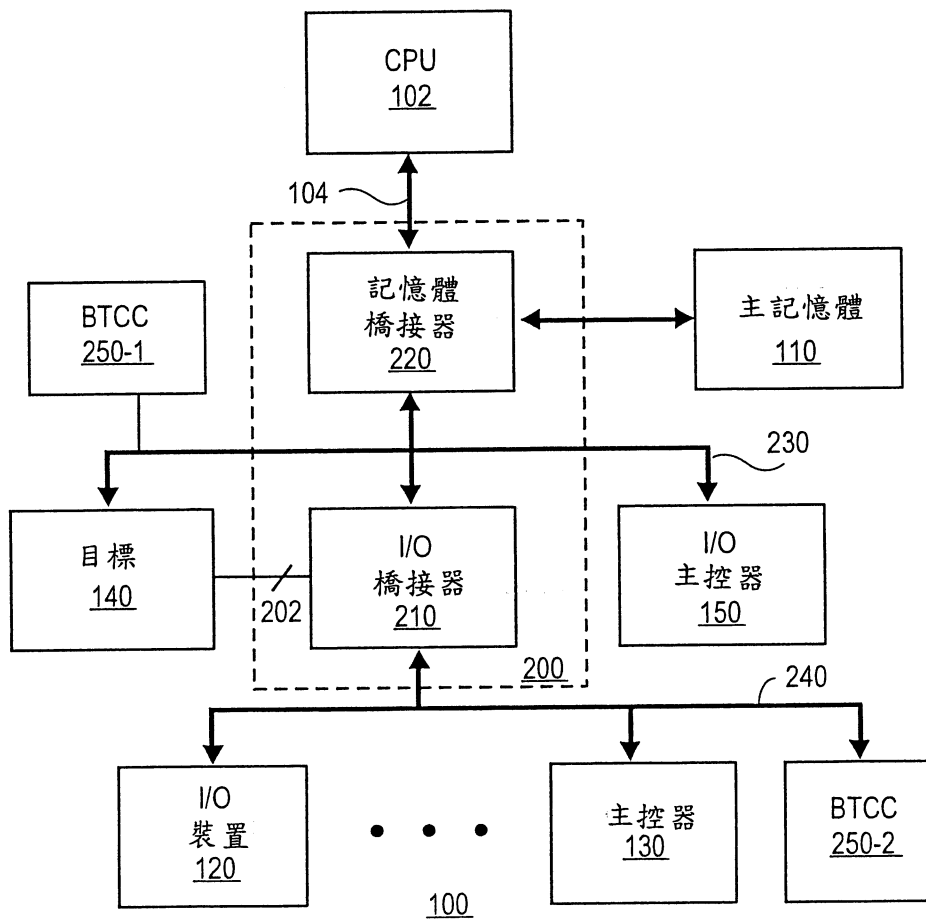
In some embodiments, a method and apparatus for maintaining data integrity following parity error detection are described. In one embodiment, the method includes the blockage of bus transactions in response to detection of a parity error. Once bus transactions are suspended, a parity error handler routine is invoked to perform parity error recovery according to stored transaction information regarding an error bus transaction of the detected parity error. In one embodiment, the stored information includes a bus master that caused the error, as well as an address associated with the corrupt data for which the parity error was asserted. In one embodiment, data logging is performed to track the bus masters associated with error bus transactions to enable identification of problematic or old hardware devices. Other embodiments are described and claims.



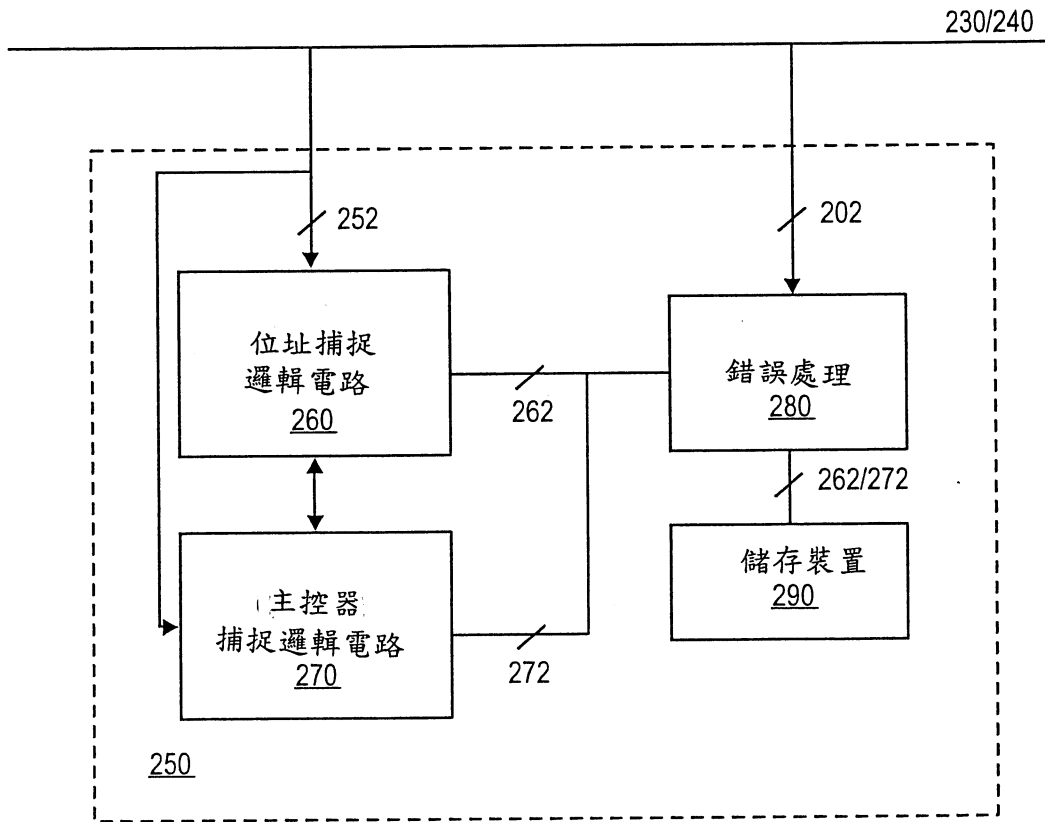
第 1 圖 100



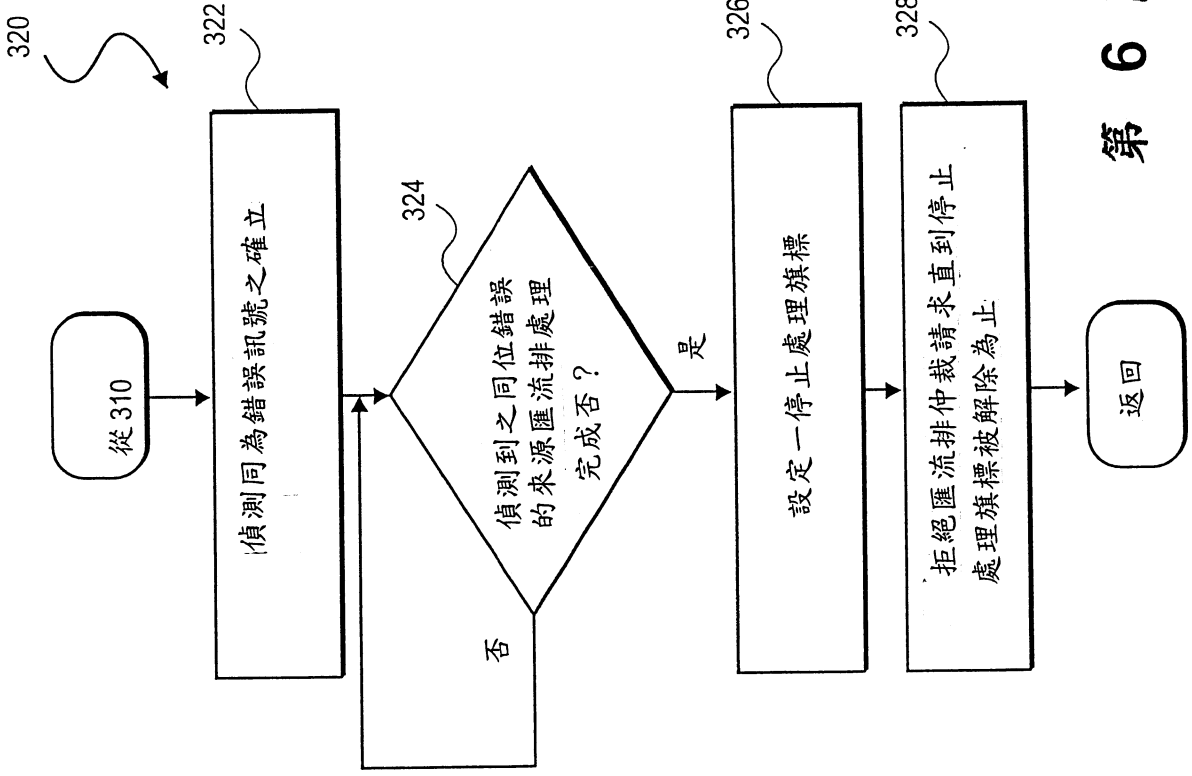
第 2 圖



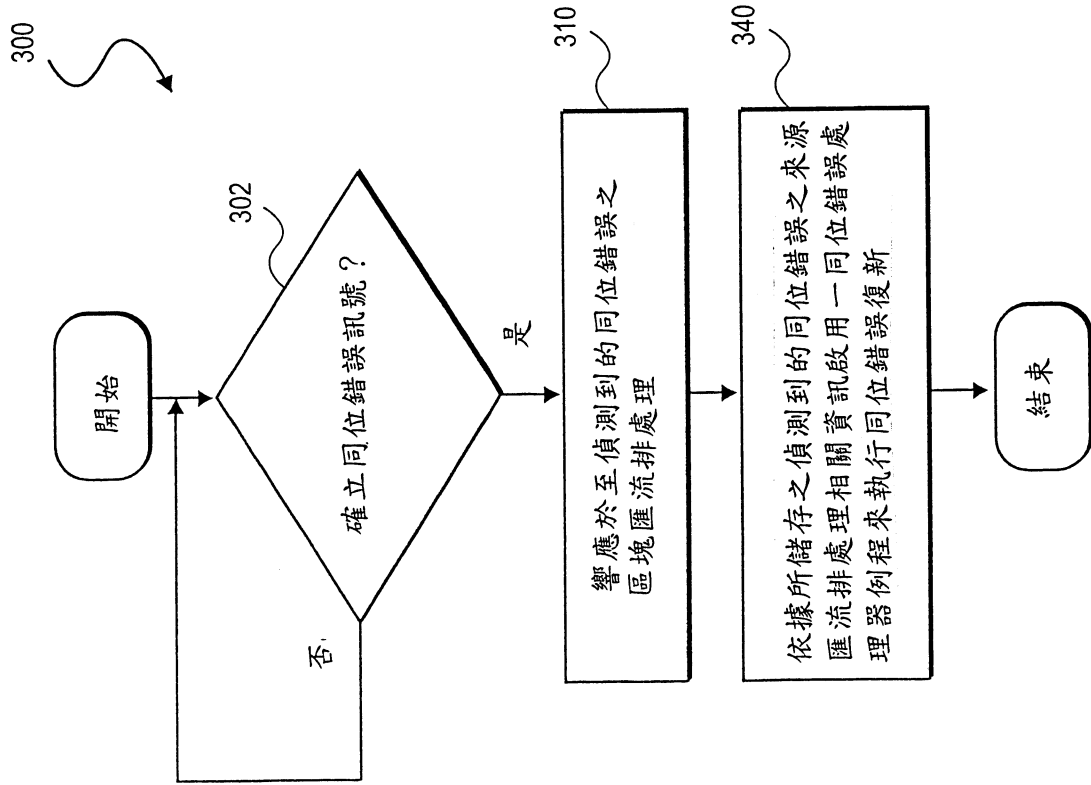
第 3 圖



第 4 圖

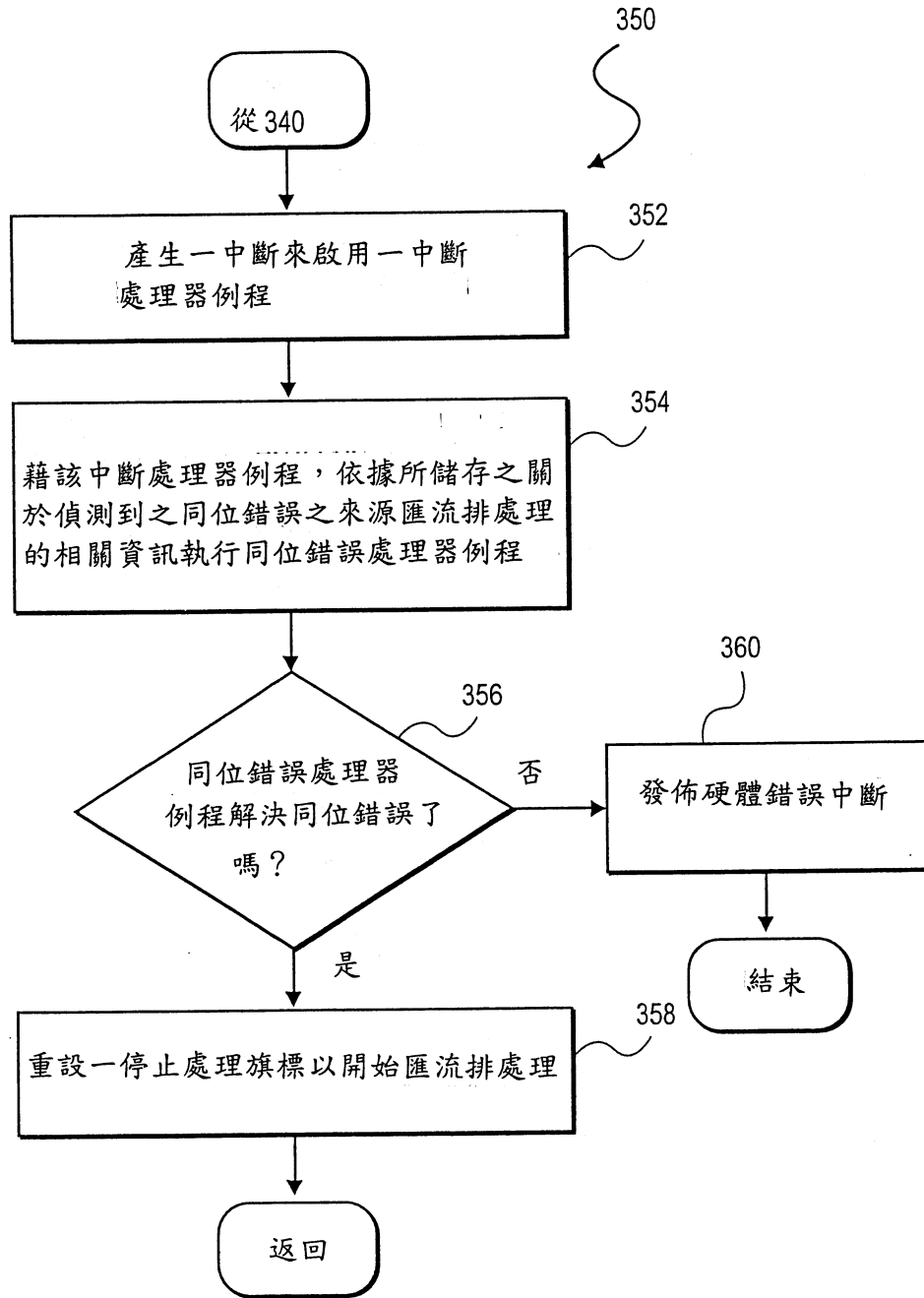


第 6 圖

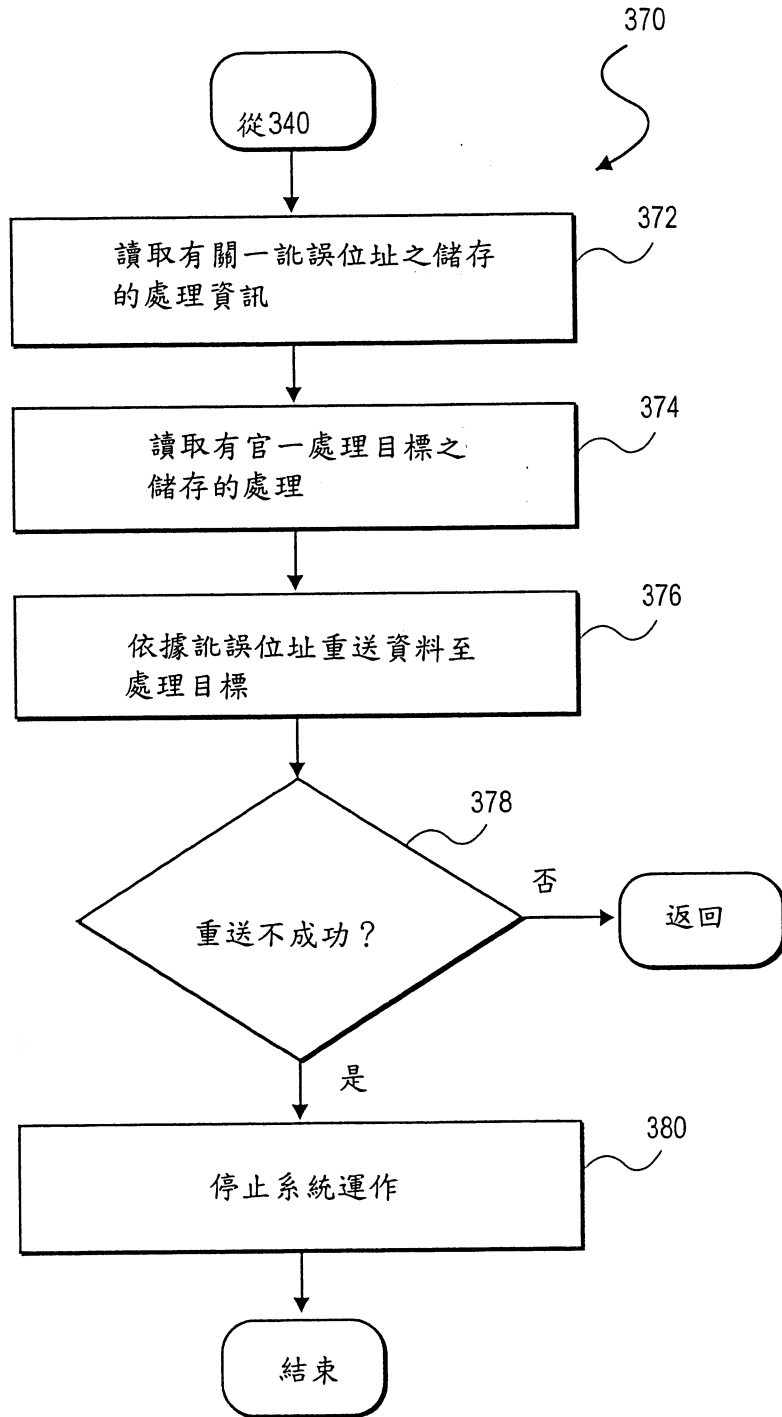


第 5 圖

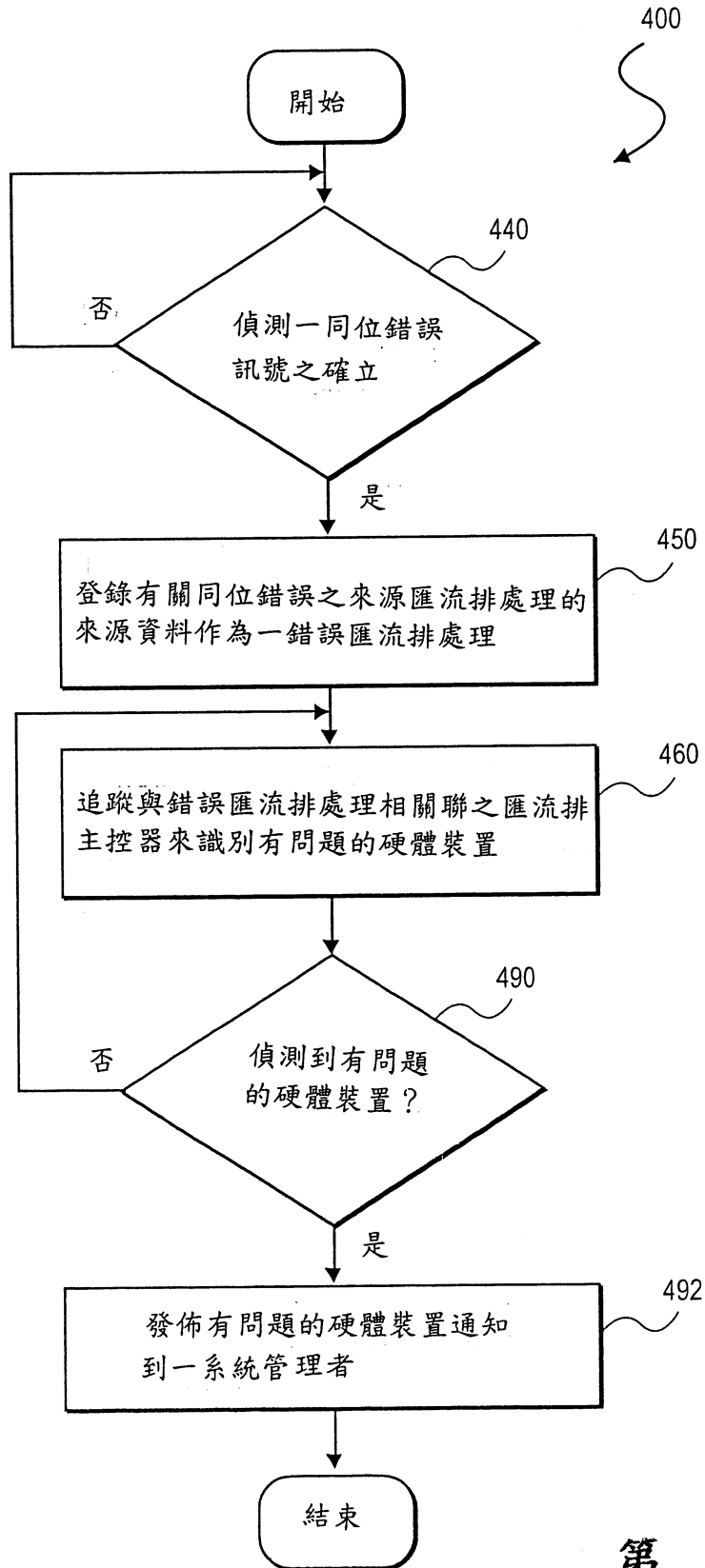




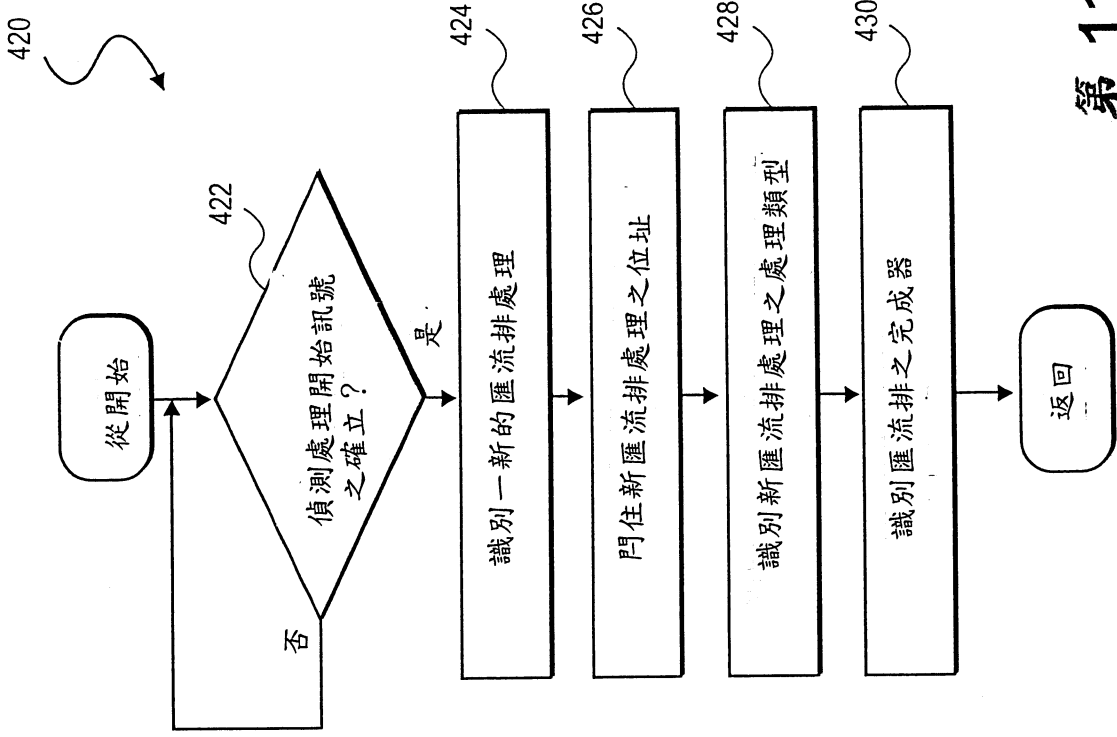
第 7 圖



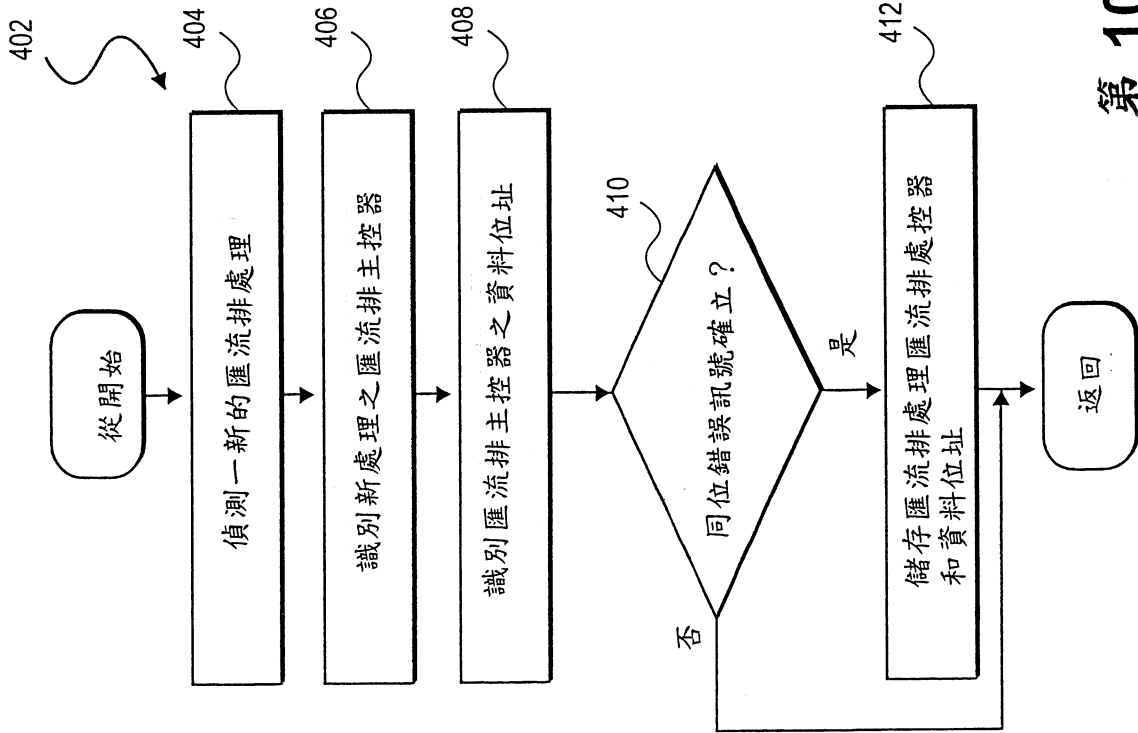
第 8 圖



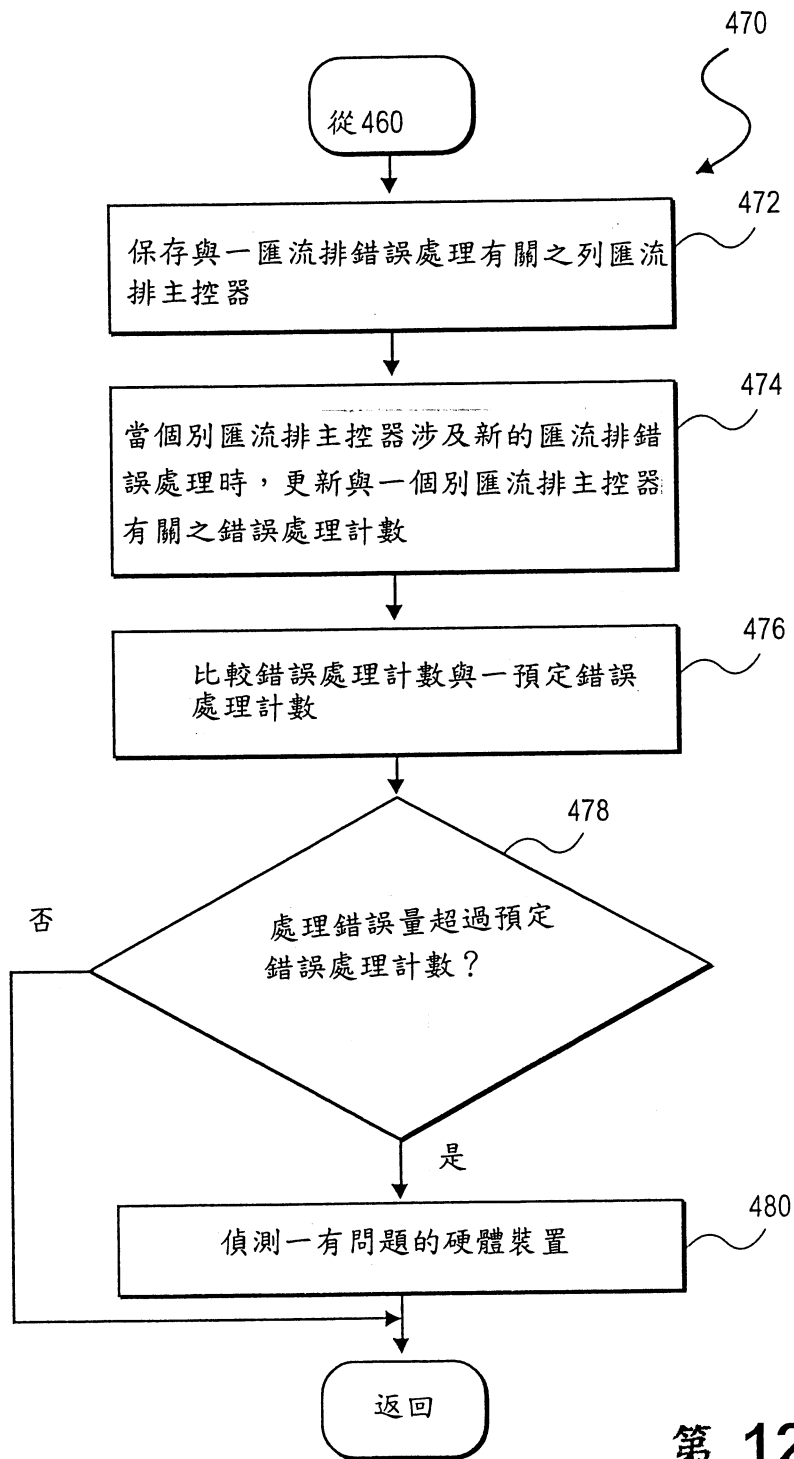
第 9 圖



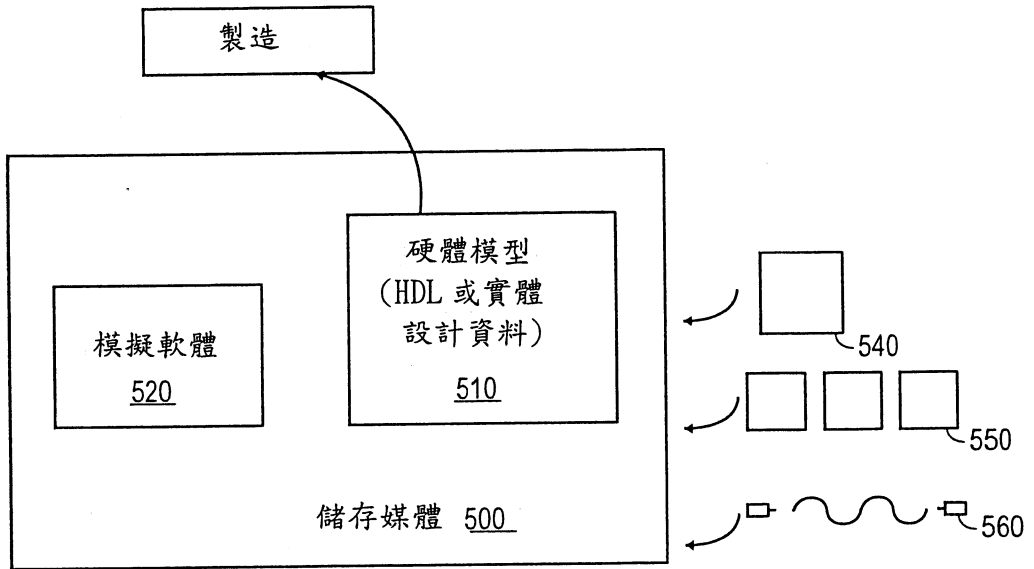
第 11 圖



第 10 圖



第 12 圖



第 13 圖

七、指定代表圖：

(一)本案指定代表圖為：第 ( 5 ) 圖。

(二)本代表圖之元件符號簡單說明：

300……方法

302……步驟

310……步驟

340……步驟

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：94102496

※ 申請日期：94.1.27

※IPC 分類：G06F 13/14 (2006.01)

**一、發明名稱：**(中文/英文)

用以維持同位錯誤檢測後之資料完整性之方法及系統、匯流排代理器及包括儲存有指令之儲存裝置的製造物品

Method and System for Maintaining Data Integrity Following Parity Error Detection, Bus Agent, and Article of Manufacture Including a Storage Device Having Stored Thereon Instructions

**二、申請人：**(共 1 人)

姓名或名稱：(中文/英文)

英特爾公司 / Intel Corporation

代表人：(中文/英文)

塞門 大衛 / SIMON, David

住居所或營業所地址：(中文/英文)

美國加州聖塔克萊拉市密遜大學道 2200 號

2200 Mission College Blvd., Santa Clara, CA, U.S.A.

國 籍：(中文/英文)

美 國 / U.S.A.

**三、發明人：**(共 3 人)

姓 名：(中文/英文)

1. 喬希 阿尼拉達 / JOSHI, Aniruddha

2. 李 約翰 / LEE, John

3. 艾迪里蘇利亞 吉塔尼 / EDIRISOORIYA, Geetani

國 籍：(中文/英文)

1. 印 度 / India

2. 美 國 / U.S.A.

3. 斯里蘭卡 / Sri Lanka



## 十、申請專利範圍：

第94102496號申請案申請專利範圍修正本

96.10.19.

1. 一種用以維持同位錯誤檢測後之資料完整性之方法，其包含下列步驟：

5           響應於一檢測到的同位錯誤阻止匯流排異動；

          召喚一同位錯誤處理器常式以依據把該檢測到之同位錯誤之一來源匯流排異動視作為一錯誤匯流排異動之儲存的異動資訊，執行同位錯誤復原；以及

          若該同位錯誤處理器已解決該檢測到的同位錯誤，將  
10          一停止異動旗標重設給未暫停匯流排異動。

2. 如申請專利範圍第1項之方法，其中在暫停匯流排異動之前，該方法更包含下列步驟：

          檢測一資料相位同位錯誤信號之宣告。

3. 如申請專利範圍第1項之方法，其中在阻止匯流排異動之  
15          前，該方法更包含下列步驟：

          檢測一新的匯流排異動；

          識別該新異動之一匯流排主控器；

          識別該匯流排異動之一資料位址；以及

          若一同位錯誤信號經宣告，儲存該匯流排主控器和資  
20          料位址。

4. 如申請專利範圍第1項之方法，其中阻止匯流排異動包含下列步驟：

          檢測一同位錯誤信號之宣告；

          當該錯誤匯流排異動一完成即設定一停止異動旗標；

以及

拒絕匯流排仲裁請求直到該停止異動旗標被解除宣告。

5. 如申請專利範圍第1項之方法，其中召喚該同位錯誤處理器
- 5 之步驟包含下列步驟：
- 產生一中斷來召喚一中斷處理器常式；以及
- 藉該中斷處理器常式，依據有關該錯誤匯流排異動之該儲存的異動資訊來執行該同位錯誤處理器常式。
6. 如申請專利範圍第1項之方法，其更包含下列步驟：
- 10 (a)登錄有關該錯誤匯流排異動之該異動資訊；
- (b)追蹤與該等錯誤匯流排異動相關聯之匯流排主控器以識別有問題的硬體裝置；以及
- (c)當步驟(b)中判斷為檢冊出一有問題的硬體裝置時，發佈該有問題硬體裝置之通知給一系統管理者。
- 15 7. 如申請專利範圍第1項之方法，其更包含下列步驟：
- 若該同位錯誤處理器常式無法解決該同位錯誤，發佈一硬體錯誤中斷。
8. 如申請專利範圍第1項之方法，其中召喚該同位錯誤處理器之步驟更包含下列步驟：
- 20 (a)讀取關於一以訛誤位址之該儲存的異動資訊；
- (b)讀取關於一異動目標之該儲存的異動；
- (c)依據該訛誤位址重新傳送資料至該異動目標；以及
- (d)若步驟(c)中該資料之重新傳送不成功，則停止系統操作。

9. 如申請專利範圍第1項之方法，其中該儲存的異動資訊包括該同位錯誤之一來源匯流排主控器、以及具有該同位錯誤之訛誤資料的一訛誤位址。

10. 一種包括儲存有指令之儲存裝置的製造物品，該等指令可用於規劃一系統來執行包含下列步驟之一種用以維持同位錯誤檢測後之資料完整性之方法：

響應於一檢測到的同位錯誤阻止匯流排異動；

召喚一同位錯誤處理器常式，以依據把該檢測的同位錯誤之一來源匯流排異動視為一錯誤匯流排異動的儲存之異動資訊，來執行同位錯誤復原；以及

若該同位錯誤處理器已解決該檢測到的同位錯誤，將一停止異動旗標重設給未暫停匯流排異動。

11. 如申請專利範圍第10項之製造物品，其中阻止匯流排異動之步驟包含下列步驟：

檢測一同位錯誤信號之宣告；以及

一旦該檢測到的同位錯誤之該來源匯流排異動完成，即設定一停止異動旗標。

12. 如申請專利範圍第10項之製造物品，其中召喚該同位錯誤處理器之步驟包含下列步驟：

產生一中斷來召喚一中斷處理器常式；以及

依據有關該檢測到的同位錯誤之該來源匯流排異動之該儲存資訊，藉該中斷處理器常式執行該同位錯誤處理器常式。

13. 如申請專利範圍第10項之製造物品，其中召喚該同位錯誤

處理器之步驟更包含下列步驟：

判斷該同位錯誤處理器常式是否已解決該同位錯誤；

若該錯誤處理器已解決該檢測到的同位錯誤，則重設一停止異動旗標給未暫停的匯流排異動；以及

5 拒絕匯流排仲裁請求直到該停止異動旗標被解除宣告為止。

14. 如申請專利範圍第10項之製造物品，其中召喚該同位錯誤處理器之步驟更包含下列步驟：

(a)讀取關於一訛誤位址之該儲存的異動資訊；

10 (b)讀取關於一異動目標之該儲存的異動資訊；

(c)依據該訛誤位址重新傳送資料至該異動目標；以及

(d)若步驟(c)中該資料之重新傳送不成功，則停止系統操作。

15 15 一種用以維持同位錯誤檢測後之資料完整性之方法，其包含下列步驟：

(a)檢測一同位錯誤信號之宣告；

(b)登錄關於該同位錯誤之一來源匯流排異動視為一錯誤匯流排異動之異動資訊；

20 (c)追蹤與錯誤匯流排異動相關聯之匯流排主控器，以於與一硬體裝置相關聯之一錯誤匯流排異動計值超出一預定錯誤異動計值時，識別一有問題的硬體裝置；以及

(d)當步驟(c)中判斷為檢測到一有問題的硬體裝置時，發佈該有問題的硬體裝置之通知給一系統管理者。

16. 如申請專利範圍第15項之方法，其中在檢測該同位錯誤信

號之宣告的步驟之前，該方法包含下列步驟：

檢測一新的匯流排異動；

識別該新異動之一匯流排主控器；

識別該匯流排異動之一資料位址；以及

5 若一同位錯誤信號被宣告，儲存該匯流排異動及該資料位址。

17. 如申請專利範圍第15項之方法，其中追蹤匯流排主控器之步驟包含：

10 維持與一錯誤匯流排異動相關聯之一份匯流排主控器列表；

當一個別匯流排主控器涉及一新的錯誤匯流排異動時，更新與該個別匯流排主控器相關聯之一錯誤異動計值；

比較該錯誤異動計值與一預定錯誤異動計值；以及

15 當針對該硬體裝置之一錯誤異動計值超過該預定錯誤異動計值時，即檢測出一有問題的硬體裝置。

18. 如申請專利範圍第15項之方法，其中在檢測該同位錯誤信號之宣告之步驟之前，該方法包含下列步驟：

檢測一異動開始信號之宣告，以識別一新的匯流排異動；

20 門鎖該新匯流排異動之一位址；

識別該新匯流排異動之一異動類型；以及

識別該匯流排異動之一完成器。

19. 如申請專利範圍第15項之方法，其中該登錄步驟更包含下列步驟：

讀取該錯誤匯流排異動之一儲存的位址；以及

依據該儲存的位址讀取裝置組態暫存器，來判斷該來源匯流排異動之一完成器，作為該錯誤匯流排異動之一匯流排主控器。

5 20. 一種包括儲存有指令之儲存裝置的製造物品，該等指令可用於程式規劃一系統來執行包含下列步驟之一種用以維持同位錯誤檢測後之資料完整性之方法：

(a) 檢測一同位錯誤信號之宣告；

10 (b) 登錄把該同位錯誤之一來源匯流排異動視為一錯誤匯流排異動之異動資訊；

(c) 追蹤與錯誤匯流排異動相關聯之匯流排主控器，來於與一硬體裝置相關聯之一錯誤匯流排異動計值超出一預定錯誤異動計值時，識別一有問題的硬體裝置；以及

15 (d) 當步驟(c)中判斷為檢測到一有問題的硬體裝置時，發佈該有問題的硬體裝置之通知至一系統管理者。

21. 如申請專利範圍第20項之製造物品，其中在檢測該同位錯誤信號之宣告的步驟之前，該方法包含下列步驟：

檢測一新的匯流排異動；

識別該新處理之一匯流排主控器；

20 識別該匯流排異動之一資料位址；以及

若一同位錯誤信號經宣告，則儲存該匯流排異動及該資料位址。

22. 如申請專利範圍第20項之製造物品，其中追蹤匯流排主控器之步驟包含下列步驟：

維持與一錯誤匯流排異動相關聯之一份匯流排主控器

列表；

當一個別匯流排主控器涉及一新的錯誤匯流排異動時，更新與該個別匯流排主控器相關聯之一錯誤異動計值；

- 5 比較該錯誤異動計值與一預定的錯誤異動計值；以及  
當該硬體裝置之一異動錯誤計值超過一預定的錯誤異動計值時，即檢測一有問題的硬體裝置。

23. 如申請專利範圍第20項之製造物品，其中在檢測該同位錯誤信號之宣告的步驟前，該方法包含下列步驟：

- 10 檢測一異動開始信號之宣告。以識別一新的匯流排異動；

門鎖該新匯流排異動之一位址；

識別該新匯流排異動之一異動類型；以及

識別該匯流排異動之一完成器。

- 15 24. 如申請專利範圍第20項之製造物品，其中登錄來源資訊之步驟包含下列步驟：

讀取該錯誤匯流排異動之一儲存的位址；以及

依據該來源位址讀取裝置組態暫存器以判斷該來源匯流排異動之一完成器，作為該錯誤匯流排異動之一匯流排  
20 主控器。

25. 一種匯流排代理器，其包含：

一儲存單元，用以儲存包括一匯流排異動的來源之異動資訊；

一控制器，用以響應於一檢測到的同位錯誤阻止匯流

排異動，並召喚一同位錯誤處理器常式，以依據儲存在該儲存單元中之該異動資訊來執行同位錯誤復原，若與該硬體裝置相關聯之一錯誤匯流排異動計值超出一預定錯誤異動計值。

- 5 26. 如申請專利範圍第25項之匯流排代理器，其中該控制器係用以檢測一同位錯誤信號之宣告、及用以在該檢測到之同位錯誤之一來源匯流排異動一完成時即設定一停止異動旗標。
- 10 27. 如申請專利範圍第25項之匯流排代理器，其中該控制器係用以產生一中斷來召喚一中斷處理器常式，且該中斷處理器常式係用以依據關於該檢測到的同位錯誤之一來源匯流排異動之儲存的異動資訊來執行該同位錯誤處理器常式。
28. 如申請專利範圍第25項之匯流排代理器，其中該匯流排代理器為一晶片組。
- 15 29. 如申請專利範圍第25項之匯流排代理器，其中該匯流排代理器係一輸入/輸出(I/O)控制器。
30. 一種用以維持同位錯誤檢測後之資料完整性之系統，其包含：
- 一匯流排；
- 20     耦接至該匯流排之至少一個匯流排代理器；以及
- 耦接至匯流排之一晶片組，其包含：
- 耦接至該晶片組之一匯流排介面的一控制器，該控制器用以響應於一檢測到的同位錯誤來阻止匯流排異動，並召喚一同位錯誤處理器常式以依據把該檢測到之同位錯誤



之一來源匯流排異動視為一錯誤匯流排異動的儲存的異動資訊，來執行同位錯誤復原，若該同位錯誤處理器已解決該檢測到的同位錯誤，該控制器可將一停止異動旗標重設給未暫停匯流排異動。

- 5 31. 如申請專利範圍第30項之系統，其更包含下列步驟：

異動捕捉邏輯裝置，用以檢測一異動開始信號之宣告以識別一新的匯流排異動、門鎖該新匯流排異動之一位址以識別該新匯流排異動之一異動類型、識別該匯流排異動之一完成器為該匯流排異動之一匯流排主控器、以及儲存  
10 至少該位址及該匯流排主控器作為該儲存的異動資訊。

32. 如申請專利範圍第31項之系統，其中該異動捕捉邏輯裝置包含一輸入/輸出(I/O)卡。

33. 如申請專利範圍第30項之系統，其中該晶片組包含一記憶體控制器。

- 15 34. 如申請專利範圍第30項之系統，其中該晶片組包含一輸入/輸出(I/O)控制器。