



(10) **DE 10 2020 127 331 B4** 2023.12.28

(12)

Patentschrift

(21) Aktenzeichen: **10 2020 127 331.2**
(22) Anmeldetag: **16.10.2020**
(43) Offenlegungstag: **31.03.2022**
(45) Veröffentlichungstag
der Patenterteilung: **28.12.2023**

(51) Int Cl.: **H01L 23/535 (2006.01)**
H01L 21/768 (2006.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
17/035,160 **28.09.2020** **US**

(73) Patentinhaber:
**Taiwan Semiconductor Manufacturing Co., Ltd.,
Hsinchu, TW**

(74) Vertreter:
**BOEHMERT & BOEHMERT Anwaltspartnerschaft
mbB - Patentanwälte Rechtsanwälte, 28209
Bremen, DE**

(72) Erfinder:
**Peng, Shih-Wei, Hsinchu, TW; Wu, Chia-Tien,
Hsinchu, TW; Tzeng, Jiann-Tyng, Hsinchu, TW**

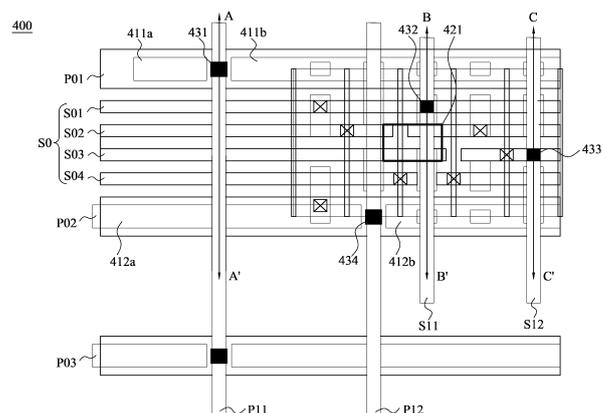
(56) Ermittelte Stand der Technik:

US	2016 / 0 329 241	A1
US	2018 / 0 174 886	A1

(54) Bezeichnung: **Integrierte Schaltung und Verfahren zur Herstellung einer integrierten Schaltung**

(57) Hauptanspruch: IC (Integrated Circuit, integrierte Schaltung), aufweisend:
eine Vielzahl von leitfähigen Schienen (P01, P02, S01, S02, S03, S04), die in einer ersten leitfähigen Schicht angeordnet ist;
eine Vielzahl von Signalschienen (P11, P12, S11, S12), die in einer zweiten leitfähigen Schicht über der ersten leitfähigen Schicht angeordnet ist;
mindestens eine erste Durchkontaktierung (431,432,433,434), die zwischen der ersten leitfähigen Schicht und der zweiten leitfähigen Schicht angeordnet ist und eine erste Signalschiene (P11, P12, S11, S12) der Vielzahl von Signalschienen (P11, P12, S11, S12) an mindestens eine der Vielzahl von leitfähigen Schienen (P01, P02, S01, S02, S03, S04) koppelt, wobei die erste Signalschiene (P11, P12, S11, S12) konfiguriert ist, ein Versorgungssignal durch die mindestens eine erste Durchkontaktierung (431,432,433,434) und die mindestens eine der Vielzahl von leitfähigen Schienen (P01, P02, S01, S02, S03, S04) an mindestens ein Element der IC zu übertragen; und
mindestens ein erstes leitfähiges Segment (111,112, 121, 122, 123, 124,411a, 411b, 412a, 412b, 421), das zwischen der ersten leitfähigen Schicht und der zweiten leitfähigen Schicht angeordnet ist, wobei das mindestens eine erste leitfähige Segment (111,112, 121, 122, 123, 124, 411a, 411b, 412a, 412b, 421) an die mindestens eine der Vielzahl von leitfähigen Schienen (P01, P02, S01, S02, S03, S04) gekoppelt ist und von der ersten Signalschiene (P11, P12, S11, S12) getrennt ist, die IC weiter aufweisend:

mindestens ein zweites leitfähiges Segment (121, 122, 123, 124, 421), das zwischen der ersten leitfähigen Schicht und der zweiten leitfähigen Schicht angeordnet ist, wobei das mindestens eine zweite leitfähige Segment (121, 122, 123, 124, 421) in einer Layoutansicht über mindestens zwei angrenzenden leitfähigen Schienen (P01, P02, S01, S02, S03, S04) der Vielzahl von leitfähigen Schienen (P01, P02, S01, S02, S03, S04) angeordnet ist und diese aneinanderkoppelt und von der Vielzahl von Signalschienen (P11, P12, S11, S12) getrennt ist.



Beschreibung

STAND DER TECHNIK

[0001] ICs (Integrierte Schaltungen (Integrated Circuits)) haben exponentielles Wachstum erfahren. Das Design der ICs hat Generationen mit kleineren Größen und komplexeren Schaltungen hervorgebracht. Zunehmend dichtere ICs resultieren in Vorteilen im Sinne von Geschwindigkeit, Funktionalität und Kosten, aber ohne schwierigeres Design und Fertigungsprobleme zu verursachen.

[0002] Die US 2016 / 0 329 241 A1 beschreibt eine integrierte Schaltkreisstruktur mit einem Halbleitersubstrat, mit mindestens einer nicht-planaren Feldefekttransistor (FET)-Vorrichtung, die auf dem Halbleitersubstrat ausgebildet ist und einer Zwischenverbindungsstruktur, die auf dem Halbleitersubstrat ausgebildet ist. Die nicht-planare FET-Vorrichtung umfasst eine Vielzahl von Rippen und eine Gate-Elektrode. Die Zwischenverbindungsstruktur umfasst eine Vielzahl von Metallen der ersten Gruppe und eine Vielzahl von Metallen der zweiten Gruppe.

[0003] Aus der US 2018 / 0 174 886 A1 sind eine Zwischenverbindungsstruktur und ein Verfahren zur Herstellung einer Zwischenverbindungsstruktur bekannt. Die Verbindungsstruktur umfasst eine untere Ätzstoppschicht (ESL), eine obere dielektrische Schicht mit niedrigem K (LK-Schicht) über der unteren ES und ein erstes leitfähiges Merkmal in der oberen dielektrischen LK-Schicht, wobei das erste leitfähige Merkmal eine erste Metallleitung und ein an die erste Metallleitung angrenzendes Dummy-Via aufweist, und wobei sich das Dummy-Via durch die untere ESL erstreckt.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0004] Aspekte der vorliegenden Offenbarung lassen sich am besten anhand der folgenden detaillierten Beschreibung in Verbindung mit den beiliegenden Zeichnungen verstehen. Es ist zu beachten, dass gemäß der branchenüblichen Praxis unterschiedliche Merkmale nicht maßstabsgetreu dargestellt sind. Tatsächlich können die Abmessungen der unterschiedlichen Merkmale zugunsten einer klaren Erläuterung willkürlich vergrößert oder verkleinert sein.

Fig. 1A bis Fig. 1B sind Layoutdiagramme einer IC (Integrated Circuit) in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung.

Fig. 2 ist ein schematisches Querschnittsdiagramm eines Layoutdiagramms entsprechend dem Layoutdiagramm von **Fig. 1A** oder **Fig. 1B**

in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung.

Fig. 3A bis Fig. 3C sind Layoutdiagramme einer IC in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung.

Fig. 4 ist ein Layoutdiagramm einer IC in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung.

Fig. 5A bis Fig. 5C sind schematische Querschnittsdiagramme von Layoutdiagrammen entsprechend dem Layoutdiagramm von **Fig. 4**, in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung.

Fig. 6 ist ein Ablaufdiagramm eines Verfahrens zur Herstellung einer IC in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung.

Fig. 7A bis Fig. 7G sind schematische Diagramme in Querschnittsansicht von Teil einer IC entsprechend der IC von **Fig. 4**, die unterschiedliche Prozesse des Verfahrens von **Fig. 6** veranschaulichen, in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung.

Fig. 8 ist ein Layoutdiagramm einer IC in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung.

Fig. 9A bis Fig. 9C sind schematische Querschnittsdiagramme von Layoutdiagrammen entsprechend dem Layoutdiagramm von **Fig. 8**, in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung.

Fig. 10A bis Fig. 10C sind schematische Diagramme in Querschnittsansicht von Teil einer IC entsprechend der IC von **Fig. 8**, die unterschiedliche Prozesse des Verfahrens von **Fig. 5** veranschaulichen, in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung.

Fig. 11A ist ein Schaltungsdiagramm einer IC in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung.

Fig. 11B ist ein Layoutdiagramm einer IC entsprechend der IC von **Fig. 11A**, in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung.

Fig. 12A ist ein Schaltungsdiagramm einer IC in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung.

Fig. 12B ist ein Layoutdiagramm einer IC entsprechend der IC von **Fig. 12A**, in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung.

Fig. 13A ist ein Schaltungsdiagramm einer IC in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung.

Fig. 13B ist ein Layoutdiagramm einer IC entsprechend der IC von **Fig. 13A**, in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung.

Fig. 14A ist ein Schaltungsdiagramm einer IC in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung.

Fig. 14B ist ein Layoutdiagramm einer IC entsprechend der IC von **Fig. 14A**, in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung.

Fig. 15A ist ein Schaltungsdiagramm einer IC in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung.

Fig. 15B ist ein Layoutdiagramm einer IC entsprechend der IC von **Fig. 15A**, in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung.

Fig. 16A ist ein Schaltungsdiagramm einer IC in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung.

Fig. 16B ist ein Layoutdiagramm einer IC entsprechend der IC von **Fig. 16A**, in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung.

Fig. 17A ist ein Schaltungsdiagramm einer IC in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung.

Fig. 17B bis **Fig. 17E** sind ein Layoutdiagramm einer IC entsprechend der IC von **Fig. 17A**, in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung.

Fig. 18A ist ein Schaltungsdiagramm einer IC in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung.

Fig. 18B ist ein Layoutdiagramm einer IC entsprechend der IC von **Fig. 18A**, in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung.

Fig. 19A ist ein Schaltungsdiagramm einer IC in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung.

Fig. 19B ist ein Layoutdiagramm einer IC entsprechend der IC von **Fig. 19A**, in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung.

Fig. 20 ist ein Ablaufdiagramm eines Verfahrens zur Fertigung einer IC in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung.

Fig. 21 ist ein Blockdiagramm eines Systems zum Designen eines IC-Layoutdesigns in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung.

Fig. 22 ist ein Blockdiagramm eines IC-Herstellungssystems und eines damit verknüpften IC-Herstellungsablaufs in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung.

AUSFÜHRLICHE BESCHREIBUNG

[0005] Die folgende Offenbarung stellt viele verschiedene Ausführungsformen, oder Beispiele, zum Implementieren verschiedener Merkmale des bereitgestellten Gegenstands bereit. Spezifische Beispiele von Komponenten und Anordnungen werden unten beschrieben, um die vorliegende Offenbarung zu vereinfachen. Diese sind selbstverständlich bloß Beispiele und nicht beabsichtigt begrenzend zu sein. Zum Beispiel kann die Bildung eines ersten Merkmals über oder auf einem zweiten Merkmal in der folgenden Beschreibung Ausführungsformen enthalten, in denen das erste und das zweite Merkmal in direktem Kontakt gebildet sind und kann auch Ausführungsformen enthalten, in denen zusätzliche Merkmale zwischen dem ersten und dem zweiten Merkmal gebildet sein können, sodass das erste und das zweite Merkmal nicht in direktem Kontakt sein könnten. Zusätzlich kann die vorliegende Offenbarung Referenznummern und/oder -buchstaben in den unterschiedlichen Beispielen wiederholen. Diese Wiederholung dient dem Zweck der Vereinfachung und Klarheit und gibt selbst keine Beziehung zwischen den unterschiedlichen besprochenen Ausführungsformen und/oder Konfigurationen vor.

[0006] Die in dieser Beschreibung verwendeten Ausdrücke haben im Allgemeinen ihre herkömmlichen Bedeutungen gemäß der Technik und dem spezifischen Kontext, in dem der Ausdruck verwendet wird. Die Verwendung von Beispielen in dieser Beschreibung, Beispiele beliebiger hierin besprochener Ausdrücke umfassend, ist veranschaulichend und begrenzt den Umfang und die Bedeutung der Offenbarung oder irgendeines beispielhaften Ausdruck in keiner Weise. Ebenso ist die vorliegende Offenbarung nicht auf unterschiedliche in dieser Beschreibung angegebene Ausführungsformen begrenzt.

[0007] Obwohl die Ausdrücke „erstes“, „zweites“ usw. hierin verwendet werden können, um unterschiedliche Elemente zu beschreiben, sollten diese Elemente nicht durch diese Ausdrücke begrenzt werden. Diese Ausdrücke werden verwendet, um ein Element von einem anderen zu unterscheiden. Zum Beispiel könnte ein erstes Element als ein zweites Element bezeichnet werden und ähnlich könnte ein zweites Element als ein erstes Element bezeichnet

werden, ohne von dem Umfang der Ausführungsformen abzuweichen. Wie hierin verwendet, umfasst der Ausdruck „und/oder“ beliebige und alle Kombinationen eines oder mehrerer der verknüpften aufgelisteten Gegenstände.

[0008] In diesem Dokument kann der Ausdruck „gekoppelt“ auch als „elektrisch gekoppelt“ bezeichnet werden und der Ausdruck „verbunden“ kann auch als „elektrisch verbunden“ bezeichnet werden. „Gekoppelt“ und „verbunden“ können verwendet werden, um anzugeben, dass zwei oder mehr Elemente miteinander zusammenwirken oder interagieren.

[0009] Darüber hinaus können räumlich relative Ausdrücke wie „unterliegend“, „unterhalb“, „unter“, „überliegend“, „ober“ und dergleichen hierin zur Erleichterung der Beschreibung verwendet werden, um die Beziehung eines Elements oder Merkmals zu (einem) anderen Element(en) oder Merkmal(en) wie in den Figuren veranschaulicht zu beschreiben. Die räumlich relativen Ausdrücke sind beabsichtigt, verschiedene Ausrichtungen des Bauelements in Verwendung oder Betrieb zusätzlich zu der in den Figuren abgebildeten Ausrichtung zu umschließen. Die Struktur kann anders ausgerichtet sein (um 90 Grad gedreht oder bei anderen Ausrichtungen) und die hierin verwendeten räumlich relativen Beschreibungsausdrücke können ebenso entsprechend ausgelegt werden.

[0010] Wie hierin verwendet sollen sich „etwa“, „ungefähr“, „annähernd“ oder „im Wesentlichen“ allgemein auf einen beliebigen Näherungswert eines gegebenen Werts oder einer Spanne, in der er abhängig von unterschiedlichen Techniken, in denen er besteht, variiert wird, beziehen und dessen Umfang soll mit der weitesten Auslegung zu verstehen sein, die von dem Fachkundigen zu verstehen ist, den es betrifft, um alle solche Modifikationen und ähnlichen Aufbauten einzuschließen. In manchen Ausführungsformen soll es allgemeine innerhalb von 20 Prozent, bevorzugt innerhalb von 10 Prozent und bevorzugter innerhalb von 5 Prozent eines gegebenen Werts oder einer Spanne meinen. Hierin angegebene numerische Mengen verstehen sich als annähernd, was heißt, dass der Ausdruck „etwa“, „ungefähr“, „annähernd“ oder „im Wesentlichen“ geschlussfolgert werden kann, falls er nicht ausdrücklich genannt wird, oder andere Näherungswerte gemeint sind.

[0011] Nun wird Bezug auf **Fig. 1A** und **Fig. 1B** genommen. **Fig. 1A** ist ein Layoutdiagramm 100A einer IC (Integrated Circuit) und **Fig. 1A** ist ein Layoutdiagramm 100B einer IC in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung. Zur Einfachheit der Veranschaulichung des Layoutdiagramms 100A oder 100B werden bloß

ein paar wenige Strukturen in einer Metallschicht angeordnet veranschaulicht, die in manchen Beispielen hierin nachfolgend zum Beispiel eine Metall-Null-Schicht (Mo-Schicht) ist.

[0012] Zur Veranschaulichung in **Fig. 1A** weist das Layoutdiagramm 100A leitfähige Schienen P01, P02, S01, S02, S03 und S04, leitfähige Segmente 111, 112, 121, 122 und 123 und Schnittsegmente CT auf. Zur Einfachheit wird jede der leitfähigen Schichten S01, S02, S03 und S04 hierin nachfolgend als S0 bezeichnet, weil jede der leitfähigen Schichten S01, S02, S03 und S04 in manchen Ausführungsformen auf eine ähnliche Weise arbeitet.

[0013] Die leitfähigen Schienen P01, P02 und S0 sind in derselben Metallschicht angeordnet, die in manchen Ausführungsformen die Mo-Schicht ist, und sind in einer Layoutansicht voneinander getrennt. Die leitfähigen Schienen S0 sind zwischen den leitfähigen Schienen P10 und P20 in einer Layoutansicht angeordnet. Das leitfähige Segment 111 ist an der leitfähigen Schiene P01 angeordnet und das leitfähige Segment 112 ist an der leitfähigen Schiene P02 angeordnet. Die leitfähigen Segmente 121-123 sind an und zwischen mindestens zwei angrenzenden leitfähigen Schienen S0 angeordnet. Insbesondere ist das leitfähige Segment 121 an und zwischen den leitfähigen Schienen S03 und S04 angeordnet. Das leitfähige Segment 122 ist an und zwischen den leitfähigen Schienen S02 und S03 angeordnet. Das leitfähige Segment 123 ist an und zwischen den leitfähigen Schienen S01 und S02 angeordnet. Anders ausgedrückt, ist das leitfähige Segment 121 in einer Layoutansicht teilweise von den leitfähigen Schienen S03 und S04 überlappt; das leitfähige Segment 122 ist teilweise von den leitfähigen Schienen S02 und S03 überlappt und das leitfähige Segment 123 ist teilweise von den leitfähigen Schienen S01 und S02 überlappt. Jedes der Schnittsegmente CT ist über eine der leitfähigen Schienen S0 angeordnet. Zum Beispiel ist mit Bezug auf **Fig. 1A** das Schnittsegment CT mit Kennzeichnung über die leitfähige Schiene S02 angeordnet.

[0014] In manchen Ausführungsformen sind die leitfähigen Schienen P01 und P02 konfiguriert, Leistungssignale zu empfangen (die mindestens in Bezug auf **Fig. 4** und **Fig. 5A** bis **Fig. 5C** besprochen werden), die in einer anderen Metallschicht angeordnet sind, die zum Beispiel in manchen Ausführungsformen hierin nachfolgend eine erste Metallschicht (M1-Schicht) ist. Die M1-Schicht ist über der Mo-Schicht angeordnet, wo die leitfähigen Schienen P01 und P02 angeordnet sind. In unterschiedlichen Ausführungsformen sind die leitfähigen Schienen P01 und P02 als leitfähige Leistungsschienen zum Übertragen der Leistungssignale angegeben, aufweisend zum Beispiel Versorgungsspannungssig-

nale (die als VDD angegeben sind, in Bezug auf **Fig. 4** besprochen) oder Referenzspannungssignale (die als VSS angegeben sind, in Bezug auf **Fig. 4** besprochen). In manchen anderen Ausführungsformen sind die leitfähigen Schienen P01 und P02 als ein Paar von leitfähigen Leistungsschienen bezeichnet und konfiguriert, Leistungssignale mit Spannungen zu übertragen, die sich voneinander unterscheiden.

[0015] In manchen Ausführungsformen sind die leitfähigen Schienen S0 konfiguriert, Datensignale zu empfangen, die in einer selben Metallschicht angeordnet sind, wo die leitfähigen Schiene nP01 und P02 angeordnet sind (d.h. die Mo-Schicht). In unterschiedlichen Ausführungsformen sind die leitfähigen Schienen S0 als leitfähige Signalschienen zum Übertragen der Datensignale angegeben, aufweisend zum Beispiel Signale (die als D1 und D2 in **Fig. 4** gezeigt angegeben sind). In manchen anderen Ausführungsformen sind mindestens zwei leitfähige Schienen S0 zum Übertragen derselben Datensignale aneinandergesekoppelt

[0016] In manchen Ausführungsformen ist jedes der Schnittsegmente CT konfiguriert, mindestens eine Struktur in dem Layoutdiagramm 100A abzuschneiden, um diese Struktur in zwei Abschnitte zu trennen. In unterschiedlichen Ausführungsformen werden die Schnittsegmente CT entfernt, bevor ein Layoutdiagramm zur Fertigung der IC erzeugt wird.

[0017] In manchen Ausführungsformen sind die leitfähigen Segmente 111 und 112 als sich erstreckende Schienen geformt, die ähnlich den leitfähigen Schienen P01 und P02 sind. In unterschiedlichen Ausführungsformen ist das leitfähige Segment 111 an die leitfähige Schiene P01 gekoppelt und von dem Leistungssignal beabstandet, das in M1-Schicht angeordnet ist und an die leitfähige Schiene P01 gekoppelt ist. In weiteren Ausführungsformen kontaktiert das leitfähige Segment 111 die leitfähige Schiene P01. Ähnlich ist das leitfähige Segment 112 an die leitfähige Schiene P02 gekoppelt und von dem Leistungssignal beabstandet, das in M1-Schicht angeordnet ist und an die leitfähige Schiene P02 gekoppelt ist. In weiteren Ausführungsformen kontaktiert das leitfähige Segment 112 die leitfähige Schiene P02. In unterschiedlichen Ausführungsformen sind die leitfähigen Segmente 111 und 112 als „V0-Schiene“ zum Bilden zusätzlicher leitfähiger Segmente/Bahnen/Spuren/Strukturen an den leitfähigen Schienen P01 und P02 angegeben. Anders ausgedrückt wird eine Höhe der leitfähigen Schienen P01 oder P02 in der Mo-Schicht erhöht, indem die leitfähigen Segmente 111 oder 112 an und über den leitfähigen Schienen P01 oder P02 angeordnet werden. In manchen anderen Ausführungsformen sind die leitfähigen Schienen P01 und P02 und die leitfähigen

Segmente 111 und 112 aus einem Metallmaterial hergestellt, das jeweils dasselbe ist.

[0018] In manchen Ausführungsformen sind die leitfähigen Segmente 121, 122 und 123 als ein Block geformt. In unterschiedlichen Ausführungsformen ist das leitfähige Segment 121 zwischen den leitfähigen Schienen S03 und S04 gekoppelt und von dem Datensignal beabstandet (das mindestens in Bezug auf **Fig. 4** und **Fig. 5A** bis **Fig. 5C** besprochen wird), das in M1-Schicht angeordnet ist. In weiteren Ausführungsformen kontaktiert das leitfähige Segment 121 die leitfähigen Schienen S03 und S04. Ähnlich ist das leitfähige Segment 122 zwischen den leitfähigen Schienen S02 und S03 gekoppelt und das leitfähige Segment 123 ist zwischen den leitfähigen Schienen S01 und S02 gekoppelt. Jedes der leitfähigen Segmente 122 und 123 ist von dem Datensignal beabstandet, das in M1-Schicht angeordnet ist. In weiteren Ausführungsformen kontaktiert das leitfähige Segment 122 die leitfähigen Schienen S02 und S03 und das leitfähige Segment 123 kontaktiert die leitfähigen Schienen S01 und S02. In unterschiedlichen Ausführungsformen sind die leitfähigen Segmente 121, 122 und 123 als „Mo-Springer“ zum Bilden zusätzlicher leitfähiger Segmente/Bahnen/Spuren an den leitfähigen Schienen S0 und Anordnen über mindestens zwei angrenzende leitfähige Schienen S0 angegeben. Anders ausgedrückt ist eine Höhe der leitfähigen Schienen S0 in der Mo-Schicht erhöht, indem die leitfähigen Segmente 121, 122 oder 123 an und über den leitfähigen Schienen S0 angeordnet werden. In manchen anderen Ausführungsformen sind die leitfähigen Schienen S0 und die leitfähigen Segmente 121, 122 und 123 aus einem Metallmaterial hergestellt, das jeweils dasselbe ist.

[0019] Das Layoutdiagramm 100B der IC weist eine Konfiguration ähnlich der des Layoutdiagramms 100A der IC wie in **Fig. 1A** veranschaulicht auf und eine ähnlich detaillierte Beschreibung wird daher ausgelassen. Verglichen mit **Fig. 1A** weist das in **Fig. 1B** gezeigt Layoutdiagramm 100B ein leitfähiges Segment 124 anstatt der leitfähigen Segmente 121-123 auf, die an den leitfähigen Schienen S0 angeordnet sind. Das leitfähige Segment 124 ist an und zwischen den leitfähigen Schienen S02 und S03 angeordnet. Anders ausgedrückt ist in einer Layoutansicht das leitfähige Segment 124 teilweise mit den leitfähigen Schienen S02 und S03 überlappt. In manchen Ausführungsformen weist das leitfähige Segment 124 eine Konfiguration oder Anordnung ähnlich den in **Fig. 1A** gezeigten leitfähigen Segmenten 121-123 auf.

[0020] Die Zahl und Anordnung leitfähiger Segmente oder leitfähiger Schienen, die in **Fig. 1A** und **Fig. 1B** gezeigt sind, sind zu veranschaulichenden Zwecken angegeben. Unterschiedliche Zahlen und

Anordnungen leitfähiger Segmente oder leitfähiger Schienen, um das Layoutdiagramm 100A in **Fig. 1A** oder das Layoutdiagramm 100B in **Fig. 1B** zu implementieren, sind innerhalb des erdachten Umfangs der vorliegenden Offenbarung. Zum Beispiel weist in manchen Ausführungsformen das Layoutdiagramm 100A zusätzlich zu den leitfähigen Segmenten 121, 122 und 123 oder den leitfähigen Schienen P01, P02 und S0, die in **Fig. 1A** gezeigt sind, weiter die leitfähigen Schienen, die zwischen den leitfähigen Schienen P01, P02 und neben den leitfähigen Schienen S0 angeordnet sind, in einer Layoutansicht auf.

[0021] Es wird nun Bezug auf **Fig. 2** genommen. **Fig. 2** ist ein Querschnittsdiagramm eines Layoutdiagramms 200 entsprechend dem Layoutdiagramm 100A von **Fig. 1A** oder dem Layoutdiagramm 100B von **Fig. 1B**, entlang einer Linie 10-10, in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung. In dem Layoutdiagramm 200 sind in Bezug auf die Ausführungsformen von **Fig. 1A** oder **Fig. 1B** ähnliche Elemente in **Fig. 2** zur Vereinfachung des Verständnisses mit denselben Referenznummern gekennzeichnet.

[0022] Zur Veranschaulichung in **Fig. 2** sind die leitfähigen Segmente 211 und 212 an den leitfähigen Schienen P10 beziehungsweise P20 angeordnet, wie bei in **Fig. 1A** und **Fig. 1B** gezeigten Ausführungsformen besprochen wird. Das leitfähige Segment 213 ist an zwei angrenzenden leitfähigen Schienen S02 und S03 angeordnet. Darüber hinaus ist ein Teil des leitfähigen Segments 213 in einem Raum zwischen den leitfähigen Schienen S02 und S03 in einer Richtung entlang Linie 10-10 angeordnet, die auch als eine Spaltenrichtung in Bezug auf **Fig. 1A-1B** bezeichnet ist. Anders ausgedrückt ist das leitfähige Segment 213 zwischen den leitfähigen Schienen S02 und S03 eingeklemmt.

[0023] Es wird nun Bezug auf **Fig. 3A** bis **Fig. 3C** genommen. **Fig. 3A** bis **Fig. 3C** sind Layoutdiagramme 300A, 300B und 300C einer IC in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung. Jedes der Layoutdiagramme 300A, 300B und 300C der IC weist eine ähnliche Konfiguration zu der des Layoutdiagramms 100A der IC wie in **Fig. 1A** veranschaulicht oder des Layoutdiagramms 100B der IC wie in **Fig. 1B** veranschaulicht auf und eine ähnlich detaillierte Beschreibung wird deshalb ausgelassen. Jedes der Layoutdiagramme 300A, 300B und 300C bezieht sich auf die Ausführungsformen von **Fig. 1A** oder **Fig. 1B** und ähnliche Elemente in **Fig. 3A** bis **Fig. 3C** sind zur Einfachheit des Verständnisses mit denselben Referenznummern bezeichnet.

[0024] Verglichen mit **Fig. 1A** oder **Fig. 1B** weist jedes der Layoutdiagramme 300A, 300B und 300C,

die in **Fig. 3A** bis **Fig. 3C** gezeigt sind, weiter Gate-Segmente 311 und 312 auf, die über die leitfähigen Schienen P01 und P02 und die leitfähigen Schienen S0 angeordnet sind, in einer Layoutansicht. Wie in **Fig. 3A** bis **Fig. 3C** veranschaulicht, erstrecken sich die leitfähigen Schienen P01, P02 und S0 entlang einer Reihenrichtung und die Gate-Segmente 311 und 312 erstrecken sich entlang einer Spaltenrichtung, die im Wesentlichen senkrecht zu der Reihenrichtung ist.

[0025] In manchen Ausführungsformen sind die Gate-Segmente 311 und 312 in einem aktiven Bereich gebildet, der unter der Mo-Schicht ist, um Gate-Anschlüsse von Transistoren zu bilden, die in dem IC aufgewiesen sind. In unterschiedlichen Ausführungsformen enthalten Gate-Segmente 311 und 312 Polysilizium (PO) und sind durch einen Gate-Bildungsprozess gebildet, der auch als ein „PO-Prozess“ unter Verwendung einer Polysiliziummaske bezeichnet ist.

[0026] In manchen Ausführungsformen ist eine Distanz zwischen zwei angrenzenden Gates, die zum Beispiel in Bezug auf **Fig. 3A** bis **Fig. 3C** den Gate-Segmenten 311 und 312, als ein Gate-Abstand D1 angegeben. Der Gate-Abstand D1 ist hierin nachfolgend auch als ein Polyabstand D1 bezeichnet. In manchen anderen Ausführungsformen ist eine Distanz zwischen zwei angrenzenden leitfähigen Schienen, die zum Beispiel in Bezug auf **Fig. 3A** bis **Fig. 3C** die Schienensegmente S01 und S02 sind, als ein Mo-Abstand D2 angegeben. In alternativen Ausführungsformen ist mindestens einer des Polyabstands D1 oder des Mo-Abstands D2 durch Designregeln in dem Layoutdiagramm der IC begrenzt und die Designregeln sind mit den Fertigungsprozessen oder Technologien der IC verknüpft.

[0027] Zur Veranschaulichung in **Fig. 3A** weist das Layoutdiagramm 300A leitfähige Segmente 121, 122 und 123 als Blöcke geformt und an und zwischen den leitfähigen Schienen S0 angeordnet auf. Das Layoutdiagramm 300A weist auch ein Paar von leitfähigen Segmenten 111 und 112 als sich erstreckende Schienen und an einem Paar von leitfähigen Schienen P01 geformt beziehungsweise P02 angeordnet auf. Für jedes der leitfähigen Segmente 121, 122 und 123 ist es als ein Quadrat geformt und eine Breite jedes der leitfähigen Segmente 121, 122 und 123 ist annähernd gleich einem Mo-Abstand D2. Anders ausgedrückt ist eine Größe jedes der leitfähigen Segmente 121, 122 und 123 annähernd gleich einem Quadrat von Mo-Abstand D2 (d.h. Mo-Abstand D2* Mo-Abstand D2).

[0028] Eine Distanz zwischen entsprechenden Ecken zweier angrenzender leitfähiger Segmente ist ungefähr in einer Spanne vom halben Polyabstand D1 zu einem Polyabstand D1 (z.B. 0,5* Poly-

abstand $D1 \sim 1^*$ Polyabstand $D1$). Wie in **Fig. 3A** veranschaulicht ist eine Ecke der leitfähigen Segmente 121 von einer entsprechenden Ecke der leitfähigen Segmente 122 um eine Distanz $C1$ getrennt und die Distanz $C1$ ist ungefähr in einer zuvor besprochenen Spanne.

[0029] Darüber hinaus ist eine Breite jedes der leitfähigen Segmente 111 und 112 im Wesentlichen gleich oder kleiner als eine Breite jeder der leitfähigen Schienen $P01$ und $P02$. In manchen Ausführungsformen ist eine Länge jedes der leitfähigen Segmente 111 und 112 auch im Wesentlichen gleich oder kleiner als eine Länge jeder der leitfähigen Schienen $P01$ und $P02$.

[0030] Eine Distanz zwischen einem leitfähigen Segment, das als die Vo-Schiene angegeben ist, und einem leitfähigen Segment, das als der Mo-Springer angegeben ist, ist in manchen Ausführungsformen ungefähr in einer Spanne vom halben Polyabstand $D1$ bis $1,2$ -mal der Polyabstand $D1$ (d.h. $0,5^*$ Polyabstand $D1$ - $1,2^*$ Polyabstand $D1$). Wie in **Fig. 3A** veranschaulicht ist das leitfähige Segment 111 als die Vo-Schiene angegeben, die an einer der leitfähigen Schienen $P01$ und $P02$ angeordnet ist. Das leitfähige Segment 123 ist als der Mo-Springer angegeben der an mindestens zwei angrenzenden leitfähigen Schienen $S0$ angeordnet ist. Das leitfähige Segment 111 ist von dem leitfähigen Segment 123, das angrenzend an das leitfähige Segment 111 angeordnet ist, durch eine Distanz $C2$ getrennt. Die Distanz $C2$ ist ungefähr in einer zuvor besprochenen Spanne.

[0031] Verglichen mit in **Fig. 3A** veranschaulichten Ausführungsformen weist das Layoutdiagramm 300B ein leitfähiges Segment 124 als einen geschienten Block geformt und an und zwischen den leitfähigen Schienen So angeordnet auf. Das leitfähige Segment 124 ist in manchen Ausführungsformen als ein rechteckiger Block geformt und eine Länge $L1$ des leitfähigen Segments 124 ist größer als zweimal der Polyabstand $D1$ (d.h. $L1 > 2^*$ Polyabstand $D1$).

[0032] Eine Distanz zwischen einem leitfähigen Segment, das als die Vo-Schiene angegeben ist, und ein leitfähiges Segment, das als der Mo-Springer angegeben ist, ist in manchen Ausführungsformen ungefähr in einer Spanne vom halben Polyabstand $D1$ zum einfachen Polyabstand $D1$ (d.h. $0,5^*$ Polyabstand $D1$ \sim 1^* Polyabstand $D1$). Zum Beispiel ist in Bezug auf **Fig. 3B** das an der leitfähigen Schiene $P01$ angeordnete leitfähige Segment 111 von dem leitfähigen Segment 124, das angrenzend an das leitfähige Segment 111 angeordnet ist und an der leitfähigen Schiene $S01$ angeordnet ist, durch eine Distanz $C3$ getrennt. Die Distanz $C3$ ist ungefähr in einer zuvor besprochenen Spanne.

[0033] Verglichen mit in **Fig. 3A** veranschaulichten Ausführungsformen weist das Layoutdiagramm 400C weiter ein leitfähiges Segment 124 auf, das als ein geschienter Block geformt ist und an und zwischen den leitfähigen Schienen So angeordnet ist. In manchen Ausführungsformen ist das Layoutdiagramm 300C eine alternative Ausführungsform, die die Layoutdiagramme 300A und 300B kombiniert.

[0034] Jedes der leitfähigen Segmente 121, 122 und 123 ist als ein Quadrat geformt und eine Breite desselben ist annähernd gleich einem Mo-Abstand $D2$. Anders ausgedrückt ist eine Größe jedes der leitfähigen Segmente 121, 122 und 123 annähernd gleich einem Quadrat von Mo-Abstand $D2$ (d.h. Mo-Abstand $D2^*$ Mo-Abstand $D2^*$). Ähnlich dem in **Fig. 3A** veranschaulichten, ist eine Distanz zwischen zwei angrenzenden leitfähigen Segmenten 121, 122 oder 123 etwa in einer Spanne vom halben Polyabstand $D1$ zu einem Polyabstand $D1$ (d.h. $0,5^*$ Polyabstand $D1$ \sim 1^* Polyabstand $D1$). Zum Beispiel ist in Bezug auf **Fig. 3C** eine Distanz zwischen einer Ecke der leitfähigen Segmente 121 und einer entsprechenden Ecke des leitfähigen Segments 122 als eine Distanz $C4$ angegeben. Die Distanz $C4$ ist in einer Spanne von $0,5^*$ Polyabstand $D1$ bis 1^* Polyabstand $D1$. Darüber hinaus ist eine Länge oder Breite der leitfähigen Segmente 111 oder 112 auch im Wesentlichen gleich oder kleiner als eine Länge oder eine Breite der leitfähigen Schienen $P01$ oder $P02$.

[0035] In manchen Ausführungsformen ist eine Distanz zwischen einem leitfähigen Segment, das als die Vo-Schiene angegeben ist, und einem anderen leitfähigen Segment, das als der Mo-Springer angegeben ist, in dem Layoutdiagramm 300C nicht begrenzt. Zum Beispiel kann in Bezug auf **Fig. 3C** eine Distanz zwischen dem leitfähigen Segment 111, das als die Vo-Schiene angegeben ist, und dem leitfähigen Segment 124, das als der Mo-Springer angegeben ist, kleiner als $0,5^*$ Polyabstand $D1$ sein.

[0036] In manchen Ausführungsformen ist das Layoutdiagramm 300C durch mindestens eine Maske erzeugt (die in Bezug auf **Fig. 22** besprochen ist). Zum Beispiel sind die leitfähigen Segmente 111 und 112 strukturiert, indem eine erste Maske genutzt wird. Die verbleibenden leitfähigen Segmente 121, 122 und 123 sind strukturiert, indem eine zweite Maske genutzt wird. Dementsprechend weist das Layoutdiagramm 300C verglichen mit dem Layoutdiagramm 300A oder 300B, das von einer Maske strukturiert wird, weniger Designbegrenzungen auf.

[0037] Die Konfiguration und Anordnung der in **Fig. 3A** bis **Fig. 3C** gezeigten Layoutdiagramme 300A, 300B und 300C ist für veranschaulichende Zwecke angegeben. Unterschiedliche Konfigurationen und Anordnungen der Layoutdiagramme 300A,

300B und 300C, um die IC zu implementieren, sind innerhalb des erdachten Umfangs der vorliegenden Offenbarung. Zum Beispiel ist in manchen Ausführungsformen in einer Layoutansicht mindestens eines der leitfähigen Segmente 121, 122, 123 oder 124 an und zwischen oder über mehr als drei leitfähigen Schienen S0 angeordnet.

[0038] Es wird nun Bezug auf **Fig. 4** genommen. **Fig. 4** ist ein Layoutdiagramm 400 einer IC in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung. In dem Layoutdiagramm 400 sind in Bezug auf die Ausführungsformen von **Fig. 1A** oder **Fig. 1B** ähnliche Elemente in **Fig. 4** zur Einfachheit des Verständnisses mit denselben Referenznummern bezeichnet.

[0039] Zur Veranschaulichung in **Fig. 4** weist das Layoutdiagramm 400 leitfähige Schienen P01, P02 und P03 und leitfähige Schienen S01, S02, S03 und S04 in der Mo-Schicht angeordnet und sich entlang einer Reihenrichtung erstreckend auf. In manchen Ausführungsformen sind die leitfähigen Schienen S01, S02, S03 und S04 hierin nachfolgend zur Einfachheit der Veranschaulichung als S0 referenziert. In einer Layoutansicht sind die leitfähigen Schienen P01 und P02 voneinander durch die leitfähigen Schienen S0 getrennt und die leitfähigen Schienen P02 und P03 sind voneinander durch zusätzliche leitfähige Schienen getrennt, die nicht in **Fig. 4** gezeigt sind. In manchen Ausführungsformen ist die leitfähige Schiene P01 identisch mit der leitfähigen Schiene P03. Die leitfähigen Schienen P01, P02 und S0 des Layoutdiagramms 400 weisen ähnliche Konfigurationen wie jene des in **Fig. 1A** veranschaulichten Layoutdiagramms auf und eine ähnlich detaillierte Beschreibung wird daher ausgelassen.

[0040] Das Layoutdiagramm 400 weist weiter leitfähige Segmente 411a, 411b, 412a, 412b und 421 an den leitfähigen Schienen P01, P02 und S0, Signalschienen P11, P12, S11 und S12 in der M1-Schicht angeordnet und Durchkontaktierungen 431, 432, 433 und 434 zwischen der M0-Schicht und der M1-Schicht angeordnet auf. Die Signalschienen P11, P12, S11 und S12 sind voneinander getrennt und erstrecken sich entlang einer Spaltenrichtung in einer Layoutansicht. Anders ausgedrückt sind in einer Layoutansicht die Signalschienen P11, P12, S11 und S12 oberhalb der und über die leitfähigen Schienen P01, P02, P03 und S0 angeordnet. Die Durchkontaktierungen 431, 432, 433 und 434 sind in einer Layoutansicht mit mindestens zwei der leitfähigen Schienen P01, P02 und S0 und den Signalschienen P11, P12, S11 und S12 überlappt. Insbesondere ist in einer Layoutansicht die Durchkontaktierung 431 mit der leitfähigen Schiene P01 und der Signalschiene P11 überlappt; die Durchkontaktierung 434 ist mit der leitfähigen Schiene P02 und der Signalschiene P12 überlappt; die Durchkon-

taktierung 432 ist mit der leitfähigen Schiene S01 und der Signalschiene S11 überlappt; und die Durchkontaktierung 433 ist mit der leitfähigen Schiene S03 und der Signalschiene S12 überlappt.

[0041] Die leitfähigen Segmente 411a und 411b sind in einer Layoutansicht an der leitfähigen Schiene P01 angeordnet und voneinander getrennt. Die Durchkontaktierung 431 ist in einer Layoutansicht zwischen den leitfähigen Segmenten 411a und 411b angeordnet. Anders ausgedrückt, ein leitfähiges Segment, das als die Vo-Schiene angegeben ist, ist an der leitfähigen Schiene P01 angeordnet. Solch ein leitfähiges Segment weist einige getrennte Abschnitte auf, aufweisend zum Beispiel in Bezug auf **Fig. 4** die leitfähigen Segmente 411a und 411b. Zusätzlich ist in einer Layoutansicht mindestens eine Durchkontaktierung zwischen diesen getrennten Abschnitten angeordnet. In Bezug auf **Fig. 4** ist die Durchkontaktierung 431 in einer Layoutansicht zwischen den getrennten Abschnitten angeordnet, die die leitfähigen Segmente 411a und 411b sind. Ähnlich sind die leitfähigen Segmente 412a und 412b in einer Layoutansicht an der leitfähigen Schiene P02 angeordnet und voneinander getrennt. Die Durchkontaktierung 434 ist in einer Layoutansicht zwischen den leitfähigen Segmenten 412a und 421b angeordnet.

[0042] Das leitfähige Segment 421 ist an und zwischen den leitfähigen Schienen S02 und S03 angeordnet. Das leitfähige Segment 421 ist als ein geschwungener Block geformt und erstreckt sich entlang der Reihenrichtung. Anders ausgedrückt erstreckt sich mindestens ein leitfähiges Segment, das als der Mo-Springer angegeben ist, parallel zu den leitfähigen Schienen S0. Solch ein leitfähiges Segment ist an und zwischen den leitfähigen Schienen S0 angeordnet und ist von einem anderen leitfähigen Segment, das als die Vo-Schiene in einer Layoutansicht angegeben ist, in manchen Ausführungsformen getrennt. Zum Beispiel ist das leitfähige Segment 421, das als der Mo-Springer angegeben ist, in einer Layoutansicht von dem leitfähigen Segment 411b oder 412b, das als die V0-Schiene angegeben ist, getrennt.

[0043] In manchen Ausführungsformen sind die Signalschienen P11 und P12 konfiguriert, Leistungssignale an die leitfähigen Schienen P01 und P02 bereitzustellen. In unterschiedlichen Ausführungsformen ist die Signalschiene P11 konfiguriert, ein Spannungssignal bereitzustellen, das sich von dem der Signalschiene P12 unterscheidet. Zum Beispiel ist die Signalschiene P11 konfiguriert, das Spannungssignal mit Spannung VDD zu versorgen und die Signalschiene P12 ist konfiguriert, das Referenzspannungssignal mit Spannung VSS bereitzustellen. Die Spannung VDD ist höher als die Spannung VSS, die in manchen Ausführungsformen als eine Masse

bezeichnet wird. In alternativen Ausführungsformen sind die Signalschienen P11 und P12 als Leistungsschienen zum Bereitstellen der Leistungssignale (z.B. VDD oder VSS) an die leitfähigen Leistungsschienen angegeben, aufweisend zum Beispiel die leitfähigen Schienen P01, P02 und P03.

[0044] In manchen Ausführungsformen sind die Signalschienen S11 und S12 konfiguriert, Datensignale an die leitfähigen Schienen S0 bereitzustellen. In unterschiedlichen Ausführungsformen ist die Signalschiene S11 konfiguriert, ein Datensignal bereitzustellen das sich von dem der Signalschiene S12 unterscheidet. Zum Beispiel ist die Signalschiene S11 konfiguriert, ein Steuersignal zum Steuern erster Transistoren bereitzustellen und die Signalschiene S12 ist konfiguriert, ein anderes Steuersignal zum Steuern zweiter Transistoren bereitzustellen. In alternativen Ausführungsformen sind die Signalschienen S11 und S12 als Datenschienen zum Bereitstellen der Datensignale an die leitfähigen Signalschienen angegeben, aufweisend zum Beispiel die leitfähigen Schienen S01 bis S04.

[0045] Es wird nun Bezug auf **Fig. 5A** bis **Fig. 5C** genommen. **Fig. 5A** ist ein schematisches Querschnittsdiagramm eines Layoutdiagramms 500A entsprechend dem Layoutdiagramm 400 von **Fig. 4**, entlang einer Linie A-A'; **Fig. 5B** ist ein schematisches Querschnittsdiagramm eines Layoutdiagramms 500B entsprechend dem Layoutdiagramm 400 von **Fig. 4**, entlang einer Linie B-B'; und **Fig. 5C** ist ein schematisches Querschnittsdiagramm eines Layoutdiagramms 500C entsprechend dem Layoutdiagramm 400 von **Fig. 4**, entlang einer Linie C-C', in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung. In den Layoutdiagrammen 500A bis 500C sind in Bezug auf die Ausführungsformen von **Fig. 4** ähnliche Elemente in **Fig. 5A** bis **Fig. 5C** zur Einfachheit des Verständnisses mit denselben Referenznummern bezeichnet.

[0046] Zur Veranschaulichung in **Fig. 5A** erstreckt sich die Signalschiene P11 entlang der Linie A-A' und über die leitfähigen Schienen P01, S0 zu der leitfähigen Schiene P02. Die Durchkontaktierung 431 ist zwischen der leitfähigen Schiene P01 und der Signalschiene P11 ohne zusätzliche Beabstandung angeordnet. Das leitfähige Segment 412a ist an der leitfähigen Schiene P02 angeordnet und von der Signalschiene P11 beabstandet. Mit den Konfigurationen von zuvor ist eine Höhe des leitfähigen Segments 412a kleiner als eine Höhe der Durchkontaktierung 431.

[0047] In manchen Ausführungsformen ist die leitfähige Schiene P01 durch die Durchkontaktierung 431 an die Signalschiene P11 zum Empfangen des Versorgungsspannungssignals mit Spannung VDD gekoppelt. Mit den Konfigurationen von zuvor, da

das leitfähige Segment 412a von der Signalschiene P11 getrennt ist, ist das leitfähige Segment 412a oder die leitfähige Schiene P02 nicht an die Signalschiene P11 gekoppelt oder kontaktiert diese nicht. In unterschiedlichen Ausführungsformen sind sowohl das leitfähige Segment 412a als auch die leitfähige Schiene P02 mit der Masse gekoppelt, indem sie sich von der Signalschiene P11 trennen. Zusätzlich ist die leitfähige Schiene P02 mit keinen Signalschienen gekoppelt, die in der M1-Schicht angeordnet sind, und ist als eine Masseschiene angegeben. Ebenso, da die leitfähigen Schienen S0 von der Signalschiene P11 getrennt sind, sind diese leitfähigen Schienen S0 nicht an die Signalschiene P11 gekoppelt.

[0048] Zur Veranschaulichung in **Fig. 5B** erstreckt sich die Signalschiene S11 entlang der Linie B-B' und über die leitfähigen Schienen P01, S0 zu der leitfähigen Schiene P02. Das leitfähige Segment 411b ist an der leitfähigen Schiene P01 angeordnet und von der Signalschiene S11 beabstandet. Ähnlich ist das leitfähige Segment 412b an der leitfähigen Schiene P02 angeordnet und ist von der Signalschiene S11 beabstandet. Das leitfähige Segment 421 ist an zwei angrenzenden leitfähigen Schienen S02 und S03 angeordnet und ist auch von der Signalschiene S11 beabstandet. Anders ausgedrückt ist jedes der leitfähigen Segmente 411b, 412b und 421 von der Signalschiene S11 entlang einer vertikalen Richtung getrennt, die senkrecht zu der in **Fig. 5B** veranschaulichten Linie B-B' ist. Zusätzlich ist die Durchkontaktierung 432 zwischen der leitfähigen Schiene S01 und der Signalschiene S11 ohne zusätzliche Beabstandung angeordnet. Mit den Konfigurationen von zuvor ist eine Höhe des leitfähigen Segments 411b, 421 oder 412b kleiner als eine Höhe der Durchkontaktierung 432.

[0049] Verglichen mit in **Fig. 5A** veranschaulichten Ausführungsformen veranschaulicht das Layoutdiagramm 500B weiter leitfähige Segmente 411 und 512 und Durchkontaktierungen 512 und 522. Die leitfähigen Segmente 511 und 512 sind in dem aktiven Bereich (nicht gezeigt) angeordnet, der unter der M0-Schicht ist, und die Durchkontaktierungen 521 und 522 sind zwischen dem aktiven Bereich und der M0-Schicht angeordnet. Insbesondere ist die Durchkontaktierung 521 zwischen dem leitfähigen Segment 511 und der leitfähigen Schiene S01 ohne zusätzliche Beabstandung angeordnet. Die Durchkontaktierung 522 ist zwischen dem leitfähigen Segment 512 und der leitfähigen Schiene S03 ohne zusätzliche Beabstandung angeordnet.

[0050] In manchen Ausführungsformen ist das leitfähige Segment 511 durch die Durchkontaktierung 521 an die leitfähige Schiene S01 gekoppelt. Die leitfähige Schiene S01 ist weiter durch die Durchkontaktierung 432 an die Signalschiene S11 zum Empfangen

gen des Datensignals, das an das leitfähige Segment 511 bereitgestellt ist, gekoppelt. Darüber hinaus ist das leitfähige Segment 512 durch die Durchkontaktierung 522 an die leitfähige Schiene S03 gekoppelt und die leitfähige Schiene S03 ist weiter durch das leitfähige Segment 421 an die leitfähige Schiene S02 gekoppelt. Anders ausgedrückt sind mindestens zwei angrenzende leitfähige Schienen, aufweisend zum Beispiel die leitfähigen Schienen S02 und S03, aneinander durch das leitfähige Segment gekoppelt, das als der Mo-Springer angegeben ist, aufweisend zum Beispiel das leitfähige Segment 421.

[0051] In manchen Ausführungsformen sind die leitfähigen Segmente 511 und 512 in dem aktiven Bereich angeordnet, zum Bilden von Source- oder Drain-Anschlüssen von Transistoren, die in der IC aufgewiesen sind. In unterschiedlichen Ausführungsformen sind die leitfähigen Segmente 511 und 512 hierin nachfolgend als metallähnlich definierte Segmente (MD-Segmente) bezeichnet. In alternativen Ausführungsformen sind die Durchkontaktierungen 521 und 522, von den MD-Segmenten 511 und 512 mit anderen Elementen der IC gekoppelt, hierin nachfolgend als durchkontaktierungsdefinierte Durchkontaktierungen (VD-Durchkontaktierungen) bezeichnet.

[0052] In manchen Ausführungsformen weist das MD-Segment einen Abschnitt von mindestens einer Metallschicht auf, z.B. einem oder mehreren von Kupfer (Cu), Silber (Ag), Wolfram (W), Titan (Ti), Nickel (Ni), Zinn (Sn), Aluminium (Al) oder einem anderen Metall oder Material, das zum Bereitstellen einer widerstandsarmen elektrischen Verbindung zwischen Elementen, die in der IC aufgewiesen sind, geeignet ist d.h. ein Widerstandgrad unter einer vorgegebenen Schwelle, entsprechend einem oder mehreren Toleranzgraden eines widerstandsbasierten Effekts auf Schaltungsarbeitsleistung. In manchen anderen Ausführungsformen weist das MD-Segment ein Areal des Halbleitersubstrats auf und/oder eine epitaktische Schicht, die einen Dotierungsgrad aufweist, z. B. basierend auf einem Implantationsprozess, ausreichend, um das Segment zu veranlassen, den niedrigsten Widerstandsgrad aufzuweisen. In unterschiedlichen Ausführungsformen enthält ein dotiertes MD-Segment eines oder mehreres von Silizium (Si), SiGe, Siliziumkarbid (SiC), Bor (B), Phosphor (P), Arsen (As), Gallium (Ga), einem wie zuvor besprochenen Metall oder ein anderes Material, das zum Bereitstellen des niedrigen Widerstandsgrads geeignet ist. In manchen Ausführungsformen enthält ein MD-Segment einen Dotierstoff, der eine Dotierungskonzentration von ungefähr $1 \cdot 10^{16}$ pro Kubikzentimeter (cm^{-3}) oder mehr aufweist.

[0053] Zur Veranschaulichung in Fig. 5C erstreckt sich die Signalschiene S12 entlang der Linie C-C'

und über die leitfähigen Schienen P01, S0 zu der leitfähigen Schiene P02. Das leitfähige Segment 411b ist an der leitfähigen Schiene P01 angeordnet und von der Signalschiene S12 beabstandet. Ähnlich ist das leitfähige Segment 412b an der leitfähigen Schiene P02 angeordnet und von der Signalschiene S12 beabstandet. Anders ausgedrückt ist jedes der leitfähigen Segmente 411b und 412b von der Signalschiene S12 entlang einer vertikalen Richtung getrennt, die senkrecht zu der in Fig. 5C veranschaulichten Linie C-C' ist. Zusätzlich ist die Durchkontaktierung 433 zwischen der leitfähigen Schiene S03 und der Signalschiene S12 ohne zusätzliche Beabstandung angeordnet. Mit den Konfigurationen von zuvor ist eine Höhe des leitfähigen Segments 411b oder 412b kleiner als eine Höhe der Durchkontaktierung 433.

[0054] In manchen Ausführungsformen ist die leitfähige Schiene S03 durch die Durchkontaktierung 433 an die Signalschiene S12 gekoppelt, zum Empfangen des Datensignals, das der leitfähigen Schiene S03 bereitgestellt ist. Die leitfähige Schiene P01 oder P02 ist nicht an die Signalschiene P11 gekoppelt, zum Empfangen des Signals, das äquivalent als die Masse angegeben ist.

[0055] Verglichen mit den in Fig. 5A veranschaulichten Ausführungsformen veranschaulicht das Layoutdiagramm 500C weiter MD-Segmente 513 und 514 und VD-Durchkontaktierungen 523 und 524. Die Durchkontaktierung 523 ist zwischen dem MD-Segment 513 und der leitfähigen Schiene S01 ohne zusätzliche Beabstandung angeordnet und die Durchkontaktierung 524 ist zwischen dem MD-Segment 514 und der leitfähigen Schiene P02 ohne zusätzliche Beabstandung angeordnet. Die MD-Segmente 513 und 514 oder die Durchkontaktierungen 523 und 524 weisen ähnliche Konfigurationen zu denen der MD-Segmente 511 und 512 beziehungsweise der Durchkontaktierungen 521 und 522, wie in Fig. 5B veranschaulicht auf und eine ähnlich detaillierte Beschreibung wird deshalb ausgelassen.

[0056] In manchen Ansätzen sind keine anderen leitfähigen Segmente an den leitfähigen Schienen in der Mo-Schicht angeordnet. Mit solch einer Konfiguration trägt ein Widerstand, der zwischen den leitfähigen Schienen und den Signalschienen in der M1-Schicht gekoppelt ist, im Wesentlichen zu einer Höhe der leitfähigen Schiene und einer Größe der Durchkontaktierung, die zwischen der Mo- und der M1-Schicht gekoppelt ist, bei. Er bewirkt ein IR-Abfallproblem und verlangsamt weiter eine Arbeitsgeschwindigkeit der IC.

[0057] Verglichen mit den Ansätzen von zuvor ist ein zusätzliches leitfähiges Segment, zum Beispiel das leitfähige Segment 412a aufweisend, an den leitfähigen Schienen, zum Beispiel die leitfähige Schiene

P02 aufweisend, in der Mo-Schicht angeordnet. Dieses zusätzliche leitfähige Segment 412a ist von der M1-Schicht beabstandet, um eine Höhe der leitfähigen Schiene P02 in der Mo-Schicht zu erhöhen, ohne eine Zellhöhe des entsprechenden Layoutdiagramms 400 zu ändern. Dementsprechend ist ein Widerstand der leitfähigen Schiene P02, die auch als die leitfähige Leistungsschiene bezeichnet wird, verringert. Er wird verringert, indem das leitfähige Segment 412a, das als die Vo-Schiene angegeben ist, an der Oberseitenoberfläche der leitfähigen Schiene P02 angeordnet wird.

[0058] Darüber hinaus wird ein zusätzliches leitfähiges Segment, zum Beispiel das leitfähige Segment 421 aufweisend, an und zwischen mindestens zwei angrenzenden leitfähigen Schienen angeordnet, zum Beispiel die leitfähigen Schienen S02 und S03 aufweisend. Dieses zusätzliche leitfähige Segment 421 ist auch von der M1-Schicht beabstandet, um diese zwei angrenzenden leitfähigen Schienen S02 und S03 als eine lokale Zwischenverbindung aneinander zu koppeln. Dementsprechend werden Leitpfade zur Kopplung von mehr als zwei leitfähigen Schienen so reduziert, indem das leitfähige Segment 421, das als der Mo-Springer angegeben ist, angeordnet wird. Es verbessert den elektromagnetischen Flaschenhals der Datensignale, die in diesen leitfähigen Schienen so übertragen werden, und die IC-Arbeitsleistung weiter.

[0059] Es wird nun Bezug auf **Fig. 6** und **Fig. 7A** bis **Fig. 7G** genommen. **Fig. 6** ist ein Ablaufdiagramm eines Verfahrens 600 zur Herstellung einer IC, die leitfähigen Schienen P01, P02 und S0 aufweisend, der leitfähigen Segmente 411a, 411b, 412a, 412b und 421, und Durchkontaktierungen 421 bis 424, die in **Fig. 4** gezeigt sind, oder einer IC, die in **Fig. 7A** bis **Fig. 7G** gezeigt ist, in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung. **Fig. 7A** bis **Fig. 7G** sind schematische Diagramme in Querschnittansicht von einem Teil der IC 700, entsprechend der IC von **Fig. 4** entlang der Spaltenrichtung, wie in **Fig. 4** veranschaulicht, die unterschiedliche Prozesse des Verfahrens 600 von **Fig. 6** veranschaulichen, in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung. Es wird verstanden, dass zusätzliche Betriebe vor, während und nach den in **Fig. 6** und **Fig. 7A** bis **Fig. 7G** gezeigten Prozessen bereitgestellt werden können und manche der unten beschriebenen Betriebe für zusätzliche Ausführungsformen des Verfahrens ersetzt oder beseitigt werden können. Die Reihenfolge der Betriebe/Prozesse kann austauschbar sein. Über die unterschiedlichen Ansichten und veranschaulichten Ausführungsformen hinweg, werden ähnliche Referenznummern verwendet, um ähnliche Elemente zu bezeichnen.

[0060] In Betrieb S610 von **Fig. 6** werden mehrere leitfähige Schienen innerhalb der Mo-Schicht der IC 700 gebildet. Die leitfähigen Schienen weisen die in **Fig. 4** veranschaulichten leitfähigen Schienen P01, P02 und S0 und dielektrisches Material zwischen diesen leitfähigen Schienen gestapelt auf.

[0061] In Betrieb S620 wird eine Filmstruktur an den leitfähigen Schienen gebildet. Dementsprechend wird die Filmstruktur an der Mo-Schicht der IC 700 gebildet. Andersausgedrückt wird der Film an der Mo-Schicht abgeschieden. Die Betriebe S610-S620 werden wie in **Fig. 7A** durchgeführt.

[0062] Zur Veranschaulichung, wie in **Fig. 7A** gezeigt, weist die IC 700 leitfähige Schienen P02, S02, S03 und S04 und in der Mo-Schicht gebildete dielektrische Struktur 710 auf und weist eine Filmstruktur 720 an der Mo-Schicht gebildet auf. Die leitfähigen Schienen P02, S02, S03 und S04 sind voneinander durch die dielektrische Struktur 710 getrennt. In manchen Ausführungsformen unterscheidet sich ein Material der dielektrischen Struktur 710 von einem Material der Filmstruktur 720. In unterschiedlichen Ausführungsformen sind die dielektrische Struktur 710 und die Filmstruktur 720 voneinander isoliert. In alternativen Ausführungsformen ist eine Dicke der Filmstruktur 720 im Wesentlichen gleich einer Distanz zwischen der Mo-Schicht und der M1-Schicht (die mindestens in **Fig. 7E** gezeigt ist).

[0063] In Betrieb S620 wird die Filmstruktur strukturiert, um Strukturen zu bilden. In manchen Ausführungsformen verwendet der Strukturierungsbetrieb Fotolithografie und Ätzen zur Beabstandung einer bestimmten Struktur in der Filmstruktur. Der Betrieb S630 wird, wie in **Fig. 7B** veranschaulicht, verarbeitet.

[0064] Zur Veranschaulichung werden, wie in **Fig. 7B** gezeigt, Strukturen 731 und 732 in der Filmstruktur 720 gebildet. Insbesondere wird die Struktur 731 in der Filmstruktur 720 gebildet und über und zwischen den leitfähigen Schienen S03 und S04 gebildet. Bei einer Oberfläche der Mo-Schicht und einem Boden der Filmstruktur 720 wird ein Teil der leitfähigen Schienen S03 und S04 und ein Teil der Filmstruktur 720 entfernt, um die Struktur 731 zu bilden. Außerdem wird die Struktur 732 in der Filmstruktur 720 gebildet und über und zwischen der leitfähigen Schiene P02 gebildet. Ähnlich wird um die Oberfläche der Mo-Schicht ein Teil der Filmstruktur 720 entfernt, um die Struktur 732 zu bilden.

[0065] In Betrieb S640 werden die Strukturen mit einem leitfähigen Material gefüllt, um eine erste leitfähige Struktur zu bilden, die ein erstes leitfähiges Segment aufweist, das eine erste leitfähige Schiene der leitfähigen Schienen kontaktiert. In manchen

Ausführungsformen entspricht das erste leitfähige Segment mindestens einem des leitfähigen Segments 411a oder 411b, die in **Fig. 4** veranschaulicht sind, und die erste leitfähige Schiene entspricht der leitfähigen Schiene P01, die in **Fig. 4** veranschaulicht ist. In anderen Ausführungsformen entspricht das erste leitfähige Segment mindestens einem des leitfähigen Segments 412a oder 512b, die in **Fig. 4** veranschaulicht sind, und die erste leitfähige Schiene entspricht der leitfähigen Schiene P02, die in **Fig. 4** veranschaulicht ist. Der Betrieb S640 wird wie in **Fig. 7C-7D** veranschaulicht verarbeitet.

[0066] In manchen Ausführungsformen ist der Füllbetrieb in S640 auch als ein Mehrfachspaltfüllprozess angegeben. In unterschiedlichen Ausführungsformen sind die Strukturen mit dem leitfähigen Material gefüllt, um Interconnect-Strukturen zwischen zwei angrenzenden Metallschichten zu bilden, die zum Beispiel die Mo-Schicht und die M1-Schicht sind.

[0067] Zur Veranschaulichung, wie in **Fig. 7C** gezeigt, ist eine leitfähige Struktur 740 an der Filmstruktur 720 gebildet und ist weiter in den Strukturen 731 und 732 aufgefüllt.

[0068] In manchen Ausführungsformen ist ein Material der leitfähigen Struktur 740 dasselbe wie ein Material der leitfähigen Segmente S02 bis S04 und P02, die in den Mo-Schichten gebildet sind. Anders ausgedrückt ist ein Material der Struktur 731 oder 732 dasselbe wie ein Material des leitfähigen Segments S04 oder P02. In unterschiedlichen Ausführungsformen, falls die leitfähige Struktur 740 die leitfähigen Segmente S02 bis S04 und P02, die in den Mo-Schichten gebildet sind, physisch kontaktiert, sind die leitfähige Struktur 740 und die leitfähigen Segmente S02 bis S04 und P02 aneinandergeschaltet. In alternativen Ausführungsformen ist das leitfähige Material Kupfer (Cu), Kobalt (Co), Wolfram (W), Ruthenium (Ru), Aluminium (Al), Graphen oder ein beliebiges anderes leitfähiges Material.

[0069] Zur Veranschaulichung, wie in **Fig. 7D** gezeigt, sind leitfähige Segmente 751 und 752 gebildet. In manchen Ausführungsformen entspricht das leitfähige Segment 752 mindestens einem der leitfähigen Segmente 411a, 411b, 412a oder 412b, das die leitfähige Schiene P01 oder P02 kontaktiert, wie in **Fig. 4** veranschaulicht. Dadurch ist das leitfähige Segment 752 im Stande, das erste leitfähige Segment zu bilden, das die erste leitfähige Schiene kontaktiert, wie in dem Betrieb S640 veranschaulicht. In anderen Ausführungsformen entspricht das leitfähige Segment 751 dem leitfähigen Segment 421, das zwei angrenzende leitfähige Schienen S0 kontaktiert, die in **Fig. 4** veranschaulicht sind.

[0070] Wie in **Fig. 7D** veranschaulicht, ist das leitfähige Segment 751 an der Mo-Schicht gebildet und an dem Teil der leitfähigen Schiene S03, der Filmstruktur 720 und dem Teil der leitfähigen Schiene S04 gebildet. Anders ausgedrückt ist das leitfähige Segment 751 über und zwischen den leitfähigen Schienen S03 und S04 gebildet. Zusätzlich ist das leitfähige Segment 752 an der Mo-Schicht gebildet und auch an der leitfähigen Schiene P02 gebildet. Darüber hinaus weisen die leitfähigen Segmente 751 und 752 und die Filmstruktur 720 eine selbe Oberfläche auf, die im Wesentlichen parallel zu der Oberfläche der Mo-Schicht ist. Anders ausgedrückt bilden alle der leitfähigen Segmente 751 und 752 und der Filmstruktur 720 eine im Wesentlichen flache Oberfläche über der Mo-Schicht. In manchen Ausführungsformen sind die leitfähigen Segmente 751 und 752 aus demselben leitfähigen Material hergestellt, wie die leitfähige Struktur 740 hergestellt ist.

[0071] In manchen Ausführungsformen weist der Betrieb S640 die folgenden Betriebe auf. Die Strukturen, die mit dem leitfähigen Material gefüllt sind, und die Filmstruktur werden poliert. In manchen Ausführungsformen wird der Polierbetrieb in S640 durch chemischmechanisches Polieren (CMP) durchgeführt, um zusätzliches leitfähiges Material an der Oberseite der Oberfläche zu entfernen. In unterschiedlichen Ausführungsformen wird Teil der Strukturen mit einer Kombination von CMP und Trockenätzen entfernt.

[0072] In Betrieb S650 wird eine dielektrische Struktur gebildet, die das erste leitfähige Segment abdeckt. In manchen Ausführungsformen wird die dielektrische Struktur nach Durchführen des Betriebs S640 gebildet und an der restlichen Struktur gestapelt. In anderen Ausführungsformen wird die M1-Schicht erzeugt, indem die dielektrische Struktur an der Filmstruktur gebildet wird und wie in **Fig. 7E** veranschaulicht verarbeitet wird.

[0073] Zur Veranschaulichung, wie in **Fig. 7E** gezeigt, ist eine dielektrische Struktur 760 durch Bilden auf der Filmstruktur 720 und den leitfähigen Segmenten 751 und 752 erzeugt. In manchen Ausführungsformen ist ein Material von dielektrischer Struktur 710 dasselbe wie ein Material der dielektrischen Struktur 760. In unterschiedlichen Ausführungsformen ist eine Dicke der dielektrischen Struktur 760 im Wesentlichen gleich einer Distanz zwischen der M1-Schicht und einer zweiten Metallschicht (M2, nicht gezeigt) über der M1-Schicht.

[0074] In Betrieb S660 werden Teil der Filmstruktur und Teil der dielektrischen Struktur entfernt, um Teil einer zweiten leitfähigen Schiene der leitfähigen Schienen freizulegen. In manchen Ausführungsformen entspricht die zweite leitfähige Schiene einer

der leitfähigen Schienen So, die in **Fig. 4** veranschaulicht sind.

[0075] In Betrieb S670 wird das leitfähige Material in dem entfernten Teil der Filmstruktur und dem entfernten Teil der dielektrischen Struktur gefüllt, um eine zweite leitfähige Struktur zu bilden, die eine Durchkontaktierung, die den freigelegten Teil der zweiten leitfähigen Schiene kontaktiert, und eine Signalschiene, die die Durchkontaktierung kontaktiert, aufweist. In manchen Ausführungsformen entspricht die Durchkontaktierung, die in der zweiten leitfähigen Struktur aufgewiesen ist, der Durchkontaktierung 432, die in **Fig. 4** veranschaulicht ist, und die Signalschiene, die in der zweiten leitfähigen Struktur aufgewiesen ist, entspricht der Datenschiene S11, die in **Fig. 4** veranschaulicht ist. Die Betriebe S660-S670 sind wie in **Fig. 7F-7G** veranschaulicht verarbeitet.

[0076] Zur Veranschaulichung, wie in **Fig. 7F** gezeigt, sind ein Teil der Filmstruktur 720 und ein Teil der dielektrischen Struktur 760 entfernt und eine Struktur 781 ist freigelegt. Darüber hinaus ist das leitfähige Material (nicht gezeigt) in die entfernten Strukturen 720 und 760 gefüllt, um eine Durchkontaktierung 771 und die Struktur 781, die einer Signalschiene entspricht, zu bilden. Die Durchkontaktierung 771 und die Struktur 781 sind miteinander kontaktiert und entsprechen in manchen Ausführungsformen der Durchkontaktierung 432 beziehungsweise der Signalschiene S11, wie in **Fig. 4** gezeigt. Auch in **Fig. 7G** veranschaulicht, sind ein Teil der Filmstruktur 720 und ein Teil der dielektrischen Struktur 760 entfernt und eine Struktur 782 ist freigelegt. Darüber hinaus sind die entfernten Strukturen 720 und 760 in dem leitfähigen Material (nicht gezeigt) gefüllt, um eine Durchkontaktierung 772 und die Struktur 782, die einer Signalschiene entspricht, zu bilden. Die Durchkontaktierung 772 und die Struktur 782 sind miteinander kontaktiert.

[0077] Wie in **Fig. 7F** veranschaulicht, weist die IC 700 weiter Durchkontaktierung 771 an der Mo-Schicht gebildet und mit einer Struktur 781, die in der M1-Schicht gebildet ist, verbunden auf. Ein Anschluss der Durchkontaktierung 771 ist an der leitfähigen Schiene S02 gebildet und der andere Anschluss der Durchkontaktierung 771 ist in der M1-Schicht gebildet. Mit den zuvor besprochenen Betrieben ist eine Höhe von Durchkontaktierung 771 im Wesentlichen gleich oder knapp größer als eine Distanz zwischen der leitfähigen Schiene S02 und der Struktur 781. Anders ausgedrückt ist eine Höhe von Durchkontaktierung 771 im Wesentlichen gleich oder knapp größer als eine Distanz zwischen der Mo-Schicht und der M1-Schicht.

[0078] In manchen Ausführungsformen ist die Durchkontaktierung 771 konfiguriert, zwischen der leitfähigen Schiene S02 und der Struktur 781, die in

der M1-Schicht gebildet ist, gekoppelt zu werden. In unterschiedlichen Ausführungsformen ist die Struktur 781 eine Signalschiene, die konfiguriert ist, Datensignale bereitzustellen. In manchen anderen Ausführungsformen ist die Durchkontaktierung 771 zwischen der leitfähigen Schiene S02 und der Datenschiene S11 gekoppelt und entspricht der in **Fig. 4** oder **Fig. 5B** gezeigten Durchkontaktierung 432.

[0079] Außerdem ist das leitfähige Segment 751 an der wie zuvor besprochenen Mo-Schicht gebildet und von der M1-Schicht durch die dielektrische Struktur 760 getrennt. Anders ausgedrückt ist das leitfähige Segment 751 von der M1-Schicht beabstandet. Mit den zuvor besprochenen Betrieben ist eine Höhe des leitfähigen Segments 751 kleiner als eine Höhe der Durchkontaktierung 771. Ähnlich Konfigurationen des leitfähigen Segments 751 ist das leitfähige Segment 752 an der Mo-Schicht gebildet und von der M1-Schicht beabstandet. Außerdem ist eine Höhe des leitfähigen Segments 752 kleiner als eine Höhe der Durchkontaktierung 771.

[0080] In manchen Ausführungsformen ist das leitfähige Segment 751 zwischen den leitfähigen Schienen S03 und S04 gekoppelt. In manchen anderen Ausführungsformen ist das leitfähige Segment 751 als der Mo-Springer bezeichnet und entspricht dem in **Fig. 4** oder **Fig. 5B** gezeigten leitfähigen Segment 421. In unterschiedlichen Ausführungsformen ist das leitfähige Segment 752 an die leitfähige Schiene P02 gekoppelt. In manchen anderen Ausführungsformen ist das leitfähige Segment 752 als die Vo-Schiene bezeichnet und entspricht dem in **Fig. 4** oder **Fig. 5A** gezeigten leitfähigen Segment 412a.

[0081] In manchen Ausführungsformen ist der Betrieb zum Bilden der leitfähigen Segmente 751 und 752 und der Durchkontaktierung 771 mit der Anordnung von zuvor zwischen der Mo- und der M1-Schicht als ein Doppeldamaszenerprozess bezeichnet. Er stellt Verbindungen zwischen den leitfähigen Segmenten 751 und 752 und der Struktur 781, die in der M1-Schicht gebildet ist, her. In manchen anderen Ausführungsformen ist der Betrieb zum Bilden der leitfähigen Segmente 751 und 752 und der Durchkontaktierung 771 mit der Anordnung von zuvor zwischen der Mo- und der M1-Schicht als ein Einzeldamaszenerprozess bezeichnet. Verglichen mit Ausführungsformen, die durch den Doppeldamaszenerprozess durchgeführt sind, weist die Durchkontaktierung 771, die durch den Einzeldamaszenerprozess durchgeführt ist, eine größere Höhe auf.

[0082] Zur Veranschaulichung, wie in **Fig. 7G** gezeigt, weist die IC 700 Durchkontaktierung 772 auf, die an der Mo-Schicht gebildet und mit einer Struktur 782, die in der M1-Schicht gebildet ist, verbunden ist. Ein Anschluss der Durchkontaktierung

772 ist an der leitfähigen Schiene Po2 gebildet und der andere Anschluss der Durchkontaktierung 772 ist in der M1-Schicht gebildet. Mit den zuvor besprochenen Betrieben ist, ähnlich Konfigurationen der Durchkontaktierung 771, eine Höhe von Durchkontaktierung 772 im Wesentlichen gleich oder knapp größer als eine Distanz zwischen der leitfähigen Schiene P02 und der Struktur 782.

[0083] In manchen Ausführungsformen ist die Durchkontaktierung 772 konfiguriert, zwischen der leitfähigen Schiene P02 und der Struktur 782, die in der M1-Schicht gebildet ist, zu koppeln. In unterschiedlichen Ausführungsformen ist die Struktur 782 eine Leistungsschiene, die konfiguriert ist, Leistungssignale bereitzustellen. In manchen anderen Ausführungsformen ist die Durchkontaktierung 772 zwischen der leitfähigen Schiene P02 und der Leistungsschiene P11 gekoppelt und entspricht der in **Fig. 4** oder **Fig. 5A** gezeigten Durchkontaktierung 431.

[0084] Wie zuvor beschrieben, ist die IC in der vorliegenden Offenbarung mit leitfähigen Segmenten bereitgestellt, die an der Mo-Schicht gebildet sind, und ist von der M1-Schicht beabstandet. Das leitfähige Segment, das als die Vo-Schiene angegeben ist, ist an der leitfähigen Leistungsschiene angeordnet und das leitfähige Segment, das als der Mo-Springer angegeben ist, ist an mindestens zwei leitfähigen Signalschienen angeordnet. Dementsprechend ist ein Leitungsweg zwischen der Mo-Schicht und der M1-Schicht reduziert und Widerstände der leitfähigen Leistungsschienen oder den leitfähigen Signalschienen sind auch durch zusätzliche Anordnungen des leitfähigen Segments reduziert.

[0085] Die Konfiguration von **Fig. 7A-7G** ist für veranschaulichende Zwecke angegeben. Unterschiedliche Konfigurationen der zuvor in **Fig. 7A-7G** erwähnten Elemente sind innerhalb des erdachten Umfangs der vorliegenden Offenbarung.

[0086] Es wird nun Bezug auf **Fig. 8** genommen. **Fig. 8** ist ein Layoutdiagramm 800 einer IC in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung. Das Layoutdiagramm 800 weist Konfigurationen ähnlich der des in **Fig. 4** veranschaulichten Layoutdiagramms 400 auf und eine ähnlich detaillierte Beschreibung wird daher ausgelassen. In den Strukturen, die in dem Layoutdiagramm 800 gezeigt sind, sind in Bezug auf die Ausführungsformen von **Fig. 4** ähnliche Elemente in **Fig. 8** zur Einfachheit des Verständnisses mit denselben Referenznummern bezeichnet.

[0087] Verglichen mit in **Fig. 4** veranschaulichten Ausführungsformen, weist das Layoutdiagramm 800 leitfähige Segmente 811 und 812 an den leitfähigen Schienen P01 beziehungsweise P02 angeord-

net auf. Das Layoutdiagramm 800 weist auch leitfähiges Segment 821 an und zwischen den leitfähigen Schienen S02 und S03 angeordnet auf. Das Layoutdiagramm 800 weist weiter Durchkontaktierungen 831, 832 und 433 zwischen der M0-Schicht und der M1-Schicht angeordnet auf. Insbesondere ist in einer Layoutansicht die Durchkontaktierung 831 mit der leitfähigen Schiene P01, dem leitfähigen Segment 811 und der Signalschiene P11 überlappt; die Durchkontaktierung 832 ist mit einer leitfähigen Schiene S02, der leitfähigen Schiene S03, dem leitfähigen Segment 821 und der Signalschiene S11 überlappt; und die Durchkontaktierung 433 weist eine ähnliche Konfiguration zu der in **Fig. 4** gezeigten auf.

[0088] In manchen Ausführungsformen entspricht das leitfähige Segment 811 dem in **Fig. 4** gezeigten leitfähigen Segment 411a oder 411b. Verglichen mit dem in **Fig. 4** gezeigten leitfähigen Segment 411a oder 411b, ist das leitfähige Segment 811 nicht in mehrere Abschnitte getrennt. Ähnlich entspricht das leitfähige Segment 812 dem in **Fig. 4** gezeigten leitfähigen Segment 412a oder 412b. In unterschiedlichen Ausführungsformen weist das leitfähige Segment 811 eine ähnliche Konfiguration/Anordnung wie das leitfähige Segment 812 auf. In manchen anderen Ausführungsformen entspricht das leitfähige Segment 821 dem in **Fig. 4** gezeigten leitfähigen Segment 421 und weist eine ähnliche Konfiguration/Anordnung wie das leitfähige Segment 421 auf.

[0089] Es wird nun Bezug auf **Fig. 9A** bis **Fig. 9C** genommen. **Fig. 9A** ist ein schematisches Querschnittsdiagramm eines Layoutdiagramms 900A, entsprechend dem Layoutdiagramm 800 von **Fig. 8**, entlang einer Linie A-A'; **Fig. 9B** ist ein schematisches Querschnittsdiagramm eines Layoutdiagramms 900B, entsprechend dem Layoutdiagramm 800 von **Fig. 8**, entlang einer Linie B-B'; und **Fig. 9C** ist ein schematisches Querschnittsdiagramm eines Layoutdiagramms 900C, entsprechend dem Layoutdiagramm 800 von **Fig. 8**, entlang einer Linie C-C', in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung. Das Layoutdiagramm 900A weist Konfigurationen ähnlich der des Layoutdiagramms 500A, wie in **Fig. 5A** veranschaulicht, auf; das Layoutdiagramm 900B weist Konfigurationen ähnlich der des Layoutdiagramms 500B, wie in **Fig. 5B** veranschaulicht ist, auf; und das Layoutdiagramm 900C weist eine ähnliche Konfiguration/Anordnung zu der des in **Fig. 5C** gezeigten Layoutdiagramms 500C auf und eine ähnlich detaillierte Beschreibung wird daher ausgelassen. In den Layoutdiagrammen 900A bis 900C sind in Bezug auf die Ausführungsformen von **Fig. 8** ähnliche Elemente in **Fig. 9A** bis **Fig. 9C** zur Einfachheit des Verständnisses mit denselben Referenznummern bezeichnet.

[0090] Zur Veranschaulichung in **Fig. 9A** ist das leitfähige Segment 811 an der leitfähigen Schiene P01 angeordnet. Die Durchkontaktierung 831 ist zwischen dem leitfähigen Segment 811 und der Signalschiene P11 ohne zusätzliche Beabstandung angeordnet. Das leitfähige Segment 812 ist an der leitfähigen Schiene P02 angeordnet und von der Signalschiene P11 beabstandet.

[0091] In manchen Ausführungsformen ist die leitfähige Schiene P01 mit dem leitfähigen Segment 811 gekoppelt und ist weiter durch die Durchkontaktierung 831 an die Signalschiene P11 gekoppelt, um das Versorgungsspannungssignal mit Spannung VDD zu empfangen. Mit den Konfigurationen von zuvor, da das leitfähige Segment 812 von der Signalschiene P11 getrennt ist, ist das leitfähige Segment 812 oder die leitfähige Schiene P02 nicht an die Signalschiene P11 gekoppelt.

[0092] Zur Veranschaulichung in **Fig. 9B**, ist das leitfähige Segment 811 an der leitfähigen Schiene P01 angeordnet und ist von der Signalschiene S11 beabstandet. Das leitfähige Segment 812 ist an der leitfähigen Schiene P02 angeordnet und ist von der Signalschiene S11 beabstandet. Das leitfähige Segment 821 ist an zwei angrenzenden leitfähigen Schienen S02 und S03 angeordnet. Zusätzlich ist die Durchkontaktierung 832 zwischen dem leitfähigen Segment 821 und der Signalschiene S11 ohne zusätzliche Beabstandung angeordnet.

[0093] Verglichen mit in **Fig. 9A** veranschaulichten Ausführungsformen veranschaulicht das Layoutdiagramm 900B weiter leitfähige Segmente 911 und 912 und Durchkontaktierungen 921 und 922. In manchen Ausführungsformen entsprechen die leitfähigen Segmente 911 und 912 den MD-Segmenten 511 beziehungsweise 512 in **Fig. 5B** und die Durchkontaktierungen 921 und 922 entsprechen den VD-Durchkontaktierungen 521 beziehungsweise 522 in **Fig. 5B**. Die leitfähigen Segmente 911 und 912 sind hierin nachfolgend als die MD-Segmente angegeben und die Durchkontaktierungen 921 und 922 sind hierin nachfolgend als die VD-Durchkontaktierungen angegeben.

[0094] In Bezug auf **Fig. 9B** ist die VD-Durchkontaktierung 921 zwischen dem MD-Segment 911 und der leitfähigen Schiene S01 ohne zusätzliche Beabstandung angeordnet. Die VD-Durchkontaktierung 922 ist zwischen dem MD-Segmenten 912 und der leitfähigen Schiene S03 ohne zusätzliche Beabstandung angeordnet.

[0095] In manchen Ausführungsformen ist das MD-Segment 911 durch die VD-Durchkontaktierung 921 an die leitfähige Schiene S01 gekoppelt. Darüber hinaus ist das MD-Segment 912 durch die VD-Durchkontaktierung 922 an die leitfähige Schiene S03

gekoppelt. Die leitfähige Schiene S03 ist weiter an das leitfähige Segment 821 gekoppelt und ist weiter durch die Durchkontaktierung 832 an die Signalschiene S11 gekoppelt, um das Datensignal zu empfangen, das der leitfähigen Schiene S03 und weiter dem MD-Segment 911 bereitgestellt ist. Andererseits ist die leitfähige Schiene S03 auch durch das leitfähige Segment 821 an die leitfähige Schiene S02 gekoppelt. Dementsprechend ist die leitfähige Schiene S02 auch konfiguriert, das Datensignal zu empfangen, das von der Signalschiene S11 übertragen wird.

[0096] Zur Veranschaulichung in **Fig. 9C**, sind leitfähige Segmente 913 und 914 und Durchkontaktierungen 923 und 924 unter den leitfähigen Schienen P01, P02 und S0 angeordnet. In manchen Ausführungsformen entsprechen die leitfähigen Segmente 913 und 914 den MD-Segmenten 513 beziehungsweise 514 in **Fig. 5C** und die Durchkontaktierungen 923 und 924 entsprechen den VD-Durchkontaktierungen 523 beziehungsweise 524 in **Fig. 5C**.

[0097] Es wird nun Bezug auf **Fig. 10A** bis **Fig. 10C** und erneut auf **Fig. 6** genommen. **Fig. 10A** bis **Fig. 10C** sind schematische Diagramme in Querschnittansicht von einem Teil der IC 1000, entsprechend der IC von **Fig. 8** entlang der Spaltenrichtung, wie in **Fig. 8** veranschaulicht, die manche Prozesse des Verfahrens von **Fig. 6** veranschaulicht, in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung. **Fig. 10A** veranschaulicht den Betrieb S650 in **Fig. 6** und weist Konfiguration ähnlich der in **Fig. 7E** veranschaulichten auf. **Fig. 10B** veranschaulicht die Betriebe S660-S670 in **Fig. 6** und weist Konfigurationen ähnlich den in **Fig. 7F** und **Fig. 7G** veranschaulichten auf. Daher wird eine ähnlich detaillierte Beschreibung ausgelassen.

[0098] Wie in **Fig. 10A** veranschaulicht, ist ein leitfähiges Segment 1051 an dem Teil der leitfähigen Schiene S03, der Filmstruktur 720 und dem Teil der leitfähigen Schiene S04 angeordnet und ist an und über der Mo-Schicht angeordnet. Ein leitfähiges Segment 1052 ist an der leitfähigen Schiene P02 angeordnet und ist an und über der Mo-Schicht angeordnet. Ähnlich den in **Fig. 7E** gezeigten leitfähigen Segmenten 751 und 752 bilden die leitfähigen Segmente 1051 und 1052 und die Filmstruktur 720 eine im Wesentlichen flache Oberfläche über der Mo-Schicht. In manchen Ausführungsformen entspricht das leitfähige Segment 1052 mindestens einem des leitfähigen Segments 811 oder 812, das die leitfähige Schiene P01 oder P02 kontaktiert, die in **Fig. 8** veranschaulicht ist. In anderen Ausführungsformen entspricht das leitfähige Segment 1051 dem leitfähigen Segment 821, das zwei angrenzende leitfähige Schiene S0 kontaktiert, die in **Fig. 8** veranschaulicht sind.

[0099] Zur Veranschaulichung der in **Fig. 6** gezeigten Betriebe, wie in **Fig. 10A** gezeigt, entspricht die leitfähige Schiene P02 der ersten leitfähigen Schiene und das leitfähige Segment 1052 entspricht dem ersten leitfähigen Segment, das die erste leitfähige Schiene kontaktiert. In Bezug auf den Betrieb S650 in **Fig. 6** und **Fig. 10A** ist die dielektrische Struktur 760 gebildet und deckt das leitfähige Segment 1052 ab. Die dielektrische Struktur 760 deckt auch das leitfähige Segment 1051 ab.

[0100] In Bezug auf die Betriebe S660-S670 in **Fig. 6** und **Fig. 10B** wird ein Teil von Strukturen entfernt und mit dem leitfähigen Material gefüllt, um eine Durchkontaktierung 771 und die Struktur 781, die einer Signalschiene entspricht, zu bilden, wie in Bezug auf **Fig. 6** und **Fig. 7F-7G** besprochen. Die Durchkontaktierung 771 und die Struktur 781 entsprechen in manchen Ausführungsformen der Durchkontaktierung 832 beziehungsweise der Signalschiene S11, wie in **Fig. 8** gezeigt. Wie in **Fig. 10B** gezeigt, ist die Durchkontaktierung 771 an der Mo-Schicht gebildet und ist mit der Struktur 781 verbunden, die in der M1-Schicht gebildet ist, die ähnlich den in **Fig. 7F** veranschaulichten Ausführungsformen ist.

[0101] In manchen Ausführungsformen ist das leitfähige Segment 1051 als der Mo-Springer bezeichnet und entspricht dem in **Fig. 8** oder **Fig. 9B** gezeigten leitfähigen Segment 821. In manchen anderen Ausführungsformen ist das leitfähige Segment 1052 als die Vo-Schiene bezeichnet und entspricht dem in **Fig. 8** oder **Fig. 9B** gezeigten leitfähigen Segment 812. In unterschiedlichen Ausführungsformen entspricht die Durchkontaktierung 771 der in **Fig. 8** oder **Fig. 9C** gezeigten Durchkontaktierung 433.

[0102] In manchen Ausführungsformen umfasst das Verfahren ferner die folgenden Betriebe. Die dielektrische Struktur ist weiter strukturiert, andere Strukturieren als die in dem Betrieb S630 gebildeten zu bilden. Diese Strukturen sind im Wesentlichen mit dem leitfähigen Material gefüllt, um eine Durchkontaktierung zu bilden, die das erste leitfähige Segment kontaktiert, das in dem Betrieb S640 gebildet ist. Solch eine Durchkontaktierung kontaktiert das erste leitfähige Segment und eine Leistungsschiene, die neben der zweiten leitfähigen Schiene angeordnet ist. Zur Veranschaulichung in **Fig. 10C**, entspricht in manchen Ausführungsformen das erste leitfähige Segment dem leitfähigen Segment 1052 und die Leistungsschiene entspricht der Struktur 782, die einer Leistungsschiene entspricht, wodurch die Durchkontaktierung der Durchkontaktierung 1072 entspricht, die das erste leitfähige Segment und die Leistungsschiene kontaktiert.

[0103] Wie in **Fig. 10C** gezeigt, ist eine Durchkontaktierung 1072 an dem leitfähigen Segment 1052

gebildet und ist mit dem Substrat 782 verbunden, das in der M1-Schicht gebildet ist. Ein Anschluss der Durchkontaktierung 1072 ist an dem leitfähigen Segment 1052 gebildet und der andere Anschluss der Durchkontaktierung 1072 ist in der M1-Schicht gebildet. Mit den zuvor besprochenen Betrieben ist eine Höhe von Durchkontaktierung 1072 kleiner als eine Distanz zwischen der leitfähigen Schiene P02 und der Struktur 782. Außerdem ist eine Höhe von Durchkontaktierung 1072 kleiner als eine Höhe von Durchkontaktierung 771, die in mindestens einer von **Fig. 7F**, **Fig. 7G** oder **Fig. 10B** gezeigt ist.

[0104] In manchen Ausführungsformen ist die Durchkontaktierung 1072 konfiguriert, zwischen dem leitfähigen Segment 1052 und der Struktur 782, die in der M1-Schicht gebildet ist, gekoppelt zu sein. In unterschiedlichen Ausführungsformen ist die Struktur 782 als die Leistungsschiene bezeichnet, um Leistungssignale bereitzustellen. Das leitfähige Segment 1052 ist als die Vo-Schiene bezeichnet und entspricht dem in **Fig. 9A** gezeigten leitfähigen Segment 811. Außerdem entspricht die Durchkontaktierung 1072 der in **Fig. 9A** gezeigten Durchkontaktierung 831. Dementsprechend ist die Durchkontaktierung 1072 zwischen dem leitfähigen Segment 1052 und der in **Fig. 8** oder **Fig. 9A** gezeigten Leistungsschiene P11 gekoppelt.

[0105] Die Konfiguration von **Fig. 10A**, **Fig. 10B** und **Fig. 10C** ist für veranschaulichende Zwecke angegeben. Unterschiedliche Konfigurationen der zuvor in **Fig. 10A**, **Fig. 10B** und **Fig. 10C** erwähnten Elemente sind innerhalb des erdachten Umfangs der vorliegenden Offenbarung.

[0106] Um unterschiedliche Bauelemente zu implementieren, werden die wie zuvor in Bezug auf **Fig. 1A**, **Fig. 1B**, **Fig. 2**, **Fig. 3A** bis **Fig. 3C**, **Fig. 4**, **Fig. 5A** bis **Fig. 5C**, **Fig. 8** und **Fig. 9A** bis **Fig. 9C** besprochenen Layoutdiagramme verwendet oder modifiziert, um verwendet zu werden, wie durch die unten in Bezug auf **Fig. 11A** bis **Fig. 19B** besprochenen nichtbegrenzenden Beispiele veranschaulicht ist. In den unterschiedlichen unten besprochenen Ausführungsformen ist die IC der vorliegenden Offenbarung durch die Verwendung von in **Fig. 11A**, **Fig. 12A**, **Fig. 13A**, **Fig. 14A**, **Fig. 15A**, **Fig. 16A**, **Fig. 17A**, **Fig. 18A** und **Fig. 19A** abgebildeten Layoutdiagrammen implementiert, die Schaltungsdiagrammen entsprechen, die in **Fig. 11B**, **Fig. 12B**, **Fig. 13B**, **Fig. 14B**, **Fig. 15B**, **Fig. 16B**, **Fig. 17B** bis **Fig. 17E**, **Fig. 18B** und **Fig. 19B**, wie angegeben, abgebildet sind. Um Übereinstimmung zwischen einem angegebenen Layoutdiagrammmerkmal, das basierend auf dem angegebenen Layoutdiagrammmerkmal gebildet ist, anzugeben, wird eine selbe Referenzbezeichnung in sowohl dem Layoutdiagramm als auch Strukturabbildungen, wie unten besprochen, verwendet.

[0107] Es wird nun Bezug auf **Fig. 11A** genommen. **Fig. 11A** ist ein Schaltungsdiagramm einer IC1100A in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung. Zur Veranschaulichung der IC 1000A ist ein Gate-Anschluss eines p-Metalloxidhalbleitertransistors (MPOS-Transistor) P1 an einen Gate-Anschluss eines n-Metalloxidhalbleitertransistors (NMOS-Transistor) N1 gekoppelt. Ein Source/Drain-Anschluss des PMOS-Transistors P1 ist an einen Source/Drain-Anschluss eines PMOS-Transistors P2 bei einem Knoten A1 gekoppelt. Ein Source/Drain-Anschluss des NMOS-Transistors N1 ist an einen Source/Drain-Anschluss eines NMOS-Transistors N2 bei einem Knoten B1 gekoppelt. Der Knoten A1 ist weiter an den Knoten B1 gekoppelt, wie durch eine in **Fig. 11A** gezeigte Verbindung ZA angegeben. Um die IC 1100A zu implementieren, die die Verbindung ZA zwischen den Knoten A1 und B1 in den Ausführungsformen der vorliegenden Offenbarung aufweist, sind Ausführungsformen von Layoutdesigns und/oder Strukturen bereitgestellt und unten wie in Bezug auf **Fig. 11B** veranschaulicht besprochen.

[0108] In manchen Ausführungsformen ist die IC 1100A als eine Einheitszelle oder eine Einheitsschaltung verwendet, in der die Einheitszelle oder Einheitsschaltung im Stande ist, als eine Basiseinheit oder als Teil eines Bauelements oder einer Schaltung verwendet zu werden, um unterschiedliche Bauelemente oder Schaltungen zu implementieren. Anders ausgedrückt ist in manchen Ausführungsformen die IC 1100A in unterschiedlichen Bauelementen oder Schaltungen implementiert, aufweisend zum Beispiel einen Umrichter, ein NUND-Gate, ein UND-ODER-Umrichter-Logikgate (AOI-Logikgate), einen Flip-Flop oder dergleichen.

[0109] **Fig. 11B** ist ein Layoutdiagramm 1100B einer IC, entsprechend der IC 1100A von **Fig. 11A**, in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung. Zur Einfachheit der Veranschaulichung des Layoutdiagramms 1100B ist bloß ein Teil vom Layoutdiagramm zum Implementieren der IC 1100A von **Fig. 11A** veranschaulicht.

[0110] In der Veranschaulichung von **Fig. 11B** sind Gates 1111, 1112 und 1113 in einem aktiven Bereich (nicht gezeigt) eingerichtet und erstrecken sich entlang der Spaltenrichtung. In manchen Ausführungsformen entsprechen die Gates 1111, 1112 und 1113 den Gate-Segmenten 311 und 312, die in **Fig. 3A** bis **Fig. 3C** gezeigt sind. In unterschiedlichen Ausführungsformen sind die Gates 1111, 1112 und 1113 als „Poly“ strukturiert, wie in **Fig. 11B** veranschaulicht ist. Leitfähige Segmente 1121, 1122, 1123, 1124 und 1125 erstrecken sich entlang der Spaltenrichtung und sind hierin nachfolgend als MD-Segmente bezeichnet. In unterschiedlichen Ausführungsformen sind die leitfähigen Segmente 1121, 1122, 1123,

1124 und 1125 als „MD“ strukturiert, wie in **Fig. 11B** veranschaulicht ist.

[0111] Die MD-Segmente 1121 und 1122 sind in dem aktiven Bereich eingerichtet, als Sources/Drains der PMOS-Transistoren P1 und P2. Das Gate 1112 und die MD-Segmente 1121 und 1122 entsprechen gemeinsam dem PMOS-Transistor P1. Das Gate 1113, das MD-Segment 1122 und ein anderes MD-Segment (nicht gezeigt), das neben dem MD-Segment 1122 eingerichtet ist, entsprechen gemeinsam dem PMOS-Transistor P2. In solchen Ausführungsformen teilen sich die PMOS-Transistoren P1 und P2 das MD-Segment 1122, was den PMOS-Transistoren P1 und P2 entspricht, die bei dem Knoten A1 gekoppelt sind, wie zuvor in Bezug auf **Fig. 11A** besprochen wurde. Die MD-Segmente 1123, 1124 und 1125 sind in dem aktiven Bereich als Sources/Drains der NMOS-Transistoren N1 und N2 eingerichtet. Das Gate 1111 und die MD-Segmente 1123 und 1124 entsprechen gemeinsam dem NMOS-Transistor N1. Das Gate 1112 und die MD-Segmente 1124 und 1125 entsprechen gemeinsam dem NMOS-Transistor N2. In solchen Ausführungsformen teilen sich die NMOS-Transistoren N1 und N2 das MD-Segment 1124, was den NMOS-Transistoren N1 und N2 entspricht, die bei dem Knoten B1 gekoppelt sind, wie zuvor in Bezug auf **Fig. 11A** besprochen wurde.

[0112] Durchkontaktierungen 1131 und 1132 sind zwischen dem aktiven Bereich und der Mo-Schicht eingerichtet. In unterschiedlichen Ausführungsformen sind die Durchkontaktierungen 1131 und 1132 als „VD“ strukturiert, wie in **Fig. 11B** veranschaulicht ist. Die Durchkontaktierungen 1131 und 1132 sind hierin nachfolgend auch als VD-Durchkontaktierungen bezeichnet, die zuvor mindestens in Bezug auf **Fig. 5B** besprochen wurden, zur Kopplung zwischen den MD-Segmenten 1121-1125 in dem aktiven Bereich und leitfähigen Schienen 1141-1143 in der Mo-Schicht. In der Veranschaulichung von **Fig. 11B** ist die VD-Durchkontaktierung 1131 zwischen dem MD-Segment 1122 und der leitfähigen Schiene 1141 eingerichtet und die VD-Durchkontaktierung 1132 ist zwischen dem MD-Segment 1124 und der leitfähigen Schiene 1142 eingerichtet. Die VD-Durchkontaktierung 1131 koppelt das MD-Segment 1122 an die leitfähige Schiene 1141. Die VD-Durchkontaktierung 1132 koppelt das MD-Segment 1124 an die leitfähige Schiene 1142.

[0113] In manchen Ausführungsformen weist das Layoutdiagramm 1100B weiter eine Datenschiene (nicht gezeigt) in der M1-Schicht über der Mo-Schicht eingerichtet auf und die Datenschiene erstreckt sich in der Spaltenrichtung und ist an die leitfähige Schiene 1141 gekoppelt. Mit solch einer Konfiguration ist ein Datensignal, das von der Datenschiene bereitgestellt ist, durch die leitfähige Schiene 1141

übertragen und ist weiter durch die Durchkontaktierung 1131 an das MD-Segment 1122 übertragen. In solchen Ausführungsformen ist der Knoten A1, wie zuvor in Bezug auf **Fig. 11A** besprochen, weiter an die Datenschiene gekoppelt, um das Datensignal bei dem Knoten A1 zu empfangen.

[0114] Die leitfähigen Schienen 1141, 1142 und 1143 sind in der Mo-Schicht eingerichtet, die über dem aktiven Bereich ist, und erstrecken sich entlang der Reihenrichtung. In manchen Ausführungsformen sind die leitfähigen Schienen 1141, 1142 und 1143 als „M0“ strukturiert, wie in **Fig. 11B** veranschaulicht ist. In manchen anderen Ausführungsformen sind die leitfähigen Schienen 1141, 1142 und 1143 auch als leitfähige Signalschienen bezeichnet, die zuvor mindestens in Bezug auf **Fig. 4** besprochen wurden.

[0115] Ein leitfähiges Segment 1151 ist in der Mo-Schicht eingerichtet und ist unter der M1-Schicht eingerichtet. In unterschiedlichen Ausführungsformen ist das leitfähige Segment 1151 als „M01“ strukturiert, wie in **Fig. 11B** veranschaulicht ist. Das leitfähige Segment 1152 ist als ein Block geformt und in manchen Ausführungsformen auch als der Mo-Springer entsprechend den leitfähigen Segmenten 121-124, wie in **Fig. 3A-3C** veranschaulicht, bezeichnet. In einer Layoutansicht ist das leitfähige Segment 1151 teilweise mit den leitfähigen Schienen 1141 und 1142, dem Gate 1111 und der VD-Durchkontaktierung 1132 überlappt. Das leitfähige Segment 1151 koppelt die leitfähigen Schienen 1141 und 1142 aneinander. Dementsprechend ist das MD-Segment 1122 durch die VD-Durchkontaktierung 1131 an die leitfähige Schiene 1141 gekoppelt und die leitfähige Schiene 1141 ist weiter durch das leitfähige Segment 1151 an die leitfähige Schiene 1142 gekoppelt. Die leitfähige Schiene 1142 ist durch die VD-Durchkontaktierung 1132 mit dem MD-Segment 1124 gekoppelt. Mit den Konfigurationen von zuvor sind die MD-Segmente 1122 und 1124 gemeinsam mit dem leitfähigen Segment 1151 gekoppelt, was den Knoten A1 und B1 entspricht, die zwischen der Verbindung ZA gekoppelt sind, wie zuvor in Bezug auf **Fig. 11A** besprochen.

[0116] Es wird nun Bezug auf **Fig. 12A** genommen. **Fig. 12A** ist ein Schaltungsdiagramm einer IC 1200A in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung. Zur Veranschaulichung der IC 1200A ist ein Gate-Anschluss eines PMOS-Transistors P1 an einen Gate-Anschluss eines NMOS-Transistors N1 gekoppelt; ein Gate-Anschluss eines PMOS-Transistors P2 ist an einen Gate-Anschluss eines NMOS-Transistors N2 gekoppelt; ein Gate-Anschluss eines PMOS-Transistors P3 ist an einen Gate-Anschluss eines NMOS-Transistors N3 gekoppelt; und ein Gate-Anschluss eines PMOS-Transistors P4 ist an einen Gate-Anschluss eines NMOS-Transistors N4 gekoppelt.

[0117] Ein Source/Drain-Anschluss des PMOS-Transistors P1 ist an einen Knoten A1 gekoppelt; ein Source/Drain-Anschluss des PMOS-Transistors P2 ist an einen Source/Drain-Anschluss des PMOS-Transistors P2 bei einem Knoten A2 gekoppelt; ein Source/Drain-Anschluss des PMOS-Transistors P3 ist an einen Source/Drain-Anschluss des PMOS-Transistors P3 bei einem Knoten A3 gekoppelt; ein Source/Drain-Anschluss des PMOS-Transistors P4 ist an einen Source/Drain-Anschluss des PMOS-Transistors P4 bei einem Knoten A4 gekoppelt; und ein Source/Drain-Anschluss des PMOS-Transistors P4 ist an einen Knoten A5 gekoppelt, der weiter an den Knoten A1 und A3 gekoppelt ist.

[0118] Darüber hinaus ist ein Source/Drain-Anschluss des NMOS-Transistors N1 an einen Knoten B1 gekoppelt; ein Source/Drain-Anschluss des NMOS-Transistors N2 ist an einen Source/Drain-Anschluss eines NMOS-Transistors N2 gekoppelt; ein Source/Drain-Anschluss des NMOS-Transistors N3 ist an einen Source/Drain-Anschluss eines NMOS-Transistors N3 bei einem Knoten B2 gekoppelt; ein Source/Drain-Anschluss des NMOS-Transistors N4 ist an einen Source/Drain-Anschluss eines NMOS-Transistors N4 gekoppelt; und ein Source/Drain-Anschluss des NMOS-Transistors N4 ist an einen Knoten B3 gekoppelt. Der Knoten A3 ist weiter an eine Leistungsschiene gekoppelt, die als VDD bezeichnet ist. Sowohl der Knoten B1 als auch B3 ist weiter an eine andere Leistungsschiene gekoppelt, die als VSS bezeichnet ist, und eine Spannung der Leistungsschiene VSS ist niedriger als die der Leistungsschiene VDD. Der Knoten A4 ist weiter an den Knoten B2 gekoppelt, wie durch Verbindung ZN angegeben, die in **Fig. 12A** gezeigt ist. Um die IC 1200A zu implementieren, aufweisend die Verbindung ZN zwischen den Knoten A4 und B2 in den Ausführungsformen der vorliegenden Offenbarung, sind Ausführungsformen von Layoutdesigns und/oder Strukturen bereitgestellt und unten wie in Bezug auf **Fig. 12B** veranschaulicht besprochen.

[0119] **Fig. 12B** ist ein Layoutdiagramm 1200B einer IC entsprechend der IC 1200A von **Fig. 12A**, in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung.

[0120] In der Veranschaulichung von **Fig. 12B** sind Gates 1211, 1212, 1213 und 1214 als Gate-Anschlüsse von PMOS-Transistoren P1-P4 oder NMOS-Transistoren N1-N4 in **Fig. 12A** eingerichtet. MD-Segmente 1220, 1221, 1222, 1223, 1224, 1225, 1226, 1227, 1228 und 1229 sind als Sources/Drains von PMOS-Transistoren P1-P4 oder NMOS-Transistoren N1-N4 in **Fig. 12A** eingerichtet.

[0121] Das Gate 1211 und die MD-Segmente 1220 und 1221 entsprechen gemeinsam dem PMOS-Transistor P1. Das Gate 1212 und die MD-Segmente

1221 und 1222 entsprechen gemeinsam dem PMOS-Transistor P2. Das Gate 1213 und die MD-Segmente 1222 und 1223 entsprechen gemeinsam dem PMOS-Transistor P3. Das Gate 1214 und die MD-Segmente 1223 und 1224 entsprechen gemeinsam dem PMOS-Transistor P4. In solchen Ausführungsformen teilen sich die PMOS-Transistoren P1 und P2 das MD-Segment 1221, was entspricht, dass die PMOS-Transistoren P1 und P2 bei dem Knoten A2 gekoppelt sind, wie in **Fig. 12A** veranschaulicht ist. Die PMOS-Transistoren P2 und P3 teilen sich das MD-Segment 1222, was entspricht, dass die PMOS-Transistoren P2 und P3 bei dem Knoten A3 gekoppelt sind, wie in **Fig. 12A** veranschaulicht ist. Die PMOS-Transistoren P3 und P4 teilen sich das MD-Segment 1223, was entspricht, dass die PMOS-Transistoren P3 und P4 bei dem Knoten A4 gekoppelt sind, wie in **Fig. 12A** veranschaulicht ist.

[0122] Darüber hinaus entsprechen das Gate 1211 und die MD-Segmente 1225 und 1226 gemeinsam dem NMOS-Transistor N1. Das Gate 1212 und die MD-Segmente 1226 und 1227 entsprechen gemeinsam dem NMOS-Transistor N2. Das Gate 1213 und die MD-Segmente 1227 und 1228 entsprechen gemeinsam dem NMOS-Transistor N3. Das Gate 1214 und die MD-Segmente 1228 und 1229 entsprechen gemeinsam dem NMOS-Transistor N4. In solchen Ausführungsformen teilen sich die NMOS-Transistoren N2 und N3 das MD-Segment 1227, was entspricht, dass die NMOS-Transistoren N2 und N3 bei dem Knoten B2 gekoppelt sind, wie in **Fig. 12A** veranschaulicht ist.

[0123] Leitfähige Schienen 1241, 1242, 1243, 1244, 1245, 1246, 1247, 1248 und 1249 sind eingerichtet. Die leitfähigen Schienen 1242, 1243, 1244, 1245, 1246, 1248 und 1249 sind zwischen den leitfähigen Schienen 1241 und 1247 eingerichtet. Eine Breite der leitfähigen Schienen 1242, 1243, 1244, 1245, 1246, 1248 oder 1249 ist kleiner als eine Breite der leitfähigen Schienen 1241 oder 1247. In manchen Ausführungsformen sind die leitfähigen Schienen 1242, 12,43, 12,4,4, 12,45, 12,46, 12,48 und 1249 als die leitfähigen Signalschienen bezeichnet und die leitfähigen Schienen 1241 und 1247 sind als die leitfähigen Leistungsschienen bezeichnet, die zuvor mindestens in Bezug auf **Fig. 4** besprochen wurden.

[0124] VD-Durchkontaktierungen 1231, 1232, 1233, 1234, 1235, 1236, 1237 und 1238 sind eingerichtet. Die VD-Durchkontaktierung 1231 koppelt das MD-Segment 1220 an die leitfähige Schiene 1242. Die VD-Durchkontaktierung 1232 koppelt das MD-Segment 1221 an die leitfähige Schiene 1241, die weiter an eine Leistungsschiene (nicht gezeigt) gekoppelt ist, die in der M1-Schicht eingerichtet ist. Das MD-Segment 1221 und die leitfähige Schiene 1241 sind gemeinsam an die Leistungsschiene gekoppelt, was dem Knoten A3 entspricht, der an die Leistungs-

schiene VDD gekoppelt ist, wie zuvor in Bezug auf **Fig. 12A** besprochen wurde. Die VD-Durchkontaktierung 1233 koppelt das MD-Segment 1222 an die leitfähige Schiene 1242. Die VD-Durchkontaktierung 1234 koppelt das MD-Segment 1223 an die leitfähige Schiene 1244. Die VD-Durchkontaktierung 1235 koppelt das MD-Segment 1224 an die leitfähige Schiene 1242. Mit solchen Konfigurationen sind die MD-Segmente 1220, 1222 und 1224 aneinandergeschaltet, was entspricht, dass die Knoten A1, A3 und A5 aneinandergeschaltet sind, wie zuvor in Bezug auf **Fig. 12A** besprochen wurde.

[0125] Außerdem koppelt die VD-Durchkontaktierung 1236 das MD-Segment 1225 an die leitfähige Schiene 1247, die weiter an eine andere Stromschiene (nicht gezeigt) gekoppelt ist, die in der M1-Schicht eingerichtet ist. Das MD-Segment 1225 und die leitfähige Schiene 1247 sind gemeinsam an die Stromschiene gekoppelt, was dem Knoten B1 entspricht, der mit der Stromschiene VSS gekoppelt ist, wie zuvor in Bezug auf **Fig. 12A** besprochen wurde. Die VD-Durchkontaktierung 1237 koppelt das MD-Segment 1227 an die leitfähige Schiene 1245. Die VD-Durchkontaktierung 1238 koppelt das MD-Segment 1229 an die leitfähige Schiene 1247, die weiter an die Leistungsschiene gekoppelt ist, wie auch mit dem MD-Segment 1225 gekoppelt ist. Das MD-Segment 1229 und die leitfähige Schiene 1247 sind gemeinsam an die Leistungsschiene gekoppelt, was dem Knoten B3 entspricht, der an die Leistungsschiene VSS gekoppelt ist, wie zuvor in Bezug auf **Fig. 12A** besprochen wurde.

[0126] VG-Durchkontaktierungen 1251, 1252, 1253 und 1254 sind eingerichtet. Die VG-Durchkontaktierung 1251 koppelt das Gate 1211 an die leitfähige Schiene 1243. Die VG-Durchkontaktierung 1252 koppelt das Gate 1212 an die leitfähige Schiene 1246. Die VG-Durchkontaktierung 1253 koppelt das Gate 1213 an die leitfähige Schiene 1249. Die VG-Durchkontaktierung 1254 koppelt das Gate 1214 an die leitfähige Schiene 1248.

[0127] Leitfähige Segmente 1261, 1262 und 1263 sind eingerichtet. Das leitfähige Segment 1261 ist auch als der Mo-Springer bezeichnet und entspricht in manchen Ausführungsformen dem leitfähigen Segment 121, 122 oder 123, wie in **Fig. 3A** oder **Fig. 3C** veranschaulicht. Das leitfähige Segment 1261 ist mit den leitfähigen Schienen 1244 und 1245 gemeinsam gekoppelt. Mit solchen Konfigurationen sind die MD-Segmente 1223 und 1227 aneinandergeschaltet, was entspricht, dass die Knoten A4 und B2 zwischen der Verbindung ZN gekoppelt sind, wie zuvor in Bezug auf **Fig. 12A** besprochen wurde.

[0128] Außerdem sind die leitfähigen Segmente 1262 und 1263 auch als die Vo-Schienen bezeichnet und entsprechen in manchen Ausführungsformen

den leitfähigen Segmenten 111 und 112, wie in **Fig. 3A-3C** veranschaulicht. Wie zuvor in Bezug auf die VD-Durchkontaktierungen 1231-1238 besprochen wurde, koppelt das leitfähige Segment 1262 sowohl an die leitfähige Schiene 1241 als auch das MD-Segment 1221, das weiter an die Leistungsschiene VDD gekoppelt ist. Das leitfähige Segment 1263 koppelt sowohl an die leitfähige Schiene 1247 als auch die MD-Segmente 1225 und 1229, die weiter an die Leistungsschiene VSS gekoppelt sind.

[0129] Es wird nun Bezug auf **Fig. 13A** genommen. **Fig. 13A** ist ein Schaltungsdiagramm einer IC 1300A in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung. In manchen Ausführungsformen ist die IC 1300A als eine Einheitszelle/-schaltung zum Implementieren zwei verschiedener Logikfunktionen implementiert, die auch als eine Zweistufenzelle angegeben ist. Zur Veranschaulichung der IC 1300A ist ein Gate-Anschluss eines PMOS-Transistors P1 an einen Gate-Anschluss eines NMOS-Transistors N1 bei einem Knoten E1 gekoppelt; ein Gate-Anschluss eines PMOS-Transistors P2 ist an einen Gate-Anschluss eines NMOS-Transistors N2 gekoppelt; und ein Gate-Anschluss eines PMOS-Transistors P3 ist an einen Gate-Anschluss eines NMOS-Transistors N3 gekoppelt.

[0130] Darüber hinaus ist ein Source/Drain-Anschluss des PMOS-Transistors P1 an einen Knoten A1 gekoppelt; ein Source/Drain-Anschluss des PMOS-Transistors P1 ist an einen Source/Drain-Anschluss eines PMOS-Transistors P2 bei einem Knoten A2 gekoppelt; ein Source/Drain-Anschluss des PMOS-Transistors P2 ist an einen Source/Drain-Anschluss eines PMOS-Transistors P3 bei einem Knoten A3 gekoppelt; ein Source/Drain-Anschluss des PMOS-Transistors P3 ist an einen Knoten A4 gekoppelt; ein Source/Drain-Anschluss des NMOS-Transistors N1 ist an einen Knoten B1 gekoppelt; ein Source/Drain-Anschluss des NMOS-Transistors N1 ist an einen Source/Drain-Anschluss eines NMOS-Transistors N2 an einen Knoten B2 gekoppelt; ein Source/Drain-Anschluss des NMOS-Transistors N2 ist an einen Source/Drain-Anschluss eines NMOS-Transistors N3 gekoppelt; und ein Source/Drain-Anschluss des NMOS-Transistors N3 ist an einen Knoten B3 gekoppelt. Die Knoten A2 und A4 sind weiter an eine Leistungsschiene gekoppelt, die als VDD bezeichnet ist. Der Knoten B2 ist weiter an eine andere Leistungsschiene gekoppelt, die als VSS bezeichnet ist. In Bezug auf **Fig. 13A** ist der Knoten A1 weiter an den Knoten B1 gekoppelt, wie durch Verbindung Z angegeben. Der Knoten A3 ist weiter an den Knoten E1 bei einem Knoten E2 gekoppelt, wie durch Verbindung ZE angegeben. Der Knoten A3 ist auch weiter an den Knoten B3 gekoppelt, wie durch Verbindung ZN angegeben. Um die IC 1300A zu implementieren, aufweisend

die Verbindung Z zwischen den Knoten A1 und B1, die Verbindung ZE zwischen den Knoten E1 und E2 und Verbindung ZN zwischen den Knoten A3 und B3 in den Ausführungsformen der vorliegenden Offenbarung, sind Ausführungsformen von Layoutdesigns und/oder Strukturen bereitgestellt und unten wie in Bezug auf **Fig. 13B** veranschaulicht besprochen.

[0131] **Fig. 13B** ist ein Layoutdiagramm 1300B einer IC entsprechend der IC 1300A von **Fig. 13A**, in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung.

[0132] In der Veranschaulichung von **Fig. 13B** sind Gates 1311, 1312 und 1313 als Gate-Anschlüsse von PMOS-Transistoren P1-P3 oder NMOS-Transistoren N1-N2 in **Fig. 13A** eingerichtet. MD-Segmente 1321, 1322, 1323, 1324, 1325, 1326 und 1327 sind als Sources/Drains von PMOS-Transistoren P1-P3 oder NMOS-Transistoren N1-N3 in **Fig. 13A** eingerichtet.

[0133] Das Gate 1311 und die MD-Segmente 1321 und 1322 entsprechen gemeinsam dem PMOS-Transistor P1. Das Gate 1312 und die MD-Segmente 1322 und 1333 entsprechen gemeinsam dem PMOS-Transistor P2. Das Gate 1313 und die MD-Segmente 1323 und 1324 entsprechen gemeinsam dem PMOS-Transistor P3. In solchen Ausführungsformen teilen sich die PMOS-Transistoren P1 und P2 das MD-Segment 1322, was den PMOS-Transistoren P1 und P2 entspricht, die bei dem Knoten A2 gekoppelt sind, wie in **Fig. 13A** veranschaulicht ist. Die PMOS-Transistoren P2 und P3 teilen sich das MD-Segment 1323, was den PMOS-Transistoren P2 und P3 entspricht, die bei dem Knoten A3 gekoppelt sind, wie in **Fig. 13A** veranschaulicht ist.

[0134] Darüber hinaus entsprechen das Gate 1311 und die MD-Segmente 1321 und 1325 gemeinsam dem NMOS-Transistor N1. Das Gate 1312 und die MD-Segmente 1325 und 1326 entsprechen gemeinsam dem NMOS-Transistor N2. Das Gate 1313 und die MD-Segmente 1326 und 1327 entsprechen gemeinsam dem NMOS-Transistor N3. In solchen Ausführungsformen teilen sich die NMOS-Transistoren N1 und N2 das MD-Segment 1325, was den NMOS-Transistoren N1 und N2 entspricht, die bei dem Knoten B2 gekoppelt sind, wie in **Fig. 13A** veranschaulicht ist. Der PMOS-Transistor P1 und der NMOS-Transistor P1 teilen sich das MD-Segment 1321, was dem PMOS-Transistor P1 und dem NMOS-Transistor N1 entspricht, die bei den Knoten A1 und B1 aneinandergesetzt sind. Es entspricht auch den Knoten A1 und B1, die zwischen der Verbindung Z gekoppelt sind, wie in **Fig. 13A** veranschaulicht ist.

[0135] Leitfähige Schienen 1341, 1342, 1343, 1344, 1345, 1346 und 1347 sind ein-

gerichtet. In manchen Ausführungsformen sind die leitfähigen Schienen 1342, 1343, 1344, 1345 und 1346 als die leitfähigen Signalschienen bezeichnet und die leitfähigen Schienen 1341 und 1347 sind als die leitfähigen Leistungsschienen bezeichnet, wie zuvor mindestens in Bezug auf **Fig. 4** besprochen wurde.

[0136] VD-Durchkontaktierungen 1331, 1332, 1333, 1334, 1335 und 1336 sind eingerichtet. Die VD-Durchkontaktierung 1331 koppelt das MD-Segment 1321 an die leitfähige Schiene 1344. Die VD-Durchkontaktierung 1332 koppelt das MD-Segment 1322 an die leitfähige Schiene 1341, die weiter an eine Leistungsschiene (nicht gezeigt) gekoppelt ist, die in der M1-Schicht eingerichtet ist. Das MD-Segment 1322 und die leitfähige Schiene 1341 sind gemeinsam an die Leistungsschiene gekoppelt, was dem Knoten A2 entspricht, der an die Leistungsschiene VDD gekoppelt ist, wie zuvor in Bezug auf **Fig. 13A** besprochen wurde. Die VD-Durchkontaktierung 1333 koppelt das MD-Segment 1323 an die leitfähige Schiene 1343. Die VD-Durchkontaktierung 1334 koppelt das MD-Segment 1324 an die leitfähige Schiene 1341. Ähnlich sind das MD-Segment 1324 und die leitfähige Schiene 1341 gemeinsam an die Leistungsschiene gekoppelt, was dem Knoten A4 entspricht, der an die Leistungsschiene VDD gekoppelt ist, wie zuvor in Bezug auf **Fig. 13A** besprochen wurde. Die VD-Durchkontaktierung 1335 koppelt das MD-Segment 1325 an die leitfähige Schiene 1347, die weiter an eine andere Leistungsschiene (nicht gezeigt) gekoppelt ist, die in der M1-Schicht eingerichtet ist. Das MD-Segment 1325 und die leitfähige Schiene 1347 sind gemeinsam an die Leistungsschiene gekoppelt, was dem Knoten B2 entspricht, der an die Leistungsschiene VSS gekoppelt ist, wie zuvor in Bezug auf **Fig. 13A** besprochen wurde. Die VD-Durchkontaktierung 1336 koppelt das MD-Segment 1327 an die leitfähige Schiene 1346.

[0137] VG-Durchkontaktierungen 1351, 1352 und 1353 sind eingerichtet. Die VG-Durchkontaktierung 1351 koppelt das Gate 1311 an die leitfähige Schiene 1343. Mit solchen Konfigurationen ist das Gate 1311 weiter durch die leitfähige Schiene 1343 mit dem MD-Segment 1323 gekoppelt, was den Knoten E1 und A3 entspricht, die zwischen der Verbindung ZE gekoppelt sind, wie zuvor in Bezug auf **Fig. 13A** besprochen wurde. Die VG-Durchkontaktierung 1252 koppelt das Gate 1312 an die leitfähige Schiene 1345. Die VG-Durchkontaktierung 1353 koppelt das Gate 1313 an die leitfähige Schiene 1342.

[0138] Leitfähige Segmente 1361, 1362 und 1363 sind eingerichtet. Das leitfähige Segment 1361 ist auch als der Mo-Springer bezeichnet und entspricht in manchen Ausführungsformen dem leitfähigen Segment 121, 122 oder 123, wie in **Fig. 3A** oder

Fig. 3C veranschaulicht. Das leitfähige Segment 1361 koppelt die leitfähigen Schienen 1346 und 1346 aneinander. Mit solchen Konfigurationen sind die MD-Segmente 1323 und 1327 aneinandergeschaltet, was den Knoten A3 und B3 entspricht, die zwischen der Verbindung ZN gekoppelt sind, wie zuvor in Bezug auf **Fig. 13A** besprochen wurde.

[0139] Außerdem sind die leitfähigen Segmente 1362 und 1363 auch als die Vo-Schienen bezeichnet und entsprechen in manchen Ausführungsformen den leitfähigen Segmenten 111 und 112, wie in **Fig. 3A-3C** veranschaulicht. Wie zuvor in Bezug auf die VD-Durchkontaktierungen 1331-1336 besprochen, koppelt das leitfähige Segment 1362 sowohl an die leitfähige Schiene 1341 als auch die MD-Segmente 1322 und 1324, die weiter an die Stromschiene VDD gekoppelt sind. Das leitfähige Segment 1263 koppelt sowohl an die leitfähige Schiene 1347 als auch das MD-Segment 1325, das weiter an die Leistungsschiene VSS gekoppelt ist.

[0140] Es wird nun Bezug auf **Fig. 14A** genommen. **Fig. 14A** ist ein Schaltungsdiagramm einer IC 1400A in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung. Zur Veranschaulichung der IC 1400A ist ein Gate-Anschluss eines PMOS-Transistors P1 an einen Gate-Anschluss eines NMOS-Transistors N1 gekoppelt, wie durch Verbindung I angegeben. In manchen Ausführungsformen ist die Verbindung I als ein Eingangsanschluss angegeben, um ein Steuersignal an sowohl den PMOS-Transistor P1 als auch den NMOS-Transistor N1 bereitzustellen.

[0141] Darüber hinaus ist ein Source/Drain-Anschluss des PMOS-Transistors P1 an einen Knoten A1 gekoppelt. Ein Source/Drain-Anschluss des PMOS-Transistors P1 ist an einen Knoten A2 gekoppelt. Ein Source/Drain-Anschluss des NMOS-Transistors N1 ist an einen Knoten B1 gekoppelt. Ein Source/Drain-Anschluss des NMOS-Transistors N2 ist an einen Knoten B2 gekoppelt. Der Knoten A1 ist weiter an eine Stromschiene gekoppelt, die als VDD bezeichnet ist. Der Knoten B1 ist weiter an eine andere Leistungsschiene gekoppelt, die als VSS bezeichnet ist. Der Knoten A2 ist weiter an den Knoten B2 gekoppelt, wie durch Verbindung ZN angegeben. Um die IC 1400A zu implementieren, die die Verbindung ZN zwischen den Knoten A2 und B2 in der vorliegenden Offenbarung aufweist, sind Ausführungsformen von Layoutdesigns und/oder Strukturen bereitgestellt und unten in Bezug auf **Fig. 14B** veranschaulicht.

[0142] **Fig. 14B** ist ein Layoutdiagramm 1400B einer IC entsprechend der IC 1400A von **Fig. 14A**, in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung.

[0143] In der Veranschaulichung von **Fig. 14B** ist ein Gate 1411 als der Gate-Anschluss von PMOS-Transistor P1 und NMOS-Transistor N1 in **Fig. 14A** eingerichtet. MD-Segmente 1421, 1422 und 1423 sind als Sources/Drains von PMOS-Transistor P1 oder NMOS-Transistor N1 in **Fig. 14A** eingerichtet.

[0144] Das Gate 1411 und die MD-Segmente 142 und 1422 entsprechen gemeinsam dem PMOS-Transistor P1. Das Gate 1411 und die MD-Segmente 1423 und 1422 entsprechen gemeinsam dem NMOS-Transistor N1. In solchen Ausführungsformen teilt sich der PMOS-Transistor P1 das MD-Segment 1422, was dem PMOS-Transistor P1 entspricht, der bei den Knoten A2 und B2 aneinandergeschaltet ist, wie in **Fig. 14A** veranschaulicht ist. Es entspricht auch den Knoten A2 und B2, die zwischen der Verbindung ZN geschaltet sind, wie in **Fig. 14A** veranschaulicht ist.

[0145] Leitfähige Schienen 1441, 1442, 1443, 1444, 1445 und 1446 sind eingerichtet. In manchen Ausführungsformen sind die leitfähigen Schienen 1442, 1443, 1444 und 1445 als die leitfähigen Signalschienen bezeichnet und die leitfähigen Schienen 1441 und 1446 sind als die leitfähigen Leistungsschienen bezeichnet, die zuvor mindestens in Bezug auf **Fig. 4** besprochen wurden.

[0146] VD-Durchkontaktierungen 1431, 1432 und 1433 sind eingerichtet. Die VD-Durchkontaktierung 1431 koppelt das MD-Segment 1421 an die leitfähige Schiene 1441, die weiter an eine Leistungsschiene (nicht gezeigt) geschaltet ist, die in der M1-Schicht eingerichtet ist. Das MD-Segment 1421 und die leitfähige Schiene 1441 sind gemeinsam an die Leistungsschiene geschaltet, was dem Knoten A1 entspricht, der an die Leistungsschiene VDD geschaltet ist, wie zuvor in Bezug auf **Fig. 14A** besprochen wurde. Die VD-Durchkontaktierung 1432 koppelt das MD-Segment 1422 an die leitfähige Schiene 1444. Die VD-Durchkontaktierung 1433 koppelt das MD-Segment 1423 an die leitfähige Schiene 1446, die weiter an eine andere Leistungsschiene (nicht gezeigt) geschaltet ist, die in der M1-Schicht eingerichtet ist. Das MD-Segment 1423 und die leitfähige Schiene 1446 sind gemeinsam an die Leistungsschiene geschaltet, was dem Knoten B1 entspricht, der an die Leistungsschiene VSS geschaltet ist, wie zuvor in Bezug auf **Fig. 14A** besprochen wurde.

[0147] VG-Durchkontaktierung 1451 ist eingerichtet. Die VG-Durchkontaktierung 1451 koppelt das Gate 1411 an die leitfähige Schiene 1445, die weiter an eine Signalschiene (nicht gezeigt) geschaltet ist, die in der M1-Schicht eingerichtet ist. Das Gate 1411 und die leitfähige Schiene 1445 sind gemeinsam an die Signalschiene geschaltet, was dem Gate des PMOS-Transistors P1 oder NMOS-Transistors N1 entspricht, das zwischen der Verbindung I geschaltet

ist, wie zuvor in Bezug auf **Fig. 14A** besprochen wurde.

[0148] Leitfähige Segmente 1461, 1462 und 1463 sind eingerichtet. Das leitfähige Segment 1461 ist auch als der Mo-Springer bezeichnet und entspricht in manchen Ausführungsformen dem leitfähigen Segment 121, 122 oder 123, wie in **Fig. 3A** oder **Fig. 3C** veranschaulicht. Das leitfähige Segment 1461 koppelt die leitfähigen Schienen 1443 und 1444 aneinander.

[0149] Außerdem sind die leitfähigen Segmente 1462 und 1463 auch als die Vo-Schienen bezeichnet und entsprechen in manchen Ausführungsformen den leitfähigen Segmenten 111 und 112, wie in **Fig. 3A-3C** veranschaulicht. Wie zuvor in Bezug auf die VD-Durchkontaktierungen 1431-1433 besprochen, koppelt das leitfähige Segment 1462 mit sowohl der leitfähigen Schiene 1441 und dem MD-Segment 1421, das weiter an die Leistungsschiene VDD geschaltet ist. Das leitfähige Segment 1463 koppelt sowohl an die leitfähige Schiene 1446 als auch das MD-Segment 1423, das weiter an die Leistungsschiene VSS geschaltet ist.

[0150] Es wird nun Bezug auf **Fig. 15A** genommen. **Fig. 15A** ist ein Schaltungsdiagramm einer IC 1500A in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung. Zur Veranschaulichung der IC 1500A ist ein Gate-Anschluss eines PMOS-Transistors P1 an einen Gate-Anschluss eines NMOS-Transistors N1 geschaltet, wie durch Verbindung I angegeben. Ein Gate-Anschluss eines PMOS-Transistors P2 ist an einen Gate-Anschluss eines NMOS-Transistors N2 geschaltet, wie auch durch die Verbindung I angegeben. In manchen Ausführungsformen weist die Verbindung I eine ähnliche Konfiguration/Anordnung zu der Verbindung I auf, die in **Fig. 14A** veranschaulicht ist.

[0151] Darüber hinaus ist ein Source/Drain-Anschluss des PMOS-Transistors P1 an einen Knoten A1 geschaltet; ein Source/Drain-Anschluss des PMOS-Transistors P1 ist an einen Source/Drain-Anschluss eines PMOS-Transistors P2 bei einem Knoten A2 geschaltet; und ein Source/Drain-Anschluss des PMOS-Transistors P2 ist an einen Knoten A3 geschaltet. Ein Source/Drain-Anschluss des NMOS-Transistors N1 ist an einen Knoten B1 geschaltet; ein Source/Drain-Anschluss des NMOS-Transistors N1 ist an einen Source/Drain-Anschluss eines NMOS-Transistors N2 bei Knoten B2 geschaltet; und ein Source/Drain-Anschluss des NMOS-Transistors N2 ist an einen Knoten B3 geschaltet. Die Knoten A1 und A3 sind weiter an eine Leistungsschiene geschaltet, die als VDD bezeichnet ist. Die Knoten B1 und B2 sind weiter an eine andere Leistungsschiene geschaltet, die als VSS bezeichnet ist. Der Knoten A2 ist weiter an den Knoten B2 geschaltet

pelt, wie durch die Verbindung ZN angegeben ist, die in **Fig. 15A** gezeigt ist. Um die IC 1500A zu implementieren, die die Verbindung ZN zwischen den Knoten A2 und B2 in den Ausführungsformen der vorliegenden Offenbarung aufweist, sind Ausführungsformen von Layoutdesigns und/oder Strukturen bereitgestellt und unten wie in Bezug auf **Fig. 15B** veranschaulicht besprochen.

[0152] **Fig. 15B** ist ein Layoutdiagramm 1500B einer IC entsprechend der IC 1500A von **Fig. 15A**, in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung.

[0153] In der Veranschaulichung von **Fig. 15B** sind Gates 1511 und 512 als Gate-Anschlüsse von PMOS-Transistoren P1-P2 oder NMOS-Transistoren N1-N2 in **Fig. 15A** eingerichtet. MD-Segmente 1521, 1522, 1523, 1524 und 1525 sind als Source/Drain-Anschlüsse von PMOS-Transistoren P1-P2 oder NMOS-Transistoren N1-N2 in **Fig. 15A** eingerichtet.

[0154] Das Gate 1511 und die MD-Segmente 1521 und 1522 entsprechen gemeinsam dem PMOS-Transistor P1. Das Gate 152 und die MD-Segmente 1522 und 1523 entsprechen gemeinsam dem PMOS-Transistor P2. In solchen Ausführungsformen teilen sich die PMOS-Transistoren P1 und P2 das MD-Segment 1522, was den PMOS-Transistoren P1 und P2 entspricht, die bei dem Knoten A2 gekoppelt sind, wie in **Fig. 15A** veranschaulicht ist. Das Gate 1511 und die MD-Segmente 1524 und 1522 entsprechen gemeinsam dem NMOS-Transistor N1. Das Gate 1512 und die MD-Segmente 1522 und 1525 entsprechen gemeinsam dem NMOS-Transistor N2. In solchen Ausführungsformen teilen sich die NMOS-Transistoren N1 und N2 das MD-Segment 1522, was den NMOS-Transistoren N1 und N2 entspricht, die bei dem Knoten B2 gekoppelt sind, wie in **Fig. 15A** veranschaulicht ist. Außerdem teilen sich der NMOS-Transistor N1/N2 und der PMOS-Transistor P1/P2 das MD-Segment 1522, was den Knoten A2 und B2 entspricht, die zwischen der Verbindung ZN gekoppelt sind, wie in **Fig. 15A** veranschaulicht ist.

[0155] Leitfähige Schienen 1541, 1542, 1543, 1544, 1545 und 1546 sind eingerichtet. In manchen Ausführungsformen sind die leitfähigen Schienen 1542, 1543, 1544 und 1545 als die leitfähigen Signalschienen bezeichnet und die leitfähigen Schienen 1541 und 1546 sind als die leitfähigen Leistungsschienen bezeichnet, die zuvor mindestens in Bezug auf **Fig. 4** besprochen wurden.

[0156] VD-Durchkontaktierungen 1531, 1532, 1533, 1534 und 1535 sind eingerichtet. Die VD-Durchkontaktierung 1531 koppelt das MD-Segment 1521 an die leitfähige Schiene 1541, die weiter an eine Leistungsschiene (nicht gezeigt) gekoppelt ist, die in der

M1-Schicht eingerichtet ist. Das MD-Segment 1521 und die leitfähige Schiene 1541 sind gemeinsam an die Leistungsschiene gekoppelt, was dem Knoten A1 entspricht, der an die Leistungsschiene VDD gekoppelt ist, wie zuvor in Bezug auf **Fig. 15A** besprochen wurde. Die VD-Durchkontaktierung 1532 koppelt das MD-Segment 1522 an die leitfähige Schiene 1543. Die VD-Durchkontaktierung 1533 koppelt das MD-Segment 1523 an die leitfähige Schiene 1541. Ähnlich sind das MD-Segment 1523 und die leitfähigen Schiene 1541 gemeinsam an die Leistungsschiene gekoppelt, was dem Knoten A3 entspricht, der an die Leistungsschiene VDD gekoppelt ist, wie zuvor in Bezug auf **Fig. 15A** besprochen wurde.

[0157] Außerdem koppelt die VD-Durchkontaktierung 1534 das MD-Segment 1524 an die leitfähige Schiene 1546, die weiter an eine andere Leistungsschiene (nicht gezeigt) gekoppelt ist, die in der M1-Schicht eingerichtet ist. Das MD-Segment 1524 und die leitfähige Schiene 1546 sind gemeinsam an die Leistungsschiene gekoppelt, was dem Knoten B1 entspricht, der an die Leistungsschiene VSS gekoppelt ist, wie zuvor in Bezug auf **Fig. 15A** besprochen wurde. Die VD-Durchkontaktierung 1535 koppelt das MD-Segment 1525 an die leitfähige Schiene 1546. Ähnlich sind das MD-Segment 1525 und die leitfähige Schiene 1546 gemeinsam an die Leistungsschiene gekoppelt, was dem Knoten B3 entspricht, der an die Leistungsschiene VSS gekoppelt ist, wie zuvor in Bezug auf **Fig. 15A** besprochen wurde.

[0158] VG-Durchkontaktierungen 1551 und 1552 sind eingerichtet. Die VG-Durchkontaktierung 1551 koppelt das Gate 1511 an die leitfähige Schiene 1545, die weiter an eine Signalschiene (nicht gezeigt) gekoppelt ist, die in der M1-Schicht eingerichtet ist. Außerdem koppelt die VG-Durchkontaktierung 1552 das Gate 1512 an die leitfähige Schiene 1545. Das Gate 1511 und die leitfähige Schiene 1545 sind gemeinsam an die Signalschiene gekoppelt, was dem Gate des PMOS-Transistors P1 oder NMOS-Transistors N1 entspricht, das zwischen der Verbindung I gekoppelt ist, wie zuvor in Bezug auf **Fig. 15A** besprochen wurde. Ähnlich sind das Gate 1512 und die leitfähige Schiene 1545 gemeinsam mit derselben Signalschiene gekoppelt, die auch mit dem Gate 1511 gekoppelt ist, was dem Gate des PMOS-Transistors P2 oder NMOS-Transistors N2 entspricht, das zwischen der Verbindung gekoppelt ist, die auch als die Verbindung I angegeben ist.

[0159] Leitfähige Segmente 1561, 1562 und 1563 sind eingerichtet. Das leitfähige Segment 1561 ist auch als der Mo-Springer bezeichnet und entspricht in manchen Ausführungsformen dem leitfähigen Segment 124, wie in **Fig. 3B** oder **Fig. 3C** veranschaulicht. Das leitfähige Segment 1561 koppelt die leitfähigen Schienen 1542 und 1543 aneinander.

[0160] Außerdem sind die leitfähigen Segmente 1562 und 1563 auch als die Vo-Schienen bezeichnet und entsprechen in manchen Ausführungsformen den leitfähigen Segmenten 111 und 112, wie in **Fig. 3A-3C** veranschaulicht. Wie zuvor in Bezug auf die VD-Durchkontaktierungen 1531-1535 besprochen, koppelt das leitfähige Segment 1562 sowohl an die leitfähige Schiene 1541 als auch die MD-Segmente 1521 und 1523, die weiter an die Leistungsschiene VDD gekoppelt sind. Das leitfähige Segment 1563 koppelt sowohl an die leitfähige Schiene 1546 und die MD-Segmente 1524 und 1525, die weiter an die Leistungsschiene VSS gekoppelt sind.

[0161] Es wird nun Bezug auf **Fig. 16A** genommen. **Fig. 16A** ist ein Schaltungsdiagramm einer IC 1600A in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung. Zur Veranschaulichung der IC 1600A ist ein Gate-Anschluss eines PMOS-Transistors P1 an einen Gate-Anschluss eines NMOS-Transistors N1 gekoppelt, wie durch Verbindung I1 angegeben. Ein Gate-Anschluss eines PMOS-Transistors P2 ist an einen Gate-Anschluss eines NMOS-Transistors N2 gekoppelt, wie durch Verbindung I2 angegeben; und ein Gate-Anschluss eines PMOS-Transistors P3 ist an einen Gate-Anschluss eines NMOS-Transistors N3 gekoppelt, wie durch Verbindung I3 angegeben. In manchen Ausführungsformen weist die Verbindung I1, I2 oder I3 eine ähnliche Konfiguration/Anordnung zu der Verbindung I auf, die in **Fig. 14A** veranschaulicht ist. In manchen anderen Ausführungsformen sind die Verbindungen I1, I2 und I3 weiter an Signalschienen (nicht gezeigt), die sich voneinander unterscheiden, zum Übertragen verschiedener Datensignale gekoppelt. Zum Beispiel ist die Verbindung I1 mit einer ersten Signalschiene gekoppelt; die Verbindung I2 ist mit einer zweiten Signalschiene gekoppelt; und die Verbindung I3 ist mit einer dritten Signalschiene gekoppelt.

[0162] Darüber hinaus ist ein Source/Drain-Anschluss des PMOS-Transistors P1 an einen Knoten A1 gekoppelt; ein Source/Drain-Anschluss des PMOS-Transistors P1 ist an einen Source/Drain-Anschluss eines PMOS-Transistors P2 bei einem Knoten A2 gekoppelt; ein Source/Drain-Anschluss des PMOS-Transistors P2 ist an einen Source/Drain-Anschluss eines PMOS-Transistors P3 bei einem Knoten A3 gekoppelt; ein Source/Drain-Anschluss des PMOS-Transistors P3 ist an einen Knoten A4 gekoppelt. Ein Source/Drain-Anschluss des NMOS-Transistors N1 ist an einen Knoten B1 gekoppelt; ein Source/Drain-Anschluss des NMOS-Transistors N1 ist an einen Source/Drain-Anschluss eines NMOS-Transistors N2 gekoppelt; ein Source/Drain-Anschluss des NMOS-Transistors N2 ist an einen Source/Drain-Anschluss eines NMOS-Transistors N3 gekoppelt; und ein Source/Drain-Anschluss des NMOS-Transistors N3 ist an einen

Knoten B2 gekoppelt. Die Knoten A1 und A3 sind weiter an eine Leistungsschiene gekoppelt, die als VDD bezeichnet ist. Der Knoten B2 ist weiter an eine andere Leistungsschiene gekoppelt, die als VSS bezeichnet ist. Der Knoten A2 ist weiter an den Knoten A4 gekoppelt. Der Knoten A2 ist weiter an den Knoten B1 gekoppelt, wie durch Verbindung ZN angegeben ist, die in **Fig. 16A** gezeigt ist. Um die IC 1600A zu implementieren, die die Verbindung ZN zwischen den Knoten A2 und B1 in den Ausführungsformen der vorliegenden Offenbarung aufweist, sind Ausführungsformen von Layoutdesigns und/oder Strukturen bereitgestellt und unten wie in Bezug auf **Fig. 16B** veranschaulicht besprochen.

[0163] **Fig. 16B** ist ein Layoutdiagramm 1600B einer IC entsprechend der IC 1600A von **Fig. 16A**, in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung.

[0164] In der Veranschaulichung von **Fig. 16B** sind Gates 1611, 1612 und 1613 als Gate-Anschlüsse von PMOS-Transistoren P1-P3 oder NMOS-Transistoren N1-N3 in **Fig. 16A** eingerichtet. MD-Segmente 1621, 1622, 1623, 1624, 1625, 1626, 1627 und 1628 sind als Source/Drain-Anschlüsse von PMOS-Transistoren P1-P3 oder NMOS-Transistoren N1-N3 in **Fig. 16A** eingerichtet.

[0165] Das Gate 1611 und die MD-Segmente 1621 und 1622 entsprechen gemeinsam dem PMOS-Transistor P1. Das Gate 1612 und die MD-Segmente 1622 und 1623 entsprechen gemeinsam dem PMOS-Transistor P2. In solchen Ausführungsformen teilen sich die PMOS-Transistoren P1 und P2 das MD-Segment 1622, was den PMOS-Transistoren P1 und P2 entspricht, die bei dem Knoten A2 gekoppelt sind, wie in **Fig. 16A** veranschaulicht ist. Das Gate 1613 und die MD-Segmente 1623 und 1624 entsprechen gemeinsam dem PMOS-Transistor P3. In solchen Ausführungsformen teilen sich die PMOS-Transistoren P2 und P3 das MD-Segment 1623, was den PMOS-Transistoren P2 und P3 entspricht, die bei dem Knoten A3 gekoppelt sind, wie in **Fig. 16A** veranschaulicht ist. Das Gate 1611 und die MD-Segmente 1625 und 1626 entsprechen gemeinsam dem NMOS-Transistor N1. Das Gate 1612 und die MD-Segmente 1626 und 1627 entsprechen gemeinsam dem NMOS-Transistor N2. Das Gate 1613 und die MD-Segmente 1627 und 1628 entsprechen gemeinsam dem NMOS-Transistor N3.

[0166] Leitfähige Schienen 1641, 1642, 1643, 1644, 1645, 1646 und 1647 sind eingerichtet. In manchen Ausführungsformen sind die leitfähigen Schienen 1642, 1643, 1644, 1645 und 1646 als die leitfähigen Signalschienen bezeichnet und die leitfähigen Schienen 1641 und 1647 sind als die leitfähigen Leistungsschienen bezeichnet,

was zuvor mindestens in Bezug auf **Fig. 4** besprochen wurde.

[0167] VD-Durchkontaktierungen 1631, 1632, 1633, 1634, 1635 und 1636 sind eingerichtet. Die VD-Durchkontaktierung 1631 koppelt das MD-Segment 1621 an die leitfähige Schiene 1641, die weiter an eine Leistungsschiene (nicht gezeigt) gekoppelt ist, die in der M1-Schicht eingerichtet ist. Das MD-Segment 1621 und die leitfähige Schiene 1641 sind gemeinsam an die Leistungsschiene gekoppelt, was dem Knoten A1 entspricht, der an die Leistungsschiene VDD gekoppelt ist, wie zuvor in Bezug auf **Fig. 16A** besprochen wurde. Die VD-Durchkontaktierung 1632 koppelt das MD-Segment 1622 an die leitfähige Schiene 1643. Die VD-Durchkontaktierung 1633 koppelt das MD-Segment 1623 an die leitfähige Schiene 1641, die weiter an die Leistungsschiene gekoppelt ist. Ähnlich sind das MD-Segment 1623 und die leitfähige Schiene 1641 gemeinsam an die Leistungsschiene gekoppelt, was dem Knoten A3 entspricht, der an die Leistungsschiene VDD gekoppelt ist, wie zuvor in Bezug auf **Fig. 16A** besprochen wurde. Die VD-Durchkontaktierung 1634 koppelt das MD-Segment 1624 an die leitfähige Schiene 1643. Mit solchen Konfigurationen sind die MD-Segmente 1622 und 1624 aneinandergeschaltet, was den Knoten A2 und A4 entspricht, die aneinandergeschaltet sind, wie zuvor in Bezug auf **Fig. 16A** besprochen wurde.

[0168] Darüber hinaus koppelt die VD-Durchkontaktierung 1635 das MD-Segment 1625 an die leitfähige Schiene 1644. Die VD-Durchkontaktierung 1636 koppelt das MD-Segment 1628 an die leitfähige Schiene 1647, die weiter an eine andere Leistungsschiene (nicht gezeigt) gekoppelt ist, die in der M1-Schicht eingerichtet ist. Das MD-Segment 1628 und die leitfähige Schiene 1647 sind gemeinsam an die Leistungsschiene gekoppelt, was dem Knoten B2 entspricht, der an die Leistungsschiene VSS gekoppelt ist, wie zuvor in Bezug auf **Fig. 16A** besprochen wurde.

[0169] VG-Durchkontaktierungen 1651, 1652 und 1653 sind eingerichtet. Die VG-Durchkontaktierung 1651 koppelt das Gate 1611 an die leitfähige Schiene 1645, die weiter an eine erste Signalschiene (nicht gezeigt) gekoppelt ist, die in der M1-Schicht eingerichtet ist. Das Gate 1611 und die leitfähige Schiene 1645 sind in manchen Ausführungsformen gemeinsam mit der ersten Signalschiene gekoppelt, was der Verbindung I1 entspricht, die mit der ersten Signalschiene gekoppelt ist, wie zuvor in Bezug auf **Fig. 16A** besprochen wurde. Die VG-Durchkontaktierung 1652 koppelt das Gate 1612 an die leitfähige Schiene 1642, die weiter an eine zweite Signalschiene (nicht gezeigt) gekoppelt ist, die in der M1-Schicht eingerichtet ist. Das Gate 1612 und die leitfähige Schiene 1642 sind in manchen Ausführungs-

formen gemeinsam an die zweite Signalschiene gekoppelt, was der Verbindung I2 entspricht, die an die zweite Signalschiene gekoppelt ist, wie zuvor in Bezug auf **Fig. 16A** besprochen wurde. Die VG-Durchkontaktierung 1653 koppelt das Gate 1613 an die leitfähige Schiene 1646, die weiter an eine dritte Signalschiene (nicht gezeigt) gekoppelt ist, die in der M1-Schicht eingerichtet ist. Das Gate 1613 und die leitfähige Schiene 1646 sind in manchen Ausführungsformen gemeinsam mit der dritten Signalschiene gekoppelt, was der Verbindung I3 entspricht, die mit der dritten Signalschiene gekoppelt ist, wie zuvor in Bezug auf **Fig. 16A** besprochen wurde.

[0170] Leitfähige Segmente 1661, 1662 und 1663 sind eingerichtet. Das leitfähige Segment 1661 ist als ein geschienter Block geformt und ist in manchen Ausführungsformen auch als der Mo-Springer bezeichnet, entsprechend dem leitfähigen Segment 124, das in **Fig. 3B** oder **Fig. 3C** veranschaulicht ist. Das leitfähige Segment 1661 koppelt die leitfähigen Schienen 1643 und 1644 aneinander. Mit solchen Konfigurationen sind die MD-Segmente 1625 und 1622 aneinandergeschaltet, was den Knoten B1 und A2 entspricht, die zwischen der Verbindung ZN gekoppelt sind, wie zuvor in Bezug auf **Fig. 16A** besprochen wurde. Zusätzlich sind die MD-Segmente 1625, 1622 und 1624 weiter aneinandergeschaltet, was den Knoten B1, A2 und A4 entspricht, die aneinandergeschaltet sind, wie zuvor in Bezug auf **Fig. 16A** besprochen wurde.

[0171] Außerdem sind die leitfähigen Segmente 1662 und 1663 auch als die Vo-Schienen bezeichnet und entsprechen in manchen Ausführungsformen den leitfähigen Segmenten 111 und 112, wie in **Fig. 3A-3C** veranschaulicht. Wie zuvor in Bezug auf die VD-Durchkontaktierungen 1631-1636 besprochen, koppelt das leitfähige Segment 1662 sowohl an die leitfähige Schiene 1641 als auch die MD-Segmente 1621 und 1623, die weiter an die Stromschiene VDD gekoppelt sind. Das leitfähige Segment 1663 koppelt sowohl an die leitfähige Schiene 1647 als auch das MD-Segment 1628, das weiter an die Stromschiene VSS gekoppelt ist.

[0172] Es wird nun Bezug auf **Fig. 17A** genommen. **Fig. 17A** ist ein Schaltungsdiagramm einer IC 1700A in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung. Zur Veranschaulichung der IC 1700A weist ein PMOS-Transistor P1 einen Gate-Anschluss A1, einen Drain-Anschluss (D-Anschluss) und einen Source-Anschluss (S-Anschluss) auf. Ein NMOS-Transistor N1 weist einen Gate-Anschluss B2, einen D-Anschluss und einen S-Anschluss auf. Der S-Anschluss des PMOS-Transistors P1 ist mit dem D-Anschluss des NMOS-Transistors N1 gekoppelt, um ein erstes Transistorpaar zu bilden. Ein PMOS-Transistor P2 weist einen Gate-Anschluss B1, einen D-Anschluss

und einen S-Anschluss auf. Ein NMOS-Transistor N2 weist einen Gate-Anschluss A2, einen D-Anschluss und einen S-Anschluss auf. Der D-Anschluss des PMOS-Transistors P2 ist mit dem S-Anschluss des NMOS-Transistors N2 gekoppelt, um ein zweites Transistorpaar zu bilden.

[0173] Der Gate-Anschluss A1 des PMOS-Transistors P1 ist mit dem Gate-Anschluss A2 des NMOS-Transistors N2 gekoppelt. Der Gate-Anschluss B1 des PMOS-Transistors P2 ist mit dem Gate-Anschluss B2 des NMOS-Transistors N1 gekoppelt. Der S-Anschluss des PMOS-Transistors P1 und der D-Anschluss des NMOS-Transistors N1 sind mit dem D-Anschluss des PMOS-Transistors P2 und dem S-Anschluss des NMOS-Transistors N2 gekoppelt, um eine Verbindung Z anzugeben, wie in **Fig. 17A** gezeigt, um als eine Übertragungsgate-Schaltung 1700A zu arbeiten. In manchen Ausführungsformen ist die Verbindung Z weiter an eine Signalschiene gekoppelt und arbeitet als ein Ausgangsanschluss der Schaltung 1700A, um ein Datensignal zu übertragen. In manchen Ausführungsformen ist die Übertragungsgate-Schaltung 1700A in einer Einzelzelle. Um die Übertragungsgate-Schaltung 1700A zu implementieren, die die Verbindung Z in den Ausführungsformen der vorliegenden Offenbarung aufweist, sind Ausführungsformen von Layoutdesigns und/oder Strukturen wie detaillierter unten beschrieben, wie in Bezug auf **Fig. 17B**, **Fig. 17C** oder **Fig. 17D** veranschaulicht, bereitgestellt.

[0174] Es wird nun Bezug auf **Fig. 17B** und **Fig. 17C** genommen. **Fig. 17B** und **Fig. 17C** sind Layoutdiagramme 1700B und 1700C von ICs entsprechend der IC 1700A von **Fig. 17A**, in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung. Zur Einfachheit der Veranschaulichung des Layoutdiagramms 1700B oder 1700C ist bloß ein Teil vom Layoutdiagramm zum Implementieren der IC1700A von **Fig. 17A** veranschaulicht.

[0175] In manchen Ausführungsformen veranschaulicht das Layoutdiagramm 1700B oder 1700C eine Einheitsstruktur, in der die Einheitsstruktur im Stande ist, als eine Basiseinheit oder als Teil eines Bauelements oder einer Schaltung, die das Übertragungsgate wie zuvor in Bezug auf **Fig. 17A** besprochen aufweist, gefertigt zu werden, um unterschiedliche Layoutdiagramme zu implementieren. Anders ausgedrückt ist in manchen Ausführungsformen das Layoutdiagramm 1700B oder 1700C in unterschiedlichen Layoutdiagrammen zum Implementieren der Bauelemente oder Schaltungen, die das Übertragungsgate aufweisen, implementiert.

[0176] Wie in **Fig. 17B** veranschaulicht, weist das Layoutdiagramm 1700B Gates 1711 und 1712, MD-Segmente (nicht gekennzeichnet), leitfähige Schienen 1741, 1742 und 1743, VG-Durchkontaktierungen

1751 und 1752, ein leitfähiges Segment 1761 und Schnittsegmente 1771 und 1772 auf.

[0177] Die Schnittsegmente 1771 und 1772 sind in dem aktiven Bereich eingerichtet und erstrecken sich entlang der Reihenrichtung, als „CT“ in **Fig. 17B** strukturiert, zum Abschneiden leitfähiger Segmente in dem Layoutdiagramm 1700B. Zum Beispiel ist das Schnittsegment 1771 konfiguriert, das Gate 1711 abzuschneiden und das Schnittsegment 1772 ist konfiguriert, das Gate 1712 abzuschneiden. Anders ausgedrückt sind die Schnittsegmente 1771 und 1772 konfiguriert, ein Gate 1711 oder 1712 zu zwei getrennten Abschnitten zu trennen. In manchen Ausführungsformen entsprechen die Schnittsegmente 1771 und 1772 den Schnittsegmenten CT, die mindestens in **Fig. 1A** gezeigt sind.

[0178] Die VG-Durchkontaktierung 1751 koppelt das Gate 1711 mit der VG-Durchkontaktierung 1751 an die leitfähige Schiene 1743 und VG-Durchkontaktierung 1752 koppelt das Gate 1712 mit der VG-Durchkontaktierung 1752 an die leitfähige Schiene 1741.

[0179] Das leitfähige Segment 1761 ist teilweise mit dem Gate 1711, dem Schnittsegment 1771, den leitfähigen Schienen 1741 und 1743 und der VG-Durchkontaktierung 1751 überlappt. Das leitfähige Segment 1761 ist auch als der Mo-Springer bezeichnet und entspricht in manchen Ausführungsformen dem leitfähigen Segment 121, 122 oder 123, wie in **Fig. 3A** oder **Fig. 3C** veranschaulicht. Das leitfähige Segment 1761 koppelt die leitfähigen Schienen 1741 und 1743 aneinander.

[0180] In der Veranschaulichung von **Fig. 17B** ist ein Poly-Abstand D1 als eine Distanz zwischen zwei angrenzenden Gates 1711 und 1712 bezeichnet. Ein Mo-Abstand D2 ist als eine Distanz zwischen zwei angrenzenden leitfähigen Schienen 1741 und 1742 bezeichnet. In manchen Ausführungsformen entspricht der Poly-Abstand D1 dem Poly-Abstand D1, der in **Fig. 3A** bis **Fig. 3C** gezeigt ist, und der Mo-Abstand D2 entspricht dem Mo-Abstand D2, der in **Fig. 3A** bis **Fig. 3C** gezeigt ist.

[0181] Die Schnittsegmente 1771 und 1772 sind durch eine Distanz D3 in der Spaltenrichtung getrennt. Die Distanz D3 ist als ein Stoßintervall zwischen zwei angrenzenden Rändern dieser zwei angrenzenden Schnittsegmente 1771 und 1772 bezeichnet, wie in **Fig. 17B** veranschaulicht. Zusätzlich ist das Gate 1711 von dem Schnittsegment 1772 durch eine Distanz D4 in der Reihenrichtung getrennt. Das Schnittsegment 1772 ist nicht über dem Gate 1711 eingerichtet und ist neben dem Gate 1711 eingerichtet. Die Distanz D4 ist als ein Intervall zwischen einem Rand des Schnittsegments 1772 und einem Rand des Gates 1711 bezeichnet.

Der Rand des Schnittsegments 1772 und der Rand des Gates 1711 sind nebeneinander eingerichtet.

[0182] In manchen Ausführungsformen ist ein Minimum der Distanz D3 etwa in einer Spanne von 0,3-mal dem Mo-Abstand D2 bis 0,6-mal dem Mo-Abstand D2 (d.h. $0,3 \cdot \text{Mo-Abstand D2} \sim 1 \cdot \text{Mo-Abstand D2}$). In unterschiedlichen Ausführungsformen ist die Distanz D4 etwa in einer Spanne von 0,4-mal des Poly-Abstands D1 bis 0,6-mal des Poly-Abstands D1 (d.h. $0,3 \cdot \text{Poly-Abstand D1} \sim 1 \cdot \text{Poly-Abstand D1}$).

[0183] Wie in **Fig. 17C** veranschaulicht, weist das Layoutdiagramm 1700C Gates 1713, 1714 und 1715, MD-Segmente (nicht gekennzeichnet), leitfähige Schienen 1744 und 1745, VG-Durchkontaktierung 1753, ein leitfähiges Segment 1762 und Schnittsegmente 1773 und 1774 auf.

[0184] Das Schnittsegment 1773 ist teilweise mit dem Gate 1713 überlappt und konfiguriert, das Gate 1713 abzuschneiden. Das Schnittsegment 1774 ist teilweise mit dem Gate 1715 überlappt und ist konfiguriert, das Gate 1715 abzuschneiden. In manchen Ausführungsformen entsprechen die Schnittsegmente 1773 und 1774 den Schnittsegmenten CT, die mindestens in **Fig. 1A** gezeigt sind.

[0185] Die VG-Durchkontaktierung 1753 ist mit dem Gate 1713 und der leitfähigen Schiene 1745 überlappt, um das Gate 1713 mit der VG-Durchkontaktierung 1753 an die leitfähige Schiene 1745 zu koppeln. Die VG-Durchkontaktierung 1752 ist mit dem Gate 1715 und der leitfähigen Schiene 1744 überlappt, um das Gate 1715 mit der VG-Durchkontaktierung 1754 an die leitfähige Schiene 1744 zu koppeln.

[0186] Das leitfähige Segment 1762 ist teilweise mit dem Gate 1715, dem Schnittsegment 1774, den leitfähigen Schienen 1744 und 1745 und der VG-Durchkontaktierung 1754 überlappt. Das leitfähige Segment 1762 ist auch als der Mo-Springer bezeichnet und entspricht in manchen Ausführungsformen dem leitfähigen Segment 121, 122 oder 123, wie in **Fig. 3A** oder **Fig. 3C** veranschaulicht. Das leitfähige Segment 1762 koppelt die leitfähigen Schienen 1744 und 1745 aneinander.

[0187] In der Veranschaulichung von **Fig. 17C** entsprechen der Poly-Abstand D1 und der Mo-Abstand D2 dem Poly-Abstand D1 und dem Mo-Abstand D2, die in **Fig. 17B** gezeigt sind. Die Schnittsegmente 1773 und 1774 sind durch eine Distanz D5 in der Spaltenrichtung getrennt. Die Distanz D5 ist als ein Stoßintervall zwischen zwei angrenzenden Rändern dieser zwei angrenzenden Schnittsegmente 1773 und 1774 bezeichnet, wie in **Fig. 17C** veranschaulicht. Das Gate 1714 ist von dem Schnittsegment 1774 durch eine Distanz D6 in der Reihenrichtung

getrennt. Das Schnittsegment 1775 ist nicht über das Gate 1714 eingerichtet und ist nicht neben dem Gate 1714 eingerichtet. Die Distanz D6 ist als ein Intervall zwischen zwei angrenzenden Rändern des Schnittsegments 1774 und des Gates 1714 bezeichnet.

[0188] In manchen Ausführungsformen entspricht die Distanz D5 der Distanz D3, die in **Fig. 17B** gezeigt ist, und weist einen ähnlichen Spannenumfang auf. In manchen anderen Ausführungsformen entspricht die Distanz D6 der in **Fig. 17B** gezeigten Distanz D4 und weist einen ähnlichen Spannenumfang auf.

[0189] Es wird nun Bezug auf **Fig. 17D** genommen. **Fig. 17D** ist ein Layoutdiagramm 1700D von ICs entsprechend der IC 1700A von **Fig. 17A**, in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung.

[0190] In der Veranschaulichung von **Fig. 17D** sind Gates 1711 und 1712 als Gate-Anschlüsse von PMOS-Transistoren P1-P2 oder NMOS-Transistoren N1-N2 in **Fig. 17A** eingerichtet. MD-Segmente 1721, 1722, 1723, 1724 und 1725 sind als Source/Drain-Anschlüsse von PMOS-Transistoren P1-P2 oder NMOS-Transistoren N1-N2 in **Fig. 17A** eingerichtet.

[0191] Schnittsegmente 1771 und 1772 sind eingerichtet und werden zur Fertigung des Layoutdiagramms 1700D entfernt. Das Schnittsegment 1771 ist über das Gate 1711 zum Trennen des Gates 1711 zu zwei Abschnitten eingerichtet, die das Gate 1711 mit einer VG 1751 und das Gate 1711 mit einer VG 1753 aufweisen. Das Schnittsegment 1771 ist teilweise mit einer leitfähigen Schiene 1743 und dem Gate 1711 überlappt. Das Schnittsegment 1772 ist über das Gate 1712 zum Trennen des Gates 1712 zu zwei Abschnitten eingerichtet, die das Gate 1712 mit einer VG 1752 und das Gate 1712 mit einer VG 1754 aufweisen. Das Schnittsegment 1772 ist teilweise mit einer leitfähigen Schiene 1744 und dem Gate 1712 überlappt.

[0192] Das Gate 1711 mit der VG 1751 und die MD-Segmente 1721 und 1722 entsprechen gemeinsam dem PMOS-Transistor P1. Das Gate 1712 mit der VG 1752 und die MD-Segmente 1722 und 1723 entsprechen gemeinsam dem PMOS-Transistor P2. Das Gate 1711 mit der VG 1753 und die MD-Segmente 1724 und 1722 entsprechen gemeinsam dem NMOS-Transistor N1. Das Gate 1712 mit der VG 1754 und die MD-Segmente 1722 und 1725 entsprechen gemeinsam dem NMOS-Transistor N2. In solchen Ausführungsformen teilen sich die PMOS-Transistoren P1 und P2 und die NMOS-Transistoren N1 und N2 das MD-Segment 1722, was den PMOS-Transistoren P1 und P2 und den NMOS-Transistoren

N1 und N2 entspricht, die zwischen der Verbindung Z gekoppelt sind, wie in **Fig. 17A** veranschaulicht ist.

[0193] Leitfähige Schienen 1741, 1742, 1743, 1744, 1745 und 1746 sind eingerichtet. In manchen Ausführungsformen sind die leitfähigen Schienen 1741, 1742, 1743, 1744, 1745 und 1746 als die leitfähigen Signalschienen bezeichnet, die zuvor mindestens in Bezug auf **Fig. 4** besprochen wurden.

[0194] CD-Durchkontaktierung 1731 ist eingerichtet. Die VD-Durchkontaktierung 1731 koppelt das MD-Segment 1722 an die leitfähige Schiene 1746, die weiter an eine Signalschiene (nicht gezeigt) gekoppelt ist, die in der M1-Schicht eingerichtet ist. In manchen Ausführungsformen ist die Signalschiene als der Ausgangsanschluss zum Übertragen des Signals angegeben, das von der Verbindung Z übertragen wird, wie zuvor in Bezug auf **Fig. 17A** besprochen wurde.

[0195] VG-Durchkontaktierungen 1751, 1752, 1753 und 1754 sind eingerichtet. Die VG-Durchkontaktierung 1751 koppelt das Gate 1711 mit der VG-Durchkontaktierung 1751 an die leitfähige Schiene 1741, die weiter an eine erste Signalschiene (nicht gezeigt) gekoppelt ist, die in der M1-Schicht eingerichtet ist. Die VG-Durchkontaktierung 1752 koppelt das Gate 1712 mit der VG-Durchkontaktierung 1752 an die leitfähige Schiene 1743, die weiter an die zweite Signalschiene (nicht gezeigt) gekoppelt ist. Die VG-Durchkontaktierung 1753 koppelt das Gate 1711 mit der VG-Durchkontaktierung 1753 an die leitfähige Schiene 1744, die weiter an die zweite Signalschiene gekoppelt ist. Die VG-Durchkontaktierung 1754 koppelt das Gate 1712 mit der VG-Durchkontaktierung 1754 an die leitfähige Schiene 1745, die weiter an die erste Signalschiene gekoppelt ist. In solchen Konfigurationen entspricht dies dem Gate-Anschluss A1 des PMOS-Transistors P1 und dem Gate-Anschluss A2 des NMOS-Transistors, die aneinandergesetzt sind, um ein erstes Signal zu empfangen, das von der ersten Signalschiene übertragen wird, wie zuvor in Bezug auf **Fig. 17A** besprochen. Ähnlich entspricht es dem Gate-Anschluss B1 des PMOS-Transistors P2 und dem Gate-Anschlusse N2 des NMOS-Transistors B2, die aneinandergesetzt sind, um ein zweites Signal zu empfangen, das von der zweiten Signalschiene übertragen wird, wie zuvor in Bezug auf **Fig. 17A** besprochen.

[0196] Leitfähiges Segment 1761 ist eingerichtet. Das leitfähige Segment 1761 ist als ein Block geformt und ist in manchen Ausführungsformen auch als der Mo-Springer bezeichnet, entsprechend dem leitfähigen Segment 121, 122 oder 123, wie in **Fig. 3A** oder **Fig. 3C** veranschaulicht. Das leitfähige Segment 1761 ist teilweise mit dem Gate 1711, dem Schnittsegment 1771, zwei angrenzenden leitfähigen

Schienen 1743 und 1744 und der VG-Durchkontaktierung 1753 überlappt. Das leitfähige Segment 1761 koppelt die leitfähigen Schienen 1743 und 1744 aneinander. Wie zuvor besprochen, sind die leitfähigen Schienen 1743 und 1744 weiter an die zweite Signalschiene gekoppelt, indem sie die Anordnung des leitfähigen Segments 1761 aufweisen.

[0197] Es wird nun Bezug auf **Fig. 17E** genommen. **Fig. 17E** ist ein Layoutdiagramm 1700E von ICs entsprechend der IC 1700A von **Fig. 17A**, in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung.

[0198] In der Veranschaulichung von **Fig. 17E**, verglichen mit den Ausführungsformen in **Fig. 17D**, ist das Schnittsegment 1771 teilweise mit einer leitfähigen Schiene 1744 und dem Gate 1711 überlappt und das Schnittsegment 1772 ist teilweise mit einer leitfähigen Schiene 1745' und dem Gate 1712 überlappt. Die VG-Durchkontaktierung 1753 koppelt das MD-Segment 1722 an die leitfähige Schiene 1743, die weiter an die Signalschiene (nicht gezeigt) als eine Ausgangsschiene zum Übertragen des Signals, das von der Verbindung Z übertragen wird, gekoppelt ist, wie zuvor in Bezug auf **Fig. 17A** besprochen wurde. Die VG-Durchkontaktierung 1752 koppelt das Gate 1712 mit der VG-Durchkontaktierung 1752 an die leitfähige Schiene 1744, die weiter an die zweite Signalschiene gekoppelt ist. Die VG-Durchkontaktierung 1753 koppelt das Gate 1711 mit der VG-Durchkontaktierung 1753 an die leitfähige Schiene 1744, die weiter an die zweite Signalschiene gekoppelt ist. Die VG-Durchkontaktierung 1754 koppelt das Gate 1712 mit der VG-Durchkontaktierung 1754 an die leitfähige Schiene 1745, die weiter an die erste Signalschiene gekoppelt ist. In solchen Konfigurationen entspricht es auch den in **Fig. 17A** veranschaulichten Verbindungen, wie in Bezug auf **Fig. 17D** besprochen wurde. Das leitfähige Segment 1761 ist teilweise mit dem Gate 1711, dem Schnittsegment 1771, zwei angrenzenden leitfähigen Schienen 1744 und 1745 und der VG-Durchkontaktierung 1753 überlappt.

[0199] Es wird nun Bezug auf **Fig. 18A** genommen. **Fig. 18A** ist ein Schaltungsdiagramm einer IC 1800A, die ein Äquivalent der Übertragungsgate-Schaltung 1700A in **Fig. 17A** ist, in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung. In der Veranschaulichung von **Fig. 18A**, verglichen mit **Fig. 17A**, weist die IC 1800A weiter einen PMOS-Transistor P3 und einen NMOS-Transistor N3 auf. Ein Gate-Anschluss des PMOS-Transistors P1 ist an einen Knoten A1 gekoppelt; ein Gate-Anschluss des PMOS-Transistors P2 ist an einen Knoten B1 gekoppelt; ein Gate-Anschluss des PMOS-Transistors P3 ist an einen Gate des NMOS-Transistors N2 gekoppelt. Ein Gate-Anschluss des NMOS-Transistors N1 ist an einen Knoten B2 gekop-

pelt; ein Gate-Anschluss des NMOS-Transistors N3 ist mit dem Gate des PMOS-Transistors P2 gekoppelt; der Gate-Anschluss des NMOS-Transistors N2 ist an einen Knoten A2 gekoppelt. Der Knoten A2 ist weiter an den Gate-Anschluss des PMOS-Transistors P3 gekoppelt. Der Knoten B1 ist weiter an den Knoten B2 wie durch Verbindung angegeben, die in **Fig. 18A** gezeigt ist, gekoppelt. Um die IC 1800A zu implementieren, die die Verbindung Z zwischen den Knoten B1 und B2 in den Ausführungsformen der vorliegenden Offenbarung aufweist, sind Ausführungsformen von Layoutdesigns und/oder Strukturen bereitgestellt und unten wie in Bezug auf **Fig. 18B** veranschaulicht besprochen.

[0200] Darüber hinaus ist ein Source/Drain-Anschluss des PMOS-Transistors P1 an einen Source/Drain-Anschluss des PMOS-Transistors P2 bei einem Knoten S1 gekoppelt; ein Source/Drain-Anschluss des PMOS-Transistors P2 ist an einen Source/Drain-Anschluss des PMOS-Transistors P3 bei einem Knoten S2 gekoppelt; und ein Source/Drain-Anschluss des PMOS-Transistors P3 ist an einen Knoten S2' gekoppelt. Ein Source/Drain-Anschluss des NMOS-Transistors N1 ist an einen Source/Drain-Anschluss des NMOS-Transistors N3 bei einem Knoten S3 gekoppelt; ein Source/Drain-Anschluss des NMOS-Transistors N2 ist an einen Source/Drain-Anschluss des NMOS-Transistors N2 bei einem Knoten S3' gekoppelt. Der Knoten S1 ist weiter an den Knoten S3 gekoppelt, wie durch Verbindung Z' angegeben, wie in **Fig. 18A** gezeigt ist. Um die IC 1800A zu implementieren, die die Verbindung Z' zwischen den Knoten S1 und S3 in den Ausführungsformen der vorliegenden Offenbarung aufweist, sind Ausführungsformen von Layoutdesigns und/oder Strukturen bereitgestellt und unten wie in Bezug auf **Fig. 18B** veranschaulicht besprochen.

[0201] Der Knoten S2 ist weiter an den Knoten S2' gekoppelt, was dem Source-Anschluss und dem Drain-Anschluss des PMOS-Transistors P3, die aneinandergeschlossen sind, entspricht. Der Source- und Drain-Anschluss des PMOS-Transistors P3 sind in einer Kurzschlusskonfiguration aneinandergeschlossen, sodass der PMOS-Transistor P3 untätig ist. Zusätzlich ist der Knoten S3 weiter an den Knoten S3' gekoppelt, was dem Source-Anschluss und dem Drain-Anschluss des NMOS-Transistors N3, die aneinandergeschlossen sind, entspricht. Der Source- und Drain-Anschluss des NMOS-Transistors N3 sind in einer Kurzschlusskonfiguration aneinandergeschlossen, sodass der NMOS-Transistor N3 untätig ist. Mit den Verbindungen des PMOS-Transistors P3 und des NMOS-Transistors N3, wie in **Fig. 18A** veranschaulicht, ist die IC 1800A im Stande, als eine Schaltung zu arbeiten, die ein Äquivalent der Übertragungsgate-Schaltung 1700A in **Fig. 17A** ist.

[0202] **Fig. 18B** ist ein Layoutdiagramm 1800B einer IC entsprechend der IC 1800A von **Fig. 18A**, in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung.

[0203] In der Veranschaulichung von **Fig. 18B** sind Gates 1811, 1812 und 1813 als Gate-Anschlüsse von PMOS-Transistoren P1-P3 oder NMOS-Transistoren N1-N3 in **Fig. 18A** eingerichtet. MD-Segmente 1821, 1822, 1823, 1824, 1825, 1826 und 1827 sind als Source/Drain-Anschlüsse von PMOS-Transistoren P1-P3 oder NMOS-Transistoren N1-N3 in **Fig. 18A** eingerichtet.

[0204] Ein Schnittsegment 1871 ist eingerichtet und wird zur Fertigung der IC 1800A entfernt. Das Schnittsegment 1871 ist über das Gate 1811 zum Trennen des Gates 1811 zu zwei Abschnitten eingerichtet, die das Gate 1811 mit einer VG 1851 und das Gate 1811 mit einer VG 1853 aufweisen.

[0205] Das Gate 1811 mit der VG 1851 und die MD-Segmente 1821 und 1822 entsprechen gemeinsam dem PMOS-Transistor P1. Das Gate 1812 und die MD-Segmente 1822 und 1823 entsprechen gemeinsam dem PMOS-Transistor P2. In solchen Ausführungsformen teilen sich die PMOS-Transistoren P1 und P2 das MD-Segment 1822, was den Transistoren P1 und P2 entspricht, die bei dem Knoten S1 gekoppelt sind, wie in **Fig. 18A** veranschaulicht ist. Das Gate 1813 und die MD-Segmente 1823 und 1824 entsprechen gemeinsam dem PMOS-Transistor P3. In solchen Ausführungsformen teilen sich die PMOS-Transistoren P2 und P3 das MD-Segment 1823, was den PMOS-Transistoren P2 und P3 entspricht, die bei dem Knoten S2 gekoppelt sind, wie in **Fig. 16A** veranschaulicht ist. Das Gate 1811 mit der VG 1853 und die MD-Segmente 1825 und 1822 entsprechen gemeinsam dem NMOS-Transistor N1. Das Gate 1812 und die MD-Segmente 1822 und 1826 entsprechen gemeinsam dem NMOS-Transistor N3. In solchen Ausführungsformen teilen sich die NMOS-Transistoren N1 und N3 das MD-Segment 1822, was den NMOS-Transistoren N1 und N2 entspricht, die bei dem Knoten S3 gekoppelt sind, wie in **Fig. 18A** veranschaulicht ist. Darüber hinaus teilen sich die PMOS-Transistoren P1 und P2 und die NMOS-Transistoren N1 und N3 das MD-Segment 1822, was den PMOS-Transistoren P1 und P2 und den NMOS-Transistoren N1 und N3 entspricht, die zwischen der Verbindung Z' gekoppelt sind, wie in **Fig. 18A** veranschaulicht ist. Das Gate 1813 und die MD-Segmente 1826 und 1827 entsprechen gemeinsam dem NMOS-Transistor N2. In solchen Ausführungsformen teilen sich die NMOS-Transistoren N3 und N2 das MD-Segment 1826, was den NMOS-Transistoren N3 und N2 entspricht, die bei dem Knoten S3' gekoppelt sind, wie in **Fig. 18A** veranschaulicht ist.

[0206] Leitfähige Schienen 1841, 1842, 1843, 1844, 1845, 1846, 1847 und 1848 sind eingerichtet. In manchen Ausführungsformen sind die leitfähigen Schienen 1842, 1843, 1844, 1846, 1847 und 1848 als die leitfähigen Signalschienen bezeichnet und die leitfähigen Schienen 1841 und 1845 sind als die leitfähigen Leistungsschienen bezeichnet, die zuvor mindestens in Bezug auf **Fig. 4** besprochen wurden.

[0207] VD-Durchkontaktierungen 1831, 1832, 1833, 1834 und 1835 sind eingerichtet. Die VD-Durchkontaktierung 1831 koppelt das MD-Segment 1822 an die leitfähige Schiene 1842. Die VD-Durchkontaktierung 1832 koppelt das MD-Segment 1823 an die leitfähige Schiene 1846 und die VD-Durchkontaktierung 1833 koppelt das MD-Segment 1824 an die leitfähige Schiene 1846. In solchen Ausführungsformen sind der Source-Anschluss des PMOS-Transistors P3 und der Drain-Anschluss des PMOS-Transistors P3 aneinandergeschaltet, was den Source/Drain-Anschlüssen des PMOS-Transistors P3 entspricht, die bei den Knoten S2 und S2' als die Kurzschlusskonfiguration geschaltet sind, wie in **Fig. 18A** veranschaulicht ist. Ähnlich koppelt die VD-Durchkontaktierung 1835 das MD-Segment 1822 an die leitfähige Schiene 1845 und die VD-Durchkontaktierung 1835 koppelt das MD-Segment 1826 an die leitfähige Schiene 1846. In solchen Ausführungsformen sind der Source-Anschluss des NMOS-Transistors N2 und der Drain-Anschluss des NMOS-Transistors N2 aneinandergeschaltet, was den Source/Drain-Anschlüssen des NMOS-Transistors N2 entspricht, die bei den Knoten S3 und S3' als die Kurzschlusskonfiguration aneinandergeschaltet sind, wie in **Fig. 18A** veranschaulicht ist.

[0208] VG-Durchkontaktierungen 1851, 1852, 1853 und 1854 sind eingerichtet. Die VG-Durchkontaktierung 1851 koppelt das Gate 1811 mit der VG 1851 an die leitfähige Schiene 1841, die weiter an eine erste Signalschiene (nicht gezeigt) geschaltet ist, die in der M1-Schicht eingerichtet ist. Das entspricht dem PMOS-Transistor P1 in **Fig. 18A**, der bei dem Knoten A1 geschaltet ist. Die VG-Durchkontaktierung 1852 koppelt das Gate 1812 an die leitfähige Schiene 1843. Die VG-Durchkontaktierung 1853 koppelt das Gate 1812 mit der VG 1853 an die leitfähige Schiene 1844. Die VG-Durchkontaktierung 1854 koppelt das Gate 1813 an die leitfähige Schiene 1847, die weiter an eine zweite Signalschiene (nicht gezeigt) geschaltet ist, die in der M1-Schicht eingerichtet ist. Das entspricht dem NMOS-Transistor N2 in **Fig. 18A**, der bei dem Knoten A2 geschaltet ist.

[0209] Ein leitfähiges Segment 1861 ist eingerichtet und ist teilweise mit dem Schnittsegment 1871, dem Gate 1811, den leitfähigen Schienen 1843 und 1844 und der VG-Durchkontaktierung 1853 überlappt. Das leitfähige Segment 1861 ist als ein Block geformt und ist in manchen Ausführungsformen auch als ein Mo-

Springer bezeichnet, entsprechend dem leitfähigen Segment 121, 122 oder 123, wie in **Fig. 3A** oder **Fig. 3C** veranschaulicht. Das leitfähige Segment 1861 koppelt die leitfähigen Schienen 1843 und 1844 aneinander. Mit solchen Konfigurationen sind das Gate 1811 mit der VG-Durchkontaktierung 1853 und das Gate 1812 aneinandergeschaltet, was den Knoten B1 und B2 entspricht, die zwischen der Verbindung Z geschaltet sind, wie zuvor in Bezug auf **Fig. 18A** besprochen wurde.

[0210] Es wird nun Bezug auf **Fig. 19A** genommen. **Fig. 19A** ist ein Schaltungsdiagramm einer IC 1900A, die ein Äquivalent der Übertragungsgate-Schaltung 1700A in **Fig. 17A** ist, in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung. In der Veranschaulichung von **Fig. 19A**, verglichen mit **Fig. 17A**, weist die IC 1900A weitere PMOS-Transistoren P3, P4, P5 und P6 und NMOS-Transistoren N3, N4, N5 und N6 auf. Ein Gate-Anschluss des PMOS-Transistors P1 ist an einen Gate-Anschluss des NMOS-Transistors N1 bei einem Knoten C1 geschaltet; ein Gate-Anschluss des PMOS-Transistors P2 ist an einen Gate-Anschluss des NMOS-Transistors N2 geschaltet, wie durch Verbindung I1 angegeben; ein Gate-Anschluss des PMOS-Transistors P3 ist an einen Knoten SB1 geschaltet; ein Gate-Anschluss des PMOS-Transistors P4 ist an einen Gate-Anschluss des NMOS-Transistors N4 geschaltet, wie durch Verbindung I2 angegeben; ein Gate-Anschluss des PMOS-Transistors P5 ist an einen Knoten S1 geschaltet; ein Gate-Anschluss des PMOS-Transistors P6 ist an einen Gate-Anschluss des NMOS-Transistors N6 geschaltet, wie durch Verbindung S2 angegeben; ein Gate-Anschluss des NMOS-Transistors N3 ist an einen Knoten S3 geschaltet; und ein Gate-Anschluss des NMOS-Transistors N5 ist an einen Knoten SB3 geschaltet.

[0211] In manchen Ausführungsformen sind zur Veranschaulichung der **Fig. 19A** und **Fig. 19B** die Knoten SB1, SB2 und die Verbindung SB3 weiter an eine erste Signalschiene geschaltet, die als SB (nicht gezeigt) angegeben ist, um ein erstes Signal zu empfangen, das von der ersten Signalschiene übertragen wird. Die Knoten S1, S2 und S3 sind weiter an eine zweite Signalschiene geschaltet, die als S (nicht gezeigt) angegeben ist, um ein zweites Signal, anders als das erste Signal, zu empfangen, das von der Signalschiene übertragen wird. Die Verbindung I1 ist weiter an eine dritte Signalschiene geschaltet, die als I1 (nicht gezeigt) angegeben ist, um ein drittes Signal zu empfangen, das von der dritten Signalschiene übertragen wird. Die Verbindung I2 ist weiter an eine vierte Signalschiene geschaltet, die als I2 (nicht gezeigt) geschaltet ist, um ein viertes Signal zu empfangen, das von der vierten Signalschiene übertragen wird.

[0212] Darüber hinaus ist ein Source/Drain-Anschluss des PMOS-Transistors P1 an einen Knoten A1 gekoppelt; ein Source/Drain-Anschluss des PMOS-Transistors P1 ist an einen Source/Drain-Anschluss eines PMOS-Transistors P2 bei einem Knoten A2 gekoppelt; ein Source/Drain-Anschluss des PMOS-Transistors P2 ist an einen Source/Drain-Anschluss eines PMOS-Transistors P3 gekoppelt; ein Source/Drain-Anschluss des PMOS-Transistors P3 ist an einen Source/Drain-Anschluss eines PMOS-Transistors P4 bei einem Knoten A3 gekoppelt; ein Source/Drain-Anschluss des PMOS-Transistors P4 ist an einen Source/Drain-Anschluss eines PMOS-Transistors P5 gekoppelt; ein Source/Drain-Anschluss des PMOS-Transistors P5 ist an einen Source/Drain-Anschluss eines PMOS-Transistors P6 bei einem Knoten A4 gekoppelt; und ein Source/Drain-Anschluss des PMOS-Transistors P6 ist an einen Knoten A5 gekoppelt. Ein Source/Drain-Anschluss des NMOS-Transistors N1 ist an einen Knoten B1 gekoppelt; ein Source/Drain-Anschluss des NMOS-Transistors N1 ist an einen Source/Drain-Anschluss eines NMOS-Transistors N2 bei einem Knoten B2 gekoppelt; ein Source/Drain-Anschluss des NMOS-Transistors N2 ist an einen Source/Drain-Anschluss eines NMOS-Transistors N3 gekoppelt; ein Source/Drain-Anschluss des NMOS-Transistors N3 ist an einen Source/Drain-Anschluss eines NMOS-Transistors N4 bei einem Knoten B3 gekoppelt; ein Source/Drain-Anschluss des NMOS-Transistors N4 ist an einen Source/Drain-Anschluss eines NMOS-Transistors N5 gekoppelt; ein Source/Drain-Anschluss des NMOS-Transistors N5 ist an einen Source/Drain-Anschluss eines NMOS-Transistors N6 bei einem Knoten B4 gekoppelt; und ein Source/Drain-Anschluss des NMOS-Transistors N6 ist an einen Knoten B5 gekoppelt.

[0213] Die Knoten A2 und B5 sind weiter an eine Leistungsschiene gekoppelt, die als VDD bezeichnet ist. Die Knoten B2 und B5 sind weiter an eine andere Leistungsschiene gekoppelt, die als VSS bezeichnet ist. Der Knoten C2 ist weiter an den Knoten C1 gekoppelt. Der Knoten A1 ist weiter an den Knoten B1 gekoppelt, wie durch Verbindung Z angegeben. Der Knoten A3 ist weiter an den Knoten B3 bei einem Knoten C2 gekoppelt. Der Knoten C2 ist weiter an den Knoten C1 gekoppelt, wie durch Verbindung S4 angegeben. Der Knoten A5 ist weiter an den Knoten B5 gekoppelt, wie durch Verbindung SB2 angegeben. Um die IC 1900A zu implementieren, die die Verbindung Z zwischen den Knoten A1 und B1, die Verbindung S4 zwischen den Knoten C1 und C2 und die Verbindung SB2 zwischen den Knoten A5 und B5 in den Ausführungsformen der vorliegenden Offenbarung aufweist, sind Ausführungsformen von Layoutdesigns und/oder Strukturen bereitgestellt und unten wie in Bezug auf **Fig. 19B** veranschaulicht besprochen.

[0214] **Fig. 19B** ist ein Layoutdiagramm 1900B einer IC, entsprechend der IC 1900A von **Fig. 19A**, in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung. Verglichen mit dem Layout 1800B in **Fig. 18B**, sind weniger leitfähige Schienen in dem Layoutdiagramm 1900B eingerichtet.

[0215] In der Veranschaulichung von **Fig. 19B** sind Gates 1911, 1912, 1913, 1914, 1915 und 1916 als Gate-Anschlüsse von PMOS-Transistoren P1-P6 oder NMOS-Transistoren N1-N6 in **Fig. 18A** eingerichtet. MD-Segmente 1920, 1920', 1921, 1922, 1923, 1924, 1925, 1926, 1927, 1928 und 1929 sind als Source/Drain-Anschlüsse von PMOS-Transistoren P1-P6 oder NMOS-Transistoren N1-N6 in **Fig. 19A** eingerichtet. Schnittsegmente 1971 und 1972 sind eingerichtet. Das Schnittsegment 1971 ist über das Gate 1913 zum Trennen des Gates 1913 zu zwei Abschnitten eingerichtet, die das Gate 1913 mit einer VG 1953 und das Gate 1913 mit einer VG 1954 aufweisen. Das Schnittsegment 1972 ist über das Gate 1915 zum Trennen des Gates 1915 zu zwei Abschnitten eingerichtet, die das Gate 1915 mit einer VG 1956 und das Gate 1915 mit einer VG 1957 aufweisen.

[0216] Das Gate 1911 und die MD-Segmente 1920 und 1921 entsprechen gemeinsam dem PMOS-Transistor P1. Das Gate 1912 und die MD-Segmente 1921 und 1922 entsprechen gemeinsam dem PMOS-Transistor P2. In solchen Ausführungsformen teilen sich die PMOS-Transistoren P1 und P2 das MD-Segment 1921, was den PMOS-Transistoren P1 und P2 entspricht, die bei dem Knoten A2 gekoppelt sind, wie in **Fig. 19A** veranschaulicht ist. Das Gate 1913 mit der VG 1953 und die MD-Segmente 1922 und 1923 entsprechen gemeinsam dem PMOS-Transistor P3. Das Gate 1914 und die MD-Segmente 1923 und 1924 entsprechen gemeinsam dem PMOS-Transistor P4. In solchen Ausführungsformen teilen sich die PMOS-Transistoren P3 und P4 das MD-Segment 1923, was den PMOS-Transistoren P3 und P4 entspricht, die bei dem Knoten A3 gekoppelt sind, wie in **Fig. 19A** veranschaulicht ist. Das Gate 1915 mit der VG 1956 und die MD-Segmente 1924 und 1925 entsprechen gemeinsam dem PMOS-Transistor P5. Das Gate 1916 und die MD-Segmente 1925 und 1926 entsprechen gemeinsam dem PMOS-Transistor P6. In solchen Ausführungsformen teilen sich die PMOS-Transistoren P5 und P6 das MD-Segment 1025, was den PMOS-Transistoren P5 und P5 entspricht, die bei dem Knoten A4 gekoppelt sind, wie in **Fig. 19A** veranschaulicht ist.

[0217] Darüber hinaus entsprechen das Gate 1911 und die MD-Segmente 1920 und 1927 gemeinsam dem NMOS-Transistor N1. In solchen Ausführungsformen teilen sich der NMOS-Transistor N1 und der

PMOS-Transistor P1 das MD-Segment 1920, was dem NMOS-Transistor N1 und dem PMOS-Transistor P1 entspricht, die zwischen der Verbindung Z gekoppelt sind, wie in **Fig. 19A** veranschaulicht ist. Das Gate 1912 und die MD-Segmente 1927 und 1928 entsprechen gemeinsam dem NMOS-Transistor N2. In solchen Ausführungsformen teilen sich die NMOS-Transistoren N1 und N2 das MD-Segment 1927, was den NMOS-Transistoren N1 und N2 entspricht, die bei dem Knoten B2 in **Fig. 19A** gekoppelt sind. Das Gate 1913 und die MD-Segmente 1928 und 1923 entsprechen gemeinsam dem NMOS-Transistor N3. Das Gate 1914 und die MD-Segmente 1923 und 1929 entsprechen gemeinsam dem NMOS-Transistor N4. In solchen Ausführungsformen teilen sich die NMOS-Transistoren N3-N4 und die PMOS-Transistoren P3-P4 das MD-Segment 1923, was den NMOS-Transistoren N3-N4 und die PMOS-Transistoren P3-P4 entspricht, die zwischen den Knoten A3 und B3 in **Fig. 19A** gekoppelt sind. Das Gate 1915 mit der VG 1957 und die MD-Segmente 1929 und 1920' entsprechen gemeinsam dem NMOS-Transistor N5. Das Gate 1916 und die MD-Segmente 1920' und 1926 entsprechen gemeinsam dem NMOS-Transistor N6. In solchen Ausführungsformen teilen sich die NMOS-Transistoren N5 und N6 das MD-Segment 1920, was den NMOS-Transistoren N5 und N6 entspricht, die bei dem Knoten in **Fig. 19A** gekoppelt sind. Zusätzlich teilen sich die NMOS-Transistoren N6 und der PMOS-Transistor P6 das MD-Segment 1926, was dem NMOS-Transistor N6 und dem PMOS-Transistor P6 entspricht, die zwischen den Knoten A5 und B5 in **Fig. 19A** gekoppelt sind.

[0218] Leitfähige Schienen 1940, 1940', 1941, 1942, 1943, 1944, 1945, 1946, 1947, 1948 und 1949 sind eingerichtet. In manchen Ausführungsformen sind die leitfähigen Schienen 1940, 1940', 1942, 1943, 1944, 1945, 1947, 1948 und 1949 als leitfähige Signalschienen bezeichnet und die leitfähigen Schienen 1941 und 1946 sind als leitfähige Leistungsschienen bezeichnet, die zuvor mindestens in Bezug auf **Fig. 4** besprochen wurden.

[0219] VD-Durchkontaktierungen 1931, 1932, 1933, 1934, 1935, 1936 und 1937 sind eingerichtet. Die VD-Durchkontaktierung 1931 koppelt das MD-Segment 1920 an die leitfähige Schiene 1942. Die VD-Durchkontaktierung 1932 koppelt das MD-Segment 1921 an die leitfähige Schiene 1941, die weiter an eine Leistungsschiene (nicht gezeigt) gekoppelt ist, die in der M1-Schicht eingerichtet ist. Das MD-Segment 1921 und die leitfähige Schiene 1941 sind gemeinsam an die Leistungsschiene gekoppelt, was dem Knoten A2 entspricht, der an die Leistungsschiene VDD gekoppelt ist, wie zuvor in Bezug auf **Fig. 19A** besprochen wurde. Die VD-Durchkontaktierung 1933 koppelt das MD-Segment 1923 an die leitfähige Schiene 1944. Die VD-Durchkontaktierung

1934 koppelt das MD-Segment 1925 an die leitfähige Schiene 1941. Das MD-Segment 1925 und die leitfähige Schiene 1941 sind gemeinsam an die Leistungsschiene gekoppelt, was dem Knoten A4 entspricht, der an die Leistungsschiene VDD gekoppelt ist, wie zuvor in Bezug auf **Fig. 19A** besprochen wurde.

[0220] Außerdem koppelt die VD-Durchkontaktierung 1935 das MD-Segment 1927 an die leitfähige Schiene 1946, die weiter an eine andere Leistungsschiene (nicht gezeigt) gekoppelt ist, die in der M1-Schicht eingerichtet ist. Das MD-Segment 1927 und die leitfähige Schiene 1946 sind gemeinsam an eine solche Leistungsschiene gekoppelt, was dem Knoten B2 entspricht, der an die Leistungsschiene VD VSS gekoppelt ist, wie zuvor in Bezug auf **Fig. 19A** besprochen wurde. Die VD-Durchkontaktierung 1936 koppelt das MD-Segment 1920' an die leitfähige Schiene) 1946, die weiter an die Leistungsschiene (nicht gezeigt) gekoppelt ist, die dieselbe wie jene ist, mit der die leitfähige Schiene 1946 gekoppelt ist. Das MD-Segment 1920' und die leitfähige Schiene 1946 sind gemeinsam an eine solche Leistungsschiene gekoppelt, was dem Knoten B4 entspricht, der an die Leistungsschiene VD VSS gekoppelt ist, wie zuvor in Bezug auf **Fig. 19A** besprochen wurde. Die VD-Durchkontaktierung 1937 koppelt das MD-Segment 1926 an die leitfähige Schiene 1940, die weiter an die erste Signalschiene (nicht gezeigt) gekoppelt ist, die in der M1-Schicht eingerichtet ist.

[0221] VG-Durchkontaktierungen 1951, 1952, 1953, 1954, 1955, 9157, 9158 und 1959 sind eingerichtet. Die VG-Durchkontaktierung 1951 koppelt das Gate 1911 an die leitfähige Schiene 1944, die weiter an eine Signalschiene (nicht gezeigt) gekoppelt ist, die in der M1-Schicht eingerichtet ist. Das entspricht dem PMOS-Transistor P1 und dem NMOS-Transistor N1, die bei dem Knoten C11 in **Fig. 19A** gekoppelt sind. In solchen Konfigurationen ist das mit der leitfähigen Schiene 1944 gekoppelte MD-Segment 1923 weiter an das Gate 1911 gekoppelt. Das entspricht den Knoten C1 und C2, die auch mit den Knoten A3 und B3 gekoppelt sind, die zwischen der Verbindung S4 in **Fig. 19A** gekoppelt sind. Die VG-Durchkontaktierung 1952 koppelt das Gate 1912 an die leitfähige Schiene 1945, die weiter an die dritte Signalschiene (nicht gezeigt) gekoppelt ist, die in der M1-Schicht eingerichtet ist. Das entspricht dem PMOS-Transistor P2 und dem NMOS-Transistor N2, die zwischen der Verbindung I1 in **Fig. 19A** gekoppelt sind. Die VG-Durchkontaktierung 1953 koppelt das Gate 1913 mit der VG-Durchkontaktierung 1953 an die leitfähige Schiene 1949, die weiter an die erste Signalschiene gekoppelt ist. Das entspricht dem PMOS-Transistor P3, der bei dem Knoten SB1 in **Fig. 19A** gekoppelt ist. Die VG-Durchkontaktierung 1954 koppelt in manchen Ausführungsformen das

Gate 1913 mit der VG-Durchkontaktierung 1954 an die leitfähige Schiene 1940', die weiter an die zweite Signalschiene (nicht gezeigt) gekoppelt ist, die in der M1-Schicht eingerichtet ist. Dies entspricht dem NMOS-Transistor N3, der bei Knoten S3 in **Fig. 19A** gekoppelt ist.

[0222] Außerdem koppelt die VG-Durchkontaktierung 1955 das Gate 1914 an die leitfähige Schiene 1947, die in manchen Ausführungsformen weiter an die vierte Signalschiene (nicht gezeigt) gekoppelt ist, die in der M1-Schiene eingerichtet ist. Das entspricht dem PMOS-Transistor P4 und dem NMOS-Transistor N4, die zwischen der Verbindung I2 in **Fig. 19A** sind. Die VG-Durchkontaktierung 1956 koppelt das Gate 1915 mit der VG-Durchkontaktierung 1956 an die leitfähige Schiene 1948, die weiter an die zweite Signalschiene gekoppelt ist. Das entspricht dem PMOS-Transistor P5, der bei dem Knoten S1 in **Fig. 19A** gekoppelt ist. Die VG-Durchkontaktierung 1957 koppelt das Gate 1915 mit der VG-Durchkontaktierung 1957 an die leitfähige Schiene 1940, die weiter an die erste Signalschiene gekoppelt ist. Das entspricht dem NMOS-Transistor N5, der bei dem Knoten SB3 in **Fig. 19A** gekoppelt ist. Die VG-Durchkontaktierung 1958 koppelt das Gate 1916 an die leitfähige Schiene 1948, die weiter an die zweite Signalschiene gekoppelt ist. Außerdem koppelt die VG-Durchkontaktierung 1959 das Gate 1916 an die leitfähige Schiene 1940', die weiter auch an die zweite Signalschiene gekoppelt ist. Das entspricht dem PMOS-Transistor P6 und dem NMOS-Transistor N6, die zwischen der Verbindung S2 in **Fig. 19A** sind.

[0223] Leitfähige Segmente 1961, 1962, 1963 und 1964 sind eingerichtet. Das leitfähige Segment 1961 ist als ein geschienter Block geformt und ist in manchen Ausführungsformen auch als ein Mo-Springer bezeichnet, entsprechend dem leitfähigen Segment 124, wie in **Fig. 3B** oder **Fig. 3C** veranschaulicht. Das leitfähige Segment 1961 koppelt die leitfähigen Schienen 1942 und 1943 aneinander.

[0224] Außerdem ist das leitfähige Segment 1962 als ein Block geformt und ist in manchen Ausführungsformen auch als ein Mo-Springer bezeichnet, entsprechend dem leitfähigen Segment 121, 122 oder 123, wie in **Fig. 3A** oder **Fig. 3C** veranschaulicht. Das leitfähige Segment 1962 ist teilweise mit dem Gate 1915, dem Schnittsegment 1972, den leitfähigen Schienen 1949 und 1940 und der VG-Durchkontaktierung 1957 überlappt. Das leitfähige Segment 1962 koppelt die leitfähigen Schienen 1949 und 1940 aneinander. Mit solchen Konfigurationen sind das Gate 1913, das Gate 1915 mit der VG-Durchkontaktierung 1957 und das MD-Segment 1926 aneinandergeschaltet, was dem PMOS-Transistor P3, dem NMOS-Transistor N5 und den Knoten B1 und A2 entspricht, die zwischen der Verbindung SB2 gekoppelt sind, die an eine selbe Signalschiene

gekoppelt ist, die in manchen Ausführungsformen die erste Signalschiene ist, wie zuvor in Bezug auf **Fig. 19A** besprochen wurde.

[0225] Darüber hinaus sind die leitfähigen Segmente 1963 und 1964 auch als die Vo-Schienen bezeichnet und entsprechen in manchen Ausführungsformen den leitfähigen Segmenten 111 und 112, die in **Fig. 3A-3C** veranschaulicht sind. Wie zuvor in Bezug auf die VD-Durchkontaktierungen 1931-1937 besprochen wurde, koppelt das leitfähige Segment 1963 sowohl an die leitfähige Schiene 1941 als auch die MD-Segmente 1921 und 1925, die weiter an die Leistungsschiene VDD gekoppelt sind. Das leitfähige Segment 1964 koppelt sowohl an die leitfähige Schiene 1946 und die MD-Segmente 1927 und 1920', die weiter an die Leistungsschiene VSS gekoppelt sind.

[0226] Wie durch die in **Fig. 1A** bis **Fig. 19B** abgebildeten und zuvor besprochenen nichtbegrenzenden Beispiele veranschaulicht, weisen die unterschiedlichen Ausführungsformen leitfähige Segmente an leitfähigen Schienen gebildet und über der Mo-Schicht und unter der M1-Schicht angeordnet auf, wodurch Leitpfadflexibilität verglichen mit Ansätzen erhöht wird, in denen es an diesen leitfähigen Segmenten mangelt.

[0227] Es wird nun Bezug auf **Fig. 20** genommen. **Fig. 20** ist ein Ablaufdiagramm eines Verfahrens 2000 zur Fertigung einer IC in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung. In manchen Ausführungsformen ist die IC basierend auf einem IC-Layoutdiagramm hergestellt, das eines von Layoutdiagrammen 100A, 100B, 200, 300A-300C, 400, 500A-500C, 800, 1100B, 1200B, 1300B, 1400B, 1500B, 1600B, 1700B-1700E, 1800B oder 1900B entsprechend einer IC-Struktur, z.B. einer von ICs 700 oder 1000, aufweist, wie zuvor in Bezug auf **Fig. 1A-19B** besprochen wurde. In manchen Ausführungsformen sind die Betriebe von Verfahren 2000 in der in **Fig. 20** abgebildeten Reihenfolge durchgeführt. In manchen Ausführungsformen sind die Betriebe von Verfahren 2000 gleichzeitig und/oder in einer anderen Reihenfolge als der in **Fig. 20** abgebildeten durchgeführt. In manchen Ausführungsformen sind ein oder mehrere Betriebe vor, zwischen, während und/oder nach Durchführen eines oder mehrerer Betriebe von Verfahren 2000 durchgeführt.

[0228] Bei Betrieb 2010 werden leitfähige Schienen in einer ersten Metallschicht gebildet. In manchen Ausführungsformen entsprechen die leitfähigen Schienen den leitfähigen Schienen P01, P02 und S01-S04, die zuvor in Bezug auf **Fig. 1A** bis **Fig. 19B** besprochen wurden. Die erste Metallschicht entspricht der zuvor in Bezug auf **Fig. 1A** bis **Fig. 19B** besprochenen Mo-Schicht.

[0229] In manchen Ausführungsformen weisen die leitfähigen Schienen ein Paar erster leitfähiger Schienen auf. In unterschiedlichen Ausführungsformen entspricht das Paar erster leitfähiger Schienen den leitfähigen Schienen P01 und P02, die auch als leitfähige Leistungsschienen angegeben sind, die zuvor in Bezug auf **Fig. 1A** bis **Fig. 19B** besprochen wurden.

[0230] Bei Betrieb 2020 werden Signalschienen in einer zweiten Metallschicht über der ersten Metallschicht gebildet. In manchen Ausführungsformen entsprechen die Signalschienen den Signalschienen P11, P12 und S11-S4 oder nicht gezeigten Schienen, die zuvor in Bezug auf **Fig. 1A** bis **Fig. 19B** besprochen wurden. Die zweite Metallschicht entspricht der M1-Schicht, die zuvor in Bezug auf **Fig. 1A** bis **Fig. 19B** besprochen wurde.

[0231] Bei Betrieb 2030 wird ein erstes leitfähiges Segment zwischen der ersten Metallschicht und der zweiten Metallschicht gebildet und von den Signalschienen beabstandet. In manchen Ausführungsformen ist das erste leitfähige Segment mit dem Paar erster leitfähiger Schienen in einer Layoutansicht überlappt. In manchen Ausführungsformen entspricht das erste leitfähige Segment dem leitfähigen Segment, das als die Vo-Schiene angegeben ist, die zuvor in Bezug auf **Fig. 1A** bis **Fig. 19B** besprochen wurde. Zum Beispiel entspricht das erste leitfähige Segment dem leitfähigen Segment 111 oder 112, das in **Fig. 1A**, **Fig. 1B**, **Fig. 3A** bis **Fig. 3C** gezeigt ist, oder dem leitfähigen Segment 411a, 411b, 412a, 412b in **Fig. 4**, **Fig. 5A** bis **Fig. 5C** usw.

[0232] In manchen Ausführungsformen umfasst das Verfahren 2000 weiter die Betriebe wie folgt. Ein zweites leitfähiges Segment wird auch zwischen der ersten Metallschicht und der zweiten Metallschicht gebildet und wird auch von den Signalschienen beabstandet. Das zweite leitfähige Segment ist mit mindestens zwei angrenzenden leitfähigen Schienen zwischen dem Paar von ersten leitfähigen Schienen in einer Layoutansicht überlappt. In manchen Ausführungsformen entspricht das zweite leitfähige Segment dem leitfähigen Segment, das als der Mo-Springer angegeben ist, der zuvor in Bezug auf **Fig. 1A** bis **Fig. 19B** besprochen wurde. Zum Beispiel entspricht das leitfähige Segment dem leitfähigen Segment 121, 122, 123 oder 124, das in **Fig. 1A**, **Fig. 1B**, **Fig. 3A** bis **Fig. 3C** gezeigt ist, oder dem leitfähigen Segment 421 in **Fig. 4**, **Fig. 5A** bis **Fig. 5C** usw. In unterschiedlichen Ausführungsformen entsprechen die angrenzenden leitfähigen Schienen, die mit dem zweiten leitfähigen Segment angeordnet sind, den leitfähigen Schienen So, die auch als leitfähige Signalschienen angegeben sind, die zuvor in Bezug auf **Fig. 1a** bis **Fig. 19B** besprochen wurden.

[0233] Es wird nun Bezug auf **Fig. 21** genommen. **Fig. 21** ist ein Blockdiagramm eines elektronischen Designautomatisierungssystems (EDA-System) 2100 zum Designen des IC-Layoutdesigns, in Übereinstimmung mit manchen Ausführungsformen der vorliegenden Offenbarung. EDA-System 2100 ist konfiguriert, einen oder mehrere Betriebe des Verfahrens 600, das in **Fig. 6** offenbart ist, und des Verfahrens 2000, das in **Fig. 20** offenbart ist und weiter in Verbindung mit **Fig. 1A-5C** und **Fig. 7A-19B** erklärt ist, zu implementieren. In manchen Ausführungsformen weist EDA-System 2100 ein APR-System auf.

[0234] In manchen Ausführungsformen ist EDA-System 2100 ein Allzweckrechenbauelement, das einen Hardwareprozessor 2120 und ein nichttransistorisches, computerlesbares Datenspeichermedium 2160 aufweist. Datenspeichermedium 2160 ist unter anderem mit Computerprogrammcode (Anweisungen) 2161, d.h. einem Satz ausführbarer Anweisungen, codiert, d.h. speichert diese. Ausführung von Anweisungen 2161 durch Hardwareprozessor 2120 stellt (mindestens zum Teil) ein EDA-Werkzeug dar, das einen Abschnitt oder alles implementiert von z.B. dem Verfahren 600 oder 2000.

[0235] Der Prozessor 2120 ist elektrisch an ein computerlesbares Datenspeichermedium 2160 über einen Bus 2150 gekoppelt. Der Prozessor 2120 ist auch elektrisch mit einer I/O-Schnittstelle 2110 und einem Fertigungswerkzeug 2170 durch Bus 2150 gekoppelt. Eine Netzwerkschnittstelle 2130 ist auch elektrisch mit Prozessor 2120 über Bus 2150 verbunden. Netzwerkschnittstelle 2130 ist mit einem Netzwerk 2140 verbunden, sodass Prozessor 2120 und computerlesbares Datenspeichermedium 2160 im Stande sind, externe Elemente über Netzwerk 2140 zu verbinden. Der Prozessor 2120 ist konfiguriert, Computerprogrammcode 2161 auszuführen, der in computerlesbarem Datenspeichermedium 2160 codiert ist, um EDA-System 2100 zu veranlassen, zum Durchführen eines Abschnitts oder alles der genannten Prozesse und/oder Verfahren verwendet werden zu können. In einer oder mehreren Ausführungsformen ist Prozessor 2120 eine zentrale Verarbeitungseinheit (CPU), ein Multiprozessor, ein verteiltes Verarbeitungssystem, eine anwendungsspezifische integrierte Schaltung (ASIC) und/oder eine geeignete Verarbeitungseinheit.

[0236] In einer oder mehreren Ausführungsformen ist computerlesbares Datenspeichermedium 2160 ein elektronisches, magnetisches, optisches, elektromagnetisches, infrarotes und/oder ein Halbleitersystem (oder Einrichtung oder Bauelement). Zum Beispiel weist computerlesbares Datenspeichermedium 2160 einen Halbleiter oder Festzustandsspeicher, ein Magnetband, eine entfernbare Computerdiskette, einen Direktzugriffsspei-

cher (RAM), einen Nur-Lese-Speicher (ROM), einen starren magnetischen Datenträger und/oder einen optischen Datenträger auf. In einer oder mehreren Ausführungsformen, die optische Datenträger verwenden, weist computerlesbares Datenspeichermedium 2160 einen Compact Disk-Read Only Memory (CD-ROM), einen Compact Disk-Read/Write (CD-R/W) und/oder eine Digital Video Disc (DVD) auf.

[0237] In einer oder mehreren Ausführungsformen speichert Datenspeichermedium 2160 Computerprogrammcode 2161, der konfiguriert ist, EDA-System 2100 (wo solche Ausführung (mindestens zum Teil) das EDA-Werkzeug darstellt) veranlasst, zum Durchführen eines Abschnitts oder aller der genannten Prozesse und/oder Verfahren verwendet werden zu können. In einer oder mehreren Ausführungsformen speichert Datenspeichermedium 2160 auch Informationen, die erleichtern, einen Abschnitt oder alle der genannten Prozesse und/oder Verfahren durchzuführen. In einer oder mehreren Ausführungsformen speichert Datenspeichermedium 2160 Verzeichnis 2162 von Standardzellen, das solche Standardzellen wie hierin offenbart aufweist, zum Beispiel eine Zelle, die leitfähige Segmente 111, 112 oder 121-123 aufweist, wie zuvor in Bezug auf **Fig. 1A** besprochen wurde.

[0238] EDA-System 2100 weist I/O-Schnittstelle 2110 auf. I/O-Schnittstelle 2110 ist mit externen Schaltkreisen gekoppelt. In einer oder mehreren Ausführungsformen weist I/O-Schnittstelle 2110 eine Tastatur, ein Tastenfeld, eine Maus, einen Zeigerball, ein Zeigerfeld, einen Berührungsbildschirm und/oder Zeigerrichtungstasten zum Kommunizieren von Informationen und Befehlen an Prozessor 2120 auf.

[0239] EDA-System 2100 weist auch Netzwerkschnittstelle 2130 mit Prozessor 2120 gekoppelt auf. Netzwerkschnittstelle 2130 erlaubt EDA-System 2100, mit Netzwerk 2140 zu kommunizieren, mit dem ein oder mehrere andere Computersysteme verbunden sind. Netzwerkschnittstelle 2130 weist drahtlose Netzwerkschnittstellen auf, wie BLUETOOTH, WIFI, WIMAX, GPRS oder WCDMA; oder kabelgebundene Netzwerkschnittstellen, wie ETHERNET, USB oder IEEE-1364. In einer oder mehreren Ausführungsformen ist ein Abschnitt oder alle genannter Prozesse und/oder Verfahren in zwei oder mehr Systemen 2100 implementiert.

[0240] EDA-System 2100 weist auch das Fertigungswerkzeug 2170 mit dem Prozessor 2120 gekoppelt auf. Das Fertigungswerkzeug 2170 ist konfiguriert, ICs zu fertigen, aufweisend zum Beispiel die IC 700, die in **Fig. 7A-7G** veranschaulicht ist, oder die IC 1000, die in **Fig. 10A-10C** veranschaulicht ist, basierend auf den Designdateien, die von dem Pro-

zessor 2120 und/oder den IC-Layoutdesigns wie zuvor besprochen verarbeitet werden.

[0241] EDA-System 2100 ist konfiguriert, Informationen durch I/O-Schnittstelle 2110 zu empfangen. Die durch I/O-Schnittstelle 2110 empfangenen Informationen weisen eine oder mehrere Anweisungen, Daten, Designregeln, Verzeichnisse von Standardzellen und/oder andere Parameter zur Verarbeitung durch Prozessor 2120 auf. Die Informationen werden an Prozessor 2120 durch Bus 2150 übertragen. EDA-System 2100 ist konfiguriert, Informationen bezüglich einer UI durch I/O-Schnittstelle 2110 zu empfangen. Die Informationen werden im computerlesbaren Medium 2160 als Anwenderschnittstelle (UI) 2163 gespeichert.

[0242] In manchen Ausführungsformen ist ein Abschnitt oder alles der genannten Prozesse und/oder Verfahren als eine eigenständige Softwareanwendung zur Ausführung durch einen Prozessor implementiert. In manchen Ausführungsformen ist ein Abschnitt oder alles der genannten Prozesse und/oder Verfahren als eine Softwareanwendung implementiert, die ein Teil einer zusätzlichen Softwareanwendung ist. In manchen Ausführungsformen ist ein Abschnitt oder alles der genannten Prozesse und/oder Verfahren als eine Erweiterung zu einer Softwareanwendung implementiert. In manchen Ausführungsformen ist mindestens einer der genannten Prozesse und/oder der Verfahren als eine Softwareanwendung implementiert, die ein Abschnitt eines EDA-Werkzeugs ist. In manchen Ausführungsformen ist mindestens einer der genannten Prozesse und/oder der Verfahren als eine Softwareanwendung implementiert, die von EDA-System 2100 verwendet wird. In manchen Ausführungsformen ist ein Layoutdiagramm, das Standardzellen aufweist, unter Verwendung eines Werkzeugs erzeugt, wie VIRTUOSO®, von CADENCE DESIGN SYSTEMS, Inc. verfügbar, oder ein anderes geeignetes Layouterzeugungswerkzeug.

[0243] In manchen Ausführungsformen sind die Prozesse als Funktionen eines Programms umgesetzt, das in einem nichttransitorischen computerlesbaren Aufzeichnungsmedium gespeichert ist. Beispiele eines nichttransitorischen computerlesbaren Aufzeichnungsmediums weisen auf, sind aber nicht begrenzt auf, externen/entfernbaren und/oder internen/eingebauten Datenspeicher oder eine Speichereinheit, zum Beispiel eines oder mehreres von einem optischen Datenträger, wie eine DVD, ein magnetischer Datenträger, wie eine Festplatte, ein Halbleiterspeicher, wie ein ROM, ein RAM, eine Speicherkarte und dergleichen.

[0244] **Fig. 22** ist ein Blockdiagramm von IC-Herstellungssystem 2200 und ein damit verknüpfter IC-Herstellungsablauf in Übereinstimmung mit man-

chen Ausführungsformen. In manchen Ausführungsformen basierend auf einem Layoutdiagramm, wird mindestens eines von (A) einer oder mehreren Halbleitermasken oder (B) mindestens einer Komponente in einer Schicht einer Halbleiter-IC unter Verwendung von IC-Herstellungssystem 2200 gefertigt.

[0245] In **Fig. 22** weist Herstellungssystem 2200 Entitäten auf, wie ein Designhaus 2210, ein Maskenhaus 2220 und einen IC-Hersteller/Fertiger („Fab“) 2230, die miteinander bei dem Design, der Entwicklung und den Herstellungszyklen und/oder Diensten bezüglich der Herstellung eines IC-Bauelements 2240 interagieren. Die Entitäten in IC-Herstellungssystem 2200 sind durch ein Kommunikationsnetzwerk verbunden. In manchen Ausführungsformen ist das Kommunikationsnetzwerk ein einzelnes Netzwerk. In manchen Ausführungsformen ist das Kommunikationsnetzwerk eine Vielfalt verschiedener Netzwerke, wie ein Intranet und das Internet. Das Kommunikationsnetzwerk weist kabelgebundene und/oder drahtlose Kommunikationskanäle auf. Jede Entität interagiert mit einer oder mehreren der anderen Entitäten und stellt Dienste an eine oder mehrere der anderen Entitäten bereit und/oder empfängt Dienste von einer oder mehreren der anderen Entitäten. In manchen Ausführungsformen werden zwei oder mehr vom Designhaus 2210, Maskenhaus 2220 und IC-Fab 2230 von einem einzelnen größeren Unternehmen besessen. In manchen Ausführungsformen bestehen zwei oder mehr vom Designhaus 2210, Maskenhaus 2220 und IC-Fab 2230 in einer gemeinsamen Stätte und verwenden gemeinsame Ressourcen.

[0246] Designhaus (oder Designteam) 2210 erzeugt ein IC-Designlayoutdiagramm 2211. IC-Designlayoutdiagramm 2211 weist unterschiedliche geometrische Strukturen auf, zum Beispiel ein IC-Layoutdesign, das in **Fig. 1A-1B**, **Fig. 2**, **Fig. 3A-3C**, **Fig. 4**, **Fig. 5A-5C**, **Fig. 8**, **Fig. 9A-9C**, **Fig. 11**, **Fig. 12B**, **Fig. 13B**, **Fig. 14B**, **Fig. 15B**, **Fig. 16B**, **Fig. 17B**, **Fig. 18B** und/oder **Fig. 19B** abgebildet ist, für ein IC-Bauelement 2240 designt, zum Beispiel ICs 700 und 1000, wie zuvor in Bezug auf **Fig. 7A-7G** und/oder **Fig. 10A-10C** besprochen wurde. Die geometrischen Strukturen entsprechen Strukturen aus Metall, Oxid oder Halbleiterschichten, die die unterschiedlichen Komponenten vom zu fertigenden IC-Bauelement 2240 bilden. Die unterschiedlichen Schichten werden kombiniert, um unterschiedliche IC-Merkmale zu bilden. Zum Beispiel weist ein Abschnitt von IC-Designlayoutdiagramm 2211 unterschiedliche IC-Merkmale, wie einen aktiven Bereich, Gate-Elektrode, Source und Drain, leitfähige Segmente oder Durchkontaktierungen einer Zwischenschichtzwischenverbindung, die in einem Halbleiter-substrat (wie einem Siliziumwafer) zu bilden sind, und unterschiedliche Materialschichten, die an dem Halbleitersubstrat angeordnet sind, auf. Designhaus

2210 implementiert eine geeignete Designprozedur, um IC-Designlayoutdiagramm 2211 zu bilden. Die Designprozedur weist eines oder mehrere von Logikdesign, physischem Design oder Platzierung und Leitpfadföhrung auf. IC-Designlayoutdiagramm 2211 ist in einer oder mehreren Datendateien dargestellt, die Informationen über die geometrischen Strukturen aufweisen. Zum Beispiel kann IC-Designlayoutdiagramm 2211 in einem GDSII-Dateiformat oder DFII-Dateiformat ausgedrückt sein.

[0247] Das Maskenhaus 2220 weist Datenvorbereitung 2221 und Maskenfertigung 2222 auf. Das Maskenhaus 2220 verwendet IC-Designlayoutdiagramm 2211, um eine oder mehrere Masken 2223 herzustellen, die zur Fertigung der unterschiedlichen Schichten von IC-Bauelement 2240 gemäß IC-Designlayoutdiagramm 2211 zu verwenden sind. Maskenhaus 2220 führt Maskendatenvorbereitung 2221 aus, wo IC-Designlayoutdiagramm 2211 in eine stellvertretende Datendatei („RDF“) übersetzt wird. Maskendatenvorbereitung 2221 stellt die RDF an Maskenfertigung 2222 bereit. Maskenfertigung 2222 weist einen Maskenschreiber auf. Ein Maskenschreiber wandelt die RDF zu einem Bild auf einem Substrat um, wie eine Maske (Fadennetz) 2223 oder ein Halbleiterwafer 2233. Das IC-Designlayoutdiagramm 2211 wird von Maskendatenvorbereitung 2221 manipuliert, um bestimmten Charakteristika des Maskenschreibers und/oder Anforderungen von IC-Fab 2230 zu entsprechen. In **Fig. 22** sind Datenvorbereitung 2221 und Maskenfertigung 2222 als getrennte Elemente veranschaulicht. In manchen Ausführungsformen können Datenvorbereitung 2221 und Maskenfertigung 2222 gemeinsam als Maskendatenvorbereitung bezeichnet werden.

[0248] In manchen Ausführungsformen weist Datenvorbereitung 2221 optische Nähekorrektur (OPC) auf, die Lithografieverstärkungstechniken verwendet, um Bildfehler zu kompensieren, wie die, die Brechung, Interferenz, anderen Prozesseffekten und dergleichen entspringen können. OPC passt IC-Designlayoutdiagramm 2211 an. In manchen Ausführungsformen weist Datenvorbereitung 2221 weitere Auflösungsverbesserungstechniken (RET) auf, wie eine Beleuchtung aus der Achse, Subauflösungshilfsmerkmale, Phasenverschiebungsmasken, andere geeignete Techniken und dergleichen oder Kombinationen davon. In manchen Ausführungsformen wird auch umgekehrte Lithografiertechnologie (ILT) verwendet, die OPC als ein umgekehrtes Abbildungsproblem behandelt.

[0249] In manchen Ausführungsformen weist Datenvorbereitung 2221 einen Maskenregelprüfer (MRC) auf, der das IC-Designlayoutdiagramm 2211, das Prozessen in OPC unterzogen wurde, an einem Satz von Maskenerzeugungsregeln prüft, die gewisse geometrische und/oder Konnektivitätsbe-

grenzungen beinhalten, um ausreichend Spielraum sicherzustellen, um Variabilität in Halbleiterherstellungsprozessen und dergleichen auszugleichen. In manchen Ausführungsformen modifiziert der MRC das IC-Designlayoutdiagramm 2211, um Begrenzungen während Maskenfertigung 2222 zu kompensieren, was einen Teil der Modifikationen rückgängig machen kann, die von OPC durchgeführt werden, um Maskenerzeugungsregeln zu erfüllen.

[0250] In manchen Ausführungsformen weist Datenvorbereitung 2221 Lithografieprozessprüfung (LPC) auf, die Verarbeitung simuliert, wie von IC-Fab 2230 implementiert wird, um IC-Bauelement 2240 zu fertigen. LPC simuliert diese Verarbeitung basierend auf IC-Designlayoutdiagramm 2211, um ein simuliertes hergestelltes Bauelement zu erzeugen, wie IC-Bauelement 2240. Die Verarbeitungsparameter in LPC-Simulation können Parameter aufweisen, die mit unterschiedlichen Prozessen des IC-Herstellungszyklus verknüpft sind, Parameter, die mit Werkzeugen die zur Herstellung der IC verwendet werden, und/oder anderen Aspekten des Herstellungsprozesses verknüpft sind. LPC berücksichtigt unterschiedliche Faktoren, wie Luftbildkontrast, Tiefenschärfe („DOF“), Maskenfehlerverstärkungsfaktor („MEEF“), andere geeignete Faktoren und dergleichen oder Kombinationen davon. In manchen Ausführungsformen, nachdem ein simuliertes hergestelltes Bauelement durch LPC erzeugt wurde, falls das simulierte Bauelement nicht nah genug an der Form ist, um Designregeln einzuhalten, werden OPC und/oder MRC wiederholt, um IC-Designlayoutdiagramm 2211 weiter zu verfeinern.

[0251] Es sollte verstanden werden, dass die Beschreibung von zuvor von Datenvorbereitung 2221 für die Zwecke der Klarheit vereinfacht wurden. In manchen Ausführungsformen umfasst Datenvorbereitung 2221 zusätzliche Merkmale, wie einen Logikbetrieb (LOP), um das IC-Designlayoutdiagramm 2211 gemäß Herstellungsregeln zu modifizieren. Zusätzlich können die Prozesse, die auf IC-Designlayoutdiagramm 2211 während Datenvorbereitung 2221 angewendet werden, in einer Vielfalt verschiedener Reihenfolgen ausgeführt werden.

[0252] Nach Datenvorbereitung 2221 und während Maskenfertigung 2222 wird eine Maske 2223 oder eine Gruppe von Masken 2223 basierend auf dem modifizierten IC-Designlayoutdiagramm 2211 gefertigt. In manchen Ausführungsformen umfasst Maskenfertigung 2222, eine oder mehrere Lithografiebelichtungen basierend auf IC-Designlayoutdiagramm 2211 durchzuführen. In manchen Ausführungsformen wird ein Elektronenstrahl (e-Strahl) oder ein Mechanismus mehrerer e-Strahlen verwendet, um eine Struktur auf einer Maske (Fotomaske oder Fadennetz) 2223 basierend auf dem modifizierten IC-Designlayoutdiagramm 2211 zu bilden. Maske

2223 kann in unterschiedlichen Technologien gebildet werden. In manchen Ausführungsformen wird Maske 2223 unter Verwendung binärer Technologie gebildet. In manchen Ausführungsformen weist eine Maskenstruktur undurchsichtige Gebiete und durchsichtige Gebiete auf. Ein Strahlungsstrahl, wie ein ultravioletter Strahl (UV-Strahl), der verwendet wird, um die bildempfindliche Materialschicht (zum Beispiel Fotolack) zu belichten, die auf einen Wafer aufgetragen wurde, wird von dem undurchsichtigen Gebiet blockiert und geht durch die durchsichtigen Gebiete durch. In einem Beispiel weist eine binäre Maskenversion von Maske 2223 ein durchsichtiges Substrat (zum Beispiel Quarzglas) und ein undurchsichtiges Material (zum Beispiel Chrom), das in den undurchsichtigen Gebieten der binären Maske aufgetragen ist, auf. In einem anderen Beispiel wird Maske 2223 unter Verwendung einer Phasenverschiebungstechnologie gebildet. In einer Phasenverschiebungsmaskenversion (PSM-Version) von Maske 2223 sind unterschiedliche Merkmale in der Struktur, die an der Phasenverschiebungsmaske gebildet sind, konfiguriert, einen geeigneten Phasenunterschied aufzuweisen, um die Auflösung und Abbildungsqualität zu verbessern. In unterschiedlichen Beispielen kann die Phasenverschiebungsmaske abgeschwächte PSM oder abwechselnde PSM sein. Die Maske(n), die durch Maskenfertigung 2222 erzeugt ist/sind, wird/werden in einer Vielfalt von Prozessen verwendet. Zum Beispiel wird/werden solche Maske(n) in einem Ionenimplantationsprozess, um unterschiedliche dotierte Gebiete in Halbleiterwafer 2233 zu bilden, in einem Ätzprozess, um unterschiedliche Ätzgebiete in Halbleiterwafer 2233 zu bilden und/oder in anderen geeigneten Prozessen verwendet.

[0253] IC-Fab 2230 weist Wafer-Fertigung 2232 auf. IC-Fab 2230 ist ein IC-Fertigungsunternehmen, das eine oder mehrere Herstellungsstätten für die Fertigung einer Vielfalt unterschiedlicher IC-Produkte aufweist. In manchen Ausführungsformen ist IC-Fab 2230 eine Halbleitergießerei. Zum Beispiel kann es eine Herstellungsstätte für die Frontend-Fertigung einer Vielzahl von IC-Produkten (Frontend-of-Line-Fertigung (FEOL-Fertigung)) geben, während eine zweite Herstellungsstätte die Backend-Fertigung für die Zwischenverbindung und Verpackung der IC-Produkte bereitstellen kann (Backend-of-Line-Fertigung (BEOL-Fertigung)) und eine dritte Herstellungsstätte andere Dienste für das Gießereiunternehmen bereitstellen kann.

[0254] IC-Fab 2230 verwendet Maske(n) 2223, die vom Maskenhaus 2220 gefertigt sind, um IC-Bauelement 2240 zu fertigen. Daher verwendet IC-Fab 2230 mindestens indirekt IC-Designlayoutdiagramm 2211, um IC-Bauelement 2240 zu fertigen. In manchen Ausführungsformen ist Halbleiterwafer 2233 durch IC-Fab 2230 unter Verwendung von Maske(n)

2223 gefertigt, um IC-Bauelement 2240 zu bilden. In manchen Ausführungsformen umfasst die IC-Fertigung, eine oder mehrere Lithografiebelichtungen basierend mindestens indirekt auf IC-Designlayoutdiagramm 2211 durchzuführen. Halbleiterwafer 2233 weist ein Siliziumsubstrat oder anderes geeignetes Substrat auf, das Materialschichten darauf gebildet aufweist. Halbleiterwafer 2233 weist weiter ein oder mehrere unterschiedliche dotierte Gebiete, dielektrische Merkmale, Mehrebenen-Interconnects und dergleichen (bei nachfolgenden Herstellungsschritten gebildet) auf.

[0255] Außerdem sind unterschiedliche Schaltungen oder Bauelemente, um die Transistoren in den zuvor erwähnten Ausführungsformen zu implementieren, innerhalb des erdachten Umfangs der vorliegenden Offenbarung. In manchen Ausführungsformen dieses Dokuments ist mindestens einer der Transistoren mit mindestens einem MOS-Transistor, mindestens einem bipolaren Transistor (BJT, Bipolar Junction Transistor) usw. oder der Kombination davon implementiert. Unterschiedliche Schaltungen oder Bauelemente, um die Transistoren in den zuvor erwähnten Ausführungsformen zu implementieren, sind innerhalb des erdachten Umfangs der vorliegenden Offenbarung.

[0256] Erfindungsgemäß ist eine IC offenbart. Die IC weist eine Vielzahl von leitfähigen Schienen, eine Vielzahl von Signalschienen, mindestens eine erste Durchkontaktierung und mindestens ein erstes leitfähiges Segment auf. Die Vielzahl von leitfähigen Schienen ist in einer ersten leitfähigen Schicht angeordnet. Die Vielzahl von Signalschienen ist in einer zweiten leitfähigen Schicht über der ersten leitfähigen Schicht angeordnet. Die mindestens eine erste Durchkontaktierung ist zwischen der ersten leitfähigen Schicht und der zweiten leitfähigen Schicht angeordnet und koppelt eine erste Signalschiene der Vielzahl von Signalschienen mit mindestens einer der Vielzahl von leitfähigen Schienen. Die erste Signalschiene ist konfiguriert, ein Versorgungssignal durch die mindestens eine erste Durchkontaktierung und die mindestens eine der Vielzahl von leitfähigen Schienen zu mindestens einem Element der IC zu übertragen. Das mindestens eine erste leitfähige Segment ist zwischen der ersten leitfähigen Schicht und der zweiten leitfähigen Schicht angeordnet. Das mindestens eine erste leitfähige Segment ist mit der mindestens einen der Vielzahl von leitfähigen Schienen gekoppelt und von der ersten Signalschiene getrennt.

[0257] Erfindungsgemäß weist die integrierte Schaltung weiter mindestens ein zweites leitfähiges Segment auf. Das mindestens eine zweite leitfähige Segment ist erfindungsgemäß zwischen der ersten leitfähigen Schicht und der zweiten leitfähigen Schicht angeordnet. Das mindestens eine zweite leit-

fähige Segment ist über mindestens zwei leitfähigen Schienen der Vielzahl von leitfähigen Schichten angeordnet und koppelt diese in einer Layoutansicht und ist von der Vielzahl von Signalschienen getrennt.

[0258] In manchen Ausführungsformen weist die IC weiter mindestens eine zweite Durchkontaktierung auf. Die mindestens eine zweite Durchkontaktierung ist zwischen der ersten leitfähigen Schicht und der zweiten leitfähigen Schicht angeordnet. Das mindestens eine zweite leitfähige Segment ist durch die mindestens eine zweite Durchkontaktierung an die Vielzahl von Signalschienen gekoppelt. Eine Höhe der mindestens einen zweiten Durchkontaktierung ist kleiner als eine Höhe der mindestens einen ersten Durchkontaktierung.

[0259] In manchen Ausführungsformen weist das mindestens eine erste leitfähige Segment getrennte Abschnitte auf und die mindestens eine erste Durchkontaktierung ist zwischen den getrennten Abschnitten in einer Layoutansicht angeordnet. Die mindestens eine erste Durchkontaktierung und die getrennten Abschnitte sind genau über mindestens einer der Vielzahl von leitfähigen Schienen in einer Layoutansicht angeordnet.

[0260] In manchen Ausführungsformen weist die IC weiter eine Vielzahl von zweiten Durchkontaktierungen auf. Die Vielzahl von zweiten Durchkontaktierungen ist zwischen der ersten leitfähigen Schicht und der zweiten leitfähigen Schicht angeordnet. Das mindestens eine erste leitfähige Segment weist ein Paar von leitfähigen Segmenten auf. Jedes des Paares von leitfähigen Segmenten ist an zwei getrennten leitfähigen Schienen der Vielzahl von leitfähigen Schienen angeordnet und ist durch eine der Vielzahl von zweiten Durchkontaktierungen an die Vielzahl von Signalschienen gekoppelt.

[0261] In manchen Ausführungsformen ist eine Breite des mindestens einen ersten leitfähigen Segments kleiner als oder gleich einer Breite einer der Vielzahl von leitfähigen Schienen. Eine Länge des mindestens einen ersten leitfähigen Segments ist kleiner als oder gleich einer Länge einer der Vielzahl von leitfähigen Schienen.

[0262] Erfindungsgemäß ist eine IC offenbart. Die IC weist eine erste Vielzahl von leitfähigen Schienen, eine zweite Vielzahl von leitfähigen Schienen, mindestens eine erste Durchkontaktierung und mindestens ein erstes leitfähiges Segment auf. Die erste Vielzahl von leitfähigen Schienen ist in einer ersten leitfähigen Schicht angeordnet und erstreckt sich entlang einer ersten Richtung. Die erste Vielzahl von leitfähigen Schienen ist konfiguriert, Leistungssignale an mindestens ein Element der IC zu übertragen. Die zweite Vielzahl von leitfähigen Schienen ist in der ersten leitfähigen Schicht angeordnet und

erstreckt sich entlang der ersten Richtung. Die zweite Vielzahl von leitfähigen Schienen ist zwischen der ersten Vielzahl von leitfähigen Schienen angeordnet und in einer Layoutansicht voneinander getrennt. Die zweite Vielzahl von leitfähigen Schienen ist konfiguriert, Datensignale an das mindestens eine Element der IC zu übertragen. Die mindestens eine erste Durchkontaktierung ist zwischen der ersten leitfähigen Schicht und einer zweiten leitfähigen Schicht über der ersten leitfähigen Schicht angeordnet und koppelt eine der ersten Vielzahl von leitfähigen Schienen an eine Leistungsschiene, die in der zweiten leitfähigen Schicht angeordnet ist. Das mindestens eine erste leitfähige Segment ist zwischen der ersten leitfähigen Schicht und der zweiten leitfähigen Schicht über der ersten leitfähigen Schicht angeordnet. Das mindestens eine erste leitfähige Segment ist mindestens teilweise mit mindestens zwei angrenzenden leitfähigen Schienen der zweiten Vielzahl von leitfähigen Schienen in einer Layoutansicht überlappt und das mindestens eine erste leitfähige Segment kontaktiert die mindestens zwei angrenzenden leitfähigen Schienen der zweiten Vielzahl von leitfähigen Schienen und ist von einer Signalschiene getrennt, die in der zweiten leitfähigen Schicht und neben der Leistungsschiene angeordnet ist.

[0263] In manchen Ausführungsformen weist die IC weiter eine Vielzahl von zweiten leitfähigen Segmenten auf. Die Vielzahl von zweiten leitfähigen Segmenten ist zwischen der ersten leitfähigen Schicht und der zweiten leitfähigen Schicht angeordnet. Die Vielzahl von zweiten leitfähigen Segmenten erstreckt sich entlang der ersten Richtung und ist genau über der ersten Vielzahl von leitfähigen Schienen in einer Layoutansicht angeordnet. Die Vielzahl von zweiten leitfähigen Segmenten übersteigt nicht die erste Vielzahl von leitfähigen Schienen in einer Layoutansicht und ist von der zweiten leitfähigen Schicht getrennt.

[0264] In manchen Ausführungsformen weist eines der Vielzahl von zweiten leitfähigen Segmenten getrennte Abschnitte auf und die mindestens eine erste Durchkontaktierung ist in einer Layoutansicht zwischen den separaten Abschnitten angeordnet.

[0265] In manchen Ausführungsformen weist die IC weiter mindestens eine zweite Durchkontaktierung auf. Die mindestens eine zweite Durchkontaktierung ist zwischen der ersten leitfähigen Schicht und der zweiten leitfähigen Schicht angeordnet. Eines der Vielzahl von zweiten leitfähigen Segmenten ist durch die mindestens eine zweite Durchkontaktierung an die Leistungsschiene gekoppelt. Eine Höhe der mindestens einen ersten Durchkontaktierung unterscheidet sich von einer Höhe der mindestens einen zweiten Durchkontaktierung.

[0266] In manchen Ausführungsformen weist die IC weiter ein drittes leitfähiges Segment und ein viertes

leitfähiges Segment auf. Das dritte leitfähige Segment ist über einem aktiven Bereich unter der ersten leitfähigen Schicht angeordnet und erstreckt sich entlang einer zweiten Richtung, um einen ersten Transistor zu bilden. Das dritte leitfähige Segment ist mit einer ersten leitfähigen Schiene der zweiten Vielzahl von leitfähigen Schienen in einer Layoutansicht überlappt. Das vierte leitfähige Segment ist über dem aktiven Bereich angeordnet und erstreckt sich entlang der zweiten Richtung, um einen zweiten Transistor zu bilden, der an den ersten Transistor koppelt. Das vierte leitfähige Segment ist mit einer zweiten leitfähigen Schiene der zweiten Vielzahl von leitfähigen Schienen in einer Layoutansicht überlappt. Die erste leitfähige Schiene und die zweite leitfähige Schiene sind nebeneinander und die erste leitfähige Schiene, die zweite leitfähige Schiene und das mindestens eine erste leitfähige Segment sind teilweise miteinander in einer Layoutansicht überlappt.

[0267] In manchen Ausführungsformen weist die IC weiter mindestens eine Durchkontaktierung auf. Die mindestens eine Durchkontaktierung ist unter der ersten leitfähigen Schicht angeordnet. Die mindestens eine zweite Durchkontaktierung ist mindestens mit der zweiten Vielzahl von leitfähigen Schienen in einer Layoutansicht überlappt. Das mindestens eine erste leitfähige Segment ist mit der mindestens einen zweiten Durchkontaktierung, den mindestens zwei angrenzenden leitfähigen Schienen der zweiten Vielzahl von leitfähigen Schienen und einem Schnittabschnitt der mindestens zwei angrenzenden leitfähigen Schienen in einer Layoutansicht überlappt.

[0268] In manchen Ausführungsformen weist die integrierte Schaltung weiter mindestens ein drittes leitfähiges Segment auf. Das mindestens eine dritte leitfähige Segment ist über einem aktiven Bereich unter der ersten leitfähigen Schicht angeordnet und erstreckt sich entlang einer zweiten Richtung, um Gate-Anschlüsse zu bilden. Das mindestens eine dritte leitfähige Segment ist über der zweiten Vielzahl von leitfähigen Schienen in einer Layoutansicht angeordnet. Das mindestens eine dritte leitfähige Segment ist durch die mindestens eine zweite Durchkontaktierung an eine der zweiten Vielzahl von leitfähigen Schienen gekoppelt.

[0269] In manchen Ausführungsformen weist das mindestens eine dritte leitfähige Segment eine Vielzahl von dritten leitfähigen Segmenten auf. Die Vielzahl von dritten leitfähigen Segmenten ist voneinander in der ersten Richtung getrennt. Eine Länge des mindestens einen ersten leitfähigen Segments ist im Wesentlichen gleich oder größer als eine Distanz zwischen zwei angrenzenden dritten leitfähigen Segmenten der Vielzahl von dritten leitfähigen Segmenten.

[0270] In manchen Ausführungsformen weist die IC weiter eine Vielzahl von dritten leitfähigen Segmenten und mindestens eine zweite Durchkontaktierung auf. Die Vielzahl von dritten leitfähigen Segmenten ist über einem aktiven Bereich unter der ersten leitfähigen Schicht angeordnet und erstreckt sich entlang einer zweiten Richtung, um Transistoren zu bilden. Die mindestens eine zweite Durchkontaktierung ist unter der ersten leitfähigen Schicht angeordnet. Eines der Vielzahl von dritten leitfähigen Segmenten ist durch die mindestens eine zweite Durchkontaktierung an eine der zweiten Vielzahl von leitfähigen Schienen gekoppelt, die durch die mindestens eine erste Durchkontaktierung an die Leistungsschiene gekoppelt ist. Eine Höhe der mindestens einen ersten Durchkontaktierung ist größer als eine Höhe mindestens eines ersten leitfähigen Segments.

[0271] Erfindungsgemäß ist auch ein Verfahren offenbart. Das Verfahren umfasst die Betriebe wie folgt. Eine Vielzahl von leitfähigen Schienen wird gebildet. Eine Filmstruktur an der Vielzahl von leitfähigen Schienen wird gebildet. Die Filmstruktur wird strukturiert, um erste Strukturen zu bilden. Die ersten Strukturen werden mit leitfähigem Material gefüllt, um eine erste leitfähige Struktur zu bilden, die mindestens ein erstes leitfähiges Segment aufweist, das mindestens eine erste leitfähige Schiene der Vielzahl von leitfähigen Schienen kontaktiert. Eine dielektrische Struktur, die das mindestens eine erste leitfähige Segment abdeckt, wird gebildet. Teil der Filmstruktur und Teil der dielektrischen Struktur werden entfernt, um Teil einer zweiten leitfähigen Schiene der Vielzahl von leitfähigen Schienen freizulegen. Das leitfähige Material wird in den entfernten Teil der Filmstruktur und den entfernten Teil der dielektrischen Struktur gefüllt, um eine zweite leitfähige Struktur zu bilden, die eine erste Durchkontaktierung, die den freigelegten Teil der zweiten leitfähigen Schiene kontaktiert, und eine Signalschiene, die die erste Durchkontaktierung kontaktiert, aufweist.

[0272] In manchen Ausführungsformen umfasst das Verfahren weiter die folgenden Betriebe. Die dielektrische Struktur ist strukturiert, um zweite Strukturen zu bilden. Die zweiten Strukturen sind mit dem leitfähigen Material gefüllt, um eine zweite Durchkontaktierung zu bilden, die das mindestens eine erste leitfähige Segment kontaktiert. Die zweite Durchkontaktierung kontaktiert das mindestens eine erste leitfähige Segment und eine Leistungsschiene, die neben der zweiten leitfähigen Schiene angeordnet ist.

[0273] In manchen Ausführungsformen umfasst das Verfahren weiter die folgenden Betriebe. Mindestens eine dritte leitfähige Struktur, die mindestens zwei angrenzende leitfähige Schienen der Vielzahl von leitfähigen Schienen kontaktiert, wird gebildet. Die

mindestens eine dritte leitfähige Struktur ist von der Vielzahl von leitfähigen Schienen getrennt.

[0274] In manchen Ausführungsformen umfasst das Verfahren weiter die folgenden Betriebe. Eine zweite Durchkontaktierung, die die erste leitfähige Schiene und eine Leistungsschiene, die neben der Signalschiene angeordnet ist, kontaktiert, wird gebildet. Das mindestens eine erste leitfähige Segment weist getrennte Segmente auf. Die zweite Durchkontaktierung ist zwischen den getrennten Segmenten des mindestens einen ersten leitfähigen Segments angeordnet.

[0275] In manchen Ausführungsformen ist eine Höhe der ersten Durchkontaktierung größer als eine Höhe des mindestens einen ersten leitfähigen Segments. Eine Breite der ersten Durchkontaktierung ist im Wesentlichen gleich oder kleiner als eine Breite des mindestens einen ersten leitfähigen Segments.

Patentansprüche

1. IC (Integrated Circuit, integrierte Schaltung), aufweisend:
 eine Vielzahl von leitfähigen Schienen (P01, P02, S01, S02, S03, S04), die in einer ersten leitfähigen Schicht angeordnet ist;
 eine Vielzahl von Signalschienen (P11, P12, S11, S12), die in einer zweiten leitfähigen Schicht über der ersten leitfähigen Schicht angeordnet ist;
 mindestens eine erste Durchkontaktierung (431,432,433,434), die zwischen der ersten leitfähigen Schicht und der zweiten leitfähigen Schicht angeordnet ist und eine erste Signalschiene (P11, P12, S11, S12) der Vielzahl von Signalschienen (P11, P12, S11, S12) an mindestens eine der Vielzahl von leitfähigen Schienen (P01, P02, S01, S02, S03, S04) koppelt, wobei die erste Signalschiene (P11, P12, S11, S12) konfiguriert ist, ein Versorgungssignal durch die mindestens eine erste Durchkontaktierung (431,432,433,434) und die mindestens eine der Vielzahl von leitfähigen Schienen (P01, P02, S01, S02, S03, S04) an mindestens ein Element der IC zu übertragen; und
 mindestens ein erstes leitfähiges Segment (111,112, 121, 122, 123, 124,411a, 411b, 412a, 412b, 421), das zwischen der ersten leitfähigen Schicht und der zweiten leitfähigen Schicht angeordnet ist, wobei das mindestens eine erste leitfähige Segment (111,112, 121, 122, 123, 124, 411a, 411b, 412a, 412b, 421) an die mindestens eine der Vielzahl von leitfähigen Schienen (P01, P02, S01, S02, S03, S04) gekoppelt ist und von der ersten Signalschiene (P11, P12, S11, S12) getrennt ist, die IC weiter aufweisend:
 mindestens ein zweites leitfähiges Segment (121, 122, 123, 124, 421), das zwischen der ersten leitfähigen Schicht und der zweiten leitfähigen Schicht angeordnet ist,

wobei das mindestens eine zweite leitfähige Segment (121, 122, 123, 124, 421) in einer Layoutansicht über mindestens zwei angrenzenden leitfähigen Schienen (P01, P02, S01, S02, S03, S04) der Vielzahl von leitfähigen Schienen (P01, P02, S01, S02, S03, S04) angeordnet ist und diese aneinanderkoppelt und von der Vielzahl von Signalschienen (P11, P12, S11, S12) getrennt ist.

2. IC nach Anspruch 1, weiter aufweisend: mindestens eine zweite Durchkontaktierung die zwischen der ersten leitfähigen Schicht und der zweiten leitfähigen Schicht angeordnet ist, wobei das mindestens eine zweite leitfähige Segment (111,112, 121, 122, 123, 124, 411a, 411b, 412a, 412b, 421) durch die mindestens eine zweite Durchkontaktierung (431,432,433, 434) an die Vielzahl von Signalschienen (P11, P12, S11, S12) gekoppelt ist, wobei die Höhe der mindestens einen zweiten Durchkontaktierung (431,432,433, 434) kleiner als die Höhe der mindestens einen ersten Durchkontaktierung (431,432,433,434) ist.

3. IC, aufweisend: eine erste Vielzahl von leitfähigen Schienen (P01, P02, S01, S02, S03, S04), die in einer ersten leitfähigen Schicht angeordnet ist und sich entlang einer ersten Richtung erstreckt, wobei die erste Vielzahl von leitfähigen Schienen (P01, P02, S01, S02, S03, S04) konfiguriert ist, Leistungssignale an mindestens ein Element der IC zu übertragen; eine zweite Vielzahl von leitfähigen Schienen (P01, P02, S01, S02, S03, S04), die in der ersten leitfähigen Schicht angeordnet ist und sich entlang der ersten Richtung erstreckt, wobei die zweite Vielzahl von leitfähigen Schienen (P01, P02, S01, S02, S03, S04) in einer Layoutansicht zwischen der ersten Vielzahl von leitfähigen Schienen (P01, P02, S01, S02, S03, S04) angeordnet ist und voneinander getrennt ist, wobei die zweite Vielzahl von leitfähigen Schienen (P01, P02, S01, S02, S03, S04) konfiguriert ist, Datensignale an das mindestens eine Element der IC zu übertragen; mindestens eine erste Durchkontaktierung (431,432,433,434), die zwischen der ersten leitfähigen Schicht und einer zweiten leitfähigen Schicht über der ersten leitfähigen Schicht angeordnet ist und eine der ersten Vielzahl von leitfähigen Schienen (P01, P02, S01, S02, S03, S04) an eine Leistungsschiene koppelt, die in der zweiten leitfähigen Schicht angeordnet ist; und mindestens ein erstes leitfähiges Segment (111,112, 121, 122, 123, 124,411a, 411b, 412a, 412b, 421), das zwischen der ersten leitfähigen Schicht und der zweiten leitfähigen Schicht über der ersten leitfähigen Schicht angeordnet ist, wobei das mindestens eine erste leitfähige Segment (111,112, 121, 122, 123, 124,411a, 411b, 412a, 412b, 421) mindestens teilweise mit mindestens

zwei angrenzenden leitfähigen Schienen (P01, P02, S01, S02, S03, S04) der zweiten Vielzahl von leitfähigen Schienen (P01, P02, S01, S02, S03, S04) in einer Layoutansicht überlappt ist und das mindestens eine erste leitfähige Segment (111,112, 121, 122, 123, 124,411a, 411b, 412a, 412b, 421) die mindestens zwei angrenzenden leitfähigen Schienen (P01, P02, S01, S02, S03, S04) der zweiten Vielzahl von leitfähigen Schienen (P01, P02, S01, S02, S03, S04) kontaktiert und von einer Signalschiene (P11, P12, S11, S12) getrennt ist, die in der zweiten leitfähigen Schicht und neben der Leistungsschiene angeordnet ist.

4. IC nach Anspruch 3, weiter umfassend: eine Vielzahl von zweiten leitfähigen Segmenten (111,112, 121, 122, 123, 124, 411a, 411b, 412a, 412b, 421), die zwischen der ersten leitfähigen Schicht und der zweiten leitfähigen Schicht angeordnet ist, wobei die Vielzahl von zweiten leitfähigen Segmenten (111,112, 121, 122, 123, 124, 411a, 411b, 412a, 412b, 421) sich entlang der ersten Richtung erstreckt und genau über der ersten Vielzahl von leitfähigen Schienen (P01, P02, S01, S02, S03, S04) in einer Layoutansicht angeordnet ist, wobei die Vielzahl von zweiten leitfähigen Segmenten (111,112, 121, 122, 123, 124, 411a, 411b, 412a, 412b, 421) die erste Vielzahl von leitfähigen Schienen (P01, P02, S01, S02, S03, S04) in einer Layoutansicht nicht übersteigt und von der zweiten leitfähigen Schicht getrennt ist.

5. IC nach Anspruch 4, wobei eines der Vielzahl von zweiten leitfähigen Segmenten (111,112, 121, 122, 123, 124,411a, 411b, 412a, 412b, 421) getrennte Abschnitte aufweist und die mindestens eine erste Durchkontaktierung (431, 432, 433, 434) in einer Layoutansicht zwischen den getrennten Abschnitten angeordnet ist.

6. IC nach Anspruch 5, weiter aufweisend: mindestens eine zweite Durchkontaktierung (431, 432, 433, 434), die zwischen der ersten leitfähigen Schicht und der zweiten leitfähigen Schicht angeordnet ist, wobei eines der Vielzahl von zweiten leitfähigen Segmenten (111,112, 121, 122, 123, 124, 411a, 411b, 412a, 412b, 421) durch die mindestens eine zweite Durchkontaktierung (431,432, 433, 434) an die Leistungsschiene gekoppelt ist, und die Höhe der mindestens einen ersten Durchkontaktierung (431,432,433,434) sich von der Höhe der mindestens einen zweiten Durchkontaktierung (431, 432, 433, 434) unterscheidet.

7. IC nach Anspruch 3, weiter aufweisend: ein drittes leitfähiges Segment (111,112, 121, 122, 123, 124,411a, 411b, 412a, 412b, 421), das über einem aktiven Bereich unter der ersten leitfähigen Schicht angeordnet ist und sich entlang einer zwei-

ten Richtung erstreckt, um einen ersten Transistor (P1, P2, N1, N2) zu bilden, wobei das dritte leitfähige Segment (111,112, 121, 122, 123, 124,411a, 411b, 412a, 412b, 421) mit einer ersten leitfähigen Schiene (P01, P02, S01, S02, S03, S04) der zweiten Vielzahl von leitfähigen Schienen (P01, P02, S01, S02, S03, S04) in einer Layoutansicht überlappt ist; und

ein viertes leitfähiges Segment (111,112, 121, 122, 123, 124,411a, 411b, 412a, 412b, 421), das über dem aktiven Bereich angeordnet ist und sich entlang der zweiten Richtung erstreckt, um einen zweiten Transistor (P1, P2, N1, N2) zu bilden, der an den ersten Transistor (P1, P2, N1, N2) koppelt, wobei das vierte leitfähige Segment (111,112, 121,122,123,124,411a, 411b, 412a, 412b, 421) mit einer zweiten leitfähigen Schiene (P01, P02, S01, S02, S03, S04) der zweiten Vielzahl von leitfähigen Schienen (P01, P02, S01, S02, S03, S04) in einer Layoutansicht überlappt ist,

wobei die erste leitfähige Schiene (P01, P02, S01, S02, S03, S04) und die zweite leitfähige Schiene (P01, P02, S01, S02, S03, S04) nebeneinander sind und die erste leitfähige Schiene (P01, P02, S01, S02, S03, S04), die zweite leitfähige Schiene (P01, P02, S01, S02, S03, S04) und das mindestens eine erste leitfähige Segment (111,112, 121,122,123,124,411a, 411b, 412a, 412b, 421) in einer Layoutansicht teilweise miteinander überlappt sind.

8. IC nach Anspruch 3, weiter aufweisend: mindestens eine zweite Durchkontaktierung (431,432,433,434), die unter der ersten leitfähigen Schicht angeordnet ist, wobei die mindestens eine zweite Durchkontaktierung (431, 432,433,434) mindestens mit der zweiten Vielzahl von leitfähigen Schienen (P01, P02, S01, S02, S03, S04) in einer Layoutansicht überlappt ist, wobei das mindestens eine erste leitfähige Segment (111,112, 121, 122, 123, 124,411a, 411b, 412a, 412b, 421) mit der mindestens einen zweiten Durchkontaktierung (431, 432, 433, 434), den mindestens zwei angrenzenden leitfähigen Schienen (P01, P02, S01, S02, S03, S04) der zweiten Vielzahl von leitfähigen Schienen (P01, P02, S01, S02, S03, S04) und einem Schnittabschnitt der mindestens zwei angrenzenden leitfähigen Schienen (P01, P02, S01, S02, S03, S04) in einer Layoutansicht überlappt ist.

9. IC nach Anspruch 8, weiter aufweisend: mindestens ein drittes leitfähiges Segment (111,112, 121, 122, 123, 124, 411a, 411b, 412a, 412b, 421), das über einem aktiven Bereich unter der ersten leitfähigen Schicht angeordnet ist und sich entlang einer zweiten Richtung erstreckt, um Gate-Anschlüsse zu bilden, wobei das mindestens eine dritte leitfähige Segment (111,112, 121, 122, 123, 124,411a, 411b, 412a,

412b, 421) in einer Layoutansicht über die zweite Vielzahl von leitfähigen Schienen (P01, P02, S01, S02, S03, S04) angeordnet ist, und das mindestens eine dritte leitfähige Segment (111,112, 121, 122, 123, 124,411a, 411b, 412a, 412b, 421) durch die mindestens eine zweite Durchkontaktierung (431,432,433,434) an eine der zweiten Vielzahl von leitfähigen Schienen (P01, P02, S01, S02, S03, S04) gekoppelt ist.

10. IC nach Anspruch 9, wobei das mindestens eine dritte leitfähige Segment (111,112, 121, 122, 123, 124, 411a, 411b, 412a, 412b, 421) aufweist: eine Vielzahl von dritten leitfähigen Segmenten (111,112, 121, 122, 123, 124, 411a, 411b, 412a, 412b, 421), die voneinander in der ersten Richtung getrennt sind, wobei eine Länge des mindestens einen ersten leitfähigen Segments (111,112, 121, 122, 123,124, 411a, 411b, 412a, 412b, 421) im Wesentlichen gleich oder größer als eine Distanz zwischen zwei angrenzenden dritten leitfähigen Segmenten (111,112, 121, 122, 123, 124, 411a, 411b, 412a, 412b, 421) der Vielzahl von dritten leitfähigen Segmenten (111,112, 121, 122, 123, 124, 411a, 411b, 412a, 412b, 421) ist.

11. IC nach Anspruch 3, weiter aufweisend: eine Vielzahl von dritten leitfähigen Segmenten (111,112, 121, 122, 123, 124, 411a, 411b, 412a, 412b, 421), die über einem aktiven Bereich unter der ersten leitfähigen Schicht angeordnet sind und sich entlang einer zweiten Richtung erstrecken, um Transistoren (P1, P2, N1, N2) zu bilden; und mindestens eine zweite Durchkontaktierung (431,432,433,434), die unter der ersten leitfähigen Schicht angeordnet ist, wobei eines der Vielzahl von dritten leitfähigen Segmenten (111,112, 121, 122, 123, 124, 411a, 411b, 412a, 412b, 421) durch die mindestens eine zweite Durchkontaktierung (431,432, 433,434) an eine der zweiten Vielzahl von leitfähigen Schienen gekoppelt ist, die durch die mindestens eine erste Durchkontaktierung (431,432,433,434) mit der Leistungsschiene gekoppelt ist, und die Höhe der mindestens einen ersten Durchkontaktierung (431, 432, 433, 434) größer als die Höhe mindestens eines ersten leitfähigen Segments (111,112, 121, 122, 123, 124,411a, 411b, 412a, 412b, 421) ist.

12. Verfahren, umfassend:
Bilden einer Vielzahl von leitfähigen Schienen (P01, P02, S01, S02, S03, S04);
Bilden einer Filmstruktur an der Vielzahl von leitfähigen Schienen (P01, P02, S01, S02, S03, S04);
Strukturieren der Filmstruktur, um erste Strukturen zu bilden;
Füllen der ersten Strukturen mit leitfähigem Material, um eine erste leitfähige Struktur zu bilden, die min-

destens ein erstes leitfähiges Segment (111,112, 121, 122, 123, 124,411a, 411b, 412a, 412b, 421) aufweist, das mindestens eine erste leitfähige Schiene (P01, P02, S01, S02, S03, S04) der Vielzahl von leitfähigen Schienen (P01, P02, S01, S02, S03, S04) kontaktiert;

Bilden einer dielektrischen Struktur, die das mindestens eine erste leitfähige Segment (111,112, 121, 122, 123, 124,411a, 411b, 412a, 412b, 421) abdeckt; und

Entfernen von einem Teil der Filmstruktur und einem Teil der dielektrischen Struktur, um einen Teil einer zweiten leitfähigen Schiene (P01, P02, S01, S02, S03, S04) der Vielzahl von leitfähigen Schienen (P01, P02, S01, S02, S03, S04) freizulegen; und Füllen des leitfähigen Materials in den entfernten Teil der Filmstruktur und den entfernten Teil der dielektrischen Struktur, um eine zweite leitfähige Struktur zu bilden, die eine erste Durchkontaktierung (431,432,433,434), die den freigelegten Teil der zweiten leitfähigen Schiene (P01, P02, S01, S02, S03, S04) kontaktiert, und eine Signalschiene (P11, P12, S11, S12), die die erste Durchkontaktierung (431,432,433,434) kontaktiert, aufweist.

13. Verfahren nach Anspruch 12, weiter umfassend:

Strukturieren der dielektrischen Struktur, um zweite Strukturen zu bilden; und

Füllen der zweiten Strukturen mit dem leitfähigen Material, um eine zweite Durchkontaktierung (431,432,433,434), zu bilden, die das mindestens eine erste leitfähige Segment kontaktiert, wobei die zweite Durchkontaktierung (431,432, 433,434), das mindestens eine erste leitfähige Segment (111,112, 121, 122, 123, 124,411a, 411b, 412a, 412b, 421) und eine Leistungsschiene, die neben der zweiten leitfähigen Schiene (P01, P02, S01, S02, S03, S04) angeordnet ist, kontaktiert.

14. Verfahren nach Anspruch 12, weiter umfassend:

Bilden mindestens einer dritten leitfähigen Struktur, die mindestens zwei angrenzende leitfähige Schienen (P01, P02, S01, S02, S03, S04) der Vielzahl von leitfähigen Schienen (P01, P02, S01, S02, S03, S04) kontaktiert, wobei die mindestens eine dritte leitfähige Struktur von der Vielzahl von leitfähigen Schienen (P01, P02, S01, S02, S03, S04) getrennt ist.

15. Verfahren nach Anspruch 12, weiter umfassend:

Bilden einer zweiten Durchkontaktierung (431, 432,433,434), die die erste leitfähige Schiene (P01, P02, S01, S02, S03, S04) und eine Leistungsschiene, die neben der Signalschiene angeordnet ist, kontaktiert,

wobei das mindestens eine erste leitfähige Segment (111,112, 121, 122, 123, 124, 411a, 411b, 412a,

412b, 421) getrennte Segmente aufweist und die zweite Durchkontaktierung (431, 432,433,434) zwischen den getrennten Segmenten des mindestens einen ersten leitfähigen Segments (111,112, 121, 122, 123, 124,411a, 411b, 412a, 412b, 421) angeordnet ist.

16. Verfahren nach Anspruch 12, wobei die Höhe der ersten Durchkontaktierung (431, 432,433,434) größer als die Höhe des mindestens einen ersten leitfähigen Segments (111,112, 121, 122, 123, 124,411a, 411b, 412a, 412b, 421) ist und die Breite der ersten Durchkontaktierung (431, 432, 433, 434) im Wesentlichen gleich oder kleiner als die Breite des mindestens einen ersten leitfähigen Segments (111,112, 121, 122, 123, 124,411a, 411b, 412a, 412b, 421) ist.

Es folgen 28 Seiten Zeichnungen

Anhängende Zeichnungen

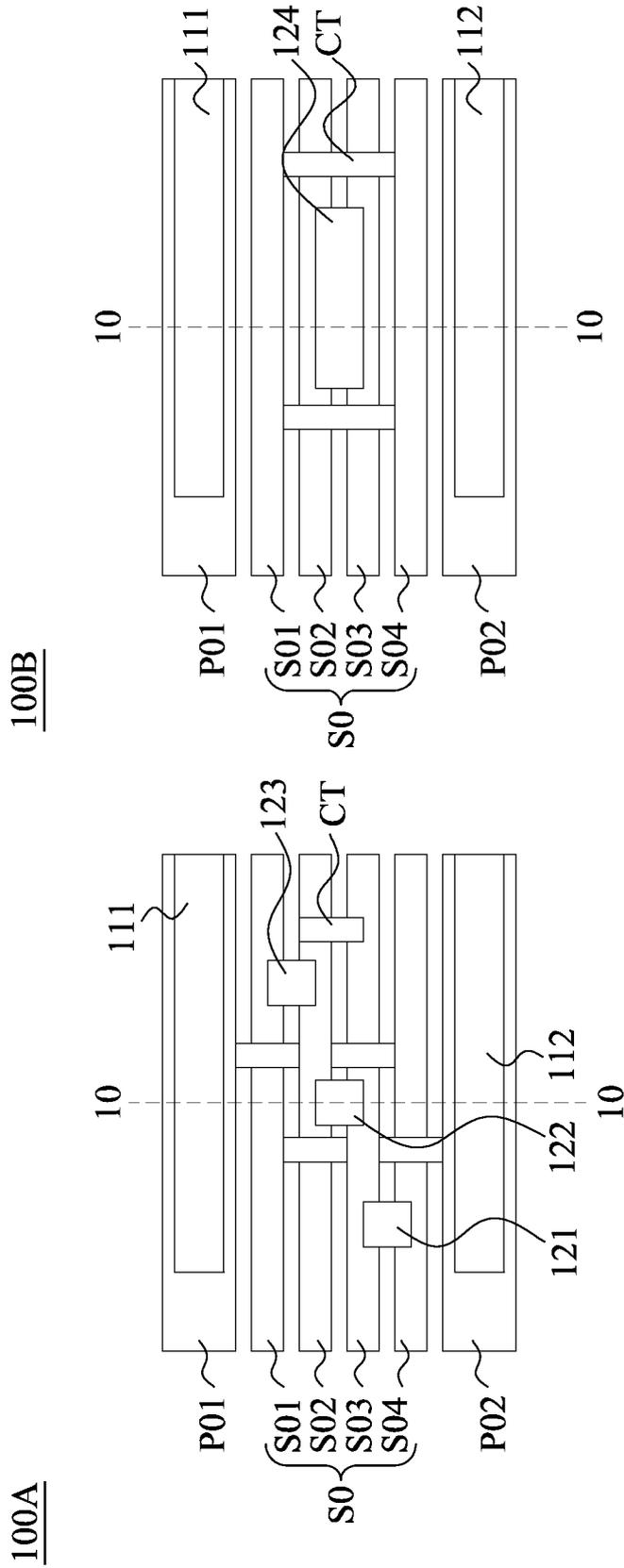


Fig. 1B

Fig. 1A

200

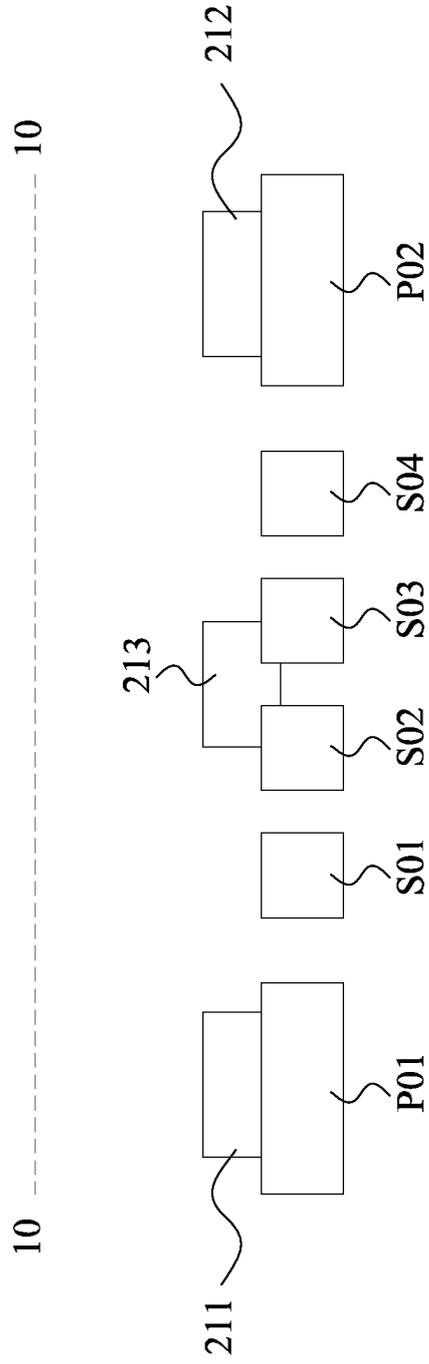


Fig. 2

300A

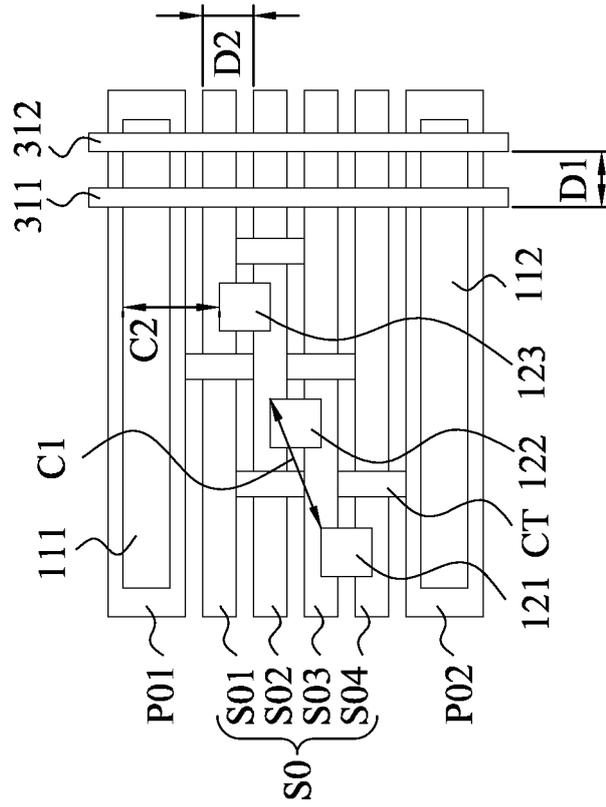


Fig. 3A

300B

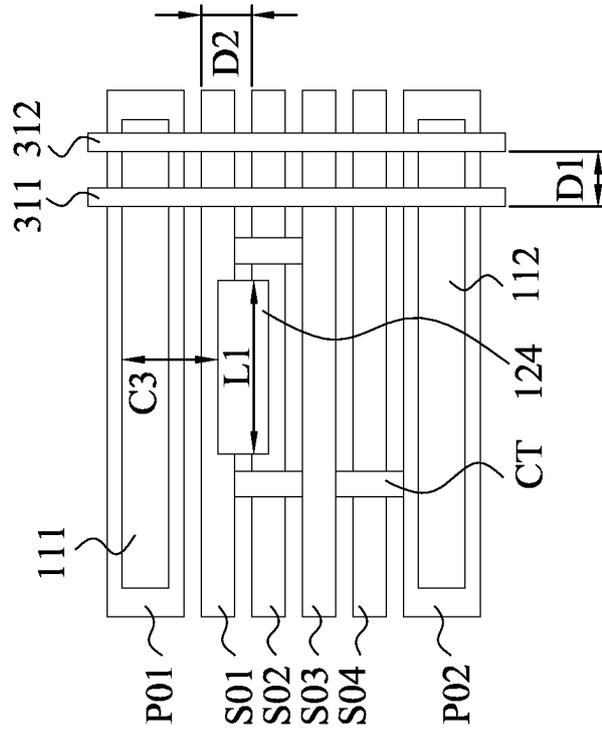


FIG. 3B

300C

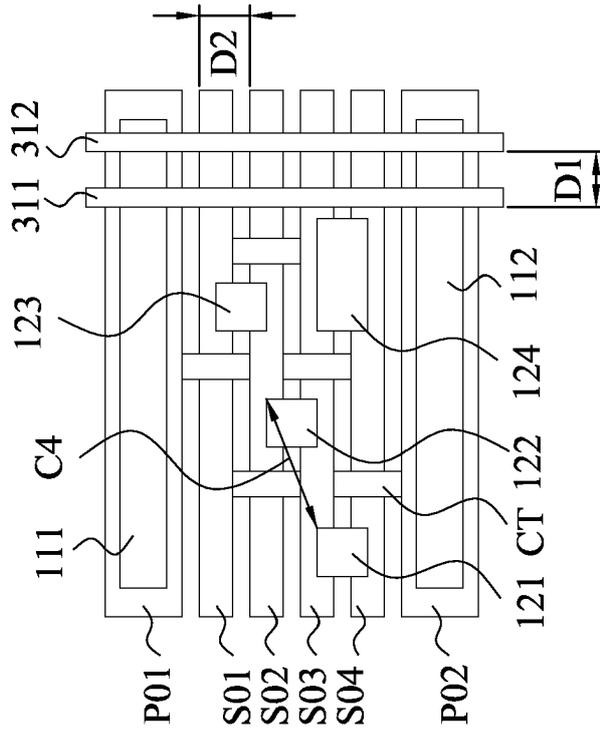


FIG. 3C

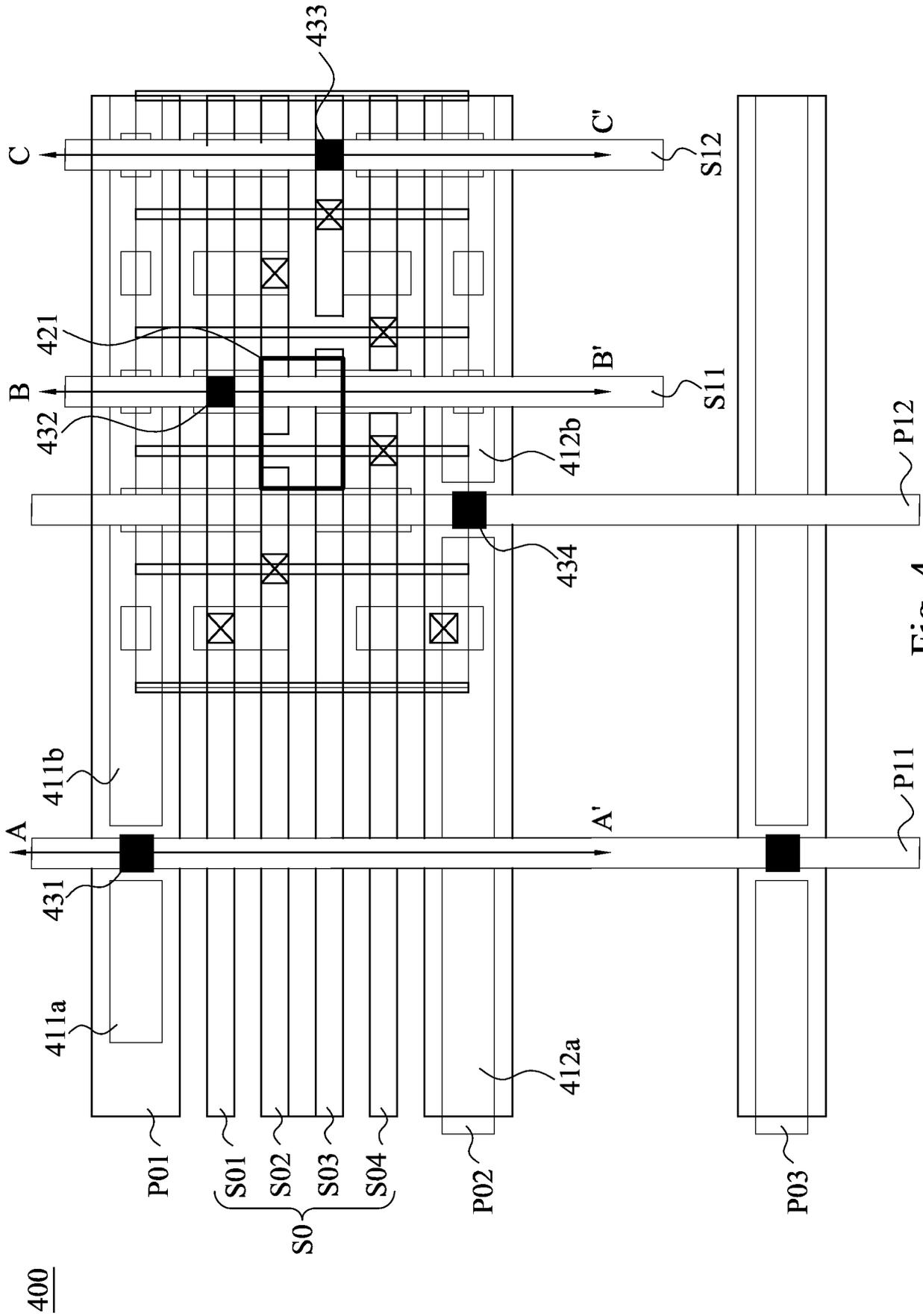


Fig. 4

400

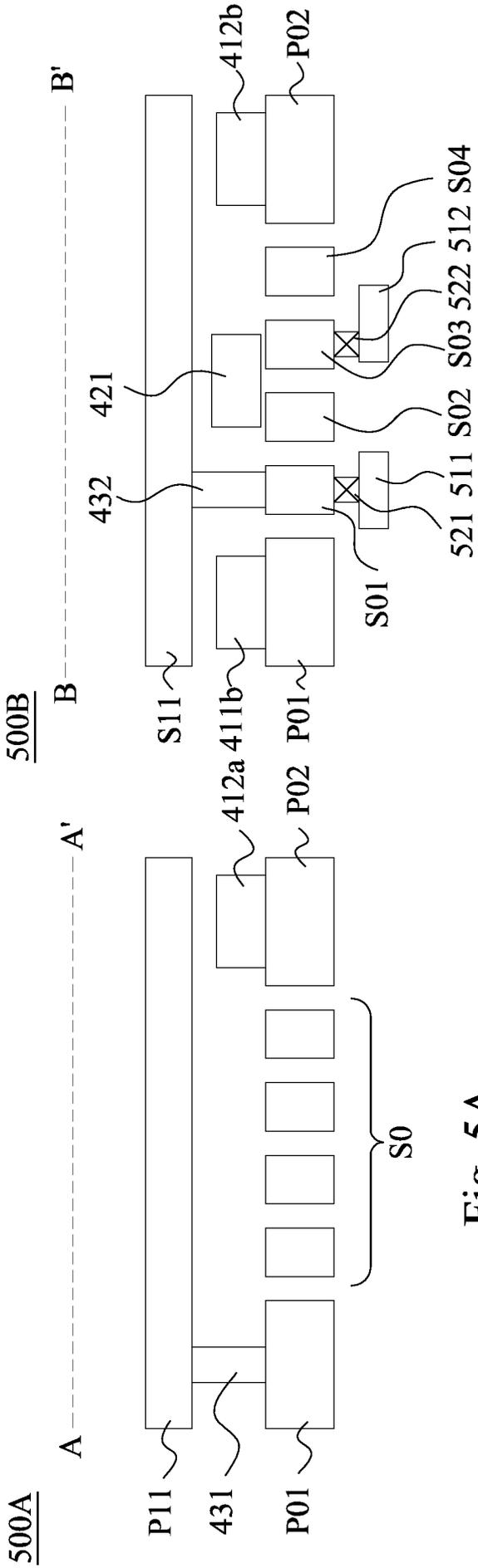


Fig. 5A

Fig. 5B

500C

C-----C'

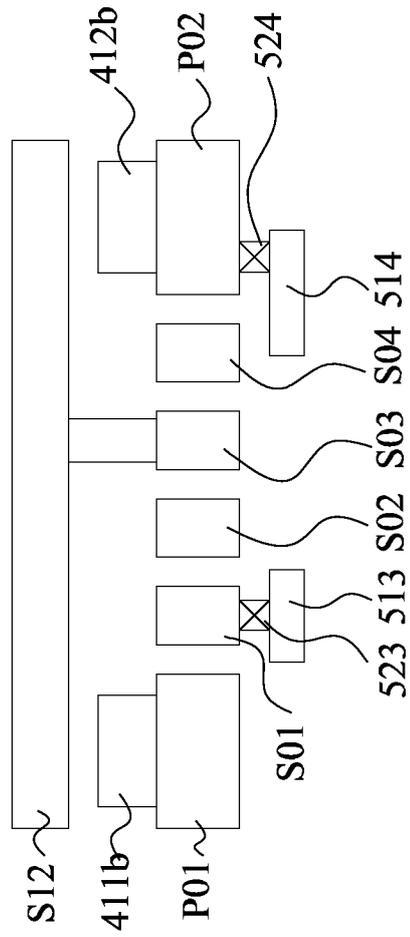


Fig. 5C

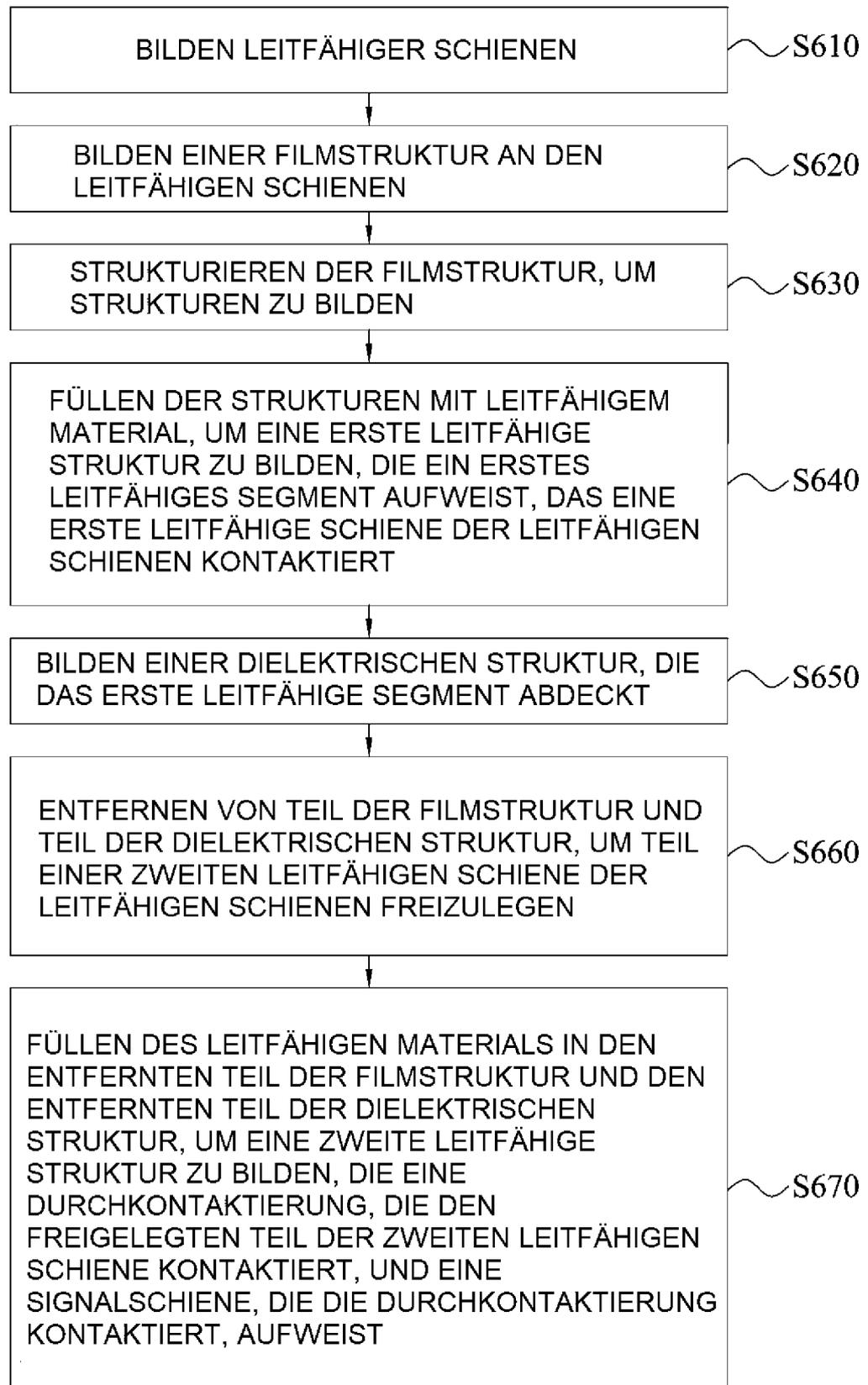
600

FIG. 6

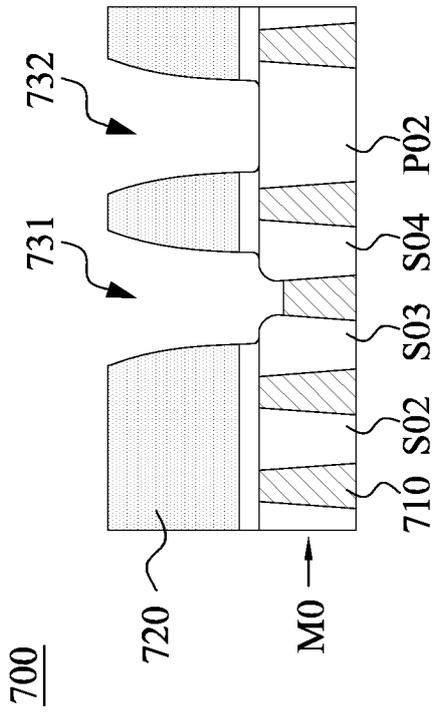


Fig. 7B

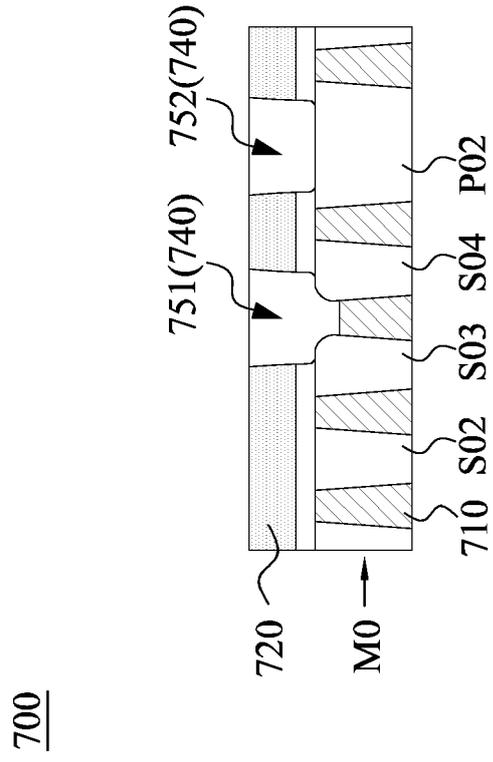


Fig. 7D

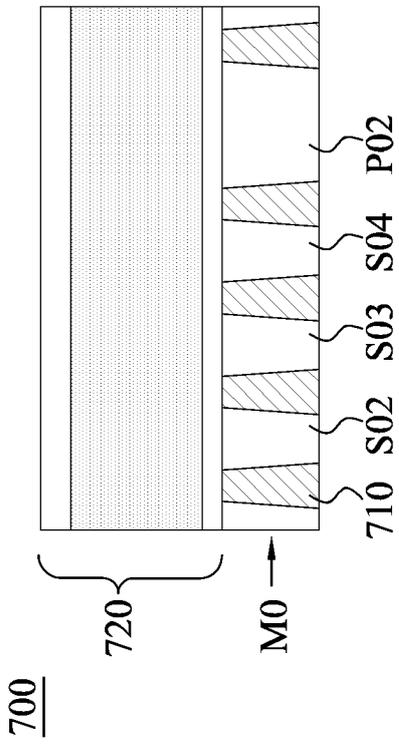


Fig. 7A

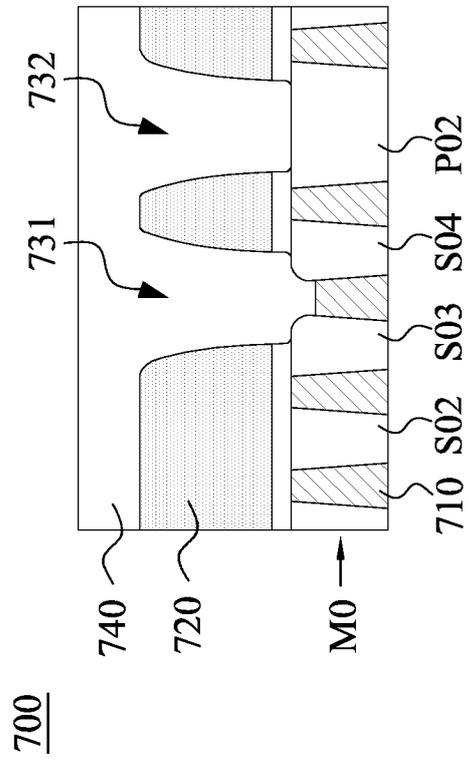


Fig. 7C

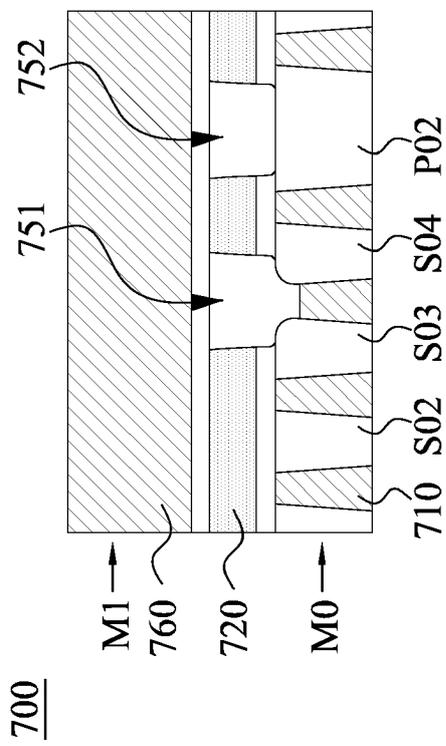


Fig. 7E

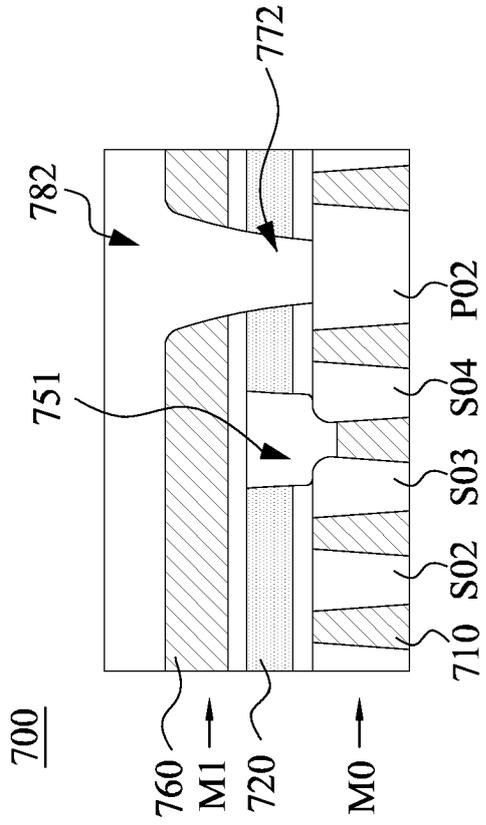


Fig. 7G

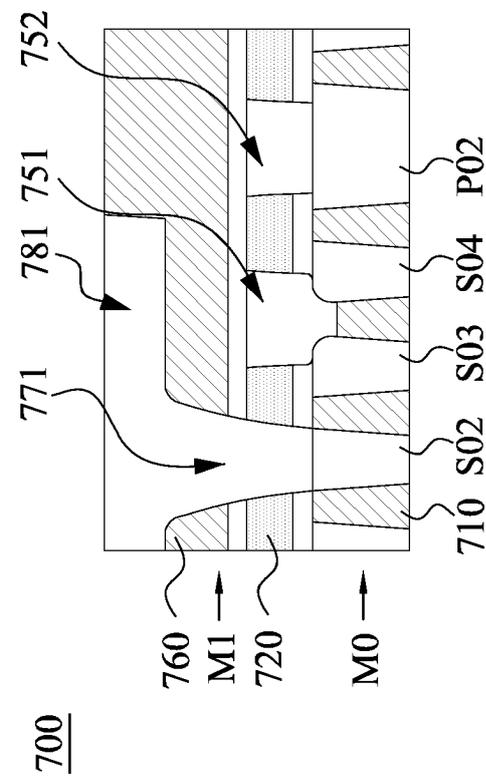


Fig. 7F

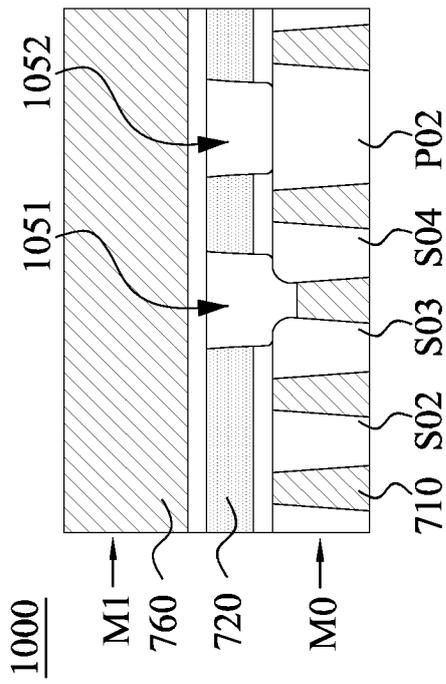


Fig. 10A

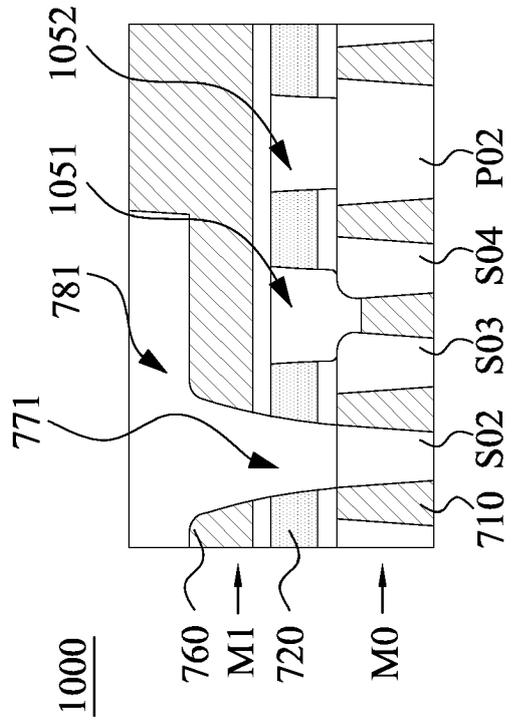


Fig. 10B

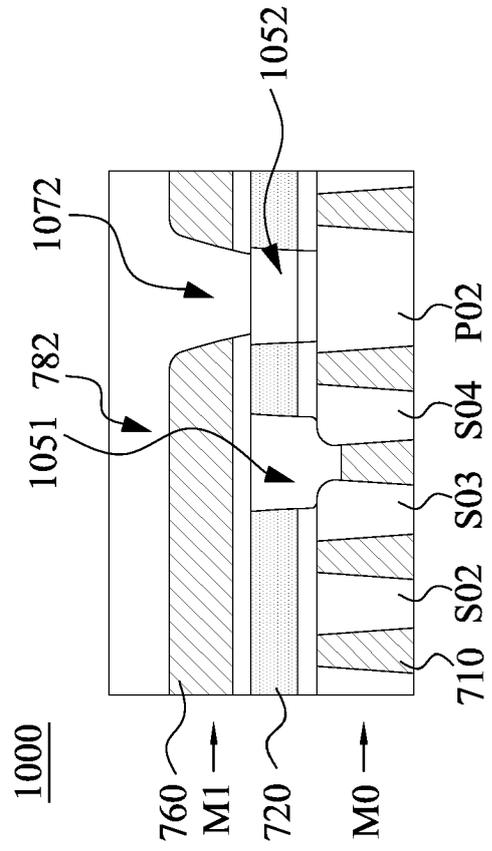
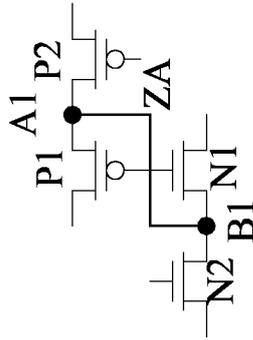


Fig. 10C

1100A



1100B

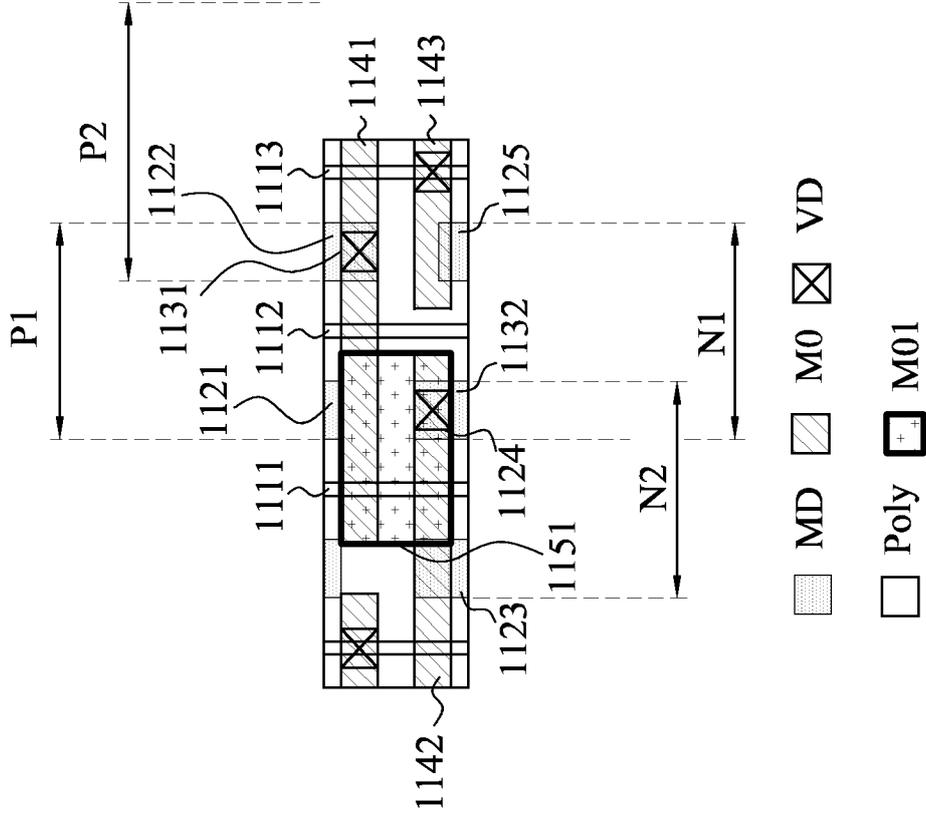


FIG. 11A

FIG. 11B

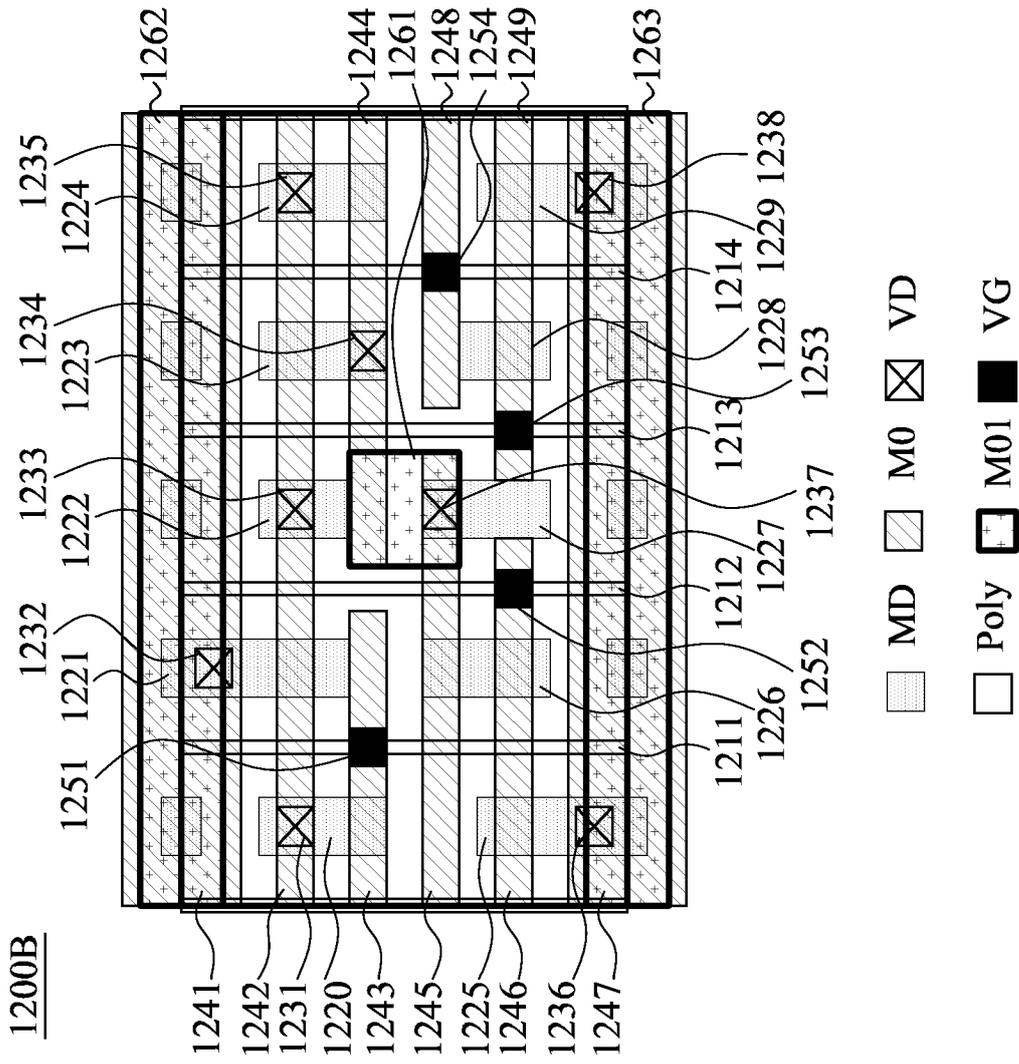
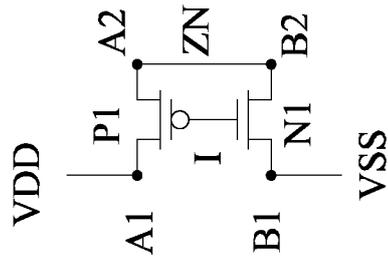


FIG. 12B

FIG. 12A

1400A



1400B

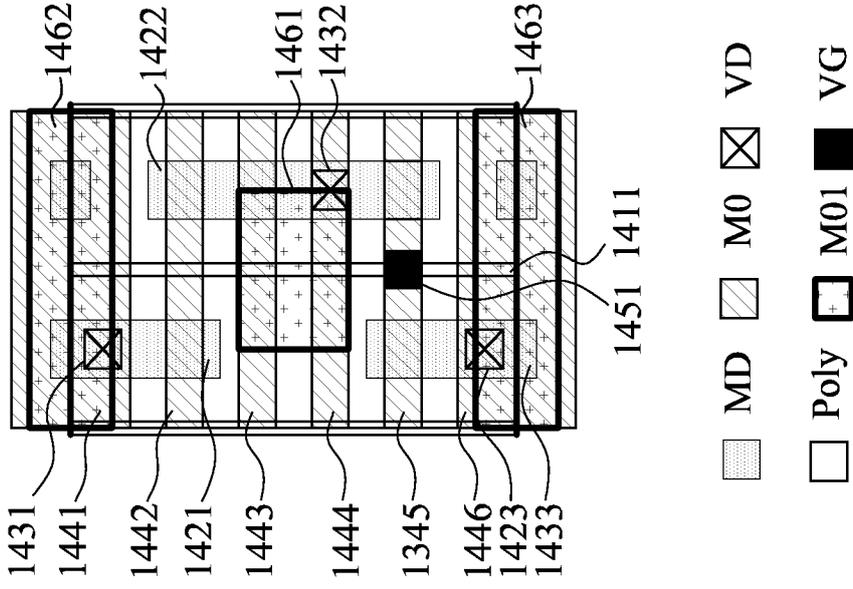


FIG. 14A

FIG. 14B

1500A

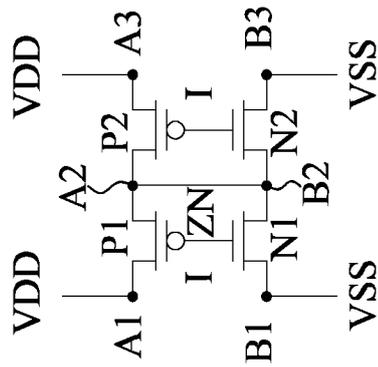


FIG. 15A

1500B

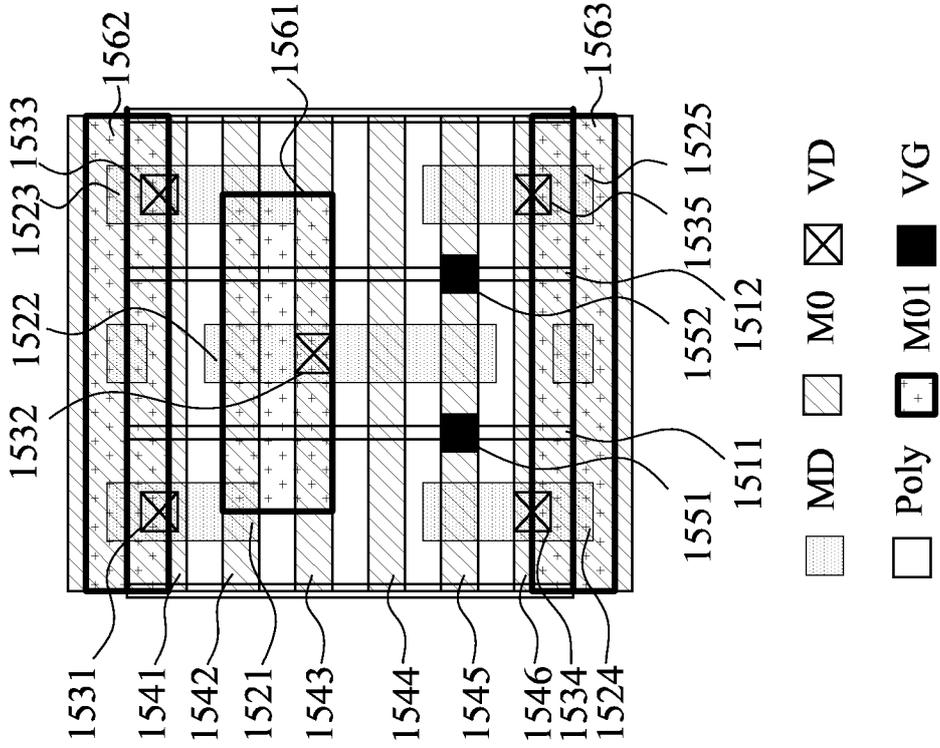


FIG. 15B

1700A

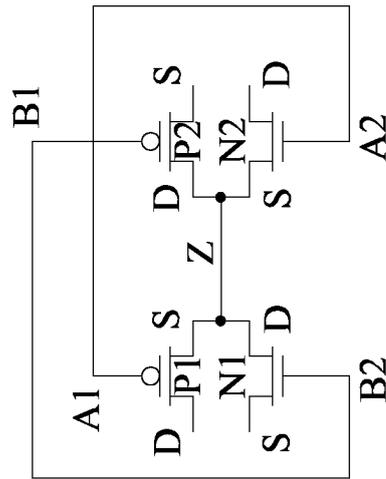


FIG. 17A

1700B

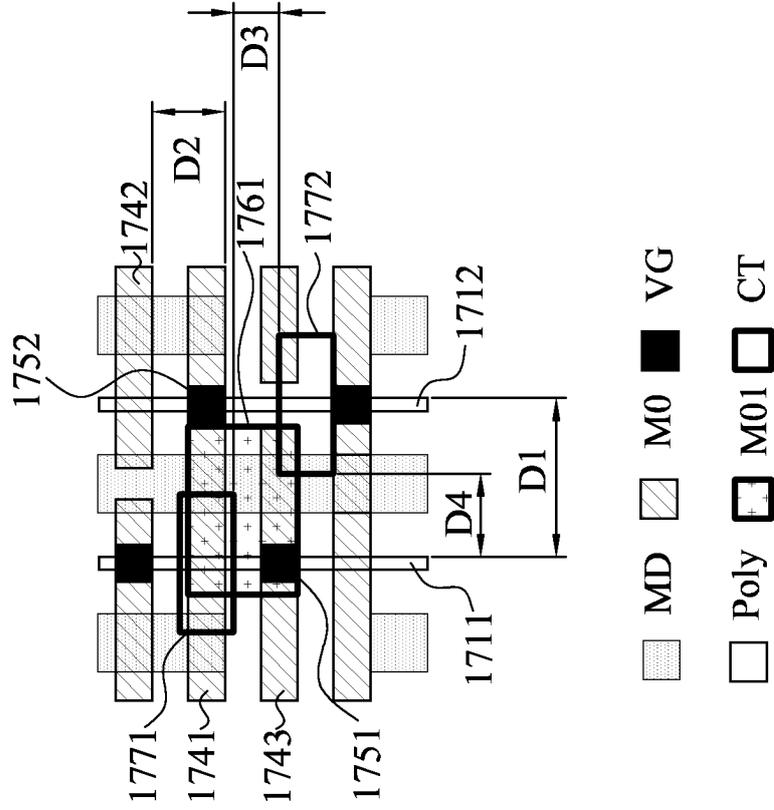


FIG. 17B

1700D

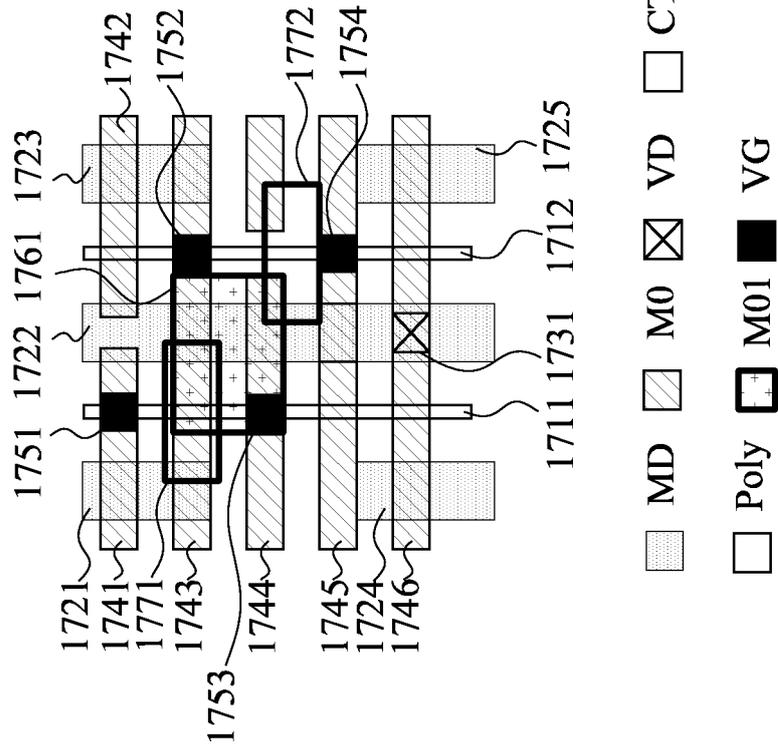


FIG. 17D

1700C

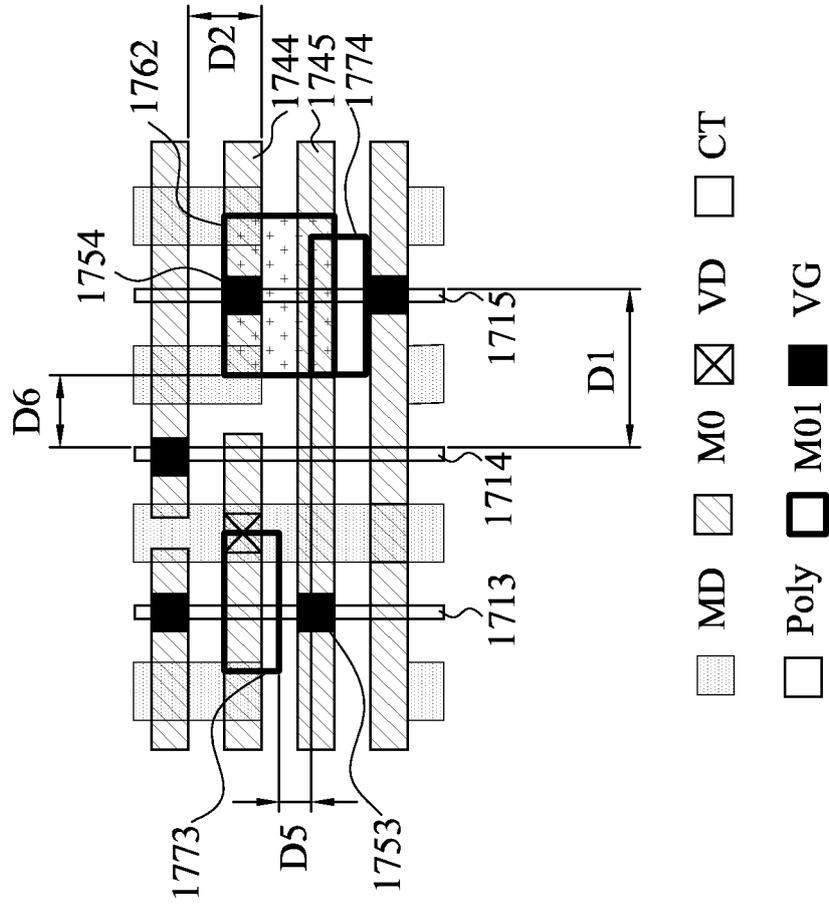


FIG. 17C

1700E

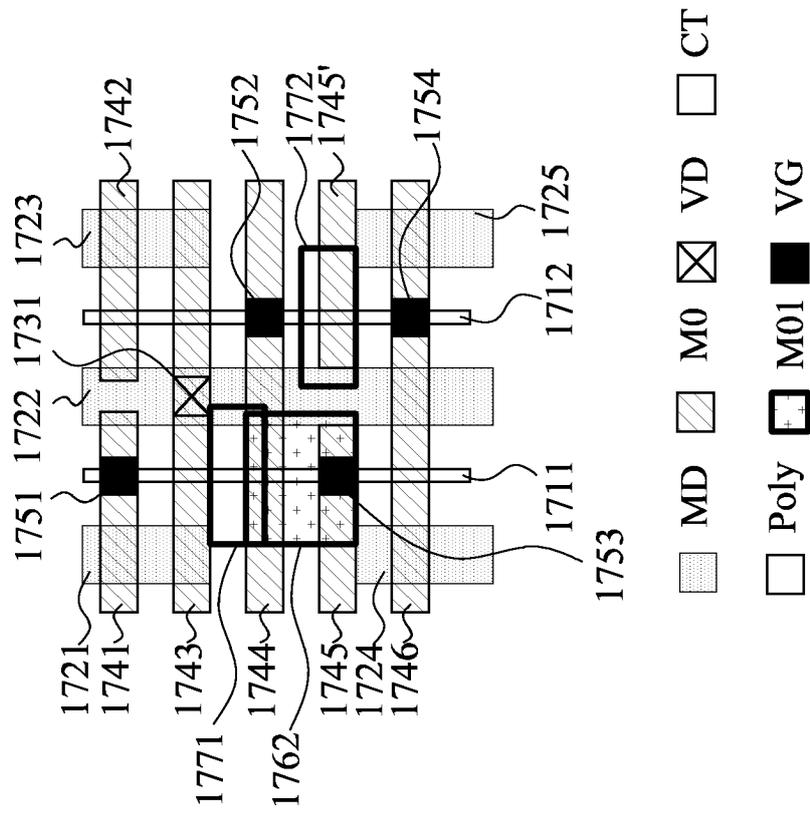


FIG. 17E

1800A

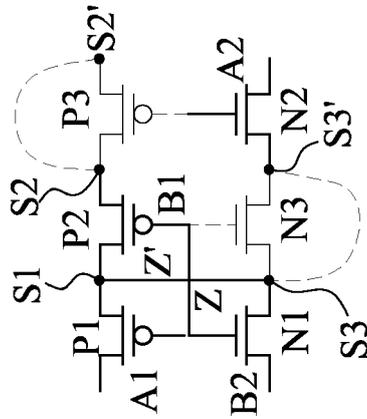


FIG. 18A

1800B

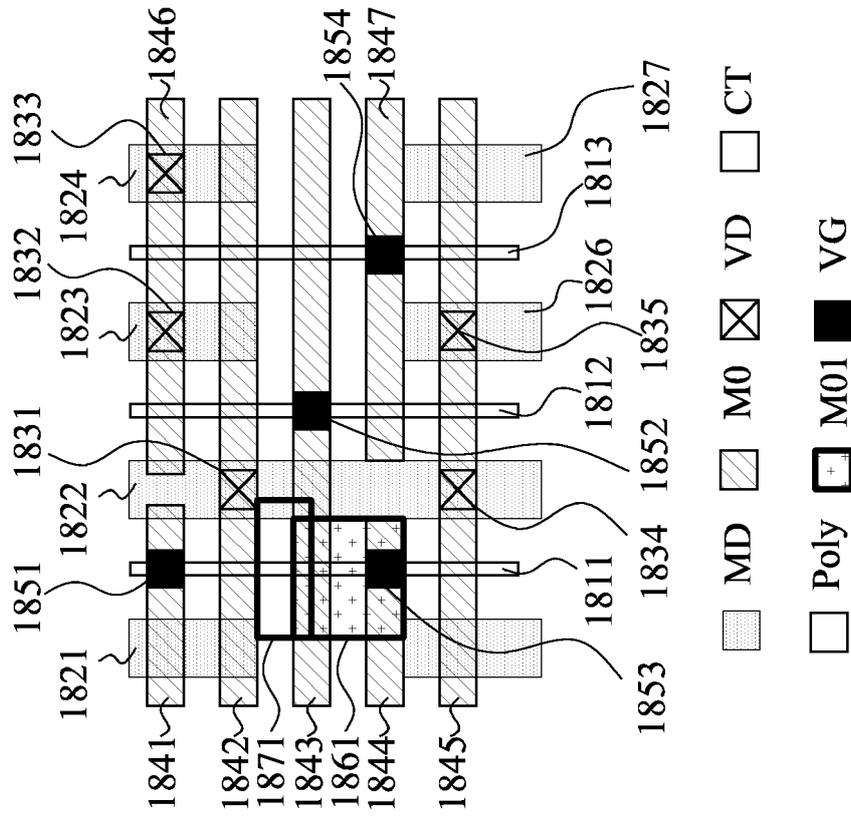
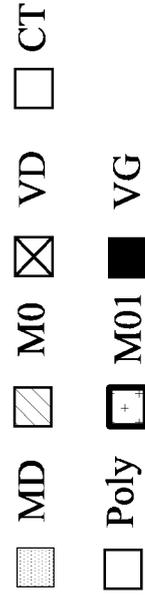


FIG.18B



1900A

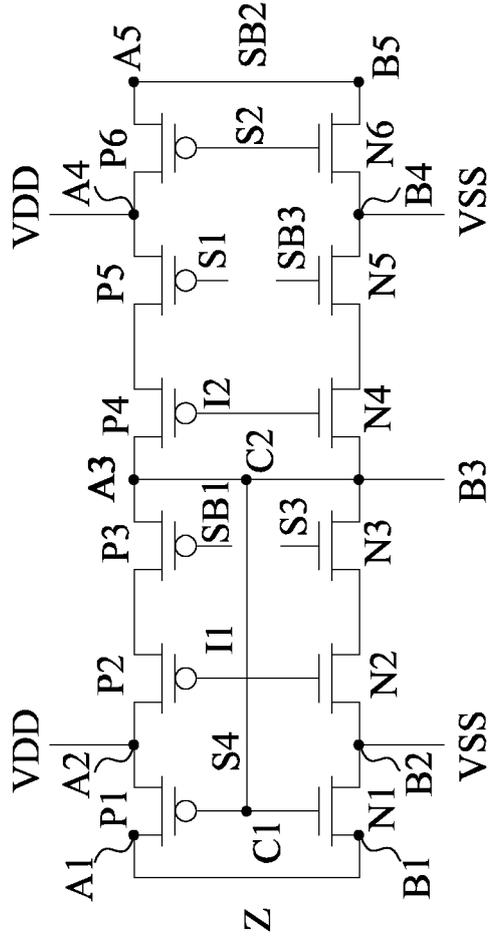


Fig. 19A

1900B

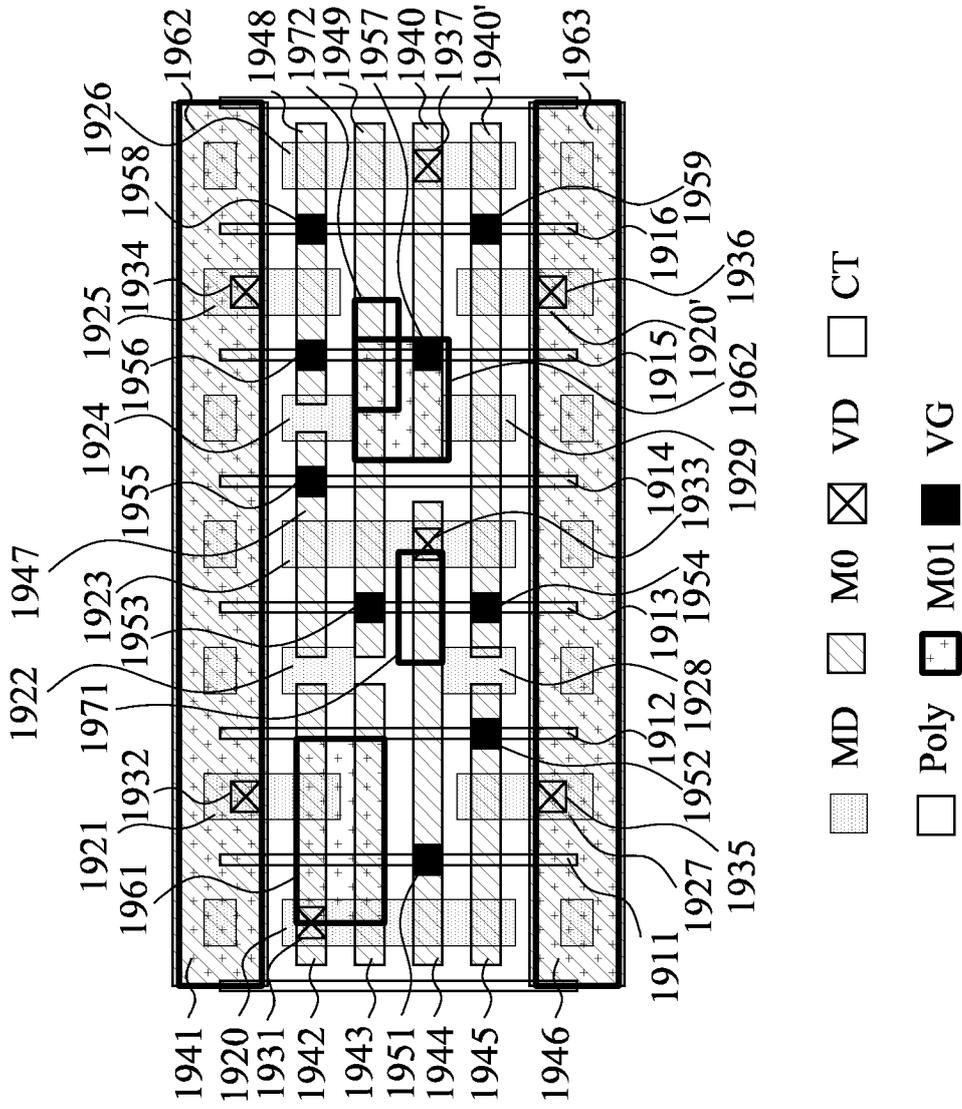


FIG. 19B

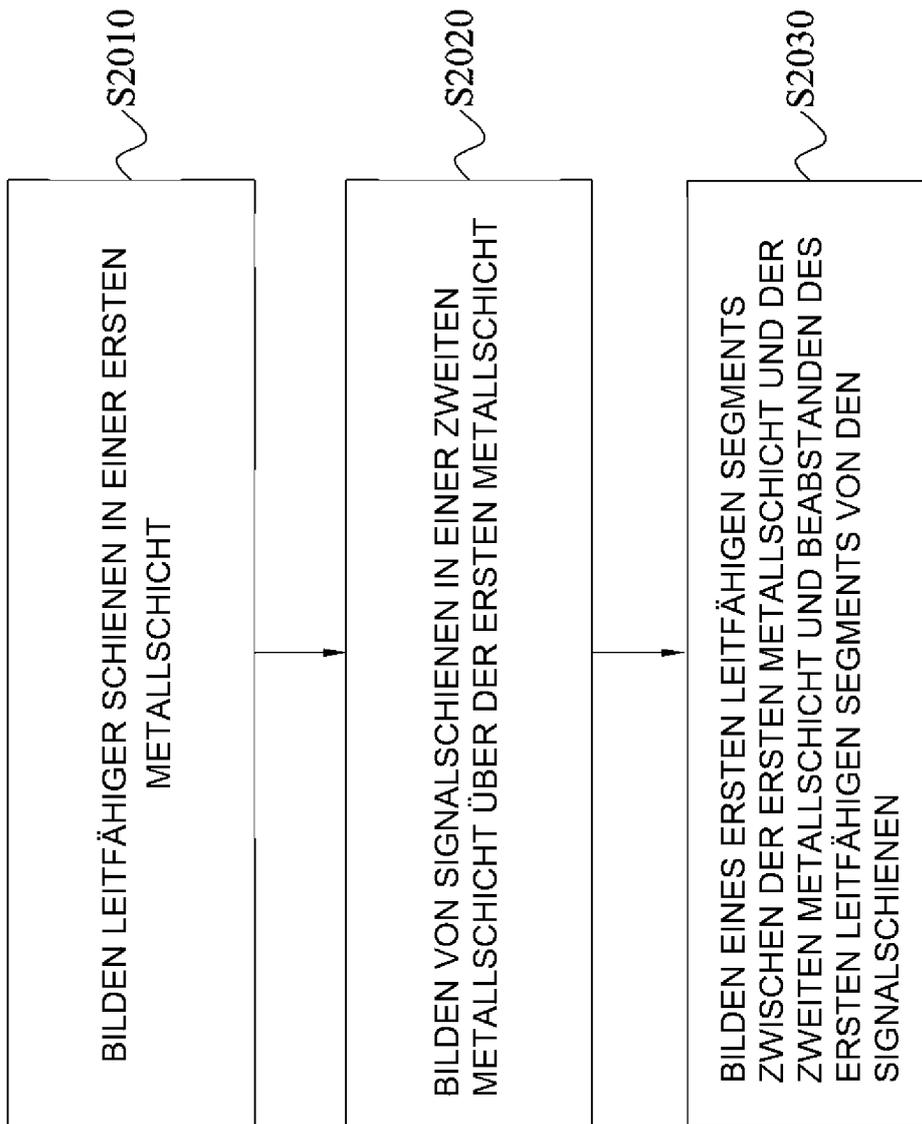
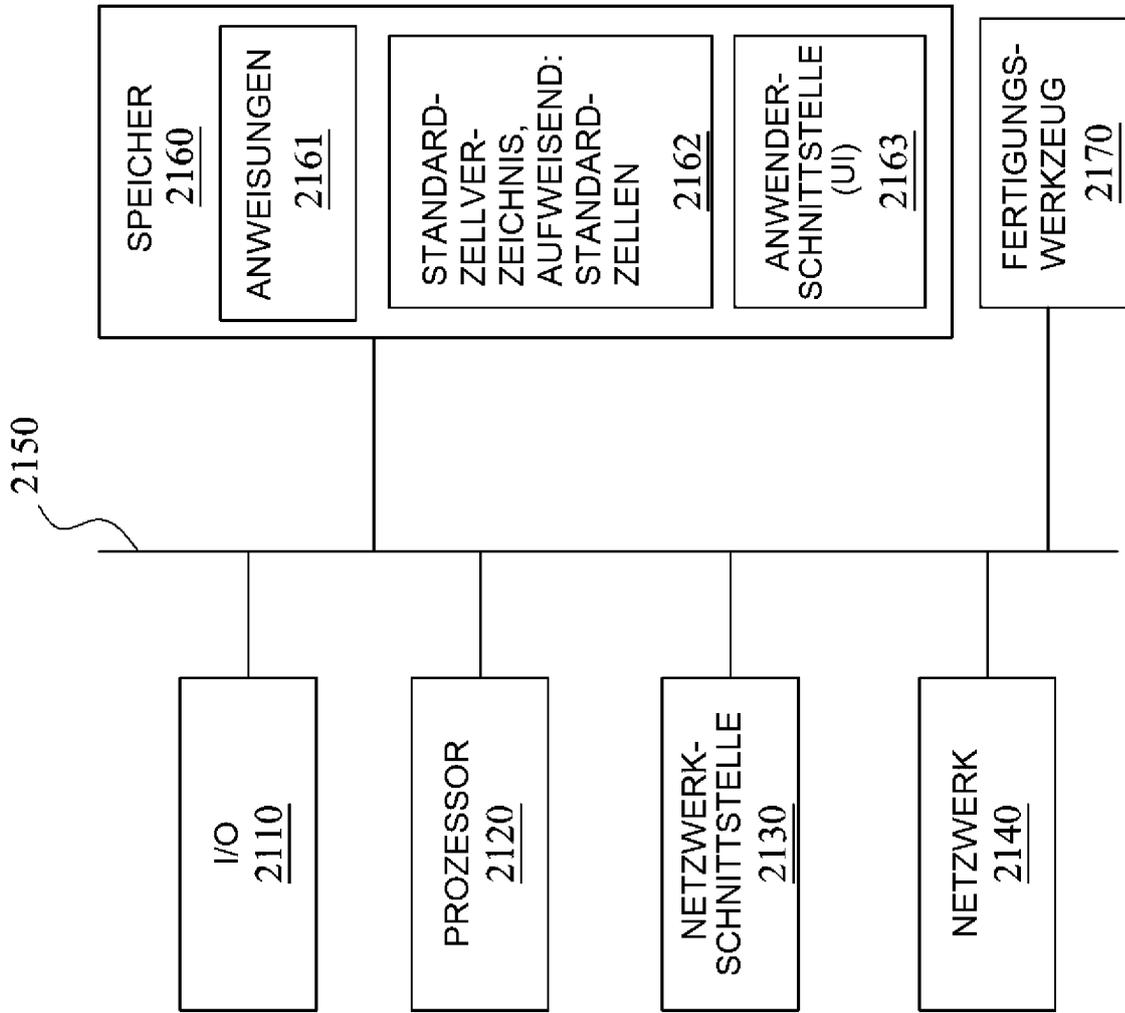


Fig. 20



2100

FIG. 21

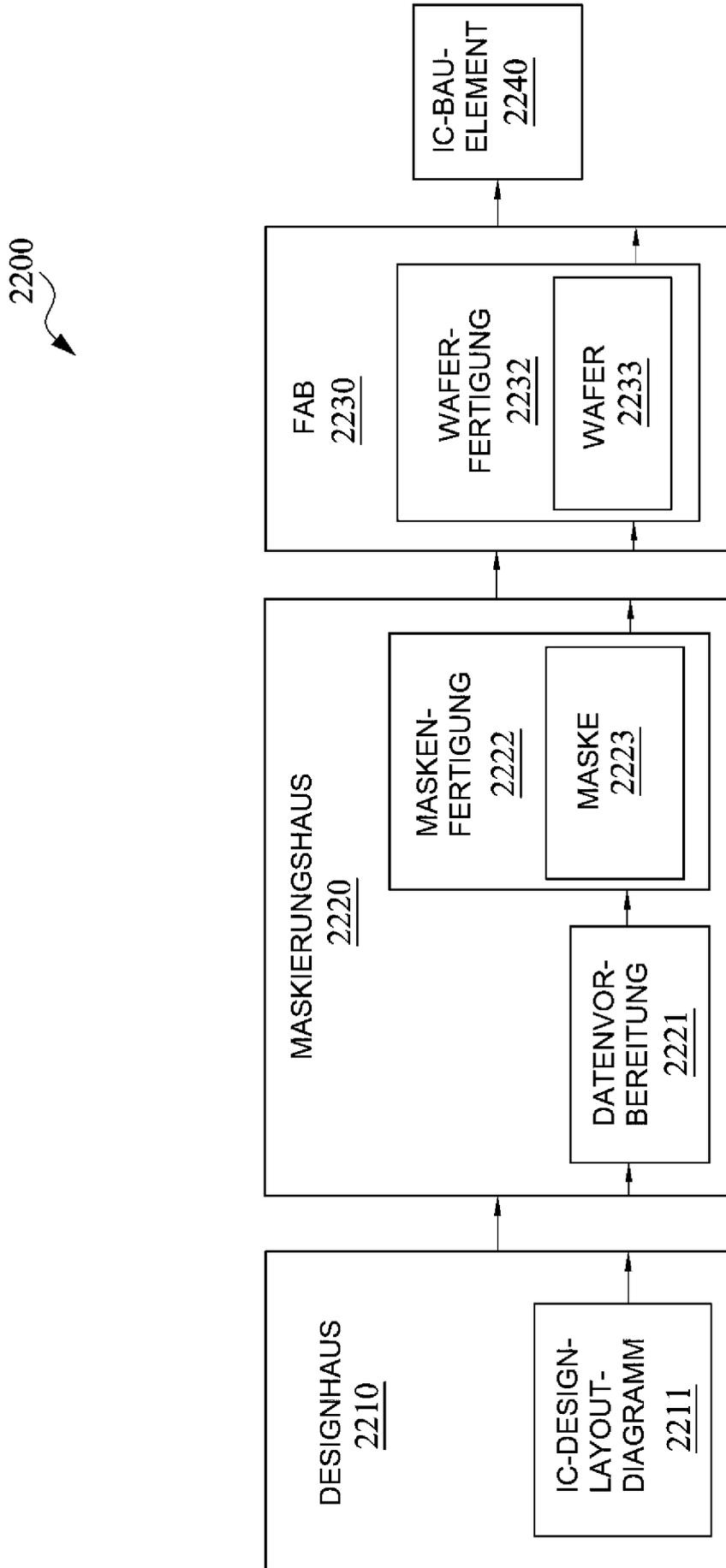


FIG. 22