



(12) Ausschließungspatent

(11) DD 301 375 A7

Erteilt gemäß § 18 Absatz 2
Patentgesetz der DDR
vom 27. 10. 1983

5(51) H 04 J 3/08

In Übereinstimmung mit den entsprechenden
Festlegungen im Einigungsvertrag

DEUTSCHES PATENTAMT

(21) DD H 04 J / 330 379 6 (22) 05. 07. 89 (45) 10. 12. 92

(72) Rogasch, Volker, Dipl.-Ing.; Otto, Hans-Dietrich, Dipl.-Phys., DE
(73) Siemens Übertragungstechnik GmbH, O - 2200 Greifswald, DE
(74) Waldorf, Albert, Patentassessor Dipl.-Ing., W - 8136 Wangen, DE

(54) Digitaler Abzweigmultiplexer

(55) PCM-Übertragungstechnik; digitaler Abzweigmultiplexer; Übertragungskanäle; Transitschalter; Pufferspeicher; Überwachungsstruktur; dezentrale Kanalkarten; verschiedene Bitraten; PCM-Primärmultiplexer; Standardisierungsgrad

(57) Die Erfindung betrifft einen digitalen Abzweigmultiplexer zum Abzweigen und Einfügen von beliebigen Übertragungskanälen entlang einer PCM-Übertragungsstrecke, die Kanalinformationen mit und ohne Kennzeicheninformation umfassen. Dazu ist in jeder Signalflußrichtung eine Reihenschaltung angeordnet, die aus Rahmenerkennungsschaltung, Transitschalter und Rahmenaufbauschialtung gebildet ist. Der Transitschalter besteht in Reihe aus Torschaltung zur gesteuerten AIS-Einblendung in das PCM-Multiplexsignal, Pufferspeicher mit Überwachungsanordnung und Torschaltung zum gesteuerten Sperren des PCM-Multiplexsignals. Beide Torschaltungen sind jeweils über eine ODER-Schaltung in Form von BUS-Strukturen mit dezentral angeordneten Kanalkarten zum Abzweigen bzw. Einfügen der Übertragungskanäle verbunden. Neben des hohen Standardisierungsgrades infolge Identität der Rahmenerkennungsschaltung, der Rahmenaufbauschialtung sowie der dezentralen Kanalkarten des Abzweigmultiplexers mit den analogen Baugruppen des PCM-Primärmultiplexers gestattet die dezentrale Steuerung des Transitschalters den Einsatz des Abzweigmultiplexers für Kanalkarten mit unterschiedlichster Bitrate. Anwendungsgebiet ist die PCM-Übertragungstechnik mit Abzweigpunkten. Fig.1

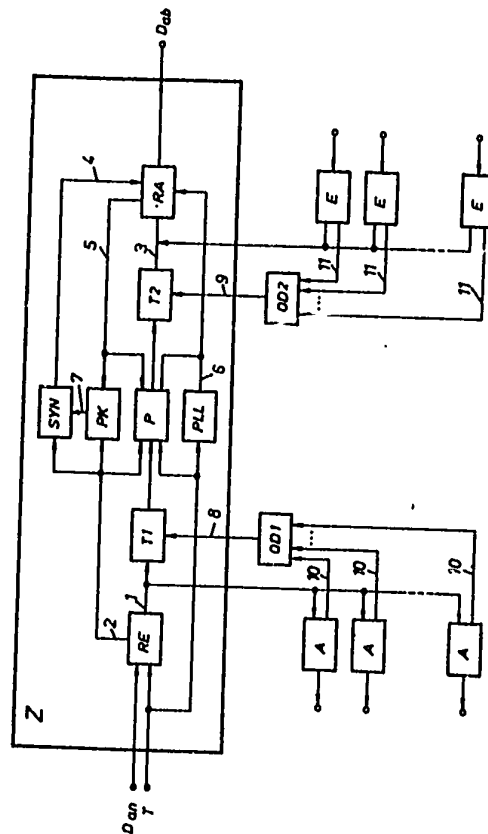


Fig. 1

Patentansprüche:

1. Digitaler Abzweigmultiplexer zum Einfügen als auch zum Abzweigen von beliebigen Übertragungskanälen entlang einer PCM-Übertragungsstrecke, die Kanallinformationen mit oder ohne Kennzeicheninformation umfassen, **dadurch gekennzeichnet**, daß in Signalfußrichtung eine Rahmenerkennungsschaltung (RE), an deren Informationsausgang (1) eine den Netzbedingungen entsprechende Anzahl von dezentral angeordneten Kanalkarten (A) zum Abzweigen beliebiger Übertragungskanäle angeschlossen ist, eine erste Torschaltung (T 1) zur gesteuerten ATS-Einblendung in das PCM-Multiplexsignal, einen Pufferspeicher (P), einer zweiten Torschaltung (T 2) zum gesteuerten Sperren des PCM-Multiplexsignals, eine Rahmenaufbausaltung (RA), an deren Informationseingang (3) eine den Netzbedingungen entsprechende Anzahl von dezentral angeordneten Kanalkarten (E) zum Einfügen beliebiger Übertragungskanäle angeschlossen ist und deren Ausgang das zu sendende PCM-Multiplexsignal (D_{ab}) bereitstellt, in Reihe geschaltet sind, daß der Grundtakt (T) der Rahmenerkennungsschaltung mit dem Schreibtakteingang des Pufferspeichers und dem Eingang einer PLL-Schaltung verbunden ist, daß der Ausgang (6) der PLL-Schaltung mit dem Lesetakteingang des Pufferspeichers und mit dem Takteingang der Rahmenaufbausaltung verbunden ist, daß der Synchronsignalausgang der Rahmenerkennungsschaltung und der Rahmenaufbausaltung mit den Setzeingängen des Pufferspeichers und den Eingängen eines Phasenfensterkomparators (PK) verknüpft sind, und dessen Ausgang (7) sowie der Synchronsignalausgang der Rahmenerkennungsschaltung an die Eingänge der Synchronimpulsbildungsschaltung (SYN) geschaltet sind, daß der Ausgang der Synchronimpulsbildungsschaltung mit dem Setzeingang der Rahmenaufbausaltung verbunden ist, daß der Steuereingang (8) der ersten Torschaltung mit dem Ausgang einer ersten ODER-Schaltung (OD 1) verbunden ist, deren Eingänge mit den Ausgängen der Kanalkarten (A) verkoppelt sind, und daß der Steuereingang (9) der zweiten Torschaltung mit dem Ausgang einer zweiten ODER-Schaltung (OD 2) verbunden ist, deren Eingänge mit den Steurausgängen der Kanalkarte (E) verkoppelt sind.
2. Digitaler Abzweigmultiplexer nach Anspruch 1, **dadurch gekennzeichnet**, daß bei zwei entgegengesetzten Signalfußrichtungen, die asynchron oder synchron zueinander sein können, die Kanalkarten (A) für die 1. Richtung (AB) und die Kanalkarten (E) für die 2. Richtung (BA) räumlich zusammengefaßt sind.

Hierzu 2 Seiten Zeichnungen

Anwendungsgebiet der Erfindung

Die Erfindung betrifft einen digitalen Abzweigmultiplexer für PCM-Nachrichtenübertragungssysteme der ersten Hierarchiestufe. Sein Einsatz ist vorgesehen entweder in einer Signalfußrichtung, insbesondere bei begrenzten Übertragungsstrecken in Ringstruktur, oder in zwei unabhängige Signalfußrichtungen, insbesondere bei Nachrichtenübertragungsstrecken, die über zueinander synchrone oder asynchrone Übertragungsrichtungen verfügen und die an ihren Unterwegspunkten ein Einfügen und Abzweigen einzelner Übertragungskanäle ermöglichen.

Charakteristik der bekannten technischen Lösungen

Zum Stand der Technik gehören digitale Primärmultiplexer (CCITT-Empfehlungen G 732, 735, 736, Rotbuch 1985) sowie digitale Abzweigmultiplexer (CCITT-Empfehlung G 737, Rotbuch 1985). Letztere ermöglichen ein Abzweigen oder/und Einfügen einzelner Übertragungskanäle oder Kanalgruppen und ein Verbleiben der jeweils nicht benötigten Kanäle im Gesamtübertragungskanal, wodurch sich technisch vorteilhafte Realisierungen für solche Übertragungsstrecken ergeben, die an ihren Unterwegspunkten eine wesentlich geringere Anzahl von Übertragungskanälen benötigen als insgesamt entlang der Strecke übertragen werden. Es sind Abzweigmultiplexer bekannt, die den Rahmenaufbau eines empfangenen Multiplexsignals in Senderichtung beibehalten. Weiterhin ist in DE-PS 2 624 067 auch eine Schaltungsanordnung beschrieben, in der in jeder Einfügungsstelle der Rahmenaufbau der Sendeseite neu erzeugt wird, wobei dessen Phasenlage durch ein Synchronisationssignal bestimmt wird, das vom in gleicher Signalfußrichtung empfangenen Multiplexsignal abgeleitet wird und das bei einer Störung des Empfangssignals unterdrückt wird, wodurch eine Fortpflanzung der Störung in nachfolgende Übertragungsabschnitte unterbleibt, wenn ebenso die Taktversorgung der Sendeseite ohne störenden Phasensprung auf eine zweite Taktquelle umschaltet.

Eine Bedingung für die direkte Synchronisation des Sendesignals durch das Empfangssignal ist, daß in der jeweiligen Signalfußrichtung des Abzweigmultiplexers die Grundtakte der Sende- und Empfangsseite in Frequenz und gegebenenfalls bis auf einen definierten maximalen Fehler in Phase übereinstimmen. Gemäß dem Stand der Technik erfolgt die Taktversorgung der

Sendeseite mittels PLL, die durch den Takt des Empfangssignals synchronisiert wird und bei Eingangssignalausfall auf ihrer Nennfrequenz schwingt oder durch eine zweite Taktquelle synchronisiert wird. Entsprechend der Phasenfehlerübertragungsfunktion dieser PLL und der an deren Eingang auftretenden Phasenmodulation (CCITT-Empfehlung G823, Rotbuch 1985) kann es notwendig werden, die PLL im Taktweg durch einen Pufferspeicher im Signalweg zu ergänzen. Weiterhin besitzen Abzweigmultiplexer Baugruppen Transitschalter zum Abzweigen bzw. Einfügen einzelner Übertragungskanäle, die in bekannten Anordnungen durch eine weitere zentrale, meist programmierbare Baugruppe, die die Zeitlagen der abzuzweigenden bzw. einzufügenden Information innerhalb des Gesamtübertragungssignals ermittelt, gesteuert wird. Diese Steuerung ist in bekannten Anordnungen für spezielle Übertragungsaufgaben optimiert, wodurch ein Abzweigen und Einfügen von Übertragungskanälen unterschiedlicher Bitrate erschwert wird. Gemäß dem Stand der Technik besitzt, um den schaltungstechnischen Aufwand dieser Zeitlagenprogrammierung zu minimieren, in bekannten Anordnungen das Gesamtübertragungssignal an der Abzweig- und Einfügeseite des Transitschalters eine einzige Phasenlage. Dies wird in jeder Signallflußrichtung durch eine Reihenschaltung der Baugruppen Grundtaktaufbereitung mittels PLL und gegebenenfalls Pufferspeicher, Synchronisationsschaltung für das Empfangssignal, Transitschalter zum Einfügen bzw. Abzweigen und Weiterführen der Übertragungskanäle und gegebenenfalls Schaltungsanordnung zur Bildung des Rahmenaufbaus für das Sendesignal erreicht.

Gemäß DE-AS 2753999 kann innerhalb der Reihenschaltung der Pufferspeicher auch direkt vor dem Transitschalter angeordnet werden.

Weitere Optimierungen der Struktur für Abzweigmultiplexer sind für solche Übertragungsstrecken bekannt, deren Signallflußrichtungen zueinander takt synchron sind und Phasenunterschiede zwischen den Taktsignalen beider Signallflußrichtungen einen durch die Kapazität eines in mindestens einer Signallflußrichtung angeordneten Pufferspeichers festgelegten Wert nicht überschreiten.

Für ein ringförmiges Übertragungsnetz mit nur einer Signallflußrichtung gibt die DE-OS 3516594 eine Schaltungsanordnung an, in der Pufferspeicher direkt zwischen Sende- und Empfangsteil eines üblichen Primärmultiplexers an den Steckplätzen der dezentralen Baugruppen nicht abgezweigter Kanäle eingesetzt werden. Das Ein- und Auslesen der Pufferspeicher erfolgt zu den entsprechenden Zeitlagen von Empfangs- und Sendeseite, die zueinander nicht synchron sind. Diese Anordnung, in der die Abzweigungsfunktion durch den Einsatz einer Baugruppe zum Durchschalten anstelle einer Baugruppe zum Abzweigen für jeden Übertragungskanal einzeln gesteuert wird, erfordert insbesondere in Übertragungsnetzen, die an ihren Abzweigungspunkten jeweils nur wenige Übertragungskanäle benötigen, durch die hohe Zahl von Durchschaltbaugruppen einen erheblichen schaltungstechnischen Gesamtaufwand. In bekannten Abzweigmultiplexern unterscheidet sich die Anordnung zentraler Baugruppen einer Signallflußrichtung von vergleichbaren Baugruppen in Primärmultiplexern der digitalen Übertragungstechnik, so daß die wahlweise Realisierung beider Funktionen in einem Gerät bzw. die Nutzung gleicher Funktionsgruppen in speziellen Geräten mit einem unverhältnismäßig hohen schaltungstechnischen Mehraufwand verbunden ist.

Ziel der Erfindung

Das Ziel der Erfindung ist eine Schaltungsanordnung für einen digitalen Abzweigmultiplexer, die kostengünstig und mit geringem technischen Aufwand das Abzweigen und/oder Einfügen einzelner Übertragungskanäle oder Kanalgruppen und ein Verbleiben der jeweils nicht benötigten Kanäle im Gesamtübertragungskanal der PCM-Nachrichtenübertragungseinrichtung zuverlässig realisiert.

Darlegung des Wesens der Erfindung

Die Aufgabe der Erfindung ist es, einen digitalen Abzweigmultiplexer zu schaffen, der sowohl das Einfügen als auch das Abzweigen von beliebigen Übertragungskanälen mit unterschiedlichster Bitrate der Kanalinformation und gegebenenfalls der Kennzeicheninformation in einer oder zwei, voneinander unabhängigen Signallflußrichtungen gestattet, wobei die Schaltungsanordnung den Einsatz eines hohen Anteils von zentralen und dezentralen Baugruppen analog des Primärmultiplexers ermöglicht.

Die Aufgabe der Erfindung wird dadurch gelöst, daß der digitale Abzweigmultiplexer zum Einfügen bzw. Abzweigen von beliebigen Übertragungskanälen entlang einer PCM-Übertragungsstrecke, die Kanal- und gegebenenfalls Kennzeicheninformation umfassen, in jeder Signallflußrichtung eine Reihenschaltung aus der Baugruppe zur Erkennung des Rahmens des empfangenen PCM-Multiplexsignals, eine Torschaltung zur gesteuerten AIS-Einblendung in das PCM-Multiplexsignal, einen Pufferspeicher, eine Torschaltung zum gesteuerten Sperren des PCM-Multiplexsignals und eine Baugruppe zur Erzeugung des Rahmenaufbaues des zu sendenden PCM-Multiplexsignals besitzt. An den Informationseingang der Baugruppe der Rahmenerkennungsschaltung ist eine den konkreten Netzbedingungen entsprechende Anzahl von dezentral angeordneten Baugruppen in Form von Kanalkarten zum Abzweigen beliebiger Übertragungskanäle angeschlossen. Die Phasenlage der Rahmenerkennungsschaltung wird durch ihren Synchronsignalausgang gekennzeichnet. Weiterhin muß die Kapazität des Pufferspeichers mindestens dem unter Betriebsbedingungen maximal auftretenden Phasenfehler zwischen Sende- und Empfangsseite in der Signallflußrichtung entsprechen. An den Informationseingang der Baugruppe Rahmenaufbaus sind wiederum eine Anzahl von dezentral angeordneten Baugruppen in Form von Kanalkarten zum Einfügen beliebiger Übertragungskanäle geschaltet.

Über den Setzeingang der Rahmenaufbausaltung wird eine definierte Phasenlage des PCM-Multiplexsignals erzeugt, die durch den Synchronsignalausgang dieser Baugruppe gekennzeichnet ist. Am Ausgang der Rahmenaufbausaltung wird das zuzusendende PCM-Multiplex bereitgestellt.

Weiterhin ist erfindungsgemäß der Grundtakt, der aus dem empfangenen PCM-Multiplexsignal gewonnen wird und an die Rahmenerkennungsschaltung geführt ist, auch an den Schreibtakteingang des Pufferspeichers und an den Eingang einer PLL-Schaltung gelegt. Der Ausgang der PLL-Schaltung ist mit dem Lesetakteingang des Pufferspeichers und mit dem Takteingang der Rahmenaufbausaltung verknüpft.

Zudem sind die Synchronsignalausgang der Rahmenerkennungsschaltung und der Synchronsignalausgang der Rahmenaufbausaltung mit den Setzeingängen des Pufferspeichers und den Eingängen eines Phasenfensterkomparators verbunden. Dieser Phasenfensterkomparator liefert genau dann ein Ausgangssignal, wenn der vorgesehene Arbeitsbereich des Pufferspeichers überschritten ist.

Des weiteren sind erfindungsgemäß der Synchronsignalausgang der Rahmenerkennungsschaltung an die Eingänge einer Baugruppe zur Synchronimpulsbildung und der Ausgang der Baugruppe zur Synchronimpulsbildung an den Setzeingang der Rahmenaufbausaltung geschaltet. Dadurch ist erreicht, daß das Ausgangssignal des Phasenfensterkomparators ein zur Phasenlage des empfangenen PCM-Multiplexsignals definiertes Setzen des zuzusendenden PCM-Multiplexsignals bewirkt und somit der sichere Arbeitsbereich des Pufferspeichers wieder hergestellt wird.

An den Steuereingang der Torschaltung zur gesteuerten AIS-Einblendung in das PCM-Multiplexsignal ist der Ausgang einer ersten ODER-Schaltung geknüpft, deren Eingänge mit den Ausgängen der dezentralen angeordneten Kanalkarten zum Abzweigen der Übertragungskanäle verkoppelt sind, wobei jede Kanalkarte zum Abzweigen für die Zeitdauer des Einlesens des mittels dieser Baugruppe aus dem PCM-Multiplexsignal abgezweigten Übertragungskanal ein Ausgangssignal erzeugt und dieser Übertragungskanal nicht in Signalfußrichtung weitergeführt wird. An den Steuereingang der Torschaltung zum gesteuerten Sperren des PCM-Multiplexsignals ist der Ausgang einer zweiten ODER-Schaltung angeschlossen, deren Eingänge mit den Steuerausgängen der dezentralen angeordneten Kanalkarten zum Einfügen der Übertragungskanäle verbunden sind, wobei jede dieser Kanalkarten ein Ausgangssignal für die Zeitdauer des Auslesens des in das sendeseitige PCM-Multiplexsignal einzufügenden Übertragungskanals erzeugt.

Durch diese erfindungsgemäße Anordnung ist gesichert, daß der digitale Abzweigmultiplexer, der entlang von PCM-Übertragungsstrecken mit zueinander synchronen oder asynchronen Übertragungsrichtungen oder in abgerüsteter Form mit nur einer Signalfußrichtung eingesetzt ist, unter Verwendung der dezentralen Kanalkarten, die analog auch in PCM-Primärmultiplexern Einsatz finden und die unterschiedlichsten Bitraten besitzen können, realisiert werden können. Die zentralen Baugruppen des digitalen Abzweigmultiplexers sind dabei bezüglich notwendigen schaltungstechnischen Aufwandes minimiert.

Bei den digitalen Abzweigmultiplexer mit zwei entgegengesetzten Signalfußrichtungen sind vorteilhafterweise die Kanalkarten für das Abzweigen der Übertragungskanäle in der einen Übertragungsrichtung und für das Einfügen der Übertragungskanäle in der anderen Übertragungsrichtung räumlich zusammengefaßt angeordnet. In jeder Signalfußrichtung wird die Abzweigseite mit dem Eingangstakt der PLL-Schaltung und die Einfügungsseite mit deren Ausgangstakt betrieben. Im eingerasteten Zustand der PLL-Schaltung sind beide Takte frequenzgleich. Die Phasenunterschiede werden durch die Phasenmodulation des empfangenen PCM-Multiplexsignals und die Phasenfehlerübertragungsfunktion der PLL-Schaltung bestimmt.

Unter Betriebsbedingungen, wie sie z. B. in der CCITT-Empfehlung G 823, Rotbuch 1985, formiert sind, überschreitet dieser dynamische Phasenfehler nicht einen bestimmten Maximalwert, der für die Signalfußrichtung fortgeschalteten Informationen durch den Pufferspeicher ausgeglichen wird.

Ausführungsbeispiel

Die Erfindung soll anhand eines Ausführungsbeispiels näher erläutert werden. Die dazugehörige Zeichnung stellt dar, in

Fig. 1: den erfindungsgemäßen digitalen Abzweigmultiplexer in einer Signalfußrichtung

Fig. 2: den erfindungsgemäßen digitalen Abzweigmultiplexer in zwei entgegengesetzten Signalfußrichtungen.

Gemäß Fig. 1 sind an den digitalen Abzweigmultiplexer als Eingangssignale das PCM-Multiplexsignal D_{an} , das in einer vorgeordneten Empfangsschaltung aus einem PCM-Signal entsprechend den CCITT-Empfehlungen G 732 bis G 737, Rotbuch 1985, gewonnen wird, sowie der aus diesem Signal abgeleitete Grundtakt T, der bei Eingangssignalausfall intern erzeugt wird, angelegt. Der Rahmenaufbau des PCM-Multiplexsignals D_{an} wird in einer an sich bekannten Rahmenerkennungsschaltung RE erkannt, wobei weitere Takt- und Synchronisiersignale abgeleitet werden. Diese Rahmenerkennungsschaltung RE ist einschließlich der vorgeordneten Schaltungen zur Signalerkennung und Grundtaktgewinnung identisch mit Schaltungsanordnungen, wie sie auch in bekannter Weise vorteilhaft in PCM-Multiplexeinrichtungen der 1. Hierarchiestufe angewendet werden.

Das PCM-Multiplexsignal D_{ab} , das eine nachgeschaltete Ausgangsstufe zur Bildung des PCM-Sendesignals ansteuern kann, wird von der Rahmenaufbausaltung RA gebildet, die den Rahmen und gegebenenfalls Überrahmen dieses PCM-Signals erzeugt. Diese Rahmenaufbausaltung RA besitzt den einen Eingang 4 zur Steuerung der Phasenlage des PCM-Multiplexsignals D_{ab} und kann im weiteren wie in bekannten PCM-Multiplexern ausgeführt sein.

Die für Abzweigmultiplexer typische Informationsübertragung zwischen den Baugruppen RE und RA ist dann möglich, wenn der Grundtakt T und der Sendetakt am Ausgang 6 der PLL-Schaltung in Signalfußrichtung zueinander synchron sind und Sendee- und Empfangsinformationen zueinander eine definierte Phasenlage besitzen. Die Taktsynchronisation in Signalfußrichtung wird dadurch erreicht, daß die PLL-Schaltung, die den Sendetakt erzeugt durch den Grundtakt T synchronisiert wird.

Die Phasenlage der empfangenen Information wird durch das PCM-Multiplexsignal D_{an} bestimmt, in der Rahmenerkennungsschaltung RE erkannt und durch den Impuls am Ausgang 2 der Rahmenerkennungsschaltung RE gekennzeichnet. Die Rahmenerkennungsschaltung RE ist so ausgeführt, daß bei Überrahmensynchronausfall der Impuls am Ausgang 2 der Rahmenerkennungsschaltung RE nicht mehr in jeden Überrahmen sondern in jeden Rahmen gebildet wird, wobei Bit- und Kanalzeitlagen erhalten bleiben. Bei Rahmensynchronausfall bleibt die vor dem Ausfall innegehabte Position des Impulses am Ausgang 2 der Rahmenerkennungsschaltung RE bis zum Erkennen eines neuen Synchronzustandes erhalten. Darüber hinaus wird bei Überrahmensynchronausfall in Kanalzeitlage 16 und bei Rahmensynchronausfall im gesamten Übertragungskanal AIS am Ausgang 1 der Rahmenerkennungsschaltung RE eingeblendet. Die Phasenlage des zuzusendenden PCM-Multiplexsignals D_{ab} ist zunächst beliebig und durch den Impuls am Ausgang 5 der Rahmenaufbausaltung RA markiert. Dabei sind durch die beiden Impulse Bit-, Kanal-, Rahmen- und Überrahmenzeitlagen erfaßt.

Durch den Fensterphasenkomparator PK kann ermittelt werden, ob die Phasendifferenz beider Signale einen festgelegten Grenzwert überschreitet.

Ein Phasenvergleich wird nur bei Auftreten des Impulses am Ausgang 5 der Rahmenaufbausaltung RA der Sendeseite durchgeführt, wodurch bei einer Synchronisationsstörung des PCM-Multiplexsignal D_n eine fehlerfreie Arbeitsweise gewährleistet ist.

Bei Erkennung eines den festgelegten Grenzwert überschreitenden Phasenfehlers wird am Ausgang des Phasenfensterkomparators PK ein Steuersignal erzeugt, womit die Synchronimpulsbildungsschaltung SYN zu einem vom Impuls am Ausgang 2 der Rahmenerkennungsschaltung RE bestimmten Zeitpunkt das Synchronisiersignal am Ausgang der Synchronimpulsbildungsschaltung SYN erzeugt, womit die Rahmenaufbausaltung RA in eine definierte Phasenlage gesetzt wird. Diese Phasenlage wird so gewählt, daß die Impulse am Ausgang 2 der Rahmenerkennungsschaltung RE und am Ausgang 5 der Rahmenaufbausaltung RA zueinander eine solche Position erlangen, die am Phasenfensterkomparator PK wieder maximale Phasenabweichungen in beiden Richtungen zulassen, und der Vergleichsimpuls genau in der Mitte des Fensters liegt. Die dabei erreichbare Genauigkeit beträgt auf Grund der unterschiedlichen Phasenlage des Grundtaktes T und des Sendetaktes $\pm 0,5$ Bit.

Ist der ermittelte Phasenfehler zwischen den Impulsen am Ausgang 2 der Rahmenerkennungsschaltung RE und am Ausgang 5 der Rahmenaufbausaltung RA kleiner als das vorgegebene Fenster des Phasenfensterkomparators PK, so wird an dessen Ausgang 7 kein Steuersignal gebildet. Diese erfindungsgemäße Anordnung hat den Vorteil, daß unnötige Synchronisationsvorgänge vermieden werden sowie gegebenenfalls die Rahmensynchronisation bei Überrahmensynchronausfall erhalten bleibt, wodurch eine maximale Informationsübertragung in Signalfußrichtung möglich wird und nachgeordnete ungestörte Streckenabschnitte weiterhin verfügbar bleiben.

Im synchronen Zustand ist die Phasenlage zwischen der Rahmenerkennungsschaltung RE und der Rahmenaufbausaltung RA bis auf den Phasenfehler der Taktsynchronisation, der durch die PLL-Schaltung bestimmt wird, definiert. Dieser Phasenfehler wird durch den Aufbau der PLL-Schaltung und den Grundtakt T bestimmt und setzt sich aus einem statischen und dynamischen Anteil zusammen.

Der statische Fehler wird bei PLL-Schaltungen ohne Integrator durch die Differenz zwischen Eingangs- und Ruhefrequenz bestimmt, wobei das Setzen der Rahmenaufbausaltung RA diesen Wert auf $\pm 0,5$ Bit reduziert.

Der dynamische Fehler wird durch Jitter und Wander des Grundtaktes T (CCITT-Empfehlung G 823, Rotbuch 1985) und der Phasenfehlerübertragungsfunktion der PLL-Schaltung bestimmt.

Die somit im synchronen Zustand verbleibende variable Phasendifferenz zwischen dem Informationsausgang 1 der Rahmenerkennungsschaltung RE und dem Informationseingang 3 der Rahmenaufbausaltung RA kann mit einem an sich bekannten Pufferspeicher P ausgeglichen werden. Dabei wird der Schreibzähler des Puffers P mit dem Grundtakt T getaktet und durch den Impuls am Ausgang 2 der Rahmenerkennungsschaltung RE gesetzt und der am Lesezähler durch den Sendetakt getaktet und durch den Impuls am Ausgang 5 der Rahmenaufbausaltung RA gesetzt.

Um Übertragungsfehler infolge von Synchronisationsvorgängen zu minimieren, ist es notwendig, daß die Entscheidungsschwelle des Phasenfensterkomparators PK größer ist als der im synchronen Zustand auftretende Phasenfehler zwischen den Impulsen am Ausgang 2 der Rahmenerkennungsschaltung RE und am Ausgang 5 der Rahmenaufbausaltung RA und kleiner ist als der sichere Arbeitsbereich des Pufferspeichers P.

Praktisch kann bei Eingangssignalen entsprechend CCITT-Empfehlung G 823 und einer durch die PLL-Schaltung festgelegten Eckfrequenz der Jitterübertragungsfunktion von 40 Hz ein 8-Bit-Pufferspeicher und ein 7-Bit-Fensterkomparator benutzt werden. Zum Einfügen und Abzweigen der Übertragungskanäle im Abzweigmultiplexer werden die gleichen dezentralen Baugruppen in Form der Kanalkarte A und E, wie sie in PCM-Multiplexern Verwendung finden, eingesetzt.

Dazu wird der Informationsausgang der Rahmenerkennungsschaltung RE mit den Eingängen der abzweigenden dezentralen Baugruppe Kanalkarte A verbunden.

Zweigt die Kanalkarte A einen Übertragungskanal ab, so wird zu den Zeitpunkten, in denen eine Information vom Ausgang 1 der Rahmenerkennungsschaltung RE in die Kanalkarte A eingelesen wird, von der Kanalkarte A das Ausgangssignal 10 abgegeben, wenn eine Weiterführung dieser abgezweigten Information in Signalfußrichtung nicht vorgesehen ist.

Die Ausgänge der dezentralen Kanalkarten A werden durch die ODER-Schaltung OD 1 verknüpft. Der Ausgang 8 dieser ODER-Schaltung OD 1 steuert die Torschaltung T 1, die zwischen dem Informationsausgang 1 der Rahmenerkennungsschaltung RE und dem Informationseingang des Pufferspeichers P angeordnet ist. Die Torschaltung T 1 speist den Eingang des Puffers P beim Vorliegen des Ausgangssignals der ODER-Schaltung OD 1 mit AIS anstelle der durch die dezentrale Kanalkarte A abgezweigten Informationen. Weiterhin sind die Ausgänge der dezentralen Kanalkarten E zum Einfügen der Übertragungskanäle mit dem Informationseingang 3 der Baugruppe Rahmenaufbausaltung RA verbunden.

Fügt die Kanalkarte E einen Übertragungskanal ein, so wird zu den Zeitpunkten, in denen die Information in die Rahmenaufbausaltung RA eingelesen wird, von der Kanalkarte E ein Signal am Ausgang 11 abgegeben.

Die Ausgänge 11 der dezentralen Kanalkarten E werden durch die ODER-Schaltung OD 2 verknüpft. Der Ausgang 9 der ODER-Schaltung OD 2 steuert die Torschaltung T 2, die zwischen dem Informationsausgang des Pufferspeichers P und dem Informationseingang 3 der Rahmenaufbausaltung RA angeordnet ist. Die Torschaltung T 2 sperrt das Ausgangssignal des Pufferspeichers P beim Vorliegen eines Ausgangssignals am Ausgang 9 der ODER-Schaltung OD 2. Die ODER-Schaltung OD 1 und OD 2 werden vorteilhafterweise als BUS-Struktur realisiert.

Diese erfindungsgemäße Anordnung zur Steuerung der Abzweifunktion besitzt den Vorteil, daß ohne zusätzlichen schaltungstechnischen Aufwand die verschiedensten dezentralen Kanalkarten A und E zum Abzweigen von Übertragungskanälen oder Kanalgruppen einsetzbar sind.

Gemäß Fig. 2 wird die erfindungsgemäße Schaltungsanordnung in digitalen Abzweigmultiplexern mit zwei entgegengesetzten Signalfußrichtungen dargestellt. Diese Anordnung ist grundsätzlich in der Lage, mit zwei asynchronen Signalfußrichtungen zu arbeiten. Die Funktionsweise entspricht der des Ausführungsbeispiels der Fig. 1, jedoch für jede Signalfußrichtung einmal ausgeführt. Der Aufbau erfolgt zweckmäßigerweise so, daß die abzweigende und die einfügende dezentrale Kanalkarte A/E eines Übertragungskanals der zueinander entgegengesetzten Signalfußrichtung eine räumlich abgeschlossene Einheit bilden.

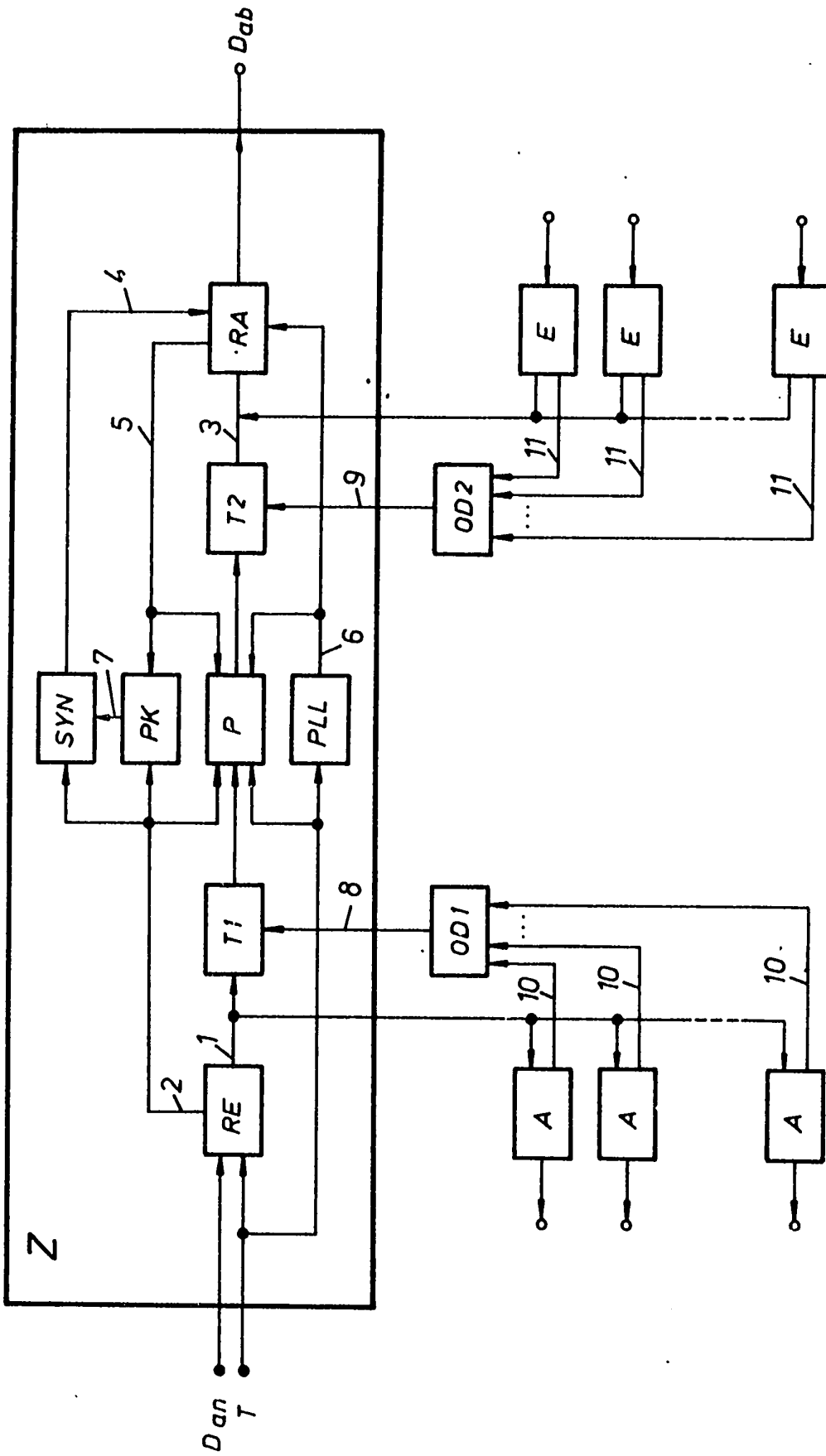


Fig. 1

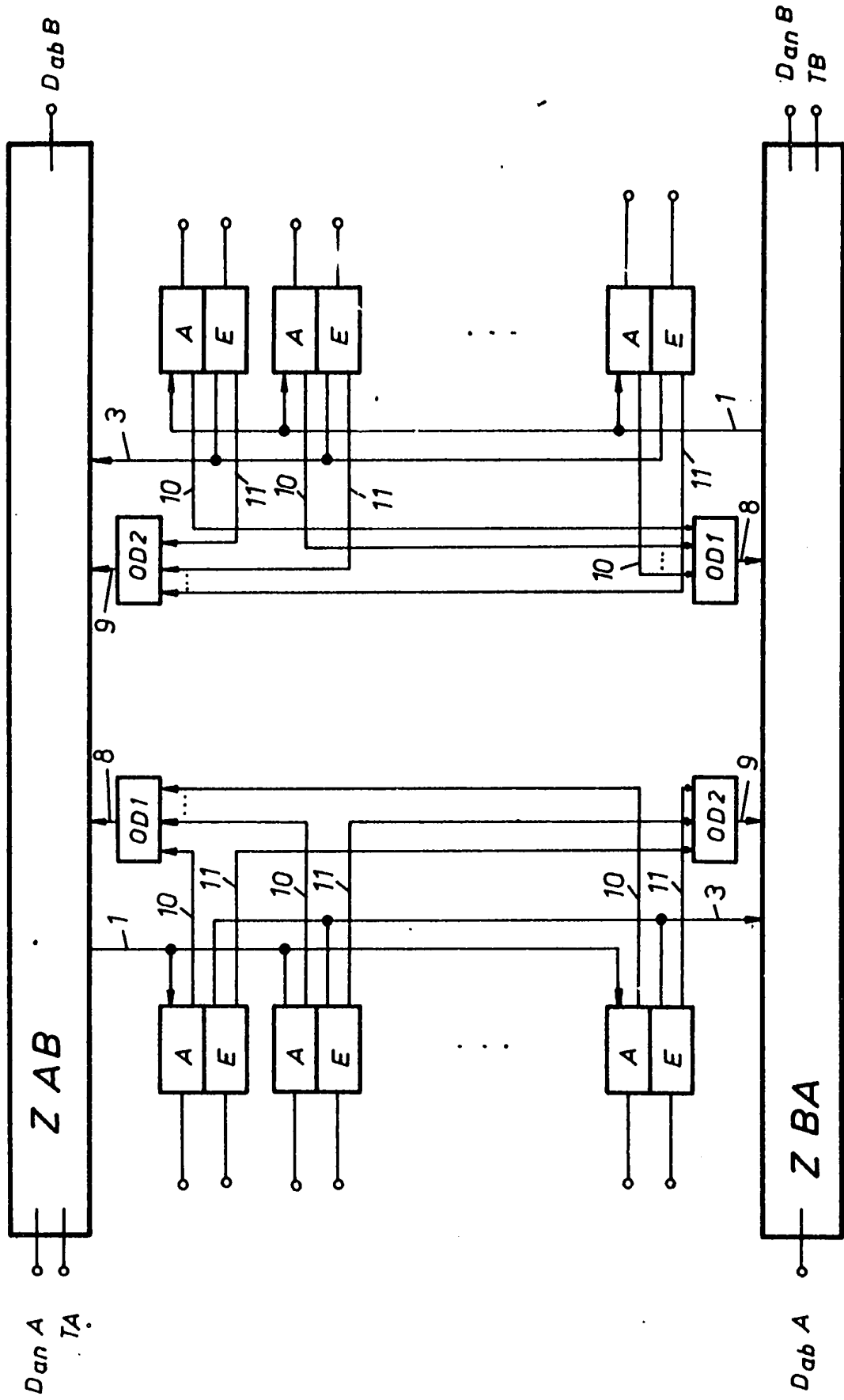


Fig. 2