



(12) 发明专利申请

(10) 申请公布号 CN 117747657 A

(43) 申请公布日 2024.03.22

(21) 申请号 202410177833.9

(22) 申请日 2024.02.08

(71) 申请人 深圳天狼芯半导体有限公司

地址 518000 广东省深圳市南山区粤海街道高新区社区科技南路18号深圳湾科技生态园12栋裙楼904-905

(72) 发明人 古佳茜

(74) 专利代理机构 深圳中创智财知识产权代理有限公司 44553

专利代理师 唐燕洁

(51) Int. Cl.

H01L 29/778 (2006.01)

H01L 29/06 (2006.01)

H01L 21/335 (2006.01)

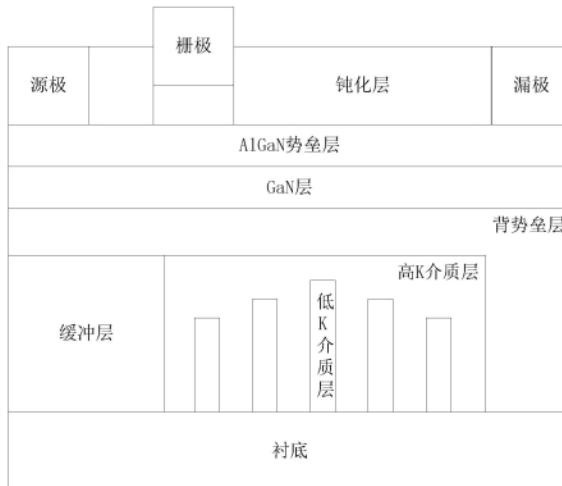
权利要求书1页 说明书8页 附图4页

(54) 发明名称

一种具有high-k/low-k复合介质结构的AlGa_N/Ga_N HEMT及制备方法

(57) 摘要

本发明提供一种具有high-k/low-k复合介质结构的AlGa_N/Ga_N HEMT及制备方法,该AlGa_N/Ga_N HEMT包括:高K介质层所述高K介质层位于缓冲层中并被缓冲层和衬底包覆。本发明在缓冲层中引入了高K介质和低K介质的复合介质结构,高K介质和低K介质的复合介质结构能够改变电场分布从而提高器件的击穿电压,还增加了背势垒层,背势垒层可以提高沟道到缓冲层的电子势垒高度,从而降低AlGa_N/Ga_N HEMT器件缓冲层的背景载流子浓度并抑制沟道电子向势垒层扩散,从而减小流经器件缓冲层的泄漏电流,提高耐压能力。在相同栅源电压下,Al_xGa_{1-x}N缓冲层的Al组分越高器件的泄漏电流越低,从而器件的击穿电压越高。



1. 一种具有high-k/low-k复合介质结构的AlGaIn/GaN HEMT,其特征在于,包括:高K介质层;

所述高K介质层位于缓冲层中并被缓冲层和衬底包覆。

2. 根据权利要求1所述的一种具有high-k/low-k复合介质结构的AlGaIn/GaN HEMT,其特征在于,还包括:多个低K介质层;

所述低K介质层位于所述高K介质层中并被所述高K介质层和所述衬底包覆。

3. 根据权利要求1所述的一种具有high-k/low-k复合介质结构的AlGaIn/GaN HEMT,其特征在于,还包括:背势垒层;

所述背势垒层位于GaN层与所述缓冲层、衬底之间,并与所述GaN层、所述缓冲层和所述衬底邻接;

所述背势垒层的第一延伸部位于所述GaN层与所述缓冲层之间并与所述GaN层和所述缓冲层邻接;

所述背势垒层的第二延伸部位于所述GaN层与所述衬底之间并与所述GaN层、所述缓冲层和所述衬底邻接。

4. 根据权利要求2所述的一种具有high-k/low-k复合介质结构的AlGaIn/GaN HEMT,其特征在于,所述高K介质层与所述低K介质层交替排列。

5. 根据权利要求1所述的一种具有high-k/low-k复合介质结构的AlGaIn/GaN HEMT,其特征在于,所述高K介质层的介电常数为10-23。

6. 根据权利要求2所述的一种具有high-k/low-k复合介质结构的AlGaIn/GaN HEMT,其特征在于,所述低K介质层的介电常数为3-7。

7. 根据权利要求2所述的一种具有high-k/low-k复合介质结构的AlGaIn/GaN HEMT,其特征在于,所述高K介质层的介电常数 ϵ_H 与所述低K介质层的介电常数 ϵ_L 的关系满足: $\epsilon_H E_H = \epsilon_L E_L$, E_H 表示高K介质层内的电场强度, E_L 表示低K介质层内的电场强度。

8. 根据权利要求3所述的一种具有high-k/low-k复合介质结构的AlGaIn/GaN HEMT,其特征在于,所述背势垒层的第一延伸部的厚度为50-100nm。

9. 根据权利要求2所述的一种具有high-k/low-k复合介质结构的AlGaIn/GaN HEMT,其特征在于,所述低K介质层的顶面与背势垒层的底面之间的间隔为0-1 μ m。

10. 一种具有high-k/low-k复合介质结构的AlGaIn/GaN HEMT制备方法,其特征在于,包括:

在衬底上方外延形成缓冲层和高K介质层;

在所述高K介质层中蚀刻沟槽;

在所述沟槽中多次沉积形成低K介质层;

回填所述高K介质;

蚀刻所述高K介质一侧的缓冲层;

在所述缓冲层、所述高K介质层和所述衬底上方外延形成背势垒层;

在所述背势垒层上方外延形成GaN层和AlGaIn势垒层;

沉积金属电极和钝化层。

一种具有high-k/low-k复合介质结构的AlGaN/GaN HEMT及制备方法

技术领域

[0001] 本发明涉及半导体技术领域,具体涉及一种具有high-k/low-k复合介质结构的AlGaN/GaN HEMT及制备方法。

背景技术

[0002] 氮化镓(GaN)因具有宽带隙、耐高温、大击穿电压的特点,成为新兴的第三代半导体研究材料。AlGaN/GaN异质结构由于自发极化和压电极化,在AlGaN与GaN界面电离产生高浓度和高电子迁移率的二维电子气(2DEG),使其在电力电子器件和射频器件中备受关注。其中P-GaN栅增强型HEMT凭借消除负电源电压,稳定的阈值电压,利于集成的优势成为目前最为广泛使用的器件。

[0003] 氮化镓高电子迁移率晶体管GaN HEMT(High Electron Mobility Transistors)作为宽禁带功率半导体器件的代表,器件在高频功率应用方面有巨大的潜力。GaN材料相比于Si和SiC具有更高的电子迁移率、饱和电子速度和击穿电场。由于材料上的优势,GaN功率器件可以实现更小的导通电阻和栅极电荷(意味着更优秀的传导和开关性能)。因此GaN功率器件更适合于高频应用场合,对提升变换器的效率和功率密度非常有利。目前GaN功率器件主要应用于电源适配器、车载充电、数据中心等领域,也逐渐成为5G基站电源的最佳解决方案。

[0004] 目前改善器件击穿特性的方法主要有两个思路:优化沟道内的电场分布或者降低缓冲层的泄漏电流。优化沟道内的电场分布通常通过引入场板来实现,因为场板技术制造工艺相对简单,生产成本更低,所以场板被广泛应用于AlGaN/GaN HEMT设计中来提高器件的耐压性能,这是因为场板结构能够有效降低栅极边缘电场强度,减少电子从栅极与漏极之间的势垒层隧穿到表面陷阱的机率,阻碍了虚栅效应的形成,使得虚栅作用减弱,有效抑制器件的电流崩塌作用。场板的主要工作原理是通过调整栅极边缘附近的电场(栅极和漏极之间的电位分布的重新分布)从而提高器件的耐压能力。但是,目前场板结构的引入对沟道电场的调制与科研人员的预期还有很大差距,引入场板也会增加寄生电容,导致器件的频率特性和开关速度下降,很大程度上限制了AlGaN/GaN HEMT的应用领域。

发明内容

[0005] 本发明的目的是提供一种具有high-k/low-k复合介质结构的AlGaN/GaN HEMT及制备方法,该AlGaN/GaN HEMT在缓冲层中引入了高K介质和低K介质的复合介质结构,高K介质和低K介质的复合介质结构能够改变电场分布从而提高器件的击穿电压,还增加了背势垒层,背势垒层可以提高沟道到缓冲层的电子势垒高度,从而降低AlGaN/GaN HEMT器件缓冲层的背景载流子浓度并抑制沟道电子向势垒层扩散,从而减小流经器件缓冲层的泄漏电流,提高耐压能力。在相同栅源电压下, $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 缓冲层的Al组分越高器件的泄漏电流越低,从而器件的击穿电压越高。

- [0006] 一种具有high-k/low-k复合介质结构的AlGaIn/GaN HEMT,包括:高K介质层
所述高K介质层位于缓冲层中并被缓冲层和衬底包覆。
- [0007] 优选地,还包括:多个低K介质层;
所述低K介质层位于所述高K介质层中并被所述高K介质层和所述衬底包覆。
- [0008] 优选地,还包括:背势垒层;
所述背势垒层位于GaN层与所述缓冲层、衬底之间,并与所述GaN层、所述缓冲层和
所述衬底邻接;
所述背势垒层的第一延伸部位于所述GaN层与所述缓冲层之间并与所述GaN层和
所述缓冲层邻接;
所述背势垒层的第二延伸部位于所述GaN层与所述衬底之间并与所述GaN层、所述
缓冲层和所述衬底邻接。
- [0009] 优选地,所述高K介质层与所述低K介质层交替排列。
- [0010] 优选地,所述高K介质层的介电常数为10-23。
- [0011] 优选地,所述低K介质层的介电常数为3-7。
- [0012] 优选地,所述高K介质层的介电常数 ϵ_H 与所述低K介质层的介电常数 ϵ_L 的关系满
足: $\epsilon_H E_H = \epsilon_L E_L$, E_H 表示高K介质层内的电场强度, E_L 表示低K介质层内的电场强度。
- [0013] 优选地,所述背势垒层的第一延伸部的厚度为50-100nm。
- [0014] 优选地,所述低K介质层的顶面与背势垒层的底面之间的间隔为0-1 μ m。
- [0015] 一种具有high-k/low-k复合介质结构的AlGaIn/GaN HEMT制备方法,包括:
在衬底上方外延形成缓冲层和高K介质层;
在所述高K介质层中蚀刻沟槽;
在所述沟槽中多次沉积形成低K介质层;
回填所述高K介质;
蚀刻所述高K介质一侧的缓冲层;
在所述缓冲层、所述高K介质层和所述衬底上方外延形成背势垒层;
在所述背势垒层上方外延形成GaN层和AlGaIn势垒层;
沉积金属电极和钝化层。
- [0016] 本发明在栅极和漏极之间的下方的缓冲层中引入了高K介质层,再在高K介质层中
填充低K介质,形成高K介质与低K介质交替排列的复合介质结构,高K介质与低K介质的复合
介质结构能够对AlGaIn/GaN HEMT的沟道电场进行调整,使得AlGaIn/GaN HEMT的沟道电场更
加平滑,显著提高了AlGaIn/GaN HEMT的耐压性能,并且AlGaIn/GaN HEMT的饱和电流、阈值电
压、导通电阻、寄生电容等其它电气性能不会因为复合介质结构的引入而下降,本发明还引
入了阶梯状的背势垒层,AlGaIn背势垒缓冲层结构可以增加沟道二维电子气到缓冲层的势
垒高度,限制了沟道二维电子气泄漏到缓冲层,减小泄漏电流,提高击穿电压。

附图说明

[0017] 此处的附图被并入说明书中并构成本说明书的一部分,标示出了符合本发明的实
施例,并与说明书一起用于解释本发明的原理。

为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现

有技术描述中所需要使用的附图作简单地介绍,显而易见地,对于本领域普通技术人员而言,在不付出创造性劳动性的前提下,还可以根据这些附图获得其他的附图。

图1为本发明的AlGa_N/Ga_N HEMT结构示意图;

图2为本发明的AlGa_N/Ga_N HEMT制备流程方法示意图;

图3为本发明的AlGa_N/Ga_N HEMT制备流程结构示意图;

图4为本发明的AlGa_N/Ga_N HEMT制备流程结构示意图。

具体实施方式

[0018] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅是本发明的一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0019] 需要说明,本发明实施例中所有方向性指示(诸如上、下、左、右、前、后……)仅用于解释在某一特定姿态(如附图所示)下各部件之间的相对位置关系、运动情况等,如果该特定姿态发生改变时,则该方向性指示也相应地随之改变。

[0020] 另外,在本发明中涉及“第一”、“第二”等的描述仅用于描述目的,而不能理解为指示或暗示其相对重要性或者隐含指明所指示的技术特征的数量。由此,限定有“第一”、“第二”的特征可以明示或者隐含地包括至少一种该特征。另外,各个实施例之间的技术方案可以相互结合,但是必须是以本领域普通技术人员能够实现为基础,当技术方案的结合出现相互矛盾或无法实现时应当认为这种技术方案的结合不存在,也不在本发明要求的保护范围之内。

[0021] 目前改善器件击穿特性的方法主要有两个思路:优化沟道内的电场分布或者降低缓冲层的泄漏电流。优化沟道内的电场分布通常通过引入场板来实现,因为场板技术制造工艺相对简单,生产成本更低,所以场板被广泛应用于AlGa_N/Ga_N HEMT设计中来提高器件的耐压性能,这是因为场板结构能够有效降低栅极边缘电场强度,减少电子从栅极与漏极之间的势垒层隧穿到表面陷阱的机率,阻碍了虚栅效应的形成,使得虚栅作用减弱,有效抑制器件的电流崩塌作用。场板的主要工作原理是通过调整栅极边缘附近的电场(栅极和漏极之间的电位分布的重新分布)从而提高器件的耐压能力。但是,目前场板结构的引入对沟道电场的调制与科研人员的预期还有很大差距,引入场板也会增加寄生电容,导致器件的频率特性和开关速度下降,很大程度上限制了AlGa_N/Ga_N HEMT的应用领域。

[0022] 本发明在栅极和漏极之间的下方的缓冲层中引入了高K介质层,再在高K介质层中填充低K介质,形成高K介质与低K介质交替排列的复合介质结构,高K介质与低K介质的复合介质结构能够对AlGa_N/Ga_N HEMT的沟道电场进行调整,使得AlGa_N/Ga_N HEMT的沟道电场更加平滑,显著提高了AlGa_N/Ga_N HEMT的耐压性能,并且AlGa_N/Ga_N HEMT的饱和电流、阈值电压、导通电阻、寄生电容等其它电气性能不会因为复合介质结构的引入而下降,本发明还引入了阶梯状的背势垒层,AlGa_N背势垒缓冲层结构可以增加沟道二维电子气到缓冲层的势垒高度,限制了沟道二维电子气泄漏到缓冲层,减小泄漏电流,提高击穿电压。

[0023] 实施例1

一种具有high-k/low-k复合介质结构的AlGa_N/Ga_N HEMT,参考图1,包括:高K介质

层

高K介质层位于缓冲层中并被缓冲层和衬底包覆。

[0024] 高K介质层的材料为高K介质, K为介电常数, 高K介质与半导体接触具有很大的势垒高度, 具备良好的绝缘性, 可以看作绝缘层, 高K介质层具有较高的电容性, 能够在较小的体积内储存更多的电荷, 并且高K介质层具有较低的损耗和较高的绝缘性能, 能够有效减少能量损耗以及电流泄露, 在半导体元件中, 为了提高电器件的性能和稳定性, 通常采用高K介质作为绝缘和隔离的材料, 以提高电器件的绝缘性能和耐电压能力。

[0025] 位于栅极和漏极之间下方的高K介质层能够改善沟道的电场分布, 从而提高AlGaIn/GaN HEMT的击穿电压。

[0026] 在高K材料的选用上, 本发明选取具有良好的热稳定性, 当AlGaIn/GaN HEMT正常工作时散发热量, 良好的热稳定性能够保证AlGaIn/GaN HEMT正常工作性能; 与AlGaIn/GaN晶格匹配度高, 在晶体与晶体之间, 晶格匹配度如果不高, 就会造成晶格扭曲和结构杂乱, 晶格匹配度高界面质量也会提升, AlGaIn/GaN HEMT的电气性能也会相应提升, 一般选用Hf基系列化合物作为高K介质层的材料, 例如HfO₂、HfAlO、HfSiO或者La₂O₃、LaTiO。

[0027] 优选地, 还包括: 多个低K介质层;

低K介质层位于高K介质层中并被高K介质层和衬底包覆。

[0028] 本发明还在高K介质层中引入了多个低K介质层, 低K介质材料为介电常数较小的材料, 介电常数越低, 电荷存储能力越弱, 通过降低集成电路中使用的介电材料的介电系数, 低K介质材料可以有效的降低器件中的寄生电容, 从而提高器件的工作频率, 可以降低集成电路的漏电电流、降低导线之间的电容效应、降低集成电路发热等。

[0029] 在低K材料的选择上, 本发明氮化硅(介电常数为7)作为低K介质层的填充材料, 氮化硅通常用作扩散和离子注入的掩模材料, 也用于电气隔离和表面保护, 氮化硅具有耐蚀性强的特点, 还能阻挡扩散和注入过程中的杂质。

[0030] 优选地, 还包括: 背势垒层;

背势垒层位于GaN层与缓冲层、衬底之间, 并与GaN层、缓冲层和衬底邻接;

背势垒层的第一延伸部位于GaN层与缓冲层之间并与GaN层和缓冲层邻接;

背势垒层的第二延伸部位于GaN层与衬底之间并与GaN层、缓冲层和衬底邻接。

[0031] 背势垒结构是指在半导体材料中, 通过掺杂或者薄膜沉积等方式形成的两种不同掺杂类型的区域之间所形成的势垒, 背势垒结构是一种能带结构, 是电子在晶体中运动时所遇到的能量阻碍, 背势垒结构通常由不同材料的界面形成, 其中一种材料具有较小的禁带宽度, 称为N型材料, 另一种材料具有较大的禁带宽度, 称为P型材料, 当N型材料与P型材料相接触时, 由于能带结构的差异, 会形成能量势垒, 即背势垒, 在背势垒结构中, N型材料中的自由电子会向P型材料中的空穴区域移动, 形成电子—空穴对。在势垒的作用下, 电子和空穴会被阻挡在各自的区域内, 形成一个电子井和一个空穴井。当外加电压施加到背势垒结构上时, 会改变电子和空穴的能量分布, 从而影响电子和空穴的运动。背势垒结构具有更好的2DEG限域性和垂直方向耐压能力, 有效抑制了常温和高温下的缓冲层漏电。

[0032] 背势垒结构中背势垒层Al组分、势垒层Al组分、势垒层厚度和沟道层厚度均会对异质结能带和载流子浓度分布产生影响, 对于不同的背势垒层厚度, 异质结中的2DEG浓度随着背势垒层的厚度增加而增加, 当背势垒层的厚度增加到一定程度后, 2DEG的浓度就不

会再变化,但是背势垒层的厚度不宜过大,因为太厚会失去电场调制的作用,本发明在传统AlGa_N/Ga_N HEMT的基础上,将缓冲层进行改进形成具有阶梯状的背势垒层,从而获得较高的击穿电压和低通态电阻,

作为一个优选地实施例,本发明将缓冲层的组分设为Al_xGa_{1-x}N,将背势垒层的组分设为Al_yGa_{1-y}N,然后根据计算和仿真得出,X=0.25,Y=0.03。

[0033] 优选地,高K介质层与低K介质层交替排列。

[0034] 高K介质层与低K介质层交替排列能够达到电场线分布均匀的技术效果,如果高K介质层与低K介质层位于沟道下方的两侧,则会导致一侧电场强度低,一侧电场强度高的情况,所以高K介质层与低K介质层需要交替排列,每个低K介质层的高度和宽度,以及各个低K介质层的间隔是根据不同的AlGa_N/Ga_N HEMT内的沟道电场分布设置的,用于平滑AlGa_N/Ga_N HEMT内的沟道电场尖峰,使得AlGa_N/Ga_N HEMT内的沟道电场更加均匀。

[0035] 优选地,高K介质层的介电常数为10-23。

[0036] 介电常数,用于衡量绝缘体储存电能的性能.它是两块金属板之间以绝缘材料为介质时的电容量与同样的两块板之间以空气为介质或真空时的电容量之比,介电常数代表了电介质的极化程度,也就是对电荷的束缚能力,介电常数越大,对电荷的束缚能力越强,在本发明中,高K介质层的介电常数只要达到10-23就能够满足改善电场分布的要求,作为一个优选地实施例,本发明选用介电常数为20的高K介质材料HfO₂作为高K介质层的填充材料,因为HfO₂具有高热稳定性和良好的电学性能,具有良好的绝缘性能,能够有效阻止电流的流动,并且还有较低的损耗因子,可用于制备高频电容器和微波器件。

[0037] 优选地,低K介质层的介电常数为3-7。

[0038] 低介电常数材料能够提高半导体器件的电气性能:低介电常数的材料具有较低的电容率,能够减小电场中的电荷积聚和电容效应。因此,在高频电路、微电子器件等领域中,采用低介电常数的材料可以减小信号传输的能量损耗和信号失真,提高电气性能和工作稳定性。降低信号延迟:信号在传输过程中,会受到介质中的电磁波传播速度的影响。低介电常数的材料具有较低的电磁波传播速度,可以降低信号传输的延迟,提高信号传输的速度和效率。这在高速通信、数据传输等领域具有重要意义。减小串扰干扰:在电子设备中,不同电路之间会产生相互干扰的问题,即串扰。低介电常数的材料具有较低的电场耦合系数,可以减小电路之间的相互干扰,提高系统的抗干扰能力,还能够降低能耗,因为低介电常数材料具有较低的电导率和电容率,能够减少电流和电荷的损耗,提高能源利用效率。

[0039] 在本发明中,选用氮化硅(SiN_x)作为低K介质层的填充材料,因为氮化硅材料具有高温稳定性,氮化硅的使用温度范围广,可以在高达1700℃的温度下保持稳定,在高温下工作时,不会发生膨胀,不易变形和熔化,因此在高温恶劣环境下使用氮化硅可以保持其稳定性。耐腐蚀性:氮化硅不易被酸、碱等物质侵蚀,它的表面非常光滑,在化学环境下不会受损,是一种优秀的耐腐蚀材料。优异的硬度和硬度保持性:氮化硅的硬度非常高,且在高温下也保持较高的硬度,长期使用不易变形,氮化硅材料适用于大部分半导体电路中,能够提高半导体器件的稳定性和可靠性。

[0040] 优选地,高K介质层的介电常数 ϵ_H 与低K介质层的介电常数 ϵ_L 的关系满足: $\epsilon_H E_H = \epsilon_L E_L$, E_H 表示高K介质层内的电场强度, E_L 表示低K介质层内的电场强度。

[0041] 高K介质层的介电常数与高K介质层内的电场强度的积等于低K介质层的介电常数

与低K介质层内的电场强度的积,根据高K介质层的介电常数、高K介质层内的电场强度、低K介质层的介电常数、低K介质层内的电场强度设置低K介质层的高度、宽度以及间隔,从而将沟道电场调制到较高的水平,显著提高器件的击穿电压。

[0042] 优选地,背势垒层的第一延伸部的厚度为50-100nm。

[0043] 背势垒层的第一延伸部的厚度为主要调制沟道电场的部分,背势垒层的第一延伸部的厚度太薄会导致制作工艺难度大,生产成本高的问题,如果背势垒层的第一延伸部的厚度太厚则会失去对电场的调制作用,所以背势垒层的第一延伸部的厚度范围为50-100nm,作为一个优选地实施例,本发明将背势垒层的第一延伸部的厚度设置为80nm。

[0044] 优选地,低K介质层的顶面与背势垒层的底面之间的间隔为0-1 μ m。

[0045] 低K介质层之间的间隔为1-2 μ m,长度最大的低K介质层与长度最小的低K介质层的差为0-1 μ m,因为低K介质层之间的高度的差值过大会导致沟道电场波动较大,所以低K介质层之间的高度的差值不能太大,然后根据沟道电场的分布调整低K介质层之间的高度的差值。

[0046] 实施例2

一种具有high-k/low-k复合介质结构的AlGaIn/GaN HEMT制备方法,参考图2,图3和图4,包括:

S100,在衬底上方外延形成缓冲层和高K介质层;

外延工艺是指在衬底上生长完全排列有序的单晶体层的工艺,外延工艺是在单晶衬底上生长一层与原衬底相同晶格取向的晶体层。外延工艺广泛用于半导体制造,如集成电路工业的外延硅片。根据生长源物相状态的不同,外延生长方式分为固相外延、液相外延、气相外延。在集成电路制造中,常用的外延方式是固相外延和气相外延。

[0047] 固相外延,是指固体源在衬底上生长一层单晶层,如离子注入后的热退火实际上就是一种固相外延过程。离子注入加工时,硅片的硅原子受到高能注入离子的轰击,脱离原有晶格位置,发生非晶化,形成一层表面非晶硅层;再经过高温热退火,非晶原子重新回到晶格位置,并与衬底内部原子晶向保持一致。

[0048] 气相外延的生长方法包括化学气相外延生长(CVE)、分子束外延(MBD)、原子层外延(ALE)等。在本发明实施例中,采用的是化学气相外延(CVE)来形成N-漂移层。化学气相外延与化学气相沉积(CVD)的原理基本相同,都是利用气体混合后在晶片表面发生化学反应,沉积薄膜的工艺;不同的是,因为化学气相外延生长的是单晶层,所以对设备内的杂质含量和硅片表面的洁净度要求都更高。在集成电路制造中,CVE还能够用于外延硅片工艺和MOS晶体管嵌入式源漏外延工艺。外延硅片工艺是在硅片表面外延一层单晶硅,与原来的硅衬底相比,外延硅层的纯度更高,晶格缺陷更少,从而提高了半导体制造的成品率。另外,硅片上生长的外延硅层的生长厚度和掺杂浓度可以灵活设计,这给器件的设计带来了灵活性,如可以用于减小衬底电阻,增强衬底隔离等。嵌入式源漏外延工艺是指在晶体管的源漏区域外延生长掺杂的锗硅或硅的工艺。引入嵌入式源漏外延工艺的主要优点包括:可以生长因晶格适配而包含应力的赝晶层,提升沟道载流子迁移率;可以原位掺杂源漏,降低源漏结寄生电阻,减少高能离子注入的缺陷。

[0049] S200,在高K介质层中蚀刻沟槽;

蚀刻是用化学或物理方法有选择地从硅片表面去除不需要的材料的过程,它是通

过溶液、反应离子或其它机械方式来剥离、去除材料的一种统称。刻蚀技术主要分为干法刻蚀与湿法刻蚀。干法刻蚀主要利用反应气体与等离子体进行刻蚀；湿法刻蚀主要利用化学试剂与被刻蚀材料发生化学反应进行刻蚀。

[0050] 离子束蚀刻是一种物理干法蚀刻工艺。由此，氩离子以约1至3keV的离子束辐射到表面上。由于离子的能量，它们会撞击表面的材料。晶圆垂直或倾斜入离子束，蚀刻过程是绝对各向异性的。选择性低，因为其对各个层没有差异。气体和被打磨出的材料被真空泵排出，但是，由于反应产物不是气态的，颗粒会沉积在晶片或室壁上。所有的材料都可以采用这种方法蚀刻，由于垂直辐射，垂直壁上的磨损很低。

[0051] 等离子刻蚀是一种化学刻蚀工艺，优点是晶圆表面不会被加速离子损坏。由于蚀刻气体的可移动颗粒，蚀刻轮廓是各向同性的，因此该方法用于去除整个膜层（如热氧化后的背面清洁）。一种用于等离子体蚀刻的反应器类型是下游反应器，从而通过碰撞电离在2.45GHz的高频下点燃等离子体，碰撞电离的位置与晶片分离。

[0052] 蚀刻速率取决于压力、高频发生器的功率、工艺气体、实际气体流量和晶片温度。各向异性随着高频功率的增加、压力的降低和温度的降低而增加。蚀刻工艺的均匀性取决于气体、两个电极的距离以及电极的材料。如果距离太小，等离子体不能不均匀地分散，从而导致不均匀性。如果增加电极的距离，则蚀刻速率降低，因为等离子体分布在扩大的体积中。对于电极，碳已证明是首选材料。由于氟气和氯气也会攻击碳，因此电极会产生均匀的应变等离子体，因此晶圆边缘会受到与晶圆中心相同的影响。选择性和蚀刻速率在很大程度上取决于工艺气体。对于高K介质材料，主要使用氟气和氯气。

[0053] S300，在沟槽中多次沉积形成低K介质层；

为了精准控制形成的低K介质层的高度，需要采用多次沉积的方法沉积低K介质层，例如要沉积60nm高度的低K介质层，需要大概3-4次沉积操作，精准控制最后形成的低K介质层的高度符合预期计算结果。

[0054] 低K介质沉积工艺主要分为物理和化学方法两类，物理方法：指利用热蒸发或受到粒子轰击时物质表面原子的溅射等物理过程，实现物质原子从源物质到衬底材料表面的物质转移。物理方法包括物理气相沉积、旋涂、电镀等，其中物理气相沉积又分为真空蒸镀、溅射两大方法；化学方法：把含有构成薄膜元素的气态反应剂或液态反应剂的蒸汽，以合理的气流引入工艺腔室，在衬底表面发生化学反应并在衬底表面上沉积薄膜。化学方法包括化学气相沉积和外延等，化学气相沉积按照反应条件（压强、温度、反应源等）不同又可分为常压化学气相沉积、低压化学气相沉积、等离子增强化学气相沉积、次常压化学气相沉积、高密度等离子体化学气相沉积、流体化学气相沉积、原子层沉积、外延等。

[0055] 原子层沉积采用单原子层逐层生长，主要用于低k介质也可用于金属栅极或者高k金属化合物薄膜沉积。原子层沉积是通过脉冲波进行单原子层膜逐层生长，将原子逐层沉积在衬底材料上，区别于传统CVD在于，化学气相沉积将不同反应气体同时导入腔室，原子层沉积是让不同材料的脉冲波在不同时间到达晶圆表面，两种气体周期性地反应。原子层沉积可分为等离子原子层沉积和热原子层沉积，区别在于等离子原子层沉积使用离子体前驱物，反应不需要加热，器件损伤小，主要用于沉积低k材料等介质；热原子层沉积需要加热来发生反应，在高温下进行反应，沉积速率较快，薄膜致密性好，主要用于沉积金属栅极或者高k金属化合物薄膜。

[0056] S400, 回填高K介质;

本发明采用热原子层沉积的方法回填高K介质, 热原子层沉在高温下进行反应, 沉积速率较快, 薄膜致密性好, 用于沉积金属栅极或者高k金属化合物薄膜。

[0057] S500, 蚀刻高K介质一侧的缓冲层;

S600, 在缓冲层、高K介质层和衬底上方外延形成背势垒层;

S700, 在背势垒层上方外延形成GaN层和AlGaN势垒层;

外延GaN层和AlGaN势垒层主要在于反应腔室设计、气流方式及均匀性、温度均匀性和精度控制、压力控制与稳定性、颗粒和缺陷控制等。外延分为气相外延和分子束外延两种方法, HEMT制造中为了改善器件性能通常在硅衬底上外延一层纯度更高、缺陷密度低的外延层, 减小接触电阻, 提高芯片运行速度。

[0058] S800, 沉积金属电极和钝化层。

[0059] 金属电极沉积工艺分为化学气相沉积(CVD)和物理气相沉积(PVD)。CVD是指通过化学方法在晶圆表面沉积涂层的方法, 一般是通过给混合气体施加能量来进行。假设在晶圆表面沉积物质(A), 则先向沉积设备输入可生成物质(A)的两种气体(B和C), 然后给气体施加能量, 促使气体B和C发生化学反应。

[0060] PVD(物理气相沉积)镀膜技术主要分为三类: 真空蒸发镀膜、真空溅射镀膜和真空离子镀膜。物理气相沉积的主要方法有: 真空蒸镀、溅射镀膜、电弧等离子体镀膜、离子镀膜和分子束外延等。相应的真空镀膜设备包括真空蒸发镀膜机、真空溅射镀膜机和真空离子镀膜机。

[0061] 化学气相沉积(CVD)和物理气相沉积(PVD)都可以作为沉积金属电极的技术手段。在本发明实施例中, 采用化学气相沉积方法沉积金属电极, 化学气相沉积过程分为三个阶段: 反应气体向基体表面扩散、反应气体吸附于基体表面、在基体表面上发生化学反应形成固态沉积物及产生的气相副产物脱离基体表面。最常见的化学气相沉积反应有: 热分解反应、化学合成反应和化学传输反应等。

[0062] 本发明在栅极和漏极之间的下方的缓冲层中引入了高K介质层, 再在高K介质层中填充低K介质, 形成高K介质与低K介质交替排列的复合介质结构, 高K介质与低K介质的复合介质结构能够对AlGaN/GaN HEMT的沟道电场进行调整, 使得AlGaN/GaN HEMT的沟道电场更加平滑, 显著提高了AlGaN/GaN HEMT的耐压性能, 并且AlGaN/GaN HEMT的饱和电流、阈值电压、导通电阻、寄生电容等其它电气性能不会因为复合介质结构的引入而下降, 本发明还引入了阶梯状的背势垒层, AlGaN背势垒缓冲层结构可以增加沟道二维电子气到缓冲层的势垒高度, 限制了沟道二维电子气泄漏到缓冲层, 减小泄漏电流, 提高击穿电压。

[0063] 以上所述仅是本发明的具体实施方式, 使本领域技术人员能够理解或实现本发明。对这些实施例的多种修改对本领域的技术人员来说将是显而易见的, 本文中所定义的一般原理可以在不脱离本发明的精神或范围的情况下, 在其它实施例中实现。因此, 本发明将不会被限制于本文所示的这些实施例, 而是要符合与本文所申请的原理和新颖特点相一致的最宽的范围。

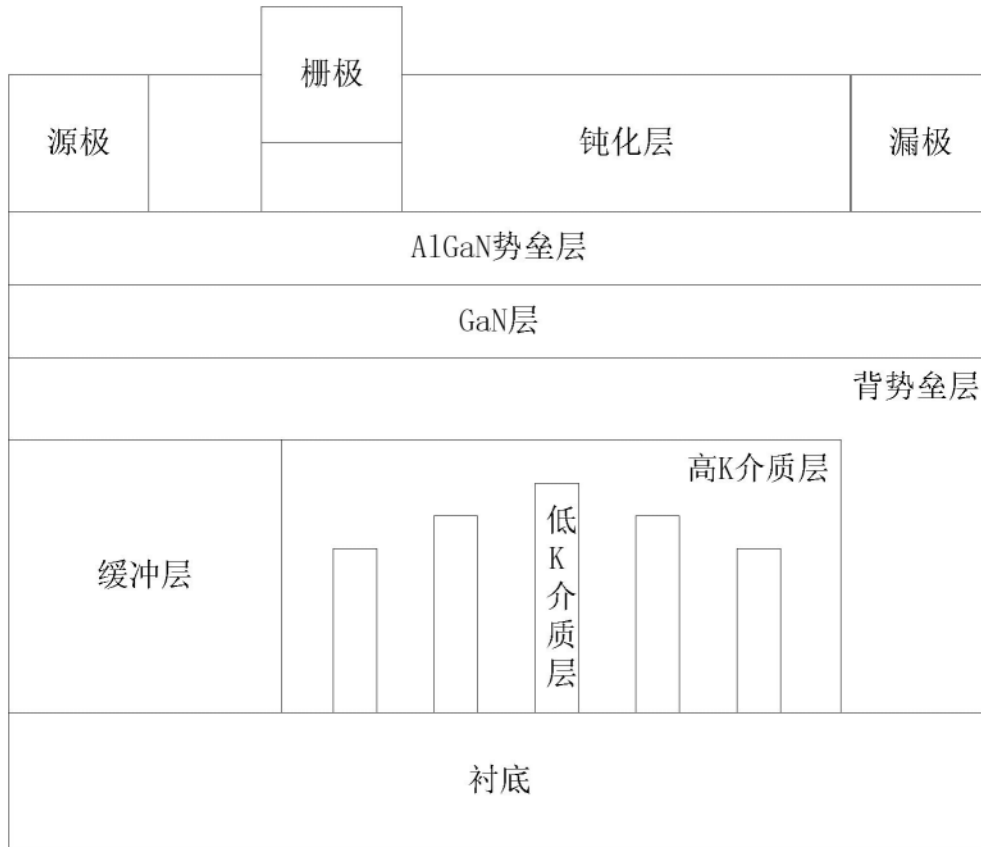


图1

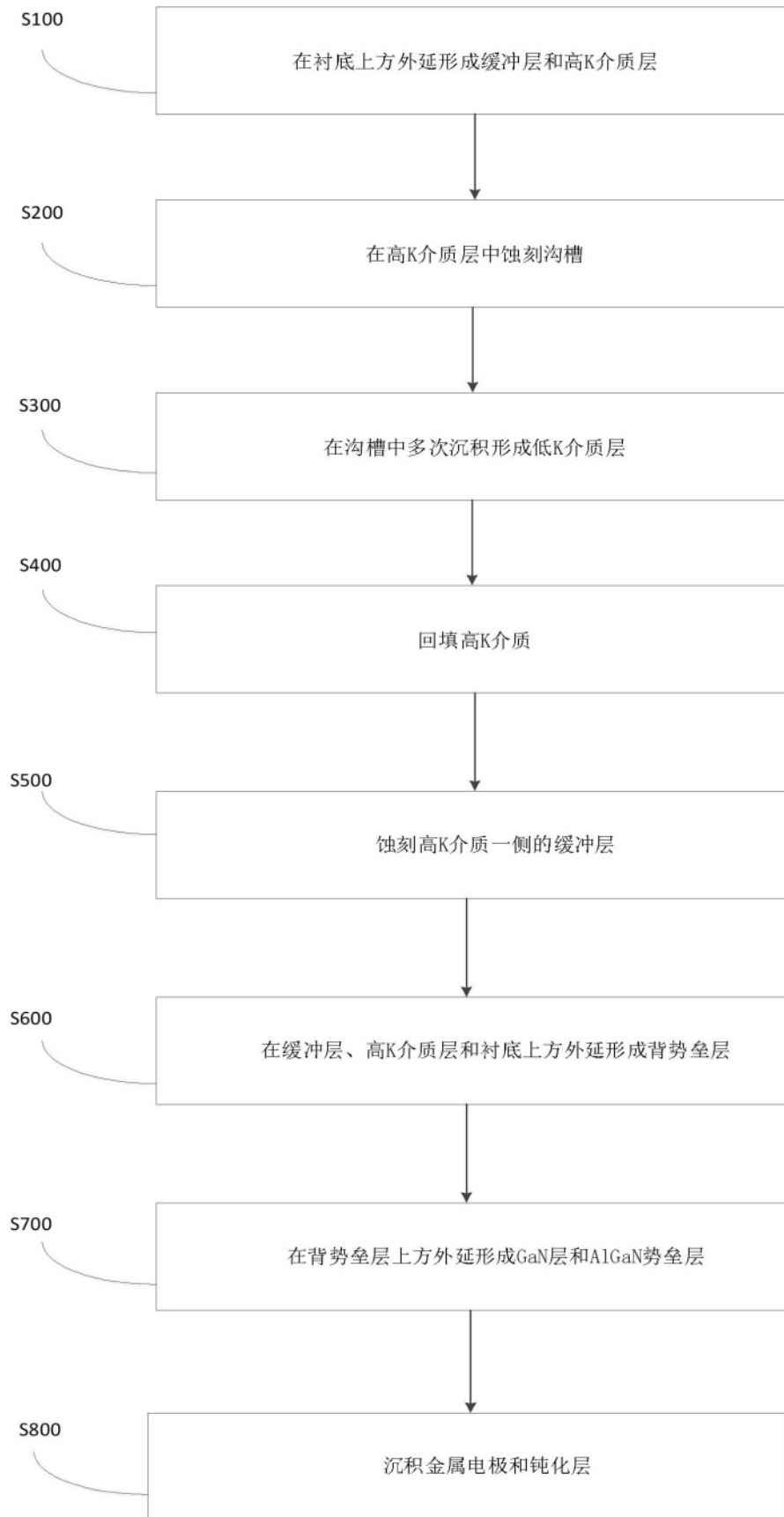


图2

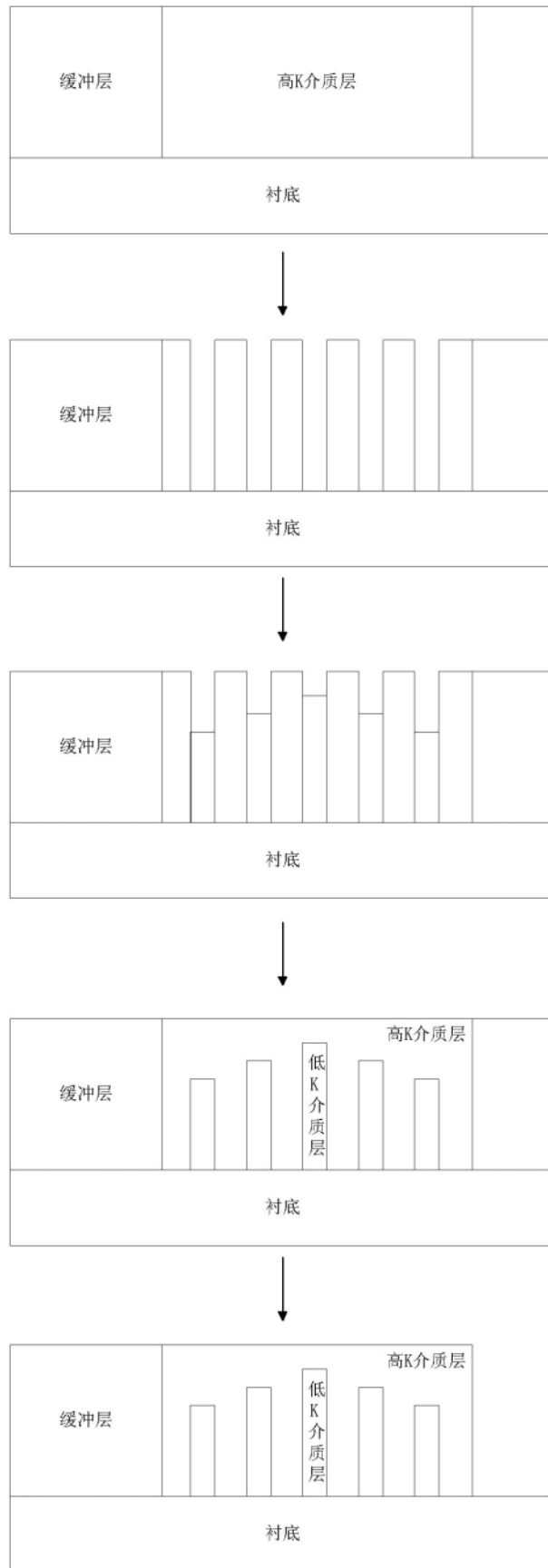


图3

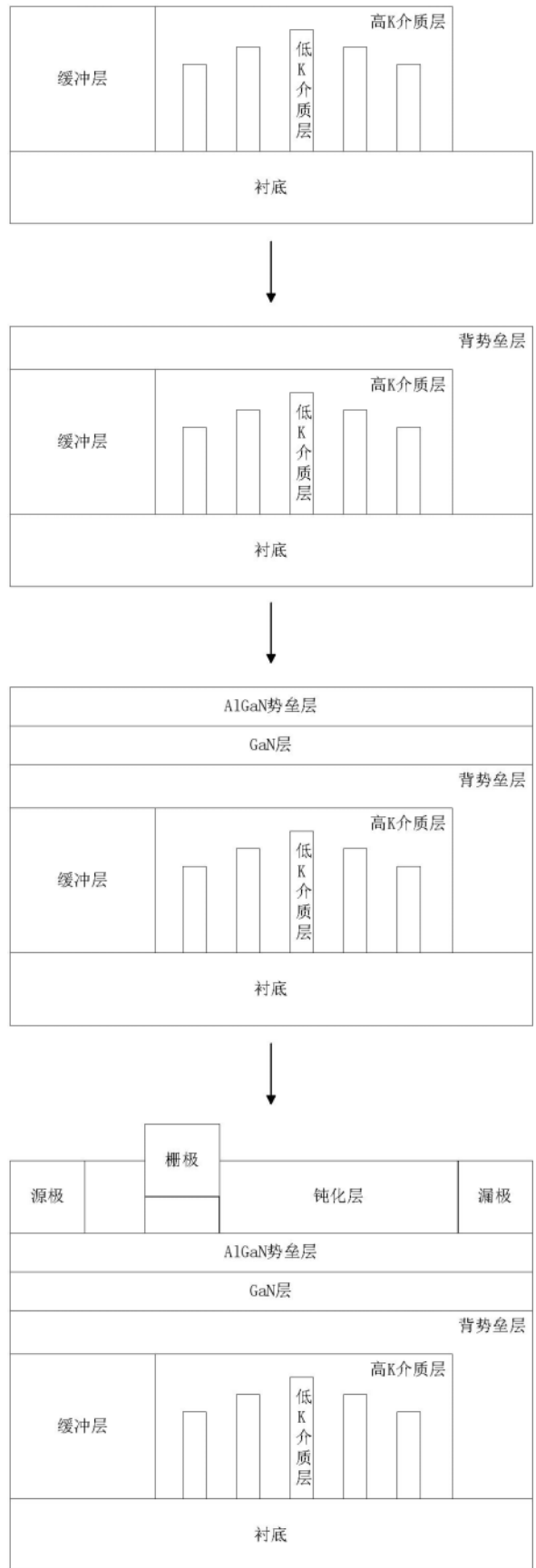


图4