



(10) **DE 10 2021 123 323 A1** 2022.04.21

(12) **Offenlegungsschrift**

(21) Aktenzeichen: **10 2021 123 323.2**

(22) Anmeldetag: **09.09.2021**

(43) Offenlegungstag: **21.04.2022**

(51) Int Cl.: **H01L 27/088** (2006.01)

H01L 21/8249 (2006.01)

H01L 29/20 (2006.01)

H01L 21/76 (2006.01)

H01L 21/8234 (2006.01)

H01L 21/18 (2006.01)

(30) Unionspriorität:
17/072,649 **16.10.2020** **US**

(71) Anmelder:
GLOBALFOUNDRIES U.S. Inc., Malta, NY, US

(74) Vertreter:
**Grünecker Patent- und Rechtsanwälte PartG mbB,
80802 München, DE**

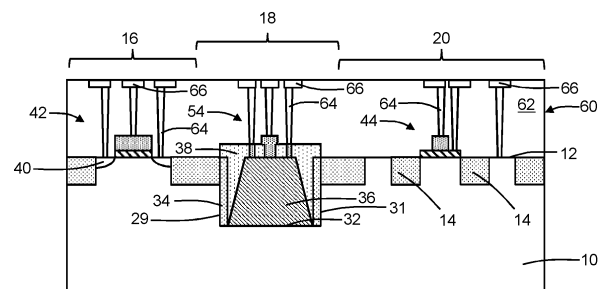
(72) Erfinder:
**Levy, Mark, Essex Junction, VT, US; Hwang,
Jeonghyun, Essex Junction, VT, US; Adusumilli,
Siva P., Essex Junction, VT, US**

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

(54) Bezeichnung: **Schemata zur Integration von Vorrichtungen unter Einsatz eines Bulk-Halbleitersubstrats mit einer <111>-Kristallorientierung**

(57) Zusammenfassung: Strukturen mit Vorrichtungen, wie Transistoren, die auf einem Bulk-Halbleitersubstrat integriert sind, und Verfahren zur Herstellung einer Struktur mit Vorrichtungen, wie Transistoren, die auf einem Bulk-Halbleitersubstrat integriert sind. Das Bulk-Halbleitersubstrat umfasst ein einkristallines Halbleitermaterial mit einer Diamantgitterstruktur und einer <111>-Kristallorientierung. Ein erster Transistor ist in einem ersten Vorrichtungsbereich des Bulk-Halbleitersubstrats gebildet und ein zweiter Transistor ist in einem zweiten Vorrichtungsbereich des Bulk-Halbleitersubstrats gebildet. Der zweite Transistor umfasst einen Schichtstapel auf dem Bulk-Halbleitersubstrat und der Schichtstapel umfasst eine Schicht, die aus einem III-V-Verbindungshalbleitermaterial gebildet ist.



Beschreibung

Hintergrund

[0001] Die vorliegende Erfindung betrifft die Herstellung von Halbleitervorrichtungen und integrierten Schaltungen und insbesondere Strukturen mit Vorrichtungen, wie Transistoren, die auf einem Bulk-Halbleitersubstrat integriert sind, sowie Verfahren zur Herstellung einer Struktur mit Bauelementen, wie Transistoren, die auf einem Bulk-Halbleitersubstrat integriert sind.

[0002] Leistungselektronische Hochspannungsbaulemente, wie Transistoren mit hoher Elektronenbeweglichkeit, können unter Verwendung von III-V-Verbindungshalbleitern hergestellt werden, um deren Materialeigenschaften auszunutzen, wie z. B. eine größere Beweglichkeit von Ladungsträgern als die von Silizium. III-V-Verbindungshalbleiter umfassen Elemente der Gruppe III (Aluminium, Gallium, Indium) in Kombination mit Elementen der Gruppe V (Stickstoff, Phosphor, Arsen, Antimon). Ein Transistor mit hoher Elektronenbeweglichkeit kann einen Heteroübergang zwischen kristallinen III-V-Verbindungshalbleitermaterialien mit unterschiedlichen Bandlücken aufweisen, z. B. einen Heteroübergang zwischen binärem Galliumnitrid und trinärem Aluminiumgalliumnitrid. Im Betrieb bildet sich in der Nähe einer Grenzfläche am Heteroübergang ein zweidimensionales Elektronengas, das den Kanal des Transistors mit hoher Elektronenbeweglichkeit festlegt.

[0003] Die Integration von Transistoren mit hoher Elektronenbeweglichkeit mit Feldeffekttransistoren oder Bipolartransistoren mit Heteroübergang, die durch CMOS (Complementary-Metal-Oxide-Semiconductor) -Verfahren auf demselben Chip hergestellt werden, hat sich als komplexer Prozess erwiesen. Die Integration kann durch Wafer-Bonding oder durch die Verwendung von speziellen oder hybriden Substraten erfolgen, die aufgrund ihrer Beschaffenheit die Prozesse zur Integration von Transistoren mit hoher Elektronenbeweglichkeit mit diesen anderen Transistortypen sehr komplex machen.

[0004] Es sind Strukturen notwendig, die Vorrichtungen wie Transistoren umfassen, die auf einem Bulk-Halbleitersubstrat integriert sind, sowie Verfahren zur Herstellung einer Struktur, die Bauelemente wie Transistoren umfasst, die auf einem Bulk-Halbleitersubstrat integriert sind.

Zusammenfassung

[0005] In einer Ausführungsform der Erfindung umfasst eine Struktur ein Bulk-Halbleitersubstrat, das aus einem einkristallinen Halbleitermaterial mit einer Diamantgitterstruktur und einer <111>-Kristall-

orientierung gebildet ist. Das Bulk-Halbleitersubstrat weist einen ersten Vorrichtungsbereich und einen zweiten Vorrichtungsbereich auf. Die Struktur umfasst einen ersten Transistor in dem ersten Vorrichtungsbereich des Bulk-Halbleitersubstrats und einen zweiten Transistor in dem zweiten Vorrichtungsbereich des Bulk-Halbleitersubstrats. Der zweite Transistor umfasst einen Schichtstapel auf dem Bulk-Halbleitersubstrat und der Schichtstapel umfasst eine Schicht, die aus einem III-V-Verbindungshalbleitermaterial gebildet ist.

[0006] In einer Ausführungsform der Erfindung umfasst ein Verfahren ein Bereitstellen eines Bulk-Halbleitersubstrats, das aus einem einkristallinen Halbleitermaterial mit einer Diamantgitterstruktur und einer <111>-Kristallorientierung gebildet ist. Das Verfahren umfasst ferner ein Bilden eines ersten Transistors in einem ersten Vorrichtungsbereich des Bulk-Halbleitersubstrats, ein Bilden eines Schichtstapels mit einer Schicht aus einem III-V-Verbindungshalbleitermaterial in einem zweiten Vorrichtungsbereich des Bulk-Halbleitersubstrats und ein Bilden eines zweiten Transistors unter Verwendung des Schichtstapels.

Figurenliste

[0007] Die beiliegenden Zeichnungen, die Bestandteil dieser Beschreibung sind, stellen Ausführungsformen der Erfindung dar und dienen zusammen mit der allgemeinen Beschreibung der Erfindung oben und der detaillierten Beschreibung der Ausführungsformen unten zur Erläuterung der Ausführungsformen der Erfindung. In den Zeichnungen beziehen sich gleiche Bezugszeichen auf gleiche Merkmale in den verschiedenen Ansichten.

Fig. 1-6 sind Querschnittsansichten einer Struktur in aufeinanderfolgenden Herstellungsphasen eines Verfahrens gemäß Ausführungsformen der Erfindung.

Fig. 3A ist eine vergrößerte Querschnittsansicht von einem Abschnitt von **Fig. 3** gemäß Ausführungsformen der Erfindung.

Fig. 7 ist eine Querschnittsansicht einer Struktur gemäß einer alternativen Ausführungsform der Erfindung.

Fig. 8 und **Fig. 9** sind Querschnittsansichten einer Struktur in aufeinanderfolgenden Herstellungsphasen eines Verfahrens gemäß einer alternativen Ausführungsform der Erfindung.

Fig. 10 ist eine Querschnittsansicht einer Struktur gemäß einer alternativen Ausführungsform der Erfindung.

Detaillierte Beschreibung

[0008] Mit Bezug auf **Fig. 1** und gemäß Ausführungsformen der Erfindung wird ein Halbleitersubstrat 10 bereitgestellt, das ein einkristallines Halbleitermaterial, wie z. B. einkristallines Silizium, umfasst. Das Halbleitersubstrat 10 weist eine oberseitige Oberfläche 12 auf, die planar sein kann. Das Halbleitersubstrat 10 ist ein Bulk-Substrat mit einem einkristallinen Halbleitermaterial (z. B. einkristallines Silizium). In einer Ausführungsform kann das einkristalline Halbleitermaterial des Halbleitersubstrats 10 eine Diamantgitterstruktur mit einer $\langle 111 \rangle$ -Kristallorientierung aufweisen, wie durch die Miller-Indizes spezifiziert wird. In einer Ausführungsform kann das Halbleitersubstrat 10 einkristallines Silizium mit einer Diamantgitterstruktur mit einer $\langle 111 \rangle$ -Kristallorientierung umfassen. Bei einem Halbleitersubstrat 10 mit einer $\langle 111 \rangle$ -Kristallorientierung ist die (111)-Kristallebene parallel zur oberseitigen Oberfläche 12 des Halbleitersubstrats 10 und die [111]-Kristallrichtung ist senkrecht zur (111)-Ebene. Die (100) kristallographischen Achsen liegen nicht in der Ebene der oberseitigen Oberfläche 12. Das Halbleitersubstrat 10 kann als ein Nicht-Silizium-auf-Isolator-Substrat (d. h. ein Nicht-SOI-Substrat) charakterisiert werden, dem eine vergrabene Oxidschicht fehlt, die für ein Silizium-auf-Isolator-Substrat (SOI) charakteristisch ist. In einer Ausführungsform kann das Halbleitersubstrat 10 vollständig aus Halbleitermaterial mit einer $\langle 111 \rangle$ -Kristallorientierung gebildet sein.

[0009] Es werden Flachgrabenisolationsbereiche 14 gebildet, die sich von der oberseitigen Oberfläche 12 des Halbleitersubstrats 10 in das Halbleitersubstrat 10 hinein erstrecken. Die Flachgrabenisolationsbereiche 14 können ein dielektrisches Material aufweisen, das mittels einer chemische Gasphasenabscheidung in Gräben abgeschieden wird, die in das Halbleitersubstrat 10 geätzt, poliert und einem Deglazing unterzogen werden. Das in den Flachgrabenisolationsbereichen 14 bereitgestellte dielektrische Material kann aus Siliziumdioxid, Siliziumnitrid, Siliziumkarbid, siliziumreichem Siliziumdioxid oder einer Kombination aus zwei oder mehreren dieser Materialien gebildet sein. Die Flachgrabenisolationsbereiche 14 können sich bis zu einer Tiefe d_1 relativ zur oberseitigen Oberfläche 12 in das Halbleitersubstrat 10 erstrecken. Die Flachgrabenisolationsbereiche 14 umgeben und definieren mehrere Vorrichtungsbereiche 16, 18, 20. In einer Ausführungsform kann die oberseitige Oberfläche 12 im Vorrichtungsbereich 18 zu der oberseitigen Oberfläche 12 im Vorrichtungsbereich 16 koplanar sein und auch zu der oberseitigen Oberfläche 12 im Vorrichtungsbereich 20 koplanar sein.

[0010] Auf dem Halbleitersubstrat 10 werden eine Gate-Leiterschicht 22, die beispielsweise aus dotiertem polykristallinem Silizium (d. h. dotiertem Polysili-

zium) gebildet ist, und eine Gate-Dielektrikumschicht 24 gebildet, die aus einem elektrischen Isolator, wie z. B. Siliziumdioxid, gebildet ist. Diese Schichten 22, 24 werden auf der oberseitigen Oberfläche 12 in allen Vorrichtungsbereichen 16, 18, 20 gebildet.

[0011] Eine Hartmaske 26 kann über den Schichten 22, 24 auf dem Halbleitersubstrat 10 ausgebildet und so strukturiert werden, dass sie eine Öffnung umfasst, die sich im Allgemeinen über dem Vorrichtungsbereich 18 befindet. Die Hartmaske 26 kann aus einem dielektrischen Material, wie z. B. Siliziumnitrid, gebildet sein und durch Lithographie- und Ätzverfahren strukturiert werden. Der durch die Öffnung in der Hartmaske 26 freigelegte Abschnitt der Gate-Leiterschicht 22 und der Gate-Dielektrikumschicht 24 kann durch Ätzen mit einem Ätzverfahren, z. B. einem reaktiven Ionenätzverfahren, entfernt werden, wodurch die oberseitige Oberfläche 12 des Halbleitersubstrats 10 im Vorrichtungsbereich 18 freigelegt wird.

[0012] Anschließend wird im Halbleitersubstrat 10 an der Stelle der Öffnung in der Hartmaske 26 ein Graben 30 durch Ätzen mit einem anderen Ätzverfahren, z. B. einem reaktiven Ionenätzverfahren, gebildet. Der Graben 30 kann sich bis zu einem Grabenboden erstrecken, der sich an einer Oberfläche 32 des Halbleitersubstrats 10 befindet, und kann Seitenflächen oder Seitenwände 29, 31 aufweisen. Der Graben 30 kann von den Flachgrabenisolationsbereichen 14 umgeben sein, die den Vorrichtungsbereich 18 festlegen. Die Oberfläche 32 kann sich im Halbleitersubstrat 10 in einer Tiefe d_2 relativ zur oberseitigen Oberfläche 12 befinden, die größer ist als die Tiefe d_1 der Flachgrabenisolationsbereiche 14. Während der Ätzprozesse schützt die Hartmaske 26 die Abschnitte der Gate-Leiterschicht 22 und der Gate-Dielektrikumschicht 24 im Vorrichtungsbereich 16 und im Vorrichtungsbereich 20. In einer Ausführungsform kann die Oberfläche 32 planar sein und keine Topographie aufweisen. In einer Ausführungsform kann die oberseitige Oberfläche 12 eben sein, die Oberfläche 32 kann eben sein und die Ebenen der oberseitigen Oberfläche 12 und der Oberfläche 32 können parallel sein.

[0013] Mit Bezug auf **Fig. 2**, in der sich gleiche Bezugszeichen auf gleiche Merkmale in **Fig. 1** beziehen, und in einer nachfolgenden Herstellungsphase des Verarbeitungsverfahrens werden Seitenwandabstandshalter 34 neben den Seitenwänden 29, 31 des Grabens 30 gebildet. Die Seitenwandabstandshalter 34 können sich von der oberseitigen Oberfläche 12 des Halbleitersubstrats 10 bis zur Oberfläche 32 am Boden des Grabens 30 erstrecken. Die Seitenwandabstandshalter 34 können durch Abscheiden einer Zwischenschicht aus einem dielektrischen Material (z. B. Siliziumnitrid) und Ätzen

der abgeschiedenen Zwischenschicht mit einem anisotropen Ätzverfahren, wie z. B. einem reaktiven Ionenätzverfahren, gebildet werden.

[0014] Mit Bezug auf die **Fig. 3, Fig. 3A**, in denen sich gleiche Bezugszeichen auf gleiche Merkmale in **Fig. 2** beziehen, und in einer nachfolgenden Herstellungsphase des Verarbeitungsverfahrens wird ein Schichtstapel 36, der eine oder mehrere Verbindungshalbleiterschichten umfasst, auf der Oberfläche 32 des Halbleitersubstrats 10 gebildet, die sich innerhalb des Grabens 30 befindet. In einer Ausführungsform kann der Schichtstapel 36 mindestens eine kristalline Schicht aus einem III-V-Verbindungshalbleitermaterial aufweisen. In einer Ausführungsform kann der Schichtstapel 36 mindestens eine kristalline Schicht aufweisen, die aus einem binären III-V-Verbindungshalbleitermaterial gebildet ist. In einer Ausführungsform kann der Schichtstapel 36 mindestens eine kristalline Schicht aus einem ternären III-V-Verbindungshalbleitermaterial aufweisen. In einer Ausführungsform kann der Schichtstapel 36 mehrere kristalline Schichten aus verschiedenen III-V-Verbindungshalbleitermaterialien aufweisen. In einer Ausführungsform kann der Schichtstapel 36 mindestens eine kristalline Schicht aus einem binären III-V-Verbindungshalbleitermaterial und mindestens eine kristalline Schicht aus einem ternären III-V-Verbindungshalbleitermaterial aufweisen. In einer Ausführungsform kann der Schichtstapel 36 eine oder mehrere kristalline Schichten aufweisen, die Galliumnitrid oder ein ternäres III-V-Verbindungshalbleitermaterial auf Basis von Galliumnitrid (z. B. Aluminiumgalliumnitrid) aufweisen. In einer Ausführungsform kann der Schichtstapel 36 eine oder mehrere kristalline Schichten aufweisen, die Gallium und Stickstoff aufweisen.

[0015] Der Schichtstapel 36 kann durch einen epitaktischen Aufwuchsprozess gebildet werden. Jede Schicht des Schichtstapels 36 kann eine einkristalline Kristallstruktur oder alternativ eine im Wesentlichen einkristalline Kristallstruktur mit unterschiedlichem Grad an kristalliner Defektivität aufweisen. Die $\langle 111 \rangle$ -Kristallorientierung des Halbleitermaterials (z. B. einkristallines Silizium) des Halbleitersubstrats 10 fördert das epitaktische Wachstum der III-V-Verbindungshalbleitermaterialien, wie z. B. Galliumnitrid, des Schichtstapels 36 mit geringer kristalliner Defektivität durch eine engere Gitteranpassung als dies bei Substraten mit einer $\langle 100 \rangle$ -Kristallorientierung möglich ist. Insbesondere sind die Atome auf der Oberflächenebene des Halbleitersubstrats 10 mit einer $\langle 111 \rangle$ -Kristallorientierung in Sechsecken angeordnet, was eine recht gute Gitteranpassung an die Kristallstruktur eines oder mehrerer Verbindungshalbleitermaterialien (z. B. die Wurtzit-Kristallstruktur von Galliumnitrid, die auf einem binären hexagonalen dicht gepackten Kristallsystem basiert) im Schichtstapel 36 ermöglicht.

[0016] In einer Ausführungsform kann der Schichtstapel 36 durch einen selektiven epitaktischen Wachstumsprozess gebildet werden, bei dem sich das Halbleitermaterial nicht auf dielektrischen Oberflächen, wie der Hartmaske 26 und den Seitenwandabstandshaltern 34, bildet. In einer Ausführungsform kann der Schichtstapel 36 durch einen nichtselektiven epitaktischen Wachstumsprozess gebildet werden, bei dem das Halbleitermaterial durch Lithographie- und Ätzverfahren abgeschieden und strukturiert wird. In einer Ausführungsform können die Seitenwände 37 des Schichtstapels 36 an die Grabenseitenwände 29, 31 angrenzen und von diesen beabstandet sein. In diesem Fall kann der Graben 30 im Wesentlichen durch den Schichtstapel 36 gefüllt werden. In der anschaulichen Ausführungsform weist der Schichtstapel 36 Seitenwände 37 auf, die von den Grabenseitenwänden 29, 31 weg nach innen geneigt sind, um beispielsweise eine Trapezform festzulegen und die Seitenwände 37 von den Grabenseitenwänden 29, 31 zu beabstanden. In einer Ausführungsform können die Seitenwände 37 an einer oberseitigen Oberfläche 35 des Schichtstapels 36 zusammenlaufen, die mit der oberseitigen Oberfläche 12 des Halbleitersubstrats 10 koplanar oder im Wesentlichen koplanar sein kann. An der oberseitigen Oberfläche 35 des Schichtstapels 36 können Isolationsbereiche (nicht dargestellt) gebildet werden, z. B. durch eine maskierte Implantation von Stickstoff oder Argon.

[0017] In einer Ausführungsform, und wie in **Fig. 3A** am besten dargestellt ist, kann der Schichtstapel 36 eine Pufferschicht 76, eine Kanalschicht 78, eine Abstandshalterschicht 80 und eine Sperrschicht 82 umfassen. Die Schichten 76, 78, 80, 82 können seriell durch einen epitaktischen Wachstumsprozess gebildet werden, wie z. B. eine metallorganische chemische Gasphasenabscheidung. Die Schichten 76, 78, 80, 82 können jeweils eine einkristalline Kristallstruktur oder alternativ eine Kristallstruktur aufweisen, die im Wesentlichen einkristallin ist und unterschiedliche Grade an kristalliner Defektivität aufweist. Eine oder mehrere der Schichten 76, 78, 80, 82 können mehrere Teilschichten aufweisen, die durch unterschiedliche Zusammensetzung oder Dotierung gekennzeichnet sind. Die Pufferschicht 76 kann ein III-V-Verbindungshalbleitermaterial, wie z. B. Galliumnitrid, aufweisen, das in Bezug auf Materialzusammensetzung, Dotierung und/oder Schichtdicke maßgeschneidert ist, um eine Gitterfehl-anpassung zwischen dem Material des Halbleitersubstrats 10 und dem Material der Kanalschicht 78 auszugleichen. Die Kanalschicht 78, die über der Pufferschicht 76 angeordnet ist, kann ein III-V-Verbindungshalbleitermaterial, wie z. B. Galliumnitrid, aufweisen. Die Abstandshalterschicht 80 und die Sperrschicht 82 sind über der Kanalschicht 78 angeordnet, wobei die Abstandshalterschicht 80 zwischen der Kanalschicht 78 und der Sperrschicht 82 ange-

ordnet ist. Die Abstandshalterschicht 80 kann dünn sein und einen III-V-Verbindungshalbleiter, wie z. B. Aluminiumnitrid, aufweisen. Die Sperrschicht 82 kann einen III-V-Verbindungshalbleiter, wie Aluminiumgalliumnitrid, Aluminiumnitrid oder Indiumaluminiumnitrid, aufweisen, der eine heterogene Grenzfläche zu der Kanalschicht 78 mit unterschiedlicher Zusammensetzung aufweist. Die Abstandshalterschicht 80 und die Sperrschicht 82 tragen zusammen mit den Materialeigenschaften der Kanalschicht 78 dazu bei, dass während des Betriebs der Vorrichtung an der heterogenen Grenzfläche ein zweidimensionales Elektronengas entsteht, das mit hoch beweglichen und reichlich vorhandenen Elektronen gefüllt ist.

[0018] Mit Bezug auf **Fig. 4**, in der sich gleiche Bezugszeichen auf gleiche Merkmale in **Fig. 3** beziehen, kann in einer nachfolgenden Herstellungsphase des Verarbeitungsverfahrens eine dielektrische Schicht 38 durch Photolithographie- und Ätzprozesse abgeschieden und strukturiert werden, so dass der Schichtstapel 36 im Vorrichtungsbereich 18 bedeckt ist. Nachdem die dielektrische Schicht 38 abgeschieden und strukturiert wurde, wird die Hartmaske 26 durch einen Ätzprozess vom Vorrichtungsbereich 16 und vom Vorrichtungsbereich 20 entfernt, um die Gate-Leiterschicht 22 und die dielektrische Gate-Schicht 24 freizulegen.

[0019] Die Gate-Leiterschicht 22 und die dielektrische Gate-Schicht 24 können anschließend durch Photolithographie- und Ätzverfahren strukturiert werden, um eine Gate-Struktur eines Feldeffekttransistors 42 im Vorrichtungsbereich 16 festzulegen. Die Gate-Leiterschicht 22 und die dielektrische Gate-Schicht 24 werden während der Strukturierung aus dem Vorrichtungsbereich 20 entfernt. Zusätzliche Elemente des Feldeffekttransistors 42 können durch eine CMOS (Complementary-Metal-Oxide) -Verarbeitung hergestellt werden, um eine Vorrichtungsstruktur im Vorrichtungsbereich 16 des Halbleitersubstrats 10 zu bilden. Der Feldeffekttransistor 42 kann zusätzlich Source-/Drain-Bereiche 40 und einen Kanalbereich unterhalb der Gate-Struktur aufweisen. Der Kanalbereich und die Source-/Drain-Bereiche 40 des Feldeffekttransistors 42 weisen entsprechende Abschnitte des einkristallinen Halbleitermaterials des Halbleitersubstrats 10 auf. Die Source-/Drain-Bereiche 40 befinden sich zumindest teilweise unter der oberseitigen Oberfläche 12 und der Kanalbereich befindet sich unter der oberseitigen Oberfläche 12 im Allgemeinen zwischen den Source-/Drain-Bereichen 40. Die strukturierte Gate-Leiterschicht 22 und die dielektrische Gate-Schicht 24, die in der Gate-Struktur des Feldeffekttransistors 42 bereitgestellt sind, können als Vorrichtungsschichten auf und über der oberseitigen Oberfläche 12 des Halbleitersubstrats 10 angeordnet sein. In einer Ausführungsform kann die strukturierte dielektrische

Gate-Schicht 24, die in der Gate-Struktur des Feldeffekttransistors 42 bereitgestellt ist, als eine Vorrichtungsschicht direkt auf der oberseitigen Oberfläche 12 des Halbleitersubstrats 10 angeordnet sein.

[0020] Ein Bipolartransistor 44 kann als Vorrichtungsstruktur im Vorrichtungsbereich 20 des Halbleitersubstrats 10 hergestellt werden. Der Bipolartransistor 44 kann mehrere Anschlüsse in Form eines im Halbleitersubstrat 10 definierten Kollektors 46, Emitters 48 und einer zwischen dem Kollektor 46 und dem Emitter 48 angeordneten Basisschicht 50 aufweisen. In alternativen Ausführungsformen kann ein Bipolartransistor mit Kollektor oben gebildet werden, wobei der Emitter als Anschluss im Halbleitersubstrat 10 angeordnet ist. Der Emitter 48 und die Basisschicht 50 können als Vorrichtungsschichten auf und über der oberseitigen Oberfläche 12 des Halbleitersubstrats 10 angeordnet sein. In einer Ausführungsform kann die Basisschicht 50 als Vorrichtungsschicht direkt auf der oberseitigen Oberfläche 12 des Halbleitersubstrats 10 angeordnet sein. Der Kollektor 46, der einen Teil des Halbleitermaterials des Halbleitersubstrats 10 umfasst, kann im Halbleitersubstrat 10 zumindest teilweise, vorzugsweise vollständig, unterhalb der oberseitigen Oberfläche 12 angeordnet sein. Die Basisschicht 50 kann ein einkristallines Halbleitermaterial (z. B. Silizium-Germanium) aufweisen, das auf der oberseitigen Oberfläche 12 des Halbleitersubstrats 10 epitaktisch aufgewachsen ist. In einer Ausführungsform können der Kollektor 46 und der Emitter 48 n-Typ-Halbleitermaterialien und die Basisschicht 50 p-Typ-Halbleitermaterialien aufweisen, um einen NPN-Transistor festzulegen. Der Bipolartransistor 44 kann im Bipolar-Complementary-Metal-Oxide (BiCMOS) -Verfahren hergestellt werden, das eine Variante des CMOS-Verfahrens darstellt.

[0021] Der Feldeffekttransistor 42 und der Bipolartransistor 44 stellen unterschiedliche Arten oder Klassifizierungen von Transistorstrukturen dar. Ein Unterschied zwischen dem Feldeffekttransistor 42 und dem Bipolartransistor 44 besteht darin, dass im Feldeffekttransistor 42 nur Majoritätsladungsträger fließen, während im Bipolartransistor 44 sowohl Majoritäts- als auch Minoritätsladungsträger fließen. Der Feldeffekttransistor 42 und der Bipolartransistor 44 weisen in ihrem jeweiligen Aufbau keine Schichten aus Siliziumkarbid auf und sie sind daher frei von Siliziumkarbid. Der Feldeffekttransistor 42 und der Bipolartransistor 44 werden beide auf einem Halbleitermaterial gebildet, das durch die gleiche <111>-Kristallorientierung gekennzeichnet ist wie das Halbleitermaterial, das zur Bildung des Schichtstapels 36 verwendet wird.

[0022] Mit Bezug auf **Fig. 5**, in der sich gleiche Bezugszeichen auf gleiche Merkmale in **Fig. 4** beziehen, wird in einer nachfolgenden Herstellungsphase

des Verarbeitungsverfahrens ein Transistor 54 als Vorrichtungsstruktur unter Verwendung des Schichtstapels 36 gebildet. Zu diesem Zweck wird die dielektrische Schicht 38 durch Photolithographie und Ätzverfahren im Vorrichtungsbereich 18 strukturiert, um eine Öffnung festzulegen, in der eine Gate-Elektrode 52 des Transistors 54 gebildet wird. Die Gate-Elektrode 52 kann aus einem Metall, z. B. einem Metallnitrid, gebildet sein, das durch Lithografie- und Ätzverfahren abgeschieden und strukturiert wird, um eine bestimmte Form zu erhalten. Ein Source-Bereich 56 und ein Drain-Bereich 58 des Transistors 54 können gebildet werden, indem Öffnungen in der dielektrischen Schicht 38 durch Lithografie- und Ätzverfahren strukturiert werden und dann ein Metall, z. B. ein Metallnitrid, in den strukturierten Öffnungen gebildet wird. Metallatome aus dem Source-Bereich 56 und dem Drain-Bereich 58 können in den Schichtstapel 36 diffundieren.

[0023] Der Transistor 54 wird nicht durch CMOS-Verfahren hergestellt und kann daher als Nicht-CMOS-Transistor betrachtet werden. In einer Ausführungsform kann der Transistor 54 ein Transistor mit hoher Elektronenbeweglichkeit (HEMT) sein. In einer Ausführungsform kann der Transistor 54 ein Metall-Isolator-Halbleiter-Transistor mit hoher Elektronenbeweglichkeit (MISHEMT) sein. In einer Ausführungsform kann der Transistor 54 ein Metall-Oxid-Halbleiter-Transistor mit hoher Elektronenbeweglichkeit (MOSHEMT) sein.

[0024] Obwohl die $\langle 111 \rangle$ -Kristallorientierung des Halbleitermaterials (z. B. einkristallines Silizium) des Halbleitersubstrats 10 das epitaktische Wachstum der III-V-Verbindungshalbleitermaterialien des Schichtstapels 36 mit geringer kristalliner Defektivität ermöglicht, können der Feldeffekttransistor 42 und/oder der Bipolartransistor 44 aufgrund der $\langle 111 \rangle$ -Kristallorientierung im Vergleich zu vergleichbaren Transistoren, die auf Halbleitersubstraten mit anderen Kristallorientierungen gebildet werden, eine nicht optimierte elektrische Leistung aufweisen. Viele der strukturellen und elektronischen Eigenschaften eines einkristallinen Halbleitersubstrats sind stark anisotrop und von der Kristallorientierung abhängig. Dennoch ermöglicht die Verwendung des Halbleitersubstrats 10 mit einer $\langle 111 \rangle$ -Kristallorientierung die Integration des Transistors 54 mit dem Feldeffekttransistor 42 und/oder dem Bipolartransistor 44 auf demselben Halbleitersubstrat 10, ohne dass ein komplexer Herstellungsprozess, wie z. B. Wafer-Bonden, oder die Verwendung eines technischen oder hybriden Substrats (z. B. ein SOI-Substrat mit einer oder mehreren Kristallorientierungen für die Vorrichtungsschicht) erforderlich ist, was als akzeptabler Kompromiss für eine schlechtere elektrische Leistung angesehen werden kann.

[0025] Mit Bezug auf **Fig. 6**, in der sich gleiche Bezugszeichen auf gleiche Merkmale in **Fig. 5** beziehen, und in einer anschließenden Herstellungsphase des Verarbeitungsverfahrens folgen eine Middle-of-Line-Verarbeitung und eine Back-End-of-Line-Verarbeitung, die die Bildung von Kontakten, Durchkontaktierungen und Verdrahtungen für eine über dem Halbleitersubstrat 10 und über den Transistoren 42, 44, 54 angeordnete Verbindungsstruktur 60 einschließt. Es können verschiedene Metallisierungsebenen, wie z. B. eine erste Metallisierungsebene (M1), der Verbindungsstruktur 60 gebildet werden, die über die Kontaktebene mit dem Feldeffekttransistor 42, dem Bipolartransistor 44 und dem Transistor 54 verbunden sind. In dieser Hinsicht kann die Verbindungsstruktur 60 eine oder mehrere dielektrische Schichten 62, eine Metallisierungsebene mit Metallleitungen 66 und eine Kontaktebene mit Kontakten 64 umfassen, die die Metallleitungen 66 mit dem Feldeffekttransistor 42, dem Bipolartransistor 44 und dem Transistor 54 verbinden.

[0026] Mit Bezug auf **Fig. 7** und gemäß alternativen Ausführungsformen können die Seitenwände 37 des Schichtstapels 36 die gleiche Ausdehnung wie die Grabenseitenwände 29, 31 aufweisen und in diesem Fall kann der Graben 30 vollständig durch den Schichtstapel 36 gefüllt werden.

[0027] Die Wachstumsbedingungen können so gewählt werden, dass der Schichtstapel 36 eine bestimmte Form erhält. Die Verarbeitung kann wie in Verbindung mit den **Fig. 4-6** beschrieben fortgesetzt werden.

[0028] Mit Bezug auf **Fig. 8** und gemäß alternativen Ausführungsformen können der Graben 30, der Schichtstapel 36 und der Transistor 54 nach Abschluss der Bildung des Feldeffekttransistors 42 und des Bipolartransistors 44 vollständig gebildet werden. In diesem Zusammenhang können die eine oder mehreren dielektrischen Schichten 62 gebildet und strukturiert werden, um eine Öffnung 68 zu erzeugen, die einen Weg zur oberseitigen Oberfläche 12 des Halbleitersubstrats 10 im Vorrichtungsbereich 18 festlegt. In der dargestellten Ausführungsform wird die Öffnung 68 vor der Bildung der Kontakte 64 und der Metallleitungen 66 gebildet. In einer Ausführungsform kann die Öffnung 68 nach der Bildung der Kontakte der Kontaktebene gebildet werden, die mit dem Feldeffekttransistor 42 und dem Bipolartransistor 44 verbunden sind. In einer Ausführungsform kann die Öffnung 68 nach der Bildung der Metallleitungen 66 der ersten Metallisierungsebene und der Kontakte 64 der Kontaktebene, die die Metallleitungen 66 mit dem Feldeffekttransistor 42 und dem Bipolartransistor 44 verbinden, gebildet werden.

[0029] Mit Bezug auf **Fig. 9**, in der sich gleiche Bezugszeichen auf gleiche Merkmale in **Fig. 8** beziehen, und in einer nachfolgenden Herstellungsphase des Verarbeitungsverfahrens wird der Graben 30 anschließend in dem Halbleitersubstrat 10 an der Stelle der Öffnung 68 in der einen oder den mehreren dielektrischen Schichten 62 gebildet. Die Seitenwandabstandshalter 34, der Schichtstapel 36 und der Transistor 54 werden anschließend unter Verwendung des Grabens 30 in dem Halbleitersubstrat 10 gebildet. Die Öffnung 68 kann nach dem Bilden des Transistors 54 mit dielektrischem Material gefüllt werden und die Verbindungsstruktur 60 kann durch Bilden der Kontakte 64 und der mit dem Transistor 54 verbundenen Metallleitungen 66 vervollständigt werden.

[0030] Mit Bezug auf **Fig. 10** und gemäß alternativen Ausführungsformen kann der Schichtstapel 36 auf der oberseitigen Oberfläche 12 des Halbleitersubstrats 10 ohne die vorherige Bildung des Grabens 30 gebildet werden. Durch den Verzicht auf die Grabenbildung können der Schichtstapel 36 und der unter Verwendung des Schichtstapels 36 gebildete Transistor 54 in der gleichen Ebene wie der Feldeffekttransistor 42 und der Bipolartransistor 44 angeordnet werden. Genauer gesagt können der Schichtstapel 36, die Gate-Struktur des Feldeffekttransistors 42 sowie der Emitter 48 und die Basisschicht 50 des Bipolartransistors 44 auf der oberseitigen Oberfläche 12 angeordnet werden, was als gemeinsame Ebene für die Transistoren 42, 44, 54 angesehen werden kann.

[0031] Die oben beschriebenen Verfahren werden bei der Herstellung von integrierten Schaltkreisen verwendet. Die daraus resultierenden integrierten Schaltungschips können vom Hersteller in der Form von rohen Wafern (z. B. als einzelner Wafer mit mehreren ungehausten Chips), als nackter Chip oder in gehauster Form vertrieben werden. Im letzteren Fall ist der Chip in einem Einzelchip-Gehäuse (z. B. einem Kunststoffträger mit Anschlüssen, die an einer Hauptplatine oder einem anderen übergeordneten Träger befestigt sind) oder in einem Multichip-Gehäuse (z. B. einem Keramikträger mit Oberflächenverbindungen und/oder vergrabenen Verbindungen) montiert. In jedem Fall kann der Chip mit anderen Chips, diskreten Schaltungselementen und/oder anderen Signalverarbeitungsgeräten entweder als Teil eines Zwischenprodukts oder eines Endprodukts integriert werden.

[0032] Wird in dieser Beschreibung auf Begriffe Bezug genommen, die durch Näherungsformeln wie „ungefähr“, „etwa“ und „im Wesentlichen“ modifiziert werden, sind diese nicht auf den genauen Wert zu beschränken. Die Näherungsformel kann der Genauigkeit eines zur Messung des Wertes verwendeten Instruments entsprechen und, sofern nicht

anders von der Genauigkeit des Instruments abhängig, +/- 10 % des angegebenen Wertes/der angegebenen Werte angeben.

[0033] Verweise auf Begriffe wie „vertikal“, „horizontal“ usw. werden hier nur beispielhaft und nicht beschränkend verwendet, um einen Bezugsrahmen zu schaffen. Der hier verwendete Begriff „horizontal“ ist als eine Ebene parallel zu einer herkömmlichen Ebene eines Halbleitersubstrats definiert, unabhängig von seiner tatsächlichen dreidimensionalen räumlichen Ausrichtung. Die Begriffe „vertikal“ und „normal“ beziehen sich auf eine Richtung senkrecht zur gerade definierten horizontalen Richtung. Der Begriff „lateral“ bezieht sich auf eine Richtung innerhalb der horizontalen Ebene.

[0034] Ein Merkmal, das mit einem anderen Merkmal „verbunden“ oder „gekoppelt“ ist, kann mit dem anderen Merkmal direkt verbunden oder gekoppelt sein. Es können stattdessen ein oder mehrere dazwischenliegende Merkmale vorhanden sein. Ein Merkmal kann mit einem anderen Merkmal „direkt verbunden“ oder „direkt gekoppelt“ sein, wenn keine dazwischenliegenden Merkmale vorhanden sind. Ein Merkmal kann mit einem anderen Merkmal „indirekt verbunden“ oder „indirekt gekoppelt“ sein, wenn mindestens ein dazwischenliegendes Merkmal vorhanden ist. Ein Merkmal, das sich „auf“ einem anderen Merkmal befindet oder mit einem anderen Merkmal „in Kontakt“ ist, kann sich direkt auf dem anderen Merkmal befinden oder damit in direktem Kontakt sein. Es können stattdessen ein oder mehrere dazwischenliegende Merkmale vorhanden sein. Ein Merkmal kann sich „direkt auf“ einem anderen Merkmal befinden oder damit in „direktem Kontakt“ sein, wenn keine dazwischenliegenden Merkmale vorhanden sind. Ein Merkmal kann sich „indirekt auf“ einem anderen Merkmal befinden oder damit in „indirektem Kontakt“ sein, wenn mindestens ein dazwischenliegendes Merkmal vorhanden ist.

[0035] Die Beschreibung der verschiedenen Ausführungsformen der vorliegenden Erfindung dienen der Veranschaulichung, erhebt aber keinen Anspruch auf Vollständigkeit oder soll die beschriebenen Ausführungsformen beschränken. Dem Fachmann sind viele Modifikationen und Variationen ersichtlich, ohne vom Umfang und Wesen der beschriebenen Ausführungsformen abzuweichen. Die hierin verwendete Terminologie wurde gewählt, um die Prinzipien der Ausführungsformen, die praktische Anwendung oder die technische Verbesserung gegenüber den auf dem Markt befindlichen Technologien bestmöglich zu erläutern oder um es anderen als dem Fachmann zu ermöglichen, die hierin offengelegten Ausführungsformen zu verstehen.

Patentansprüche

1. Struktur, umfassend:
ein Bulk-Halbleitersubstrat, das aus einem einkristallinen Halbleitermaterial mit einer Diamantgitterstruktur und einer $\langle 111 \rangle$ -Kristallorientierung gebildet ist, wobei das Bulk-Halbleitersubstrat einen ersten Vorrichtungsbereich und einen zweiten Vorrichtungsbereich aufweist;
einen ersten Transistor in dem ersten Vorrichtungsbereich des Bulk-Halbleitersubstrats; und
einen zweiten Transistor im zweiten Vorrichtungsbereich des Bulk-Halbleitersubstrats, wobei der zweite Transistor einen Schichtstapel auf dem Bulk-Halbleitersubstrat umfasst und der Schichtstapel eine Schicht aus einem III-V-Verbindungshalbleitermaterial umfasst.
2. Struktur nach Anspruch 1, wobei das einkristalline Halbleitermaterial einkristallines Silizium ist.
3. Struktur nach Anspruch 1, wobei das III-V-Verbindungshalbleitermaterial Galliumnitrid ist.
4. Struktur nach Anspruch 1, wobei das III-V-Verbindungshalbleitermaterial des Schichtstapels eine Kristallstruktur aufweist, die im Wesentlichen einkristallin ist.
5. Struktur nach Anspruch 1, wobei das Bulk-Halbleitersubstrat eine oberseitige Oberfläche aufweist und der erste Transistor ein Feldeffekttransistor ist, der einen Source/Drain-Bereich umfasst, der in dem Bulk-Halbleitersubstrat zumindest teilweise unterhalb der oberseitigen Oberfläche angeordnet ist.
6. Struktur nach Anspruch 5, bei der das Bulk-Halbleitersubstrat einen dritten Vorrichtungsbereich aufweist, und ferner umfassend einen Bipolartransistor in dem dritten Vorrichtungsbereich des Bulk-Halbleitersubstrats, wobei der Bipolartransistor einen Anschluss aufweist, der in dem Bulk-Halbleitersubstrat zumindest teilweise unterhalb der oberseitigen Oberfläche angeordnet ist.
7. Struktur nach Anspruch 1, wobei das Bulk-Halbleitersubstrat eine oberseitige Oberfläche aufweist und der erste Transistor ein Bipolartransistor ist, der einen Anschluss aufweist, der in dem Bulk-Halbleitersubstrat zumindest teilweise unterhalb der oberseitigen Oberfläche angeordnet ist.
8. Struktur nach Anspruch 1, wobei das Bulk-Halbleitersubstrat einen dritten Vorrichtungsbereich aufweist, und ferner umfassend:
einen dritten Transistor in dem dritten Vorrichtungsbereich des Bulk-Halbleitersubstrats,
wobei der erste Transistor und der dritte Transistor unterschiedliche Transistortypen sind.
9. Struktur nach Anspruch 1, wobei das Bulk-Halbleitersubstrat eine oberseitige Oberfläche aufweist und der Schichtstapel auf der oberseitigen Oberfläche des Bulk-Halbleitersubstrats angeordnet ist.
10. Struktur nach Anspruch 9, wobei die oberseitige Oberfläche des Bulk-Halbleitersubstrats im ersten Vorrichtungsbereich und im zweiten Vorrichtungsbereich planar ist und der erste Transistor eine Vorrichtungsschicht umfasst, die auf der oberseitigen Oberfläche des Bulk-Halbleitersubstrats angeordnet ist.
11. Struktur nach Anspruch 1, wobei das Bulk-Halbleitersubstrat eine erste Oberfläche und einen Graben aufweist, der sich von der ersten Oberfläche in das Bulk-Halbleitersubstrat hinein erstreckt, und der Schichtstapel auf dem Bulk-Halbleitersubstrat innerhalb des Grabens angeordnet ist.
12. Struktur nach Anspruch 11, wobei das Bulk-Halbleitersubstrat eine zweite Oberfläche an einem Boden des Grabens aufweist und der Schichtstapel auf der zweiten Oberfläche angeordnet ist.
13. Struktur nach Anspruch 11, ferner umfassend:
einen Flachgrabenisolationsbereich in dem Bulk-Halbleitersubstrat, wobei der Flachgrabenisolationsbereich seitlich zwischen dem ersten Vorrichtungsbereich und dem zweiten Vorrichtungsbereich angeordnet ist,
wobei sich der Graben in eine größere Tiefe in das Bulk-Halbleitersubstrat relativ zur ersten Oberfläche erstreckt als der Flachgrabenisolationsbereich.
14. Struktur nach Anspruch 11, wobei der Graben eine Vielzahl von Seitenwänden aufweist, und ferner umfassend:
einen Abstandshalter auf jeder aus der Vielzahl von Seitenwänden, wobei der Abstandshalter aus einem dielektrischen Material gebildet ist.
15. Struktur nach Anspruch 1, ferner umfassend:
eine Verbindungsstruktur, die über dem Halbleitersubstrat angeordnet ist, wobei die Verbindungsstruktur eine erste Vielzahl von Kontakten, die mit dem ersten Transistor gekoppelt sind, und eine zweite Vielzahl von Kontakten, die mit dem zweiten Transistor gekoppelt sind, aufweist.
16. Struktur nach Anspruch 1, ferner umfassend:
einen Flachgrabenisolationsbereich in dem Bulk-Halbleitersubstrat, wobei der Flachgrabenisolationsbereich seitlich zwischen dem ersten Vorrichtungsbereich und dem zweiten Vorrichtungsbereich angeordnet ist.

17. Verfahren, umfassend:

ein Bereitstellen eines Bulk-Halbleitersubstrats, das aus einem einkristallinen Halbleitermaterial mit einer Diamantgitterstruktur und einer $\langle 111 \rangle$ -Kristallorientierung gebildet ist;
ein Bilden eines ersten Transistors in einem ersten Vorrichtungsbereich des Bulk-Halbleitersubstrats;
ein Bilden eines Schichtstapels mit einer Schicht aus einem III-V-Verbindungshalbleitermaterial in einem zweiten Vorrichtungsbereich des Bulk-Halbleitersubstrats; und
ein Bilden eines zweiten Transistors unter Verwendung des Schichtstapels.

18. Verfahren nach Anspruch 17, wobei das einkristalline Halbleitermaterial einkristallines Silizium ist und das III-V-Verbindungshalbleitermaterial Galliumnitrid ist.

19. Verfahren nach Anspruch 17, ferner umfassend:

ein Bilden eines Grabens, der sich von einer ersten Oberfläche in das Bulk-Halbleitersubstrat zu einer zweiten Oberfläche an einem Boden des Grabens erstreckt,
wobei der Schichtstapel auf der zweiten Oberfläche des Bulk-Halbleitersubstrats innerhalb des Grabens angeordnet ist.

20. Verfahren nach Anspruch 17, ferner umfassend:

ein Bilden eines Flachgrabenisolationbereichs in dem Bulk-Halbleitersubstrat,
wobei der Flachgrabenisolationbereich seitlich zwischen dem ersten Vorrichtungsbereich und dem zweiten Vorrichtungsbereich angeordnet ist.

Es folgen 6 Seiten Zeichnungen

Anhängende Zeichnungen

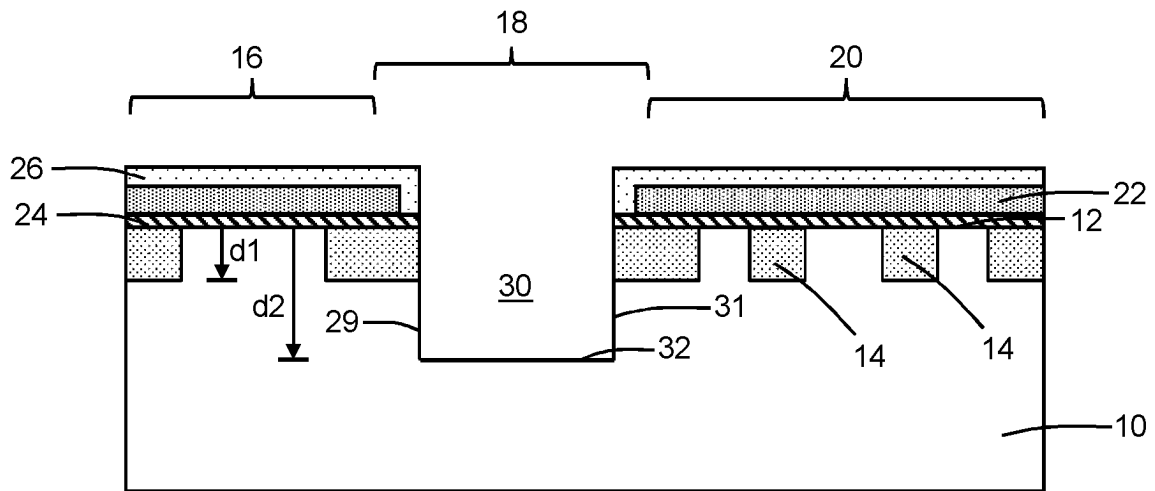


FIG. 1

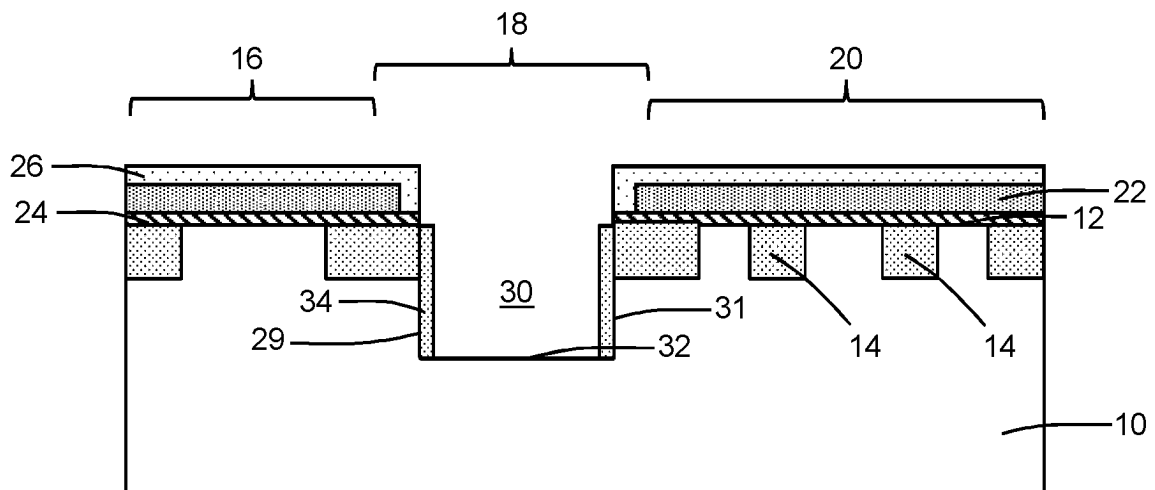


FIG. 2

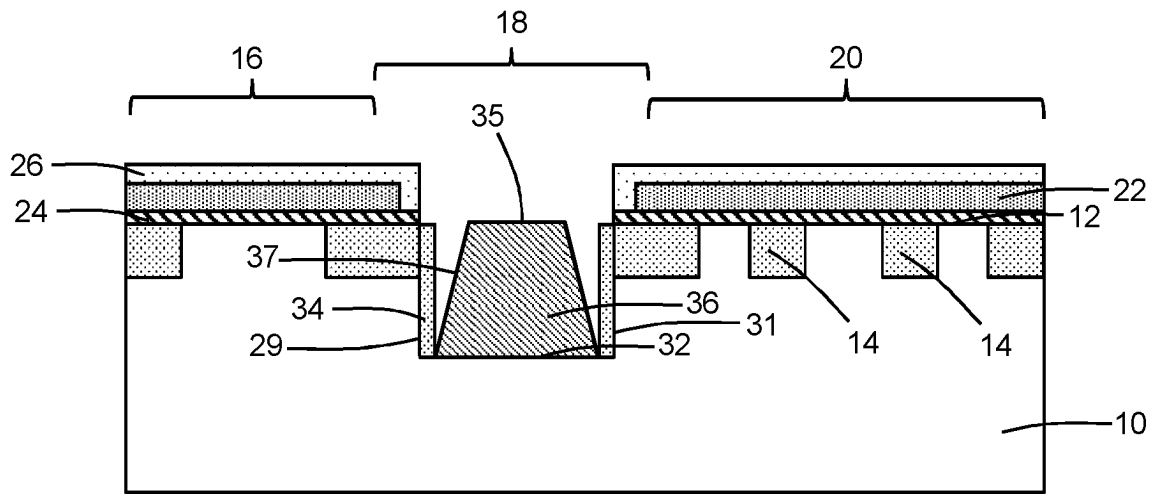


FIG. 3

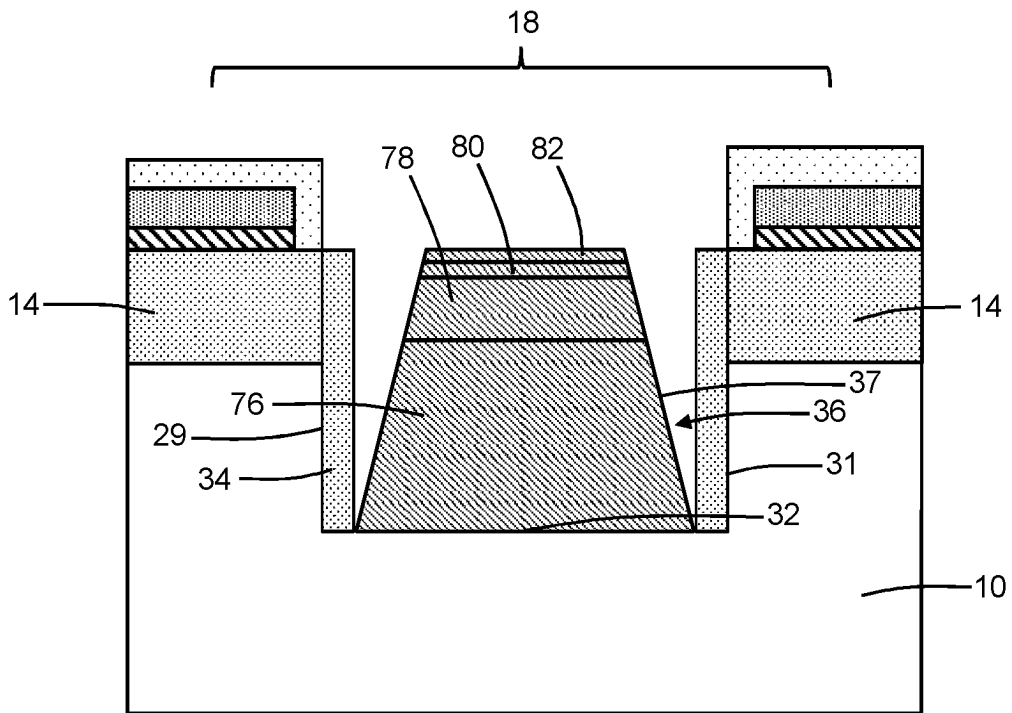


FIG. 3A

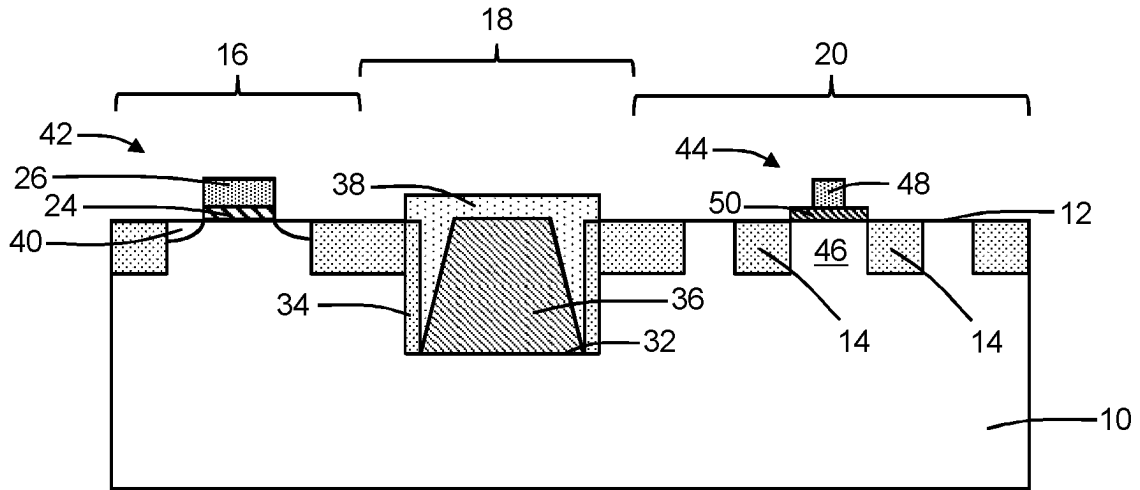


FIG. 4

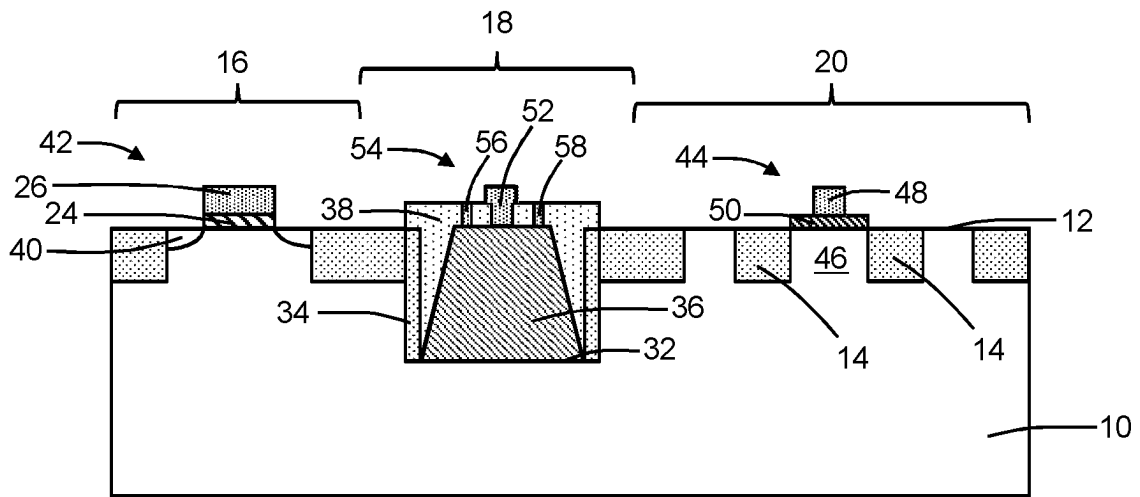


FIG. 5

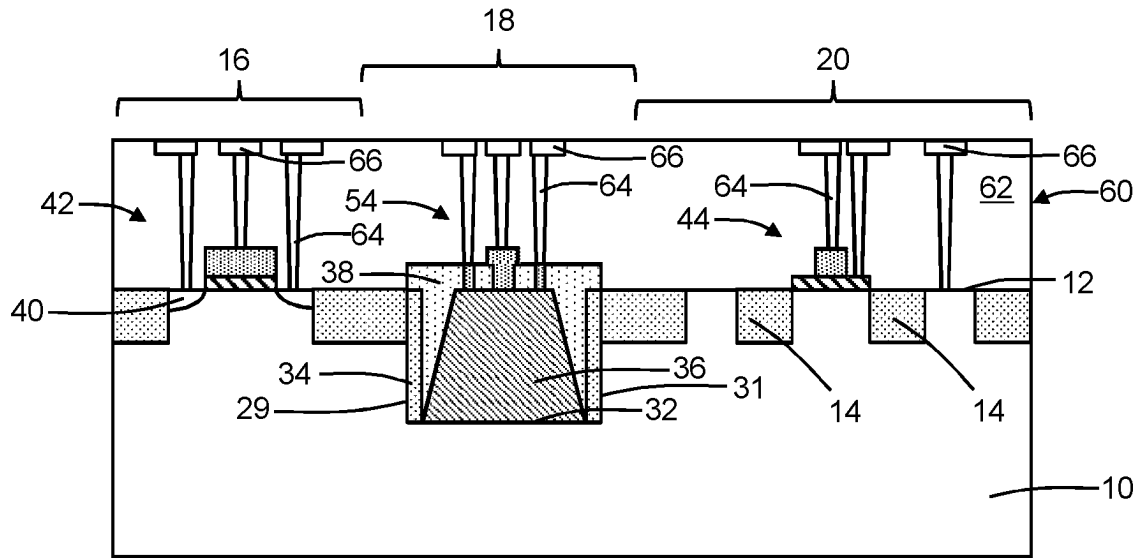


FIG. 6

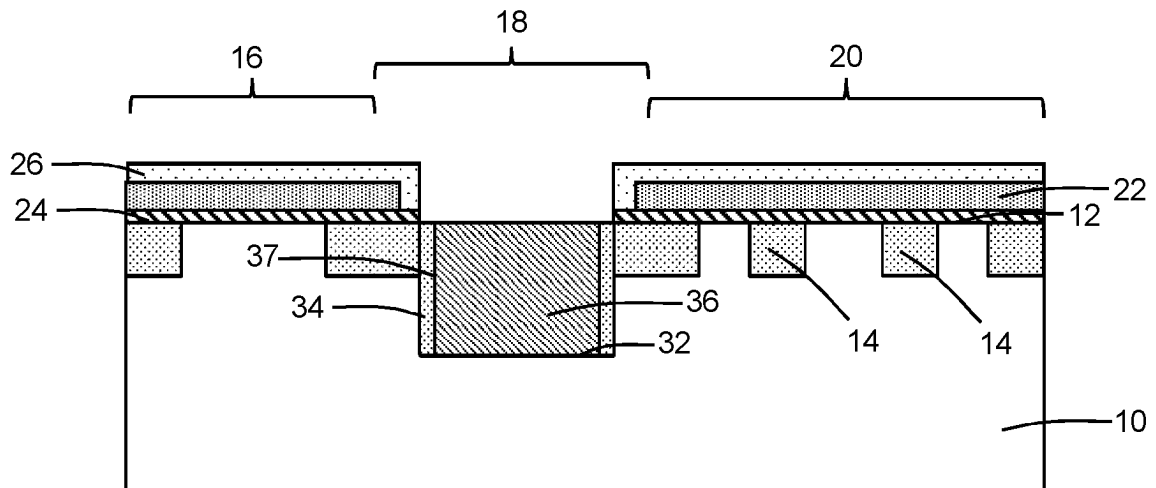


FIG. 7

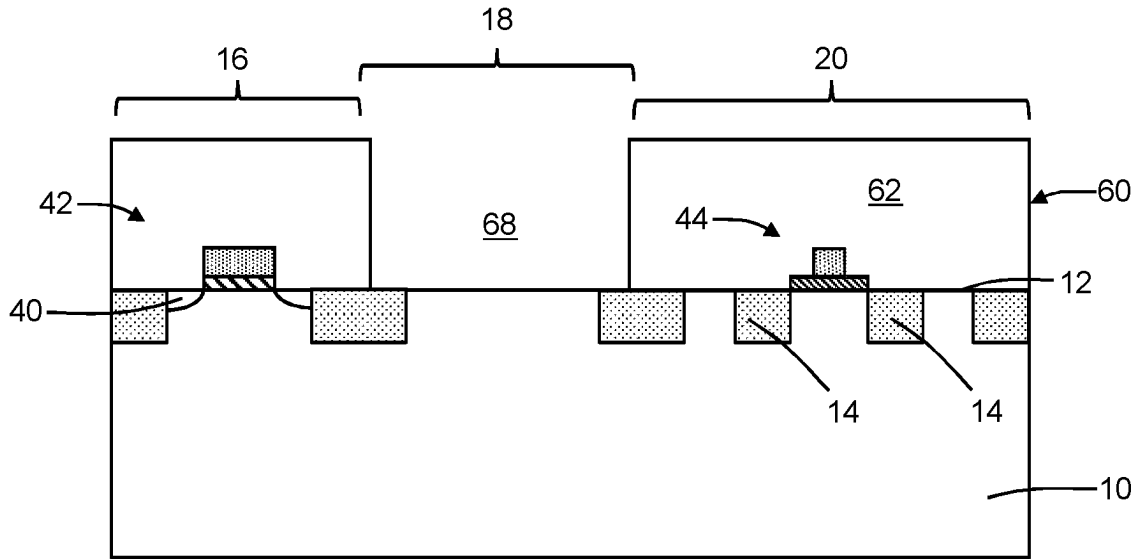


FIG. 8

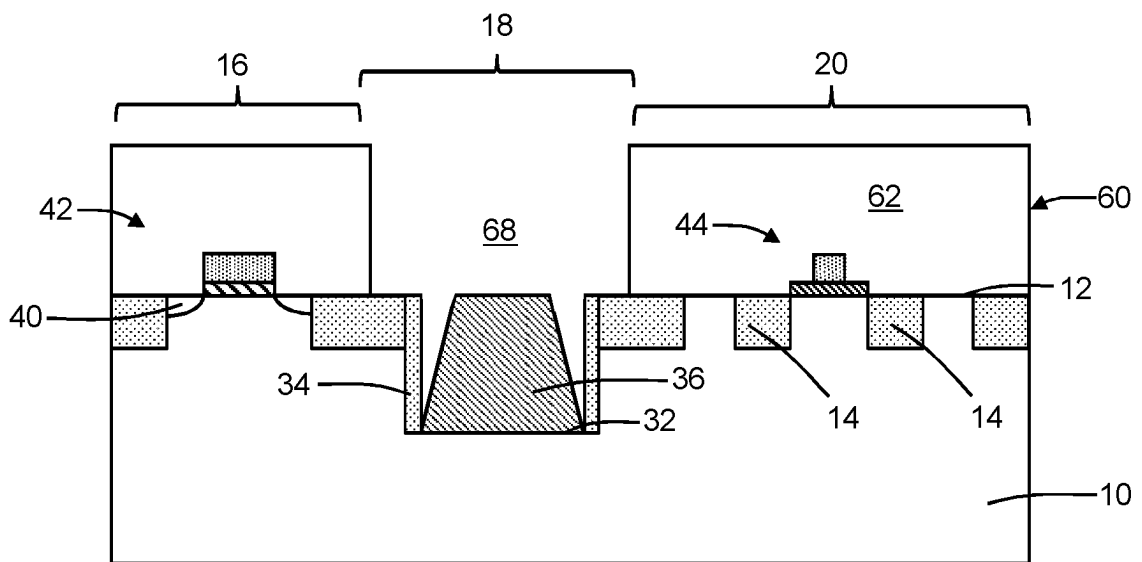


FIG. 9

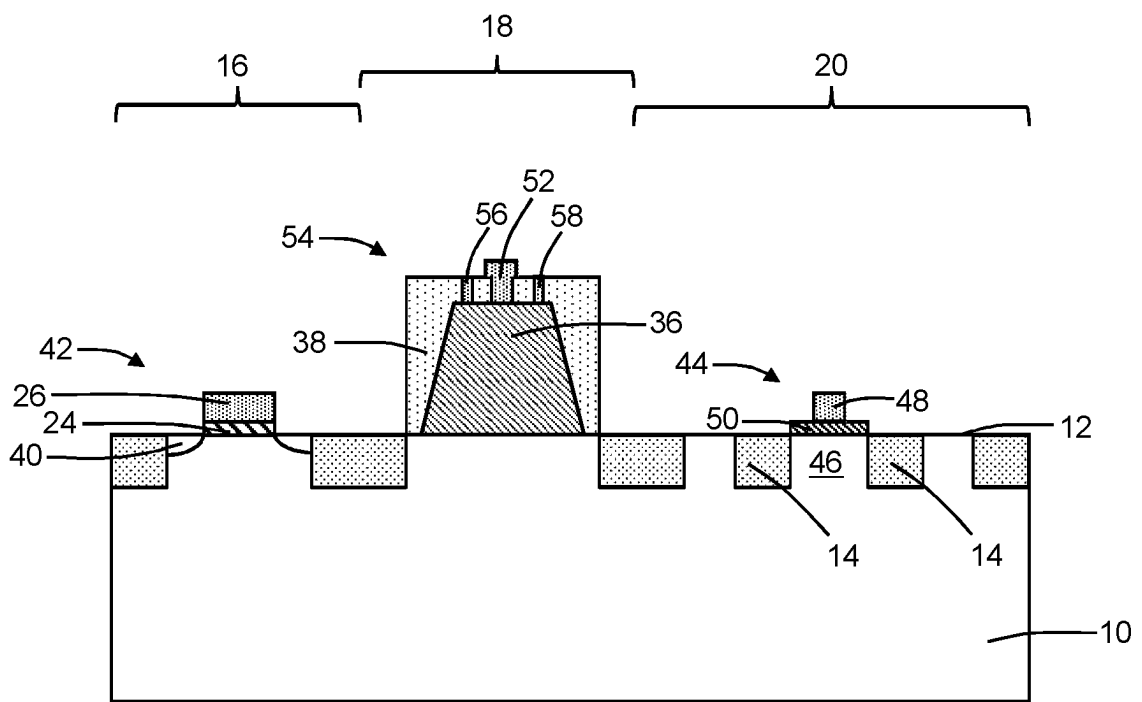


FIG. 10