



(10) **DE 10 2018 104 004 B4** 2021.06.02

(12) **Patentschrift**

(21) Aktenzeichen: **10 2018 104 004.0**  
(22) Anmeldetag: **22.02.2018**  
(43) Offenlegungstag: **13.06.2019**  
(45) Veröffentlichungstag  
der Patenterteilung: **02.06.2021**

(51) Int Cl.: **H01L 29/78 (2006.01)**  
**H01L 29/49 (2006.01)**

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:

<b>62/591,895</b>	<b>29.11.2017</b>	<b>US</b>
<b>15/884,614</b>	<b>31.01.2018</b>	<b>US</b>

(72) Erfinder:

**Liu, Max, Hsinchu, TW; Peng, Yen-Ming, Hsinchu, TW; Ho, Wei-Shuo, Hsinchu, TW**

(73) Patentinhaber:

**Taiwan Semiconductor Manufacturing Co., Ltd., Hsinchu, TW**

(56) Ermittelter Stand der Technik:

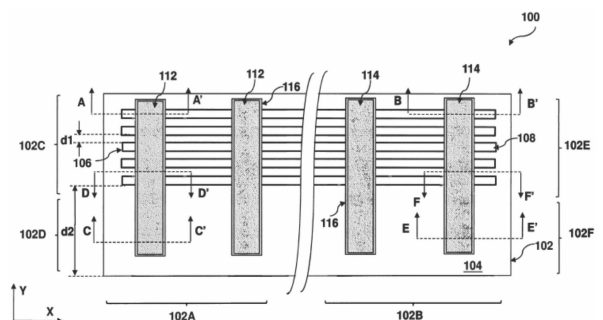
<b>DE</b>	<b>10 2016 101 112</b>	<b>A1</b>
<b>US</b>	<b>2017 / 0 317 177</b>	<b>A1</b>

(74) Vertreter:

**BOEHMERT & BOEHMERT Anwaltspartnerschaft mbB - Patentanwälte Rechtsanwälte, 28209 Bremen, DE**

(54) Bezeichnung: **Gate-Struktur und Verfahren mit verbessertem Gate-Kontakt und verbesserter Schwellenspannung**

(57) Hauptanspruch: Halbleiterstruktur (100): ein Halbleitersubstrat (102), das ein erstes Gebiet (102C) und ein zweites Gebiet (102D) aufweist, das dem ersten Gebiet (102C) benachbart ist; erste Finnen (106), die auf dem Halbleitersubstrat (102) innerhalb des ersten Gebiets (102 C) gebildet sind; ein erstes Shallow-Trench-Isolation, STI, -Element (104), das auf dem Halbleitersubstrat (102) innerhalb des zweiten Gebiets (102D) angeordnet ist; und einen ersten Gate-Stapel (112), der ein erstes Segment, das direkt auf den ersten Finnen (106) innerhalb des ersten Gebiets (102C) angeordnet ist, und ein zweites Segment umfasst, das sich zu dem ersten STI-Element (104) innerhalb des zweiten Gebiets (102D) erstreckt, wobei das zweite Segment des ersten Gate-Stapels (112) eine erste Tantal-Titanitridschicht (206), eine Titan-Aluminiumnitridschicht (208), eine zweite Tantal-Titanitridschicht (210) und ein Metall mit niedrigem Widerstand, Low Resistance Metal - LRM, (212) umfasst, die vom Substrat her der Reihe nach gestapelt sind, wobei das erste Segment des ersten Gate-Stapels (112) innerhalb des ersten Gebiets (102 C) frei von der LRM-Schicht (212) ist.



**Beschreibung**

## ALLGEMEINER STAND DER TECHNIK

**[0001]** Eine integrierte Schaltung wird auf einem Halbleitersubstrat gebildet und umfasst verschiedene Vorrichtungen, wie beispielsweise Transistoren, Dioden und/oder Widerstände, die zu einer Funktionsschaltung miteinander verbunden sind. Insbesondere umfasst die integrierte Schaltung ferner Feldeffekttransistoren, wie beispielsweise Metalloxid-Halbleiter-FETs (MOSFETs) oder Komplementär-MOSFETs, die jeweils eine Gate-Elektrode zum Steuern des Kanalgebiets des entsprechenden FET umfassen. Wenn eine Halbleitervorrichtung, wie beispielsweise ein MOSFET, durch verschiedene Technologieknoten maßstäblich verkleinert wird, werden High-k-Dielektrika und Metall angewandt, um einen Gate-Stapel zu bilden. In einem Verfahren zum Bilden von Metall-Gate-Stapeln für n-Typ-MOS-Transistoren (nMOS) und p-Typ-MOS-Transistoren (pMOS) können indes beim Integrieren der Prozesse und Materialien zu diesem Zweck verschiedene Probleme auftreten. Wenn zum Beispiel ein Füllmetall zum Bilden des Metall-Gates verwendet wird, kann dies zu einer unbeabsichtigten Erhöhung der Schwellenspannung des Transistors führen. Ferner verursacht die Ungleichförmigkeit des Metall-Gates eine Schwankung bei der Vorrichtungsleistung. Somit sind zum Herstellen verschiedener Vorrichtungen in einem selben Substrat Faktoren, wie die Herstellungskosten, die Materialintegration und die Vorrichtungsleistung (wie beispielsweise die Transistorschwellenspannung und der Kontaktwiderstand), alle zu berücksichtigen. Daher ist es wünschenswert, über eine neue Vorrichtungsstruktur und das Verfahren zu deren Herstellung zu verfügen, um den vorhergehenden Sorgen mit erhöhter Schaltungsleistung zu begegnen.

**[0002]** Stand der Technik zum Gegenstand der Erfindung ist beispielsweise zu finden in den Druckschriften DE 10 2016 101 112 A1, US 2017 / 0 317 177 A1, US 2006 / 0 261 398 A1, US 2017 / 0 162 575 A1 und US 2015 / 0 270 177 A1.

## Figurenliste

**[0003]** Gesichtspunkte der vorliegenden Offenbarung sind bei der Lektüre der folgenden detaillierten Beschreibung im Zusammenhang mit den begleitenden Figuren am besten verständlich. Es sei betont, dass verschiedene Merkmale gemäß der Standardpraxis in der Branche nicht maßstabsgetreu sind. Tatsächlich kann es sein, dass die Abmessungen der verschiedenen Merkmale der Verständlichkeit der Erörterung halber beliebig vergrößert oder verkleinert wurden.

**Fig. 1A** ist eine Draufsicht über eine Halbleitervorrichtungsstruktur, die gemäß verschiedenen Gesichtspunkten der vorliegenden Offenbarung konstruiert ist, in einer Ausführungsform.

**Fig. 1B** und **Fig. 1C** sind Querschnittsansichten der Halbleiterstruktur von **Fig. 1A** gemäß einigen Ausführungsformen entlang den gestrichelten Linien AA' beziehungsweise BB'.

**Fig. 2** und **Fig. 3** sind Querschnittsansichten der Halbleiterstruktur von **Fig. 1A** gemäß einigen Ausführungsformen entlang den gestrichelten Linien CC' beziehungsweise EE'.

**Fig. 4** und **Fig. 5** sind Querschnittsansichten der Halbleiterstruktur von **Fig. 1A** entlang der gestrichelten Linie DD' gemäß verschiedenen Ausführungsformen.

**Fig. 6** und **Fig. 7** sind Querschnittsansichten der Halbleiterstruktur von **Fig. 1A** entlang der gestrichelten Linie FF' gemäß verschiedenen Ausführungsformen.

**Fig. 8** ist ein Ablaufdiagramm eines Verfahrens zum Herstellen der Halbleiterstruktur gemäß einigen Ausführungsformen.

**Fig. 9** ist ein Ablaufdiagramm eines Verfahrens zum Herstellen von Metall-Gate-Stapeln der Halbleiterstruktur gemäß einigen Ausführungsformen.

**Fig. 10A** ist eine Draufsicht der Halbleiterstruktur, die gemäß verschiedenen Gesichtspunkten der vorliegenden Offenbarung konstruiert ist, in einer Herstellungsstufe.

**Fig. 10B** ist eine Querschnittsansicht der Halbleiterstruktur von **Fig. 10A**, die gemäß verschiedenen Gesichtspunkten der vorliegenden Offenbarung konstruiert ist, entlang der gestrichelten Linie AA'.

**Fig. 11-A** ist eine Draufsicht der Halbleiterstruktur, die gemäß verschiedenen Gesichtspunkten der vorliegenden Offenbarung konstruiert ist, in einer Herstellungsstufe.

**Fig. 11B** ist eine Querschnittsansicht der Halbleiterstruktur von **Fig. 11A**, die gemäß verschiedenen Gesichtspunkten der vorliegenden Offenbarung konstruiert ist, entlang der gestrichelten Linie AA'.

**Fig. 12A**, **Fig. 13A** und **Fig. 14A** sind Draufsichten der Halbleiterstruktur, die gemäß verschiedenen Gesichtspunkten der vorliegenden Offenbarung konstruiert ist, in verschiedenen Herstellungsstufen.

**Fig. 12B**, **Fig. 13B** und **Fig. 14B** sind Querschnittsansichten der Halbleiterstruktur entlang der gestrichelten Linie AA', die gemäß verschiedenen Gesichtspunkten der vorliegenden Offen-

barung konstruiert ist, in jeweils verschiedenen Herstellungsstufen.

**Fig. 12C, Fig. 13C und Fig. 14C** sind Querschnittsansichten der Halbleiterstruktur entlang der gestrichelten Linie BB', die gemäß verschiedenen Gesichtspunkten der vorliegenden Offenbarung konstruiert ist, in jeweils verschiedenen Herstellungsstufen.

**Fig. 15A** ist eine Draufsicht der Halbleiterstruktur, die gemäß verschiedenen Gesichtspunkten der vorliegenden Offenbarung konstruiert ist, in einer Herstellungsstufe.

**Fig. 15B und Fig. 15C** sind Querschnittsansichten der Halbleiterstruktur von **Fig. 15A** gemäß einigen Ausführungsformen entlang den gestrichelten Linien AA' beziehungsweise BB'.

**Fig. 16A** ist eine Draufsicht der Halbleiterstruktur, die gemäß verschiedenen Gesichtspunkten der vorliegenden Offenbarung konstruiert ist, in einer Herstellungsstufe.

**Fig. 16B, Fig. 16C, Fig. 16D und Fig. 16E** sind Querschnittsansichten der Halbleiterstruktur von **Fig. 16A** gemäß einigen Ausführungsformen entlang den gestrichelten Linien AA', BB', CC' beziehungsweise DD'.

**Fig. 17A** ist eine Draufsicht der Halbleiterstruktur, die gemäß verschiedenen Gesichtspunkten der vorliegenden Offenbarung konstruiert ist, in einer Herstellungsstufe.

**Fig. 17B und Fig. 17C** sind Querschnittsansichten der Halbleiterstruktur von **Fig. 17A** gemäß einigen Ausführungsformen entlang den gestrichelten Linien AA' beziehungsweise BB'.

**Fig. 18A** ist eine Draufsicht der Halbleiterstruktur, die gemäß verschiedenen Gesichtspunkten der vorliegenden Offenbarung konstruiert ist, in einer Herstellungsstufe.

**Fig. 18B und Fig. 18C** sind Querschnittsansichten der Halbleiterstruktur von **Fig. 18A** gemäß einigen Ausführungsformen entlang den gestrichelten Linien AA' beziehungsweise BB'.

#### DETAILLIERTE BESCHREIBUNG

**[0004]** **Fig. 1A** ist eine Querschnittsansicht einer Halbleiterstruktur (oder eines Werkstücks) **100**, die gemäß verschiedenen Gesichtspunkten der vorliegenden Offenbarung konstruiert ist, in einer Ausführungsform. **Fig. 1B** ist eine Querschnittsansicht der Halbleiterstruktur **100** gemäß einigen Ausführungsformen in einem Abschnitt entlang der gestrichelten Linien AA'. **Fig. 1C** ist eine Querschnittsansicht der Halbleiterstruktur **100** gemäß einigen Ausführungsformen in einem Abschnitt entlang der gestrichelten Linien BB'. Die Halbleiterstruktur **100** und das Verfahren zu deren Herstellung sind gemeinsam unter

Bezugnahme auf **Fig. 1A bis Fig. 1C** und andere Figuren beschrieben. In einigen Ausführungsformen ist die Halbleiterstruktur **100** auf aktiven Finnengebieten gebildet und umfasst Fin-Feldeffekttransistoren (Fin-FETs). In einigen Ausführungsformen ist die Halbleiterstruktur **100** auf ebenen aktiven Finnengebieten gebildet und umfasst flache Fin-Feldeffekttransistoren (FinFETs). Die Halbleiterstruktur **100** umfasst einen FET mit Dual-Gate-Dielektrikum, der ein n-Typ-, p-Typ-, ein Komplementär-MOSFET sein kann, der sowohl einen n-Typ-FET (nFET) als auch einen p-Typ-FET (pFET) aufweist. Als ein rein veranschaulichendes aber nicht einschränkendes Beispiel ist der FET mit Dual-Gate-Dielektrikum ein nFET.

**[0005]** Die Halbleiterstruktur **100** umfasst ein Substrat **102**. Das Substrat **102** umfasst ein Bulk-Siliziumsubstrat. Alternativ kann das Substrat **102** einen Elementhalbleiter, wie beispielsweise Silizium oder Germanium in einer kristallinen Struktur; einen Verbindungshalbleiter, wie beispielsweise Siliziumgermanium, Siliziumcarbid, Galliumarsenid, Galliumphosphid, Indiumphosphid, Indiumarsenid und/oder Indiumantimonid; oder Kombinationen davon umfassen. Mögliche Substrate **102** umfassen auch ein Silicon-on-Insulator-Substrat (SOI). SOI-Substrate werden unter Verwendung von Separation by Implantation of Oxygen (SIMOX), Waferbonden und/oder anderer zweckmäßiger Verfahren hergestellt.

**[0006]** Das Substrat **102** umfasst auch verschiedene Isolationsmerkmale, wie beispielsweise die Isolationsmerkmale **104**, die auf dem Substrat **102** gebildet sind und verschiedene aktive Gebiete auf dem Substrat **102** definieren, wie beispielsweise die ersten aktiven Gebiete **106** in einem ersten Gebiet **102A** und die zweiten aktiven Gebiete **108** in einem zweiten Gebiet **102B**. In der vorliegenden Ausführungsform sind die ersten aktiven Gebiete **106** für verschiedene darauf zu bildende nFETs gestaltet; und die zweiten aktiven Gebiete **108** sind für verschiedene darauf zu bildende pFETs gestaltet. Das Isolationsmerkmal **104** verwendet Isolationstechnologie, wie beispielsweise lokale Oxidation von Silizium (Local Oxidation of Silicon - LOCOS) und/oder Shallow-Trench-Isolation (STI), um die verschiedenen aktiven Gebiete zu definieren und elektrisch zu isolieren. Das Isolationsmerkmal **104** umfasst Siliziumoxid, Siliziumnitrid, Siliziumoxinitrid, andere zweckmäßige dielektrische Materialien oder Kombinationen davon. Das Isolationsmerkmal **104** wird durch irgendeinen zweckmäßigen Prozess gebildet. Als ein Beispiel umfasst das Bilden von STI-Merkmalen einen Lithographieprozess, um einen Abschnitt des Substrats zu belichten, das Ätzen eines Grabens in den belichteten Abschnitt des Substrats (zum Beispiel unter Verwendung eines Trockenätzens und/oder Nassätzens), das Füllen des Grabens (zum Beispiel unter Verwendung eines chemischen Gasphasenabscheidungsprozesses) mit einem oder mehreren dielektrischen Materialien und

das Planarisieren des Substrats und Entfernen überschüssiger Abschnitte des/der dielektrischen Materials/Materialien durch einen Polierprozess, wie beispielsweise einen Prozess zum chemisch-mechanischen Polieren (CMP). In einigen Beispielen kann der gefüllte Graben eine mehrschichtige Struktur aufweisen, wie beispielsweise eine thermische Oxid-Auskleidungsschicht und Füllschicht/en aus Siliziumnitrid oder Siliziumoxid.

**[0007]** Die aktiven Gebiete (wie beispielsweise **106** und **108**) sind diejenigen Gebiete mit Halbleiterfläche, in denen verschiedene dotierte Merkmale an einer oder mehreren Vorrichtungen, wie beispielsweise einer Diode, einem Transistor und/oder anderen zweckmäßigen Vorrichtungen gebildet und ausgebildet sind. Die aktiven Gebiete können ein Halbleitermaterial, das demjenigen des Bulk-Halbleitermaterials des Substrats **102** ähnlich ist (wie beispielsweise Silizium), oder unterschiedliches Halbleitermaterial, wie beispielsweise Siliziumgermanium (SiGe), Siliziumcarbid (SiC) oder mehrere Halbleitermaterialschichten (wie beispielsweise abwechselnd Silizium- und Siliziumgermaniumschichten), die durch epitaktisches Wachstum auf dem Substrat **102** gebildet sind, zur Leistungsverbesserung umfassen, wie beispielsweise Verspannungseffekt zur Erhöhung der Trägerbeweglichkeit. Die ersten aktiven Gebiete **106** und die zweiten aktiven Gebiete **108** weisen jeweils eine längliche Form auf, die in die X-Richtung ausgerichtet ist. Die X-Richtung ist orthogonal zur Y-Richtung, wobei sowohl die X- als auch die Y-Richtung die obere Fläche des Substrats **102** definieren. Die obere Fläche weist eine normale Richtung entlang der Z-Richtung auf, die orthogonal zu sowohl der X- als auch der Y-Richtung ist.

**[0008]** In der vorliegenden Ausführungsform sind die aktiven Gebiete **106** und **108** dreidimensional, wie beispielsweise aktive Finnengebiete, die über dem Substrat **102** extrudiert sind. Die aktiven Finnengebiete werden von dem Substrat **102** extrudiert und stellen eine dreidimensionale Profilbildung für eine wirksamere Kopplung zwischen dem Kanalgebiet (oder einfach als Kanal bezeichnet) und der Gate-Elektrode bereit. Die aktiven Finnengebiete können durch selektives Ätzen zum Vertiefen der Isolationsmerkmale **104** oder selektives epitaktisches Wachstum zum Wachsen aktiver Gebiete mit einem Halbleiter, der der gleiche wie derjenige des Substrats **102** ist, oder einer Kombination davon gebildet werden. Die ersten aktiven Finnengebiete **106** und die zweiten aktiven Finnengebiete **108** werden einfach als erste Finnen **106** beziehungsweise zweite Finnen **108** bezeichnet.

**[0009]** Die ersten Finnen **106** sind in dem ersten Gebiet **102A** angeordnet und sind einem Isolationsmerkmal mit großen Abmessungen benachbart. Somit ist das erste Gebiet **102A** ferner in zwei Unterge-

biete unterteilt: ein Zwischenfinnengebiet **102C** und ein Isolationsgebiet **102D**. Das Zwischenfinnengebiet **102C** und das Isolationsgebiet **102D** unterscheiden sich im Wesentlichen in der Strukturdicke und aus diesem Grund im Herstellungsverhalten. In dem Zwischenfinnengebiet **102C** sind die ersten Finnen **106** dicht mit kleinen Lücken zwischen den benachbarten Finnen ausgestaltet. Obgleich die Isolationsmerkmale **104** immer noch in den Finnenlücken des Zwischenfinnengebiets vorhanden sind, sind die Abmessungen (wie beispielsweise  $d_1$  in **Fig. 1A**) dieser Lücken entlang der Y-Richtung im Wesentlichen kleiner als die Abmessung  $d_2$  des Isolationsmerkmals **104** in dem Isolationsmerkmal **102D**. In einigen Beispielen ist das Verhältnis  $d_2/d_1$  größer als 5. In einigen Beispielen ist das Verhältnis  $d_2/d_1$  größer als 10. In dem Zwischenfinnengebiet **102C** ist die Anzahl der ersten Finnen **106** gemäß einigen Ausführungsformen größer als 5.

**[0010]** Auf ähnliche Weise ist das zweite Gebiet **102A** auch in zwei Untergebiete unterteilt: ein Zwischenfinnengebiet **102E** und ein Isolationsgebiet **102F**. Das Zwischenfinnengebiet **102E** und das Isolationsgebiet **102F** unterscheiden sich auf eine dem ersten Gebiet **102A** ähnliche Weise im Wesentlichen in der Strukturdicke. Insbesondere sind in dem Zwischenfinnengebiet **102E** die zweiten Finnen **108** dicht mit kleinen Lücken zwischen den benachbarten Finnen ausgestaltet. Die Abmessungen dieser Lücken entlang der Y-Richtung sind im Wesentlichen kleiner als die Abmessung des Isolationsmerkmals **104** in dem Isolationsgebiet **102F**, derart, dass das Verhältnis zwischen diesen zwei Abmessungen gemäß verschiedenen Beispielen größer als 5 oder größer als 10 sein kann. In dem Zwischenfinnengebiet **102E** ist die Anzahl der zweiten Finnen **108** gemäß einigen Ausführungsformen größer als 5.

**[0011]** Das Halbleitersubstrat **102** umfasst ferner verschiedene dotierte Merkmale, wie beispielsweise n-typ-dotierte Wannen, p-typ-dotierte Wannen, Source und Drain, andere dotierte Merkmale oder eine Kombination davon, die ausgestaltet sind, um verschiedene Vorrichtungen oder Bauelemente der Vorrichtungen zu bilden. In der vorliegenden Ausführungsform umfasst das Halbleitersubstrat **102** eine dotierte Wanne **110** eines ersten Typs in dem ersten Gebiet **102A**. Die dotierte Wanne **110** ist mit einem p-Typ-Dotierstoff dotiert (und wird daher als p-Wanne bezeichnet). Die p-Wanne **110** ist in den ersten Finnen **106** gebildet. Der Dotierstoff (wie beispielsweise Bor) in der p-Wanne **110** kann durch Ionenimplantation oder eine andere zweckmäßige Technologie in die ersten Finnen **106** eingeführt werden. Zum Beispiel kann die p-Wanne **110** durch ein Verfahren gebildet werden, das das Bilden einer strukturierten Maske mit einer Öffnung auf dem Substrat **102**, wobei die Öffnung das Gebiet für die p-Wanne **110** definiert; und das Durchführen einer Ionenimplantation zum

Einführen eines p-Typ-Dotierstoffs (wie beispielsweise Bor) in die ersten Finnen **106** unter Verwendung der strukturierten Maske als eine Implantationsmaske umfasst. Die strukturierte Maske kann eine strukturierte Resist-Schicht, die durch Lithographie gebildet ist, oder eine strukturierte harte Maske sein, die durch Abscheidung, einen Lithographieprozess und Ätzen gebildet ist.

**[0012]** Auf ähnliche Weise kann das Halbleitersubstrat **102** eine dotierte Wanne **111** von einem zweiten Typ in dem zweiten Gebiet **102A** umfassen, wobei die Leitfähigkeit des zweiten Typs derjenigen des ersten Typs entgegengesetzt ist. In dem vorliegenden Beispiel ist die dotierte Wanne **111** mit einem n-Typ-Dotierstoff dotiert (und wird daher als eine n-Wanne bezeichnet). Die n-Wanne **111** ist in den zweiten Finnen **108** gebildet. Der Dotierstoff (wie beispielsweise Phosphor) in der n-Wanne **111** kann durch Ionenimplantation oder eine andere zweckmäßige Technologie in die zweiten Finnen **108** eingeführt werden.

**[0013]** Die Halbleiterstruktur **100** umfasst ferner einen ersten Gate-Stapel **112**, der in dem ersten Gebiet **102A** angeordnet ist und eine längliche Form aufweist, die in die Y-Richtung ausgerichtet ist. Der erste Gate-Stapel **112** ist auf den ersten Finnen **106** in dem Zwischenfingengebiet **102C** angeordnet und erstreckt sich ununterbrochen von dem Zwischenfingengebiet **102C** zu dem Isolationsgebiet **102D**. Der erste Gate-Stapel **112** umfasst eine dielektrische Gate-Schicht und eine darauf gebildete Gate-Elektrode. Ferner weist der erste Gate-Stapel **112** unterschiedliche Strukturen in dem Zwischenfingengebiet **102C** und dem Isolationsgebiet **102D** auf, was in der Folge mit weiteren Details beschrieben wird. Der Gate-Spacer **116** kann ferner auf den Seitenwänden des ersten Gate-Stapels **112** gebildet werden. In einigen Beispielen umfasst der Gate-Spacer **116** Siliziumoxid, Siliziumnitrid, Siliziumoxinitrid, anderes zweckmäßiges dielektrisches Material oder eine Kombination davon. Der Gate-Spacer **116** kann eine mehrschichtige Struktur aufweisen und kann durch Abscheiden von dielektrischem Material und dann anisotropes Ätzen, wie beispielsweise Plasmaätzen, gebildet werden.

**[0014]** Die Halbleiterstruktur **100** umfasst ferner einen zweiten Gate-Stapel **114**, der in dem zweiten Gebiet **102B** angeordnet ist, und eine längliche Form aufweist, die in die Y-Richtung ausgerichtet ist. Der zweite Gate-Stapel **114** ist auf den zweiten Finnen **108** in dem Zwischenfingengebiet **102E** angeordnet und erstreckt sich ununterbrochen von dem Zwischenfingengebiet **102E** zu dem Isolationsgebiet **102F**. Der zweite Gate-Stapel **114** umfasst eine dielektrische Gate-Schicht und eine darauf gebildete Gate-Elektrode. Der zweite Gate-Stapel **114** unterscheidet sich von dem ersten Gate-Stapel **112**. Ferner weist der zweite Gate-Stapel **114** unterschied-

liche Strukturen in dem Zwischenfingengebiet **102E** und dem Isolationsgebiet **102F** auf. Der Gate-Spacer **116** kann ferner auf den Seitenwänden des zweiten Gate-Stapels **114** gebildet werden. Der erste Gate-Stapel **112** und der zweite Gate-Stapel **114** werden in einem Gate-Last-Prozess gebildet, in dem zuerst Dummy-Gate-Stapel gebildet und dann durch ein Verfahren, das Ätzen, Abscheidung und Polieren umfasst, durch Metall-Gate-Stapel ersetzt werden.

**[0015]** Der erste Gate-Stapel **112** und der zweite Gate-Stapel **114** werden ferner mit Details unter Bezugnahme auf **Fig. 2** bis **Fig. 7** beschrieben, die Querschnittsansichten der Halbleiterstruktur **100** in einem Abschnitt sind, der gemäß verschiedenen Gesichtspunkten der vorliegenden Offenbarung konstruiert ist. Genauer gesagt, ist **Fig. 2** eine Querschnittsansicht des ersten Gate-Stapels **112** in dem Isolationsgebiet **102D** entlang der gestrichelten Linie CC'; **Fig. 3** ist eine Querschnittsansicht des zweiten Gate-Stapels **114** in dem Isolationsgebiet **102F** entlang der gestrichelten Linie EE'; **Fig. 4** und **Fig. 5** sind Querschnittsansichten des ersten Gate-Stapels **112** in dem Zwischenfingengebiet **102C** entlang der gestrichelten Linie DD' in der Lücke zwischen den benachbarten Finnen gemäß verschiedenen Ausführungsformen; und **Fig. 6** und **Fig. 7** sind Querschnittsansichten des zweiten Gate-Stapels **114** in dem Zwischenfingengebiet **102E** entlang der gestrichelten Linie FF' in der Lücke zwischen den benachbarten Finnen gemäß verschiedenen Ausführungsformen. Der erste Gate-Stapel **112** und der zweite Gate-Stapel **114** sind in der Folge zum Vergleich parallel beschrieben.

**[0016]** Der erste Gate-Stapel **112** umfasst ein erstes Segment in dem Isolationsgebiet **102D** und ein zweites Segment in dem Zwischenfingengebiet **102C**. Das erste Segment des ersten Gate-Stapels **112** in dem Isolationsgebiet **102D** ist in **Fig. 2** veranschaulicht. Der erste Gate-Stapel **112** in dem ersten Segment umfasst eine dielektrische Gate-Schicht **202** und eine Gate-Elektrode. Die dielektrische Gate-Schicht **202** kann ein dielektrisches Material umfassen, wie beispielsweise Siliziumoxid, Siliziumnitrid, Siliziumoxinitrid, ein High-k-Dielektrikum. In der vorliegenden Ausführungsform ist die dielektrische Gate-Schicht eine Schicht aus einem High-k-Dielektrikum, wie beispielsweise Metalloxid, Metallnitrid oder Metalloxinitrid. In verschiedenen Beispielen umfasst die Schicht aus High-k-Dielektrikum Metalloxid:  $ZrO_2$ ,  $Al_2O_3$  und  $HfO_2$ , das durch ein zweckmäßiges Verfahren gebildet wird, wie beispielsweise metallorganische chemische Gasphasenabscheidung (Metal Organic Chemical Vapor Deposition - MOCVD), physikalische Gasphasenabscheidung (PVD), Atomlagenabscheidung (ALD) oder Molekularstrahlepitaxie (MBE). In einigen Ausführungsformen wird die dielektrische Gate-Schicht **202** in einem High-k-last-Prozess gebildet, derart, dass die dielektrische Schicht

U-förmig ist und die Gate-Elektrode von der unteren Fläche und den Seitenwänden umgibt. Die dielektrische Gate-Schicht **202** kann ferner eine Grenzflächenschicht umfassen, die zwischen dem Halbleitersubstrat **102** und dem High-k-Dielektrikum angeordnet ist. Die Grenzflächenschicht umfasst Siliziumoxid, das gemäß einigen Beispielen durch ALD, thermische Oxidation oder UV-Ozon-Oxidation gebildet wird.

**[0017]** Immer noch unter Bezugnahme auf **Fig. 2** umfasst die Gate-Elektrode des ersten Gate-Stapels **112** in dem ersten Segment eine erste Tantal-Titannitridschicht **206**, eine Titan-Aluminiumnitridschicht **208** und eine zweite Tantal-Titannitridschicht **210** und eine Schicht aus Metall mit niedrigem Widerstand (Low Resistance Metal - LRM) **212**, die der Reihe nach gestapelt sind. Die erste Tantal-Titannitridschicht **206**, die Titan-Aluminiumnitridschicht **208** und die zweite Tantal-Titanschicht **210** sind alle U-förmig und um die LRM-Schicht **212** gehüllt. Die LRM-Schicht **212** umfasst ein Metall mit niedrigem Widerstand, wie beispielsweise Wolfram, Kupfer, Aluminium, Aluminiumkupferlegierung oder eine andere zweckmäßige Metall/Metall-Legierung mit niedrigem spezifischem Widerstand.

**[0018]** Der zweite Gate-Stapel **114** umfasst auch ein erstes Segment in dem Isolationsgebiet **102F** und ein zweites Segment in dem Zwischenfennengebiet **102E**. Das erste Segment des zweiten Gate-Stapels **114** in dem Isolationsgebiet **102F** ist in **Fig. 3** veranschaulicht. Der zweite Gate-Stapel **114** in dem ersten Segment umfasst eine dielektrische Gate-Schicht **202** und eine Gate-Elektrode. Die dielektrische Gate-Schicht **202** ist derjenigen des ersten Gate-Stapels **112** ähnlich. Zum Beispiel kann die dielektrische Gate-Schicht **202** ein dielektrisches Material umfassen, wie beispielsweise Siliziumoxid, Siliziumnitrid, Siliziumoxinitrid, ein High-k-Dielektrikum. In der vorliegenden Ausführungsform ist die dielektrische Gate-Schicht eine Schicht aus einem High-k-Dielektrikum, wie beispielsweise Metalloxid, Metallnitrid oder Metalloxinitrid, die durch ein zweckmäßiges Verfahren, wie beispielsweise MOCVD, PVD, ALD oder MBE, gebildet ist. In einigen Ausführungsformen kann die dielektrische Gate-Schicht **202** ferner eine Grenzflächenschicht umfassen, die zwischen dem Halbleitersubstrat **102** und dem High-k-Dielektrikum angeordnet ist.

**[0019]** Immer noch unter Bezugnahme auf **Fig. 3** umfasst die Gate-Elektrode des zweiten Gate-Stapels **114** in dem ersten Segment eine erste Tantal-Titannitridschicht **206** und eine Titan-Aluminiumnitridschicht **208**. Der zweite Gate-Stapel **114** ist indes frei von LRM und ist ferner frei von der zweiten Tantal-Titannitridschicht **210**. Die erste Tantal-Titannitridschicht **206** ist U-förmig und wird durch die dielektrische Gate-Schicht **202** umgeben, die in der vor-

liegenden Ausführungsform auch U-förmig ist. Ferner ist die Titan-Aluminiumnitridschicht **208** mit einem Leerraum (auch als Luftspalt bezeichnet) **310** gebildet, der darin definiert ist. Der erste Gate-Stapel **112** und der zweite Gate-Stapel **114** unterscheiden sich voneinander beim Vergleich des entsprechenden ersten Segments innerhalb des Isolationsgebiets, wie vorhergehend beschrieben.

**[0020]** Die ersten und zweiten Gate-Stapel in den entsprechenden Zwischenfennengebieten weisen auch unterschiedliche Strukturen auf und sind in der Folge unter Bezugnahme auf **Fig. 4** und **Fig. 5** beschrieben. Die entsprechende Struktur ist in **Fig. 4** veranschaulicht, wenn die Anzahl der ersten Finnen **106** innerhalb des Zwischenfennengebiets **102C** größer als 5 ist; und ist in **Fig. 5** veranschaulicht, wenn die Anzahl der ersten Finnen **106** innerhalb des Zwischenfennengebiets **102D** gleich 2 ist. Das zweite Segment des ersten Gate-Stapels **112** in dem Zwischenfennengebiet **102C** unterscheidet sich von dem ersten Segment.

**[0021]** Unter Bezugnahme auf **Fig. 4** umfasst das zweite Segment des ersten Gate-Stapels **112** in dem Zwischenfennengebiet **102C** die dielektrische Gate-Schicht **202**, die derjenigen des ersten Segments ähnlich ist. Zum Beispiel umfasst die dielektrische Gate-Schicht **202** eine Schicht aus einem High-k-Dielektrikum, wie beispielsweise Metalloxid, Metallnitrid oder Metalloxinitrid. Die Gate-Elektrode des ersten Gate-Stapels **112** in dem zweiten Segment umfasst die erste Tantal-Titannitridschicht **206**, die Titan-Aluminiumnitridschicht **208** und die zweite Tantal-Titannitridschicht **210**. Die Gate-Elektrode des ersten Gate-Stapels **112** in dem zweiten Segment umschließt indes einen oder mehrere weitere Leerräume, wie beispielsweise die Leerräume **402** und **404**. Wenn die Anzahl von Finnen in dem Zwischenfennengebiet **102C** größer als 5 ist, ist das zweite Segment frei von dem LRM.

**[0022]** Das zweite Segment weist in der X-Richtung ein schmales Mittelstück auf, während das erste Segment im Wesentlichen vertikale Seitenwände aufweist. Sämtliches von dem Vorhergehenden betrifft das Verfahren zur Herstellung des Gate-Stapels und den damit verbundenen Loading-Effekt. Das zweite Segment des ersten Gate-Stapels **112** innerhalb des Zwischenfennengebiets **102C** erstreckt sich auf unterschiedlichen Ebenen über unterschiedliche Abmessungen entlang der X-Richtung. Insbesondere erstreckt sich das zweite Segment über eine erste Abmessung  $a_1$  an der oberen Fläche des ersten Gate-Stapels **112**; eine zweite Abmessung  $a_2$  als die schmalste (oder Mindestabmessung) an einer bestimmten Ebene; eine dritte Abmessung  $a_3$  in der Mitte des ersten Gate-Stapels **112**; und eine vierte Abmessung  $a_4$  an der unteren Fläche des ersten Gate-Stapels **112**. Die Mindestabmessung  $a_2$  befindet sich

an der Ebene, die im Wesentlichen mit der oberen Fläche der ersten Finnen **106** übereinstimmt oder ihnen im Wesentlichen nahe ist. Es sei erwähnt, dass die obere Fläche der ersten Finnen **106** sich über der oberen Fläche der Isolationsmerkmale **104** befindet, wobei der vertikale Höhenunterschied als Finnenhöhe  $H$  bezeichnet wird, wie in **Fig. 1B** veranschaulicht. Unter den vorhergehenden Abmessungen gilt  $a_4 > a_3 > a_1 > a_2$ . In einigen Ausführungsformen ist ein erstes Verhältnis von  $a_1/a_2$  größer als 1,1; ein zweites Verhältnis von  $a_3/a_2$  ist größer als 1,2; und ein drittes Verhältnis von  $a_4/a_2$  ist größer als 1,4.

**[0023]** Wenn die Anzahl der ersten Finnen **106** gleich 2 ist, ist das erste Segment des ersten Gate-Stapels **112** innerhalb des Zwischenfennengebiets **102D** etwas unterschiedlich, wie in **Fig. 5** veranschaulicht. Die Gate-Elektrode des ersten Gate-Stapels **112** in dem zweiten Segment weist immer noch ein ähnliches schmales Mittelstück auf und umfasst die erste Tantal-Titannitridschicht **206**, die Titan-Aluminiumnitridschicht **208**, die zweite Tantal-Titannitridschicht **210** und auch die zweite LRM-Schicht **212**. Da der Leerraum **502** indes innerhalb der zweiten Tantal-Titannitridschicht **210** gebildet ist, ist die LRM-Schicht **212** nur über dem Leerraum **502** angeordnet und deckt den Leerraum **502** ab.

**[0024]** Das zweite Segment des zweiten Gate-Stapels **114** in dem Zwischenfennengebiet **102E** wird unter Bezugnahme auf **Fig. 6** beschrieben, wenn die Anzahl von Finnen in dem Zwischenfennengebiet **102E** gleich 2 ist, und unter Bezugnahme auf **Fig. 7** beschrieben, wenn die Anzahl von Finnen in dem Zwischenfennengebiet **102E** größer als 5 ist. Unter Bezugnahme auf **Fig. 7** umfasst das zweite Segment des zweiten Gate-Stapels **114** in dem Zwischenfennengebiet **102E** die dielektrische Gate-Schicht **202**, die derjenigen des ersten Segments ähnlich ist. Zum Beispiel umfasst die dielektrische Gate-Schicht **202** eine Schicht aus einem High-k-Dielektrikum, wie beispielsweise Metalloxid, Metallnitrid oder Metalloxinitrid. Die Gate-Elektrode des zweiten Gate-Stapels **114** in dem zweiten Segment umfasst die erste Tantal-Titannitridschicht **206** und die Titan-Aluminiumnitridschicht **208**; ist frei von der zweiten Tantal-Titannitridschicht **210** und der LRM-Schicht **212**; und umschließt einen oder mehrere Leerräume, wie beispielsweise einen Leerraum **702**, der eine Größe aufweist, die größer als diejenige des Leerraums **310** ist.

**[0025]** Wenn die Anzahl von Finnen in dem Zwischenfennengebiet **102E** gleich 2 ist, ist die Größe des Leerraums **602** kleiner als diejenige des Leerraums **702** aber größer als diejenige des Leerraums **310**. Das zweite Segment des zweiten Gate-Stapels **114** in dem Zwischenfennengebiet **102E** weist indes ein schmales Mittelstück (wie in **Fig. 6** und **Fig. 7** veranschaulicht) in der X-Richtung auf, während das erste Segment auf eine dem ersten Gate-Stapel **112** ähn-

liche Weise im Wesentlichen vertikale Seitenwände aufweist.

**[0026]** Erneut unter Bezugnahme auf **Fig. 1A** bis **Fig. 1C** umfasst die Halbleiterstruktur **100** ein Kanalgebiet **124**, das auf den ersten Finnen **106** gebildet ist, und unter dem ersten Gate-Stapel **112** liegt. Der Kanal **124** kann durch Ionenimplantation für die richtige Schwellenspannung oder andere Parameter abgestimmt werden. Der Kanal **124** weist einen Typ von Dotierstoff (p-Typ), der gleich demjenigen der p-Wanne **110** ist, aber in Abhängigkeit von der Anwendung und der Vorrichtungsspezifikation mit einer höheren Dotierstoffkonzentration auf.

**[0027]** Die Halbleiterstruktur **100** umfasst Source/Drain-Merkmale (S/D) (oder einfach als Source und Drain bezeichnet) **126**, die auf den ersten Finnen **106** auf entgegengesetzten Seiten des ersten Gate-Stapels **112** gebildet sind. Die S/D-Merkmale **126** sind mit n-Typ-Dotierstoff (wie beispielsweise Phosphor) dotiert. Die S/D-Merkmale **126** können durch Ionenimplantation und/oder Diffusion gebildet werden. Andere Verarbeitungsschritte können ferner zum Bilden der S/D-Merkmale eingeschlossen werden. Zum Beispiel kann ein Prozess zum schnellen thermischen Tempern (Rapid Thermal Annealing - RTA) verwendet werden, um den implantierten Dotierstoff zu aktivieren. Die S/D-Merkmale können verschiedene Dotierungsprofile aufweisen, die durch Implantation in mehreren Schritten gebildet werden. Zum Beispiel können zusätzliche Dotierungsmerkmale, wie beispielsweise leicht dotierte Drain-Gebiete (LDD) oder doppelt diffundierte Drain-Gebiete (DDD), eingeschlossen werden. Auch können die S/D-Merkmale **126** unterschiedliche Strukturen, wie beispielsweise erhöhte, vertiefte oder verspannte, aufweisen. Zum Beispiel kann die Bildung der S/D-Merkmale ein Ätzen zum Vertiefen der Source- und Drain-Gebiete; epitaktischen Wachstum zum Bilden epitaktischer S/D-Merkmale mit Dotierung vor Ort; und ein Tempern zur Aktivierung umfassen. Der Kanal **124** ist zwischen den S/D-Merkmalen **126** angeordnet.

**[0028]** Die Halbleiterstruktur **100** umfasst ein Kanalgebiet **132**, das auf den zweiten Finnen **108** definiert ist und unter dem zweiten Gate-Stapel **114** liegt. Der Kanal **132** kann durch Ionenimplantation für die richtige Schwellenspannung oder andere Parameter abgestimmt werden. Der Kanal **132** weist einen Typ von Dotierstoff (n-Typ), der gleich demjenigen der n-Wanne **111** ist, aber in Abhängigkeit von der Anwendung und der Vorrichtungsspezifikation mit einer höheren Dotierstoffkonzentration auf.

**[0029]** Die Halbleiterstruktur **100** umfasst S/D-Merkmale **134**, die auf den zweiten Finnen **108** auf entgegengesetzten Seiten des zweiten Gate-Stapels **114** gebildet sind. Die S/D-Merkmale **134** sind mit p-Typ-Dotierstoff (wie beispielsweise Bor) dotiert. Die

S/D-Merkmale **134** können durch Ionenimplantation und/oder Diffusion gebildet werden. Andere Verarbeitungsschritte, wie beispielsweise RTA, können ferner zum Bilden der S/D-Merkmale eingeschlossen werden. Die S/D-Merkmale können verschiedene Dotierungsprofile aufweisen, die durch Implantation in mehreren Schritten gebildet werden, wie beispielsweise LDD oder DDD. Auch können die S/D-Merkmale **134** unterschiedliche Strukturen, wie beispielsweise durch ein ähnliches Verfahren zum Bilden der S/D-Merkmale **126** erhöhte, vertiefte oder verspannte, aufweisen. Der Kanal **132** ist zwischen den S/D-Merkmalen **134** angeordnet.

**[0030]** In der vorliegenden Ausführungsform sind die S/D-Merkmale ein/e epitaktische/s Source und Drain. Die epitaktischen S/D-Merkmale können durch selektives epitaktisches Wachstum für den Verspannungseffekt mit verbesserter Trägermobilität und Vorrichtungsleistung gebildet werden. Die S/D-Merkmale werden durch ein oder mehrere epitaktische Wachstumsschritte (epitaktischer Prozess) gebildet, wodurch Silizium-Merkmale (Si), Siliziumgermanium-Merkmale (SiGe), Siliziumcarbid-Merkmale (SiC) und/oder andere zweckmäßige Halbleitermerkmale in einem kristallinen Zustand auf den Finnen innerhalb der Source- und Drain-Gebiete gewachsen werden (wie beispielsweise durch eine strukturierte harte Maske definiert).

**[0031]** Die Halbleiterstruktur **100** kann ferner andere Merkmale umfassen, wie beispielsweise eine Zusammenschaltungsstruktur, die ferner Metallleitungen von mehreren Metallschichten umfasst, um horizontale elektrische Verbindungen bereitzustellen; Kontakte zum Bereitstellen vertikaler Verbindungen von dem Substrat zu den Metallleitungen; und Durchkontaktierungen zum Bereitstellen vertikaler Verbindungen zwischen Metallleitungen in benachbarten Metallschichten. Die Kontakte umfassen Kontakte zu Source und Drain und Gate-Kontakt zur Gate-Elektrode. Insbesondere ist der Gate-Kontakt zum ersten Gate-Stapel **112** ausgestaltet, um an dem ersten Segment des ersten Gate-Stapels **112** innerhalb des Isolationsgebiets **102C** zu landen.

**[0032]** Der Kanal **124**, die S/D-Merkmale **126** und der erste Gate-Stapel **112** sind ausgestaltet, um einen nFET in dem ersten Gebiet **102A** zu bilden. Der Kanal **132**, die S/D-Merkmale **134** und der zweite Gate-Stapel **114** sind ausgestaltet, um einen pFET in dem zweiten Gebiet **102B** zu bilden. Aufgrund der Strukturen des nFET und pFET weist jedes Gate eine Austrittsarbeit, die mit der entsprechenden Gate-Elektrode abgestimmt ist, und eine Schwellenspannung auf, die für verbesserte Vorrichtungsleistung verringert ist. Ferner umfasst der erste Gate-Stapel **112**, wie beispielsweise der Gate-Stapel des nFET, das erste Segment innerhalb des Isolationsgebiets **102D** mit einer Struktur, die sich von dem zweiten

Segment innerhalb des Zwischenfinnengebiets **102C** unterscheidet. Das erste Segment umfasst das LRM, während das zweite Segment frei von dem LRM ist. Wenn der Gate-Kontakt angeordnet ist und auf dem ersten Segment des ersten Gate-Stapels **112** in dem Isolationsgebiet **102D** landet, wird der Kontaktwiderstand zwischen der Gate-Elektrode und dem Gate-Kontakt im Wesentlichen verringert. Das zweite Segment des ersten Gate-Stapels **112** ist auf den ersten Finnen **106** angeordnet und liegt über dem Kanalgebiet des entsprechenden nFET, wobei die Austrittsarbeit der Gate-Elektrode eine Auswirkung auf die Schwellenspannung des entsprechenden nFET aufweisen wird. Ohne das LRM in dem zweiten Segment ist die Schwellenspannung des entsprechenden nFET verringert. Wenn zum Beispiel Wolfram in dem LRM als das Füllmetall verwendet wird, weist es auch darin aufgenommenes Fluor auf. Fluor erhöht die Schwellenspannung. Die Schwellenspannung wird verringert, wenn Wolfram oder allgemein LRM von dem zweiten Segment beseitigt wird. Daher werden beim ersten Gate-Stapel **112** für nFET mit entsprechenden Strukturen für das erste Segment mit LRM in dem Isolationsgebiet **102D** und das zweite Segment ohne LRM im Zwischenfinnengebiet **102C** sowohl die Schwellenspannung als auch der Gate-Kontaktwiderstand verringert, was zur Erhöhung der Vorrichtungsleistung führt. Auf ähnliche Weise ist der zweite Gate-Stapel **114** für pFET auch mit verbesserter Vorrichtungsleistung gestaltet.

**[0033]** Fig. 8 ist ein Ablaufdiagramm des Verfahrens **800** zum Herstellen der Halbleiterstruktur **100**, die einen nFET mit dem ersten Gate-Stapel **112** und einen pFET mit dem zweiten Gate-Stapel **114** von entsprechenden Strukturen in den Isolationsgebieten und den Zwischenfinnengebieten aufweist. Das Verfahren **800** ist unter Bezugnahme auf Fig. 8 und andere Figuren beschrieben. Da eine detaillierte Beschreibung unter Bezugnahme auf die Fig. 1A bis Fig. 1C und Fig. 2 bis Fig. 7 bereitgestellt ist, wird diese in der Folge nicht noch einmal wiederholt.

**[0034]** Unter Bezugnahme auf Block **802** von Fig. 8 und Fig. 10A bis Fig. 10B umfasst das Verfahren **800** einen Arbeitsvorgang zum Bilden von Isolationsmerkmalen **104** in dem Halbleitersubstrat **102**, wodurch ein erstes aktives Gebiet **1002** in dem ersten Gebiet **102** und ein zweites aktives Gebiet **1004** in dem zweiten Gebiet **102B** gebildet wird. Fig. 10A ist eine Draufsicht über die Halbleiterstruktur **100**; und Fig. 10B ist eine Querschnittsansicht der Halbleiterstruktur **100** entlang der gestrichelten Linie AA'. In dem ersten Gebiet **102A** sind die ersten aktiven Gebiete **1002** innerhalb eines Zwischenfinnengebiets **102C** mit einem benachbarten Isolationsgebiet **102D** ausgestaltet. Auf ähnliche Weise sind in dem zweiten Gebiet **102B** die zweiten aktiven Gebiete **1004** innerhalb eines Zwischenfinnengebiets **102E** mit einem benachbarten Isolationsgebiet **102F** aus-



gestaltet. Die Bildung der Isolationsmerkmale kann das Bilden einer strukturierten Maske durch Lithographie; das Ätzen des Substrats **102** durch die Öffnungen der strukturierten Maske, um Gräben zu bilden; das Füllen des Grabens mit einem oder mehreren dielektrischen Materialien; und das Durchführen eines CMP-Prozesses umfassen. Die strukturierte Maske umfasst Öffnungen zum Definieren der Gebiete für die Isolationsmerkmale **104**. Die strukturierte Maskenschicht kann eine weiche Maske (wie beispielsweise eine Photoresist-Schicht) oder eine harte Maske (wie beispielsweise Siliziumoxid, Siliziumnitrid oder eine Kombination davon) sein. Die Bildung der strukturierten harten Maske kann das Abscheiden einer harten Maskenschicht, das Bilden einer strukturierten Resist-Schicht durch einen Lithographieprozess, der ferner das Aufspleudern einer Resist-Schicht umfasst, das Durchführen eines Belichtungsprozesses, das Entwickeln der belichteten Resist-Schicht, das Ätzen der harten Maske durch die Öffnungen der strukturierten Resist-Schicht und das Entfernen der strukturierten Resist-Schicht durch Nassablösung oder Plasmaätzen umfassen.

**[0035]** Unter Bezugnahme auf den Block **804** von **Fig. 8** und **Fig. 11A** bis **Fig. 11B** umfasst das Verfahren **800** ferner einen Arbeitsvorgang zum Bilden von ersten aktiven Finnengebieten (einfach als erste Finnen bezeichnet) **106** und zweiten aktiven Finnengebieten (einfach als zweite Finnen bezeichnet) **108**, die über den Isolationsmerkmalen **104** extrudiert werden. **Fig. 11A** ist eine Draufsicht über die Halbleiterstruktur **100**; und **Fig. 11B** ist eine Querschnittsansicht der Halbleiterstruktur **100** entlang der gestrichelten Linien AA'. Diese aktiven Finnengebiete werden gemeinsam auch als eine Finnenstruktur bezeichnet. In einigen Ausführungsformen kann die Finnenstruktur durch selektives Ätzen zum Vertiefen der Isolationsmerkmale **104** gebildet werden. In einigen Ausführungsformen kann die Finnenstruktur durch selektives epitaktisches Wachstum an den aktiven Gebieten mit einem oder mehreren Halbleitermaterialien gebildet werden. In noch einigen anderen Ausführungsformen kann die Finnenstruktur durch ein hybrides Verfahren gebildet werden, das sowohl selektives Ätzen zum Vertiefen als auch selektives epitaktisches Wachstum aufweist. Die Finnenstruktur kann eine längliche Form aufweisen, die entlang der X-Richtung ausgerichtet ist. Das epitaktisch gewachsene Halbleitermaterial kann Silizium, Germanium, Siliziumgermanium, Siliziumkarbid oder ein anderes zweckmäßiges Halbleitermaterial umfassen. Der selektive Ätzprozess kann Nassätzen, Trockenätzen, anderes zweckmäßiges Ätzen oder eine Kombination davon umfassen.

**[0036]** Erneut unter Bezugnahme auf Block **806** von **Fig. 8** und **Fig. 11A** bis **Fig. 11B** kann das Verfahren **800** einen Arbeitsvorgang zum Bilden von dotierten Wannen umfassen, wie beispielsweise einer dotier-

ten Wanne **110** auf den ersten Finnen **106** innerhalb des ersten Gebiets **102A** und einer dotierten Wanne **111** auf den zweiten Finnen **108** innerhalb des zweiten Gebiets **102B**. In der vorliegenden Ausführungsform ist die dotierte Wanne **110** eine p-typ-dotierte Wanne (p-Wanne), wo der p-Typ-Dotierstoff (wie beispielsweise Bor) durch eine zweckmäßige Technologie, wie beispielsweise Ionenimplantation, in die ersten **106** Finnen eingeführt wird; und die dotierte Wanne **111** ist eine n-typ-dotierte Wanne (n-Wanne), wo der n-Typ-Dotierstoff (wie beispielsweise Phosphor) durch eine zweckmäßige Technologie in die zweiten **108** Finnen eingeführt wird.

**[0037]** Unter Bezugnahme auf Block **808** von **Fig. 8** und **Fig. 12A** bis **Fig. 12C** wird das Verfahren **800** mit einem Arbeitsvorgang fortgesetzt, um den Dummy-Gate-Stapel auf dem Substrat **102** zu bilden, wie beispielsweise den/die ersten Dummy-Gate-Stapel **1202** in dem ersten Gebiet **102A** und den/die zweiten Dummy-Gate-Stapel **1204** in dem zweiten Gebiet **102B**. **Fig. 12A** ist eine Draufsicht über die Halbleiterstruktur **100**; **Fig. 12B** ist eine Querschnittsansicht der Halbleiterstruktur **100** in einem Abschnitt entlang der gestrichelten Linie AA'; und **Fig. 12C** ist eine Querschnittsansicht der Halbleiterstruktur **100** in einem Abschnitt entlang der gestrichelten Linie BB', die gemäß einigen Gesichtspunkten der vorliegenden Offenbarung konstruiert ist. Die Dummy-Gate-Stapel **1202** und **1204** können eine dielektrische Gate-Schicht, wie beispielsweise Siliziumoxid, ein High-k-Dielektrikum oder anderes zweckmäßiges dielektrisches Material oder eine Kombination davon umfassen. Die Dummy-Gate-Stapel **1202** und **1204** umfassen auch die Gate-Elektrode aus irgendeinem zweckmäßigen leitfähigen Material, wie beispielsweise dotiertem Polysilizium. Die Dummy-Gate-Stapel **1202** und **1204** werden durch Abscheidungen und Strukturierungsprozesse gebildet, die ferner einen Lithographieprozess und Ätzen umfassen. In der vorliegenden Ausführungsform umfasst das Verfahren zum Bilden der Dummy-Gate-Stapel das Bilden einer thermischen Oxidschicht auf den Finnen durch thermische Oxidation; das Abscheiden einer Polysiliziumschicht durch CVD; das Bilden einer strukturierten Maskenschicht **1202** durch einen Photolithographieprozess; und das Durchführen eines Ätzprozesses an den abgeschiedenen Dummy-Gate-Materialien. Die strukturierte Maske umfasst Öffnungen zum Definieren der Gebiete für die ersten und zweiten Dummy-Gate-Stapel. Die strukturierte Maskenschicht **1202** kann eine weiche Maske (wie beispielsweise eine Photoresist-Schicht) oder eine harte Maske (wie beispielsweise Siliziumoxid, Siliziumnitrid oder eine Kombination davon) sein, die mit ähnlichen Prozessen zum Bilden der harten Maske für die Isolationsmerkmale **104** während des Arbeitsvorgangs **802** gebildet werden.

**[0038]** Während des Arbeitsvorgangs **808** wird der Gate-Spacer **116** auch auf Seitenwänden der Dummy-Gate-Stapel (**1202** und **1204**) gebildet. Der Gate-Spacer **116** umfasst ein oder mehrere dielektrische Materialien, wie beispielsweise Siliziumoxid oder Siliziumnitrid. Die Bildung des Gate-Spacers **116** kann das Abscheiden von einer oder mehreren Schichten aus dielektrischem Material auf den Dummy-Gate-Stapeln; und das Durchzuführen eines anisotropen Ätzprozesses an der Schicht aus dielektrischem Material umfassen. In einigen Beispielen umfasst der anisotrope Ätzprozesses Trockenätzen unter Verwendung eines zweckmäßigen Ätzmittels.

**[0039]** Unter Bezugnahme auf Block **810** von **Fig. 8** und **Fig. 13A** bis **Fig. 13C** umfasst das Verfahren **800** einen Arbeitsvorgang zum Bilden verschiedener S/D-Merkmale, wie beispielsweise der S/D-Merkmal **126** in dem ersten Gebiet **102A** und der S/D-Merkmal **134** in dem zweiten Gebiet **102B**. **Fig. 13A** ist eine Draufsicht über die Halbleiterstruktur **100**; **Fig. 13B** ist eine Querschnittsansicht der Halbleiterstruktur **100** in einem Abschnitt entlang der gestrichelten Linie AA'; und **Fig. 13C** ist eine Querschnittsansicht der Halbleiterstruktur **100** in einem Abschnitt entlang der gestrichelten Linie BB', die gemäß einigen Gesichtspunkten der vorliegenden Offenbarung konstruiert ist. Die S/D-Merkmale **126** sind durch den Kanal **124**, der unter dem Gate-Stapel **1202** liegt, zwischengelegt. Die S/D-Merkmale **126** sind mit einem n-Typ-Dotierstoff, wie beispielsweise Phosphor, dotiert. Der Kanal **124** ist mit einem p-Typ-Dotierstoff, wie beispielsweise Bor, dotiert. Auf ähnliche Weise sind die S/D-Merkmale **134** durch den Kanal **132**, der unter dem Gate-Stapel **1204** liegt, zwischengelegt. Die S/D-Merkmale **134** sind mit einem p-Typ-Dotierstoff, wie beispielsweise Bor, dotiert. Der Kanal **132** ist mit einem n-Typ-Dotierstoff, wie beispielsweise Phosphor, dotiert. Die S/D-Merkmale werden durch mehrere Schritte gebildet und zwei Typen von Source- und Drain-Merkmalen werden getrennt gebildet.

**[0040]** In einigen Ausführungsformen sind die Source und der Drain ein/e epitaktische/s Source und Drain. Die/der epitaktische/n Source und Drain können durch selektives epitaktisches Wachstum für den Verspannungseffekt mit verbesserter Trägermobilität und Vorrichtungsleistung gebildet werden. Die/der Source und Drain werden durch ein oder mehrere epitaktische Wachstumsschritte (epitaktischer Prozess) gebildet, wodurch Silizium-Merkmale (Si) Siliziumgermanium-Merkmale (SiGe), Siliziumcarbid-Merkmale (SiC) und/oder andere zweckmäßige Halbleitermerkmale in einem kristallinen Zustand innerhalb der Source- und Drain-Gebiete gewachsen werden (wie beispielsweise durch eine strukturierte harte Maske definiert). In einer alternativen Ausführungsform wird ein Ätzprozess angewandt, um Abschnitte des ersten aktiven Gebiets **106** vor dem epitaktischen

Wachstum innerhalb der Source- und Drain-Gebiete zu vertiefen. Der Ätzprozesses kann auch dielektrisches Material entfernen, das auf den Source/ Drain-Gebieten, wie beispielsweise bei der Bildung der Gate-Seitenwandmerkmale, abgeschieden wird. Zweckmäßige Epitaxieprozesse umfassen CVD-Abscheidungstechnologien (z. B. Gasphasenepitaxie (Vapor-Phase Epitaxy - VPE) und/oder Ultrahochvakuum-Gasphasenabscheidung (UHV-CVD), Molekularstrahlepitaxie und/oder andere zweckmäßige Prozesse. Die Source- und Drain-Merkmale können während des Epitaxieprozesses vor Ort durch Einführen von Dotierstoffspezies, wie beispielsweise n-Typ-Dotierstoffen (z. B. Phosphor oder Arsen) für die S/D-Merkmale **126** oder p-Typ-Dotierstoffen (z. B. Bor oder  $\text{BF}_2$ ) für die S/D-Merkmale **134** dotiert werden. Wenn die Source und der Drain nicht vor Ort dotiert werden, wird ein Implantationsprozess (d. h. ein Übergangsimplantationsprozess) durchgeführt, um den entsprechenden Dotierstoff in die Source und den Drain einzuführen. In einigen anderen Ausführungsformen werden die/der erhöhte/n Source und Drain durch epitaktisches Wachstum mit mehr als einer Halbleitermaterialschicht gebildet. Zum Beispiel wird eine Siliziumgermaniumschicht epitaktisch auf den ersten Finnen **106** gewachsen, um die S/D-Merkmale **126** zu bilden; und eine Siliziumschicht oder ein Siliziumkarbid wird epitaktisch auf den zweiten Finnen **108** gewachsen, um die S/D-Merkmale **134** zu bilden.

**[0041]** Unter Bezugnahme auf Block **812** von **Fig. 8** und **Fig. 13A** bis **Fig. 13C** umfasst das Verfahren **800** einen Arbeitsvorgang zum Bilden einer dielektrischen Zwischenschicht (Inter-Layer Dielectric - ILD) **136** auf der Halbleiterstruktur **100**. Die ILD-Schicht **136** umfasst ein oder mehrere dielektrische Materialien, um Isolationsfunktionen für verschiedene Vorrichtungsbaulemente bereitzustellen. Die ILD-Schicht **136** umfasst ein dielektrisches Material, wie beispielsweise Siliziumoxid, ein Low-k-Dielektrikum, anderes zweckmäßiges dielektrisches Material oder eine Kombination davon. In einigen Beispielen umfasst das Low-k-Dielektrikum Fluorsilikatglas (FSG), mit Kohlenstoff dotiertes Siliziumoxid, Xerogel, Aerogel, amorphen fluorierten Kohlenstoff, Parylene, BCB (Bis-Benzocyclobutene), SiLK (Dow Chemical, Midland, Michigan), Polyimid und/oder andere zweckmäßige dielektrische Materialien mit einer Dielektrizitätskonstante, die im Wesentlichen niedriger ist als diejenige des thermischen Siliziumoxids. Die Bildung der ILD-Schicht **136** umfasst zum Beispiel Abscheidung und CMP. Die Abscheidung kann Aufschleudern, CVD, eine andere zweckmäßige Abscheidungstechnologie oder eine Kombination davon umfassen. Der CMP-Prozess kann auf der harten Maske **1202** unter Verwendung der harten Maske als Polierstoppschicht gestoppt werden und dann wird die harte Maske durch Ätzen entfernt. Alternativ wird auch die harte Maske **1202** durch CMP entfernt. Nach dem

CMP werden die Dummy-Gate-Stapel durch die ILD-Schicht **136** aufgedeckt.

**[0042]** Unter Bezugnahme auf Block **814** von **Fig. 8** und **Fig. 14A** bis **Fig. 14C** umfasst das Verfahren **800** einen Arbeitsvorgang zum Bilden von Metall-Gate-Stapeln **112** und **114** zum Ersetzen der Dummy-Gate-Stapel **1202** beziehungsweise **1204**. **Fig. 14A** ist eine Draufsicht über die Halbleiterstruktur **100**; **Fig. 14B** ist eine Querschnittsansicht der Halbleiterstruktur **100** in einem Abschnitt entlang der gestrichelten Linie AA'; und **Fig. 14C** ist eine Querschnittsansicht der Halbleiterstruktur **100** in einem Abschnitt entlang der gestrichelten Linie BB', die gemäß einigen Gesichtspunkten der vorliegenden Offenbarung konstruiert ist. Die Bildung der Metall-Gate-Stapel umfasst Ätzen, Abscheidung und CMP. Detailliertere Beschreibungen werden unter Bezugnahme auf **Fig. 9** als ein Ablaufdiagramm des Verfahrens **814** bereitgestellt.

**[0043]** Unter Bezugnahme auf den Block **902** von **Fig. 9** und **Fig. 15A** bis **Fig. 15C** beginnt das Verfahren **814** mit einem Arbeitsvorgang zum Durchführen eines ersten Ätzprozesses zum Entfernen der Dummy-Gate-Stapel **1202** und **1204**, was die Gate-Gräben **1502** und **1504** ergibt. **Fig. 15A** ist eine Draufsicht über die Halbleiterstruktur **100**; **Fig. 15B** ist eine Querschnittsansicht der Halbleiterstruktur **100** in einem Abschnitt in dem Isolationsgebiet entlang der gestrichelten Linie AA'; und **Fig. 15C** ist eine Querschnittsansicht der Halbleiterstruktur **100**, die gemäß einigen Gesichtspunkten der vorliegenden Offenbarung konstruiert ist, in einem Abschnitt in dem Zwischenfennengebiet entlang der gestrichelten Linie BB'. Der erste Ätzprozess umfasst einen oder mehrere Ätzschritte mit einem zweckmäßigen Ätzmittel und kann Trockenätzen, Nassätzen oder eine Kombination davon umfassen. Zum Beispiel kann das Nassätzen Fluorwasserstoffsäure oder eine Ammoniak-Wasserstoffperoxid-Wasser-Mischung verwenden, die eine Lösung ist, die  $\text{NH}_4\text{OH}$ ,  $\text{H}_2\text{O}_2$  und  $\text{H}_2\text{O}$  umfasst. Mit dem Ätz-Loading-Effekt weisen die Segmente eines Dummy-Gate-Stapels in dem entsprechenden Isolationsgebiet und Zwischenfennengebiet unterschiedliche Ätzeigenschaften auf. Zum Beispiel weist unter Bezugnahme auf den ersten Dummy-Gate-Stapel **1202** das Segment des Dummy-Gate-Stapels **1202** in dem Zwischenfennengebiet **102C** aufgrund des hohen unebenen Profils in dem Zwischenfennengebiet **102C** der entsprechende Abschnitt des Gate-Grabens **1502** in dem Zwischenfennengebiet **102C** ein unebenes Profil und ein schmales Mittelstück auf, wie in **Fig. 15C** veranschaulicht, während der Abschnitt des Gate-Grabens **1502** in dem Isolationsgebiet **102D** ein im Wesentlichen vertikales Profil aufweist, wie in **Fig. 15B** veranschaulicht. In dem zweiten Gebiet **102B** umfasst/umfassen der/die Gate-Graben/Gräben **1504** auch zwei Abschnitte in dem Isolationsgebiet **102F** beziehungsweise dem

Zwischenfennengebiet **102E** mit ähnlichen Strukturen.

**[0044]** Nach der Bildung der Gate-Gräben **1502** und **1504** kann eine dielektrische Gate-Schicht **202** in den Gate-Gräben durch Abscheidung gebildet werden, wie in **Fig. 16A** bis **Fig. 16E** veranschaulicht. **Fig. 16A** ist eine Draufsicht über die Halbleiterstruktur **100**; **Fig. 16B** ist eine Querschnittsansicht der Halbleiterstruktur **100** in einem Abschnitt in dem Isolationsgebiet **102D** entlang der gestrichelten Linie AA'; **Fig. 16C** ist eine Querschnittsansicht der Halbleiterstruktur **100** in einem Abschnitt in dem Zwischenfennengebiet **102C** entlang der gestrichelten Linie BB'; **Fig. 16D** ist eine Querschnittsansicht der Halbleiterstruktur **100** in einem Abschnitt in dem Isolationsgebiet **102F** entlang der gestrichelten Linie CC'; und **Fig. 16E** ist eine Querschnittsansicht der Halbleiterstruktur **100**, die gemäß einigen Gesichtspunkten der vorliegenden Offenbarung konstruiert ist, in einem Abschnitt in dem Zwischenfennengebiet **102E** entlang der gestrichelten Linie DD'. Die dielektrische Gate-Schicht **202** kann eine High-k-Dielektrikumschicht umfassen oder kann zusätzlich eine Grenzflächenschicht, wie beispielsweise eine Siliziumoxidschicht, umfassen. Die dielektrische Gate-Schicht **202** kann durch eine zweckmäßige Technologie, die ALD, MOCVD, PVD, MBE einschließt, eine andere zweckmäßige Technologie oder eine Kombination davon gebildet werden. In der vorliegenden Ausführungsform wird die dielektrische Gate-Schicht **202** in einem High-k-last-Prozess gebildet und die dielektrische Gate-Schicht **202** ist in den Gate-Gräben **1502** beziehungsweise **1504** U-förmig.

**[0045]** Unter Bezugnahme auf Block **904** von **Fig. 9** und **Fig. 16A** bis **Fig. 16C** wird das Verfahren **814** mit einem Arbeitsvorgang zum Abscheiden einer ersten Tantal-Titannitridschicht **206** in den Gate-Gräben **1502** und **1504** durch ein zweckmäßiges Verfahren, wie beispielsweise PVD oder eine andere zweckmäßige Abscheidungstechnologie, fortgesetzt.

**[0046]** Unter Bezugnahme auf den Block **906** von **Fig. 9** und **Fig. 16A** bis **Fig. 16E** wird das Verfahren **814** mit einem Arbeitsvorgang zum Abscheiden der Titan-Aluminiumnitridschicht **208** in den Gate-Gräben **1502** und **1504** durch ein zweckmäßiges Verfahren, wie beispielsweise PVD oder irgendeine andere zweckmäßige Abscheidungstechnologie, fortgesetzt. Der Arbeitsvorgang **906** ist gestaltet, um die Gräben **1502** und **1504** im Wesentlichen zu füllen. Es sei erwähnt, dass verschiedene Materialschichten auf der ILD-Schicht **136** abgeschieden werden können, obgleich **Fig. 16B** bis **Fig. 16E** dies nicht zeigen. Nach dem Arbeitsvorgang **906** wird der Gate-Zwischenstapel **1602** in dem ersten Gebiet **102A** gebildet und der Gate-Stapel **114** wird in dem zweiten Gebiet **102B** gebildet. In der vorliegenden Ausführungsform umfasst der Gate-Zwischenstapel **1602** einen Luftspalt, der in

der Titan-Aluminiumnitridschicht **208** gebildet ist, wie beispielsweise den Luftspalt **402** in dem Isolationsgebiet **102D**, der durch das schmale Mittelstücksprofil und die Tatsache verursacht wird, dass die Abscheidung vor dem vollständigen Füllen des Gate-Grabens abgeschlossen wird. Auf ähnliche Weise umfasst auch der zweite Gate-Stapel **114** einen Luftspalt **310** in dem Isolationsgebiet **102F** und kann ferner einen Luftspalt **602** in dem Zwischenfinnengebiet **102E** umfassen.

**[0047]** Unter Bezugnahme auf Block **908** von **Fig. 9** und **Fig. 17A** bis **Fig. 17C** wird das Verfahren **814** mit einem Arbeitsvorgang zum Bilden einer strukturierten Maskenschicht **1702** fortgesetzt, die das zweite Gebiet **102B** abdeckt und das erste Gebiet **102A** freilegt. **Fig. 17A** ist eine Draufsicht über die Halbleiterstruktur **100**; **Fig. 17B** ist eine Querschnittsansicht der Halbleiterstruktur **100** in einem Abschnitt in dem Isolationsgebiet **102D** entlang der gestrichelten Linie AA'; und **Fig. 17C** ist eine Querschnittsansicht der Halbleiterstruktur **100**, die gemäß einigen Gesichtspunkten der vorliegenden Offenbarung konstruiert ist, in einem Abschnitt in dem Zwischenfinnengebiet **102C** entlang der gestrichelten Linie BB'. Die strukturierte Maskenschicht **1702** kann eine weiche Maske, wie beispielsweise eine strukturierte Resist-Schicht, die durch einen Lithographieprozess gebildet ist; oder eine strukturierte harte Maskenschicht sein, wie beispielsweise eine strukturierte Siliziumnitridschicht, die durch einen Lithographieprozess und Ätzen gebildet wird.

**[0048]** Unter Bezugnahme auf Block **910** von **Fig. 9** und **Fig. 17A** bis **Fig. 17C** wird das Verfahren **814** mit einem Arbeitsvorgang zum Durchführen eines zweiten Ätzprozesses an der Halbleiterstruktur in dem ersten Gebiet **102A** fortgesetzt, während das zweite Gebiet **102B** durch die strukturierte Maskenschicht **1702** geschützt wird. Der zweite Ätzprozess kann Nassätzen, Trockenätzen oder eine andere zweckmäßige Ätztechnologie mit einem richtigen Ätzmittel zum partiellen Entfernen der Titan-Aluminiumnitridschicht **208** von dem Zwischen-Gate-Stapel **1602** in dem ersten Gebiet **102A** umfassen, was einen Graben **1704** in dem Isolationsgebiet **102D** und einen Graben **1706** in dem Zwischenfinnengebiet **102C** ergibt. Die strukturierte Maske **1702** kann nach dem zweiten Ätzprozess entfernt werden oder kann in einer späteren Herstellungsstufe entfernt werden, da die anschließenden Abscheidungen keine Auswirkungen auf den zweiten Gate-Stapel **114** haben werden, da er bereits gefüllt ist.

**[0049]** Unter Bezugnahme auf Block **912** von **Fig. 9** und **Fig. 18A** bis **Fig. 18C** wird das Verfahren **814** mit einem Arbeitsvorgang zum Abscheiden einer zweiten Tantal-Titannitridschicht **210** in den Gräben **1704** und **1706** durch ein zweckmäßiges Verfahren, wie beispielsweise PVD oder eine andere zweckmäßi-

ge Abscheidungstechnologie, fortgesetzt. **Fig. 18A** ist eine Draufsicht über die Halbleiterstruktur **100**; **Fig. 18B** ist eine Querschnittsansicht der Halbleiterstruktur **100** in einem Abschnitt in dem Isolationsgebiet **102D** entlang der gestrichelten Linie AA'; und **Fig. 18C** ist eine Querschnittsansicht der Halbleiterstruktur **100**, die gemäß einigen Gesichtspunkten der vorliegenden Offenbarung konstruiert ist, in einem Abschnitt in dem Zwischenfinnengebiet **102C** entlang der gestrichelten Linie BB'.

**[0050]** Unter Bezugnahme auf Block **914** von **Fig. 9** und **Fig. 18A** bis **Fig. 18C** wird das Verfahren **814** mit einem Arbeitsvorgang zum Abscheiden einer LRM-Schicht **212** in dem ersten Gebiet **102A** durch ein zweckmäßiges Verfahren, wie beispielsweise PVD oder eine andere zweckmäßige Abscheidungstechnologie, fortgesetzt. In einigen Ausführungsformen umfasst die LRM-Schicht **212** Wolfram, Kupfer, Aluminium, Aluminium-Kupfer-Legierung oder eine Kombination davon. Die LRM-Schicht **212** füllt das Segment des ersten Gate-Stapels **112** in der Isolation **102D** vollständig und füllt das Segment des ersten Gate-Stapels **112** in dem Zwischenfinnengebiet **102C** im Wesentlichen, was einen Leerraum **404** auf dem oberen Abschnitt zur Folge haben kann.

**[0051]** Unter Bezugnahme auf Block **916** von **Fig. 9** und **Fig. 18A** bis **Fig. 18C** wird das Verfahren **814** mit einem Arbeitsvorgang zum Durchführen eines CMP-Prozesses zum Entfernen der überschüssigen Abschnitte der abgeschiedenen Materialien und Planarisieren der oberen Fläche der Halbleiterstruktur **100** fortgesetzt. Der CMP-Prozess entfernt die abgeschiedenen Materialien auf der ILD-Schicht **136** vollständig. Die strukturierte Maskenschicht **1702** kann zusätzlich durch den CMP-Prozess entfernt werden oder kann alternativ durch einen anderen Ätzprozess entfernt werden, wenn die strukturierte Maskenschicht **1702** nicht vorhergehend entfernt wird. So werden sowohl der erste Metall-Gate-Stapel **112** als auch der zweite Metall-Gate-Stapel **114** mit entsprechenden Strukturen gebildet, wie vorhergehend beschrieben.

**[0052]** Nun unter Bezugnahme auf **Fig. 8** kann das Verfahren **800** zusätzlich andere Arbeitsvorgänge vor, während oder nach den vorhergehend beschriebenen Arbeitsvorgängen umfassen. Zum Beispiel kann das Verfahren **800** einen Arbeitsvorgang **816** zum Bilden einer Zusammenschaltungsstruktur zum Koppeln verschiedener Merkmale des nFET, pFET und verschiedener anderer Vorrichtungen in eine integrierte Schaltung umfassen. Die Zusammenschaltungsstruktur umfasst mehrere Metallschichten mit Metallleitungen zur horizontalen Verbindung und umfasst ferner Durchkontaktierungsmerkmale zur vertikalen Verbindung zwischen benachbarten Metallschichten. Die Zusammenschaltungsstruktur umfasst ferner (ein) dielektrische/s Material/ien, wie beispiels-

weise die ILD, um Isolationsfunktionen für verschiedene darin eingebettete leitfähige Merkmale bereitzustellen. In dem vorliegenden Beispiel zur Veranschaulichung kann die Zusammenschaltungsstruktur durch eine zweckmäßige Technologie, wie beispielsweise einen Single-Damascene-Prozess, Dual-Damascene-Prozess oder einen anderen zweckmäßigen Prozess, gebildet werden. Verschiedene leitfähige Merkmale (Kontaktmerkmale, Durchkontaktierungsmerkmale und Metallleitungen) können Kupfer, Aluminium, Wolfram, Silizid, andere zweckmäßige leitfähige Materialien oder Kombinationen davon umfassen. Die ILD kann Siliziumoxid, ein Low-k-Dielektrikum, anderes zweckmäßiges dielektrisches Material oder eine Kombination davon umfassen. Die ILD kann mehrere Schichten umfassen, von denen jede ferner eine Ätzstoppschicht (wie beispielsweise Siliziumnitrid) umfasst, um Ätzselektivität bereitzustellen. Verschiedene leitfähige Merkmale können ferner Auskleidungsschichten, wie beispielsweise Titanitrid und Titan, umfassen, um eine Barriere zur Verhinderung von Zwischendiffusion, Adhäsion oder anderer Materialintegrationseffekte bereitzustellen.

**[0053]** Die vorliegende Offenbarung stellt eine Halbleiterstruktur, die nFET und pFET mit entsprechender Gate-Struktur aufweist, und ein Verfahren zu deren Herstellung bereit. Insbesondere weist der Gate-Stapel für die nFETs ein erstes Segment in dem Isolationsgebiet und ein zweites Segment in dem Zwischenfingengebiet auf, wobei das erste Segment ein LRM umfasst, während das zweite Segment frei von dem LRM ist. Wenn der Gate-Kontakt angeordnet ist und auf dem ersten Segment des nFET-Gates landet, wird der Kontaktwiderstand zwischen der Gate-Elektrode und dem Gate-Kontakt im Wesentlichen verringert. Das zweite Segment des nFET-Gates ist auf den Finnen angeordnet und liegt über dem Kanalgebiet des entsprechenden nFET, wobei die Austrittsarbeit der Metallzusammensetzungen der Gate-Elektrode eine Auswirkung auf die Schwellenspannung des entsprechenden nFET aufweisen wird. Ohne das LRM in dem zweiten Segment ist die Schwellenspannung des entsprechenden nFET verringert. Diese Strukturen des nFET-Gates verringern sowohl die Schwellenspannung als auch den Kontaktwiderstand, wodurch die Vorrichtungsleistung verbessert wird. Ferner sind die/das offenbarte Struktur und Verfahren mit modernen Technologien mit kleineren Merkmalsgrößen, wie beispielsweise der modernen 7nm-Technologie kompatibel.

**[0054]** So stellt die vorliegende Erfindung eine Halbleiterstruktur gemäß einigen Ausführungsformen bereit. Die Halbleiterstruktur umfasst ein Halbleitersubstrat, das ein erstes Gebiet und ein zweites Gebiet aufweist, das dem ersten Gebiet benachbart ist; erste Finnen, die auf dem Halbleitersubstrat innerhalb des ersten Gebiets gebildet sind; ein erstes Shallow Trench Isolation (STI) Merkmal, das auf dem Halblei-

tersubstrat innerhalb des zweiten Gebiets angeordnet ist; und einen ersten Gate-Stapel, der ein erstes Segment, das direkt auf den Finnen innerhalb des ersten Gebiets angeordnet ist, und ein zweites Segment umfasst, das sich innerhalb des zweiten Gebiets zum ersten STI-Merkmal erstreckt. Das zweite Segment des ersten Gate-Stapels umfasst eine Schicht aus Metall mit niedrigem Widerstand (Low Resistance Metal - LRM), eine erste Tantal-Titannitridschicht, eine Titan-Aluminiumnitridschicht und eine zweite Tantal-Titannitridschicht, die der Reihe nach gestapelt sind. Das erste Segment des ersten Gate-Stapels innerhalb des ersten Gebiets ist frei von der LRM-Schicht.

**[0055]** Die vorliegende Erfindung stellt eine Halbleiterstruktur gemäß einigen Ausführungsformen bereit. Die Halbleiterstruktur umfasst ein Halbleitersubstrat, das ein erstes Gebiet und ein zweites Gebiet aufweist; erste Finnen, die auf dem Halbleitersubstrat innerhalb des ersten Gebiets angeordnet sind, und zweite Finnen, die auf dem Halbleitersubstrat innerhalb des zweiten Gebiets angeordnet sind; einen ersten Gate-Stapel, der direkt auf den ersten Finnen angeordnet ist, wobei der erste Gate-Stapel der Reihe nach ein Metall mit niedrigem Widerstand (Low Resistance Metal - LRM), eine erste Tantal-Titannitridschicht, eine Titan-Aluminiumnitridschicht und eine zweite Tantal-Titannitridschicht umfasst; und einen zweiten Gate-Stapel, der direkt auf den zweiten Finnen angeordnet ist, wobei der zweite Gate-Stapel frei von dem LRM ist und die erste Tantal-Titannitridschicht und die Titan-Aluminiumnitridschicht umfasst, wobei das LRM mindestens eines von Wolfram, Kupfer, Aluminium und Kupfer-Aluminium-Legierung umfasst.

**[0056]** Die vorliegende Erfindung stellt ein Verfahren gemäß einigen Ausführungsformen bereit. Das Verfahren umfasst das Bilden von Isolationsmerkmalen in einem Halbleitersubstrat, das Definieren erster Finnen in einem ersten Gebiet und zweiter Finnen in einem zweiten Gebiet; das Bilden eines ersten Dummy-Gate-Stapels auf den ersten Finnen und eines zweiten Dummy-Gate-Stapels auf den zweiten Finnen; das Abscheiden einer dielektrischen Zwischenschicht (Inter-Layer Dielectric - ILD) auf dem Substrat; das Entfernen der ersten und zweiten Dummy-Gate-Stapel durch einen Ätzprozess, was einen ersten Gate-Graben und einen zweiten Gate-Graben in der ILD-Schicht ergibt; das Abscheiden einer ersten Tantal-Titannitridschicht in den ersten und zweiten Gate-Gräben; das Abscheiden einer Titan-Aluminiumnitridschicht auf der ersten Tantal-Titannitridschicht, um den ersten und den zweiten Gate-Graben zu füllen; das Bilden einer strukturierten Maske zum Abdecken des zweiten Gebiets und Aufdecken des ersten Gebiets; das Durchführen eines Ätzprozesses auf der Titan-Aluminiumnitridschicht in dem ersten Gate-Graben; das Abscheiden einer zweiten

Tantal-Titannitridschicht in dem ersten Gate-Graben; und das Füllen eines Metalls mit niedrigem Widerstand in dem ersten Gate-Graben.

### Patentansprüche

1. Halbleiterstruktur (100): ein Halbleitersubstrat (102), das ein erstes Gebiet (102C) und ein zweites Gebiet (102D) aufweist, das dem ersten Gebiet (102C) benachbart ist; erste Finnen (106), die auf dem Halbleitersubstrat (102) innerhalb des ersten Gebiets (102 C) gebildet sind; ein erstes Shallow-Trench-Isolation, STI, -Element (104), das auf dem Halbleitersubstrat (102) innerhalb des zweiten Gebiets (102D) angeordnet ist; und einen ersten Gate-Stapel (112), der ein erstes Segment, das direkt auf den ersten Finnen (106) innerhalb des ersten Gebiets (102C) angeordnet ist, und ein zweites Segment umfasst, das sich zu dem ersten STI-Element (104) innerhalb des zweiten Gebiets (102D) erstreckt, wobei das zweite Segment des ersten Gate-Stapels (112) eine erste Tantal-Titannitridschicht (206), eine Titan-Aluminiumnitridschicht (208), eine zweite Tantal-Titannitridschicht (210) und ein Metall mit niedrigem Widerstand, Low Resistance Metal - LRM, (212) umfasst, die vom Substrat her der Reihe nach gestapelt sind, wobei das erste Segment des ersten Gate-Stapels (112) innerhalb des ersten Gebiets (102 C) frei von der LRM-Schicht (212) ist.

2. Halbleiterstruktur (100) nach Anspruch 1, wobei jede von den ersten Finnen (106) eine längliche Form aufweist, die in einer ersten Richtung ausgerichtet ist und sich über eine erste Abmessung entlang einer zweiten Richtung erstreckt, die orthogonal zur ersten Richtung ist; das erste STI-Element (104) sich über eine zweite Abmessung entlang der zweiten Richtung erstreckt; und die zweite Abmessung im Wesentlichen größer als die erste Abmessung ist.

3. Halbleiterstruktur (100) nach Anspruch 2, wobei das erste Segment des ersten Gate-Stapels (112) die erste Tantal-Titannitridschicht (206) und die Titan-Aluminiumnitridschicht (208) umfasst; und das erste Segment des ersten Gate-Stapels innerhalb des ersten Gebiets ferner einen Leerraum (402) definiert, der durch die Titan-Aluminiumnitridschicht (208) umgeben ist.

4. Halbleiterstruktur nach einem der vorhergehenden (100) Ansprüche, wobei das erste Segment des ersten Gate-Stapels (112) eine erste Länge  $L_1$  an einer oberen Fläche, eine zweite Länge  $L_2$  in einer Mitte und eine dritte Länge  $L_3$  an einer unteren Fläche aufweist, wobei  $L_1$  größer als  $L_2$  ist und  $L_3$  größer als  $L_2$  ist, wobei  $L_1$ ,  $L_2$  und  $L_3$  Abmessungen entlang der ersten Richtung sind.

5. Halbleiterstruktur (100) nach Anspruch 4, wobei das erste Segment des ersten Gate-Stapels (112) eine vierte Länge  $L_4$  an einer Ebene zu einer oberen Fläche der mehreren Finnen aufweist, wobei  $L_4$  kleiner als  $L_1$  ist.

6. Halbleiterstruktur (100) nach Anspruch 5, wobei ein erstes Verhältnis von  $L_1/L_4$  größer als 1,1 ist; ein zweites Verhältnis von  $L_2/L_4$  größer als 1,2 ist; und ein drittes Verhältnis von  $L_3/L_4$  größer als 1,4 ist.

7. Halbleiterstruktur (100) nach einem der vorhergehenden Ansprüche, wobei die LRM-Schicht (212) mindestens eines von Wolfram, Kupfer, Aluminium und Kupfer-Aluminium-Legierung umfasst.

8. Halbleiterstruktur (100) nach einem der vorhergehenden Ansprüche, wobei jede von den ersten Finnen (106) ferner ein n-Typ-Kanalgebiet umfasst, das mit einem p-Typ-Dotierstoff dotiert ist und unter dem ersten Gate-Stapel (112) liegt.

9. Halbleiterstruktur (100) nach Anspruch 8, die ferner Folgendes aufweist: zweite Finnen (108), die auf dem Halbleitersubstrat (102) innerhalb eines dritten Gebiets (102 E) gebildet sind; ein zweites STI-Element, das an dem Halbleitersubstrat (102) innerhalb eines vierten Gebiets (102 F) angeordnet ist; und einen zweiten Gate-Stapel (114), der direkt auf den zweiten Finnen (108) angeordnet ist, wobei der zweite Gate-Stapel (114) frei von der LRM-Schicht (212) und der zweiten Tantal-Titannitridschicht (210) ist.

10. Halbleiterstruktur (100) nach Anspruch 9, wobei die Titan-Aluminiumnitridschicht (208) des zweiten Gate-Stapels (114) mit einem darin definierten Leerraum (602, 702) geformt ist.

11. Halbleiterstruktur (100) nach Anspruch 9 oder 10, die ferner ein p-Typ-Kanalgebiet (132) umfasst, das mit einem n-Typ-Dotierstoff dotiert und in den zweiten Finnen (108) gebildet ist, wobei das p-Typ-Kanalgebiet unter dem zweiten Gate-Stapel (114) liegt.

12. Halbleiterstruktur (100) nach Anspruch 11, wobei erste Source- und Drain-Elemente (126) auf den ersten Finnen (106) durch das n-Typ-Kanalgebiet zwischengelegt gebildet sind, wobei der erste Gate-Stapel (112), die ersten Source- und Drain-Elemente (126) und der n-Typ-Kanal für einen n-Typ-Feldefekttransistor (nFET) ausgestaltet sind; und zweite Source- und Drain-Elemente auf den zweiten Finnen (108) durch das n-Typ-Kanalgebiet zwischengelegt gebildet sind, wobei der zweite Gate-Stapel (114), die zweiten Source- und Drain-Elemente und

der p-Typ-Kanal für einen p-Typ-Feldeffekttransistor (pFET) ausgestaltet sind.

13. Halbleiterstruktur (100) nach einem der vorhergehenden Ansprüche, wobei eine Anzahl der ersten Finnen (106) fünf beträgt.

14. Halbleiterstruktur (100) nach einem der vorhergehenden Ansprüche, wobei die erste Tantal-Titannitridschicht (206) in dem zweiten Segment des ersten Gate-Stapels (112) geformt ist, um die Titan-Aluminiumnitridschicht (208) von unten und Seitenwänden zu umgeben; die Titan-Aluminiumnitridschicht (208) in dem zweiten Segment des ersten Gate-Stapels (112) geformt ist, um die zweite Tantal-Titannitridschicht (210) von unten und Seitenwänden zu umgeben; und die zweite Tantal-Titannitridschicht (210) in dem zweiten Segment des ersten Gate-Stapels (112) geformt ist, um die LRM-Schicht (212) von unten und Seitenwänden zu umgeben.

15. Halbleiterstruktur (100) nach einem der vorhergehenden Ansprüche, wobei der erste Gate-Stapel (112) ferner eine erste Gate-Dielektrikum-Schicht mit einem High-k-Dielektrikum umfasst; und der zweite Gate-Stapel (114) ferner eine zweite Gate-Dielektrikum-Schicht des High-k-Dielektrikums umfasst.

16. Halbleiterstruktur (100), die Folgendes aufweist: ein Halbleitersubstrat (102), das ein erstes Gebiet (102 A) und ein zweites Gebiet (102 B) aufweist; erste Finnen (106), die auf dem Halbleitersubstrat (102) innerhalb des ersten Gebiets (102 A) angeordnet sind, und zweite Finnen (108), die auf dem Halbleitersubstrat (102) innerhalb des zweiten Gebiets (102 B) angeordnet sind; einen ersten Gate-Stapel (112), der direkt auf den ersten Finnen (106) angeordnet ist, wobei der erste Gate-Stapel (112) vom Substrat her der Reihe nach eine erste Tantal-Titannitridschicht (206), eine Titan-Aluminiumnitridschicht (208), eine zweite Tantal-Titannitridschicht (210) und ein Metall mit niedrigem Widerstand, Low Resistance Metal - LRM (212) umfasst; und einen zweiten Gate-Stapel (114), der direkt auf den zweiten Finnen (108) angeordnet ist, wobei der zweite Gate-Stapel (114) frei von dem LRM, (212) ist und die erste Tantal-Titannitridschicht (206) und die Titan-Aluminiumnitridschicht (208) umfasst, wobei das LRM (212) mindestens eines von Wolfram, Kupfer, Aluminium und Kupfer-Aluminium-Legierung umfasst.

17. Halbleiterstruktur (100) nach Anspruch 16, die ferner Folgendes aufweist:

ein n-Typ-Kanalgebiet, das auf den ersten Finnen (106) gebildet ist, wobei das n-Typ-Kanalgebiet mit einem p-Typ-Dotierstoff dotiert ist und unter dem ersten Gate-Stapel (112) liegt;

ein p-Typ-Kanalgebiet, das auf den zweiten Finnen (106) gebildet ist, wobei das p-Typ-Kanalgebiet mit einem n-Typ-Dotierstoff dotiert ist und unter dem zweiten Gate-Stapel (114) liegt;

erste Source- und Drain-Elemente, die auf den ersten Finnen (106) durch das n-Typ-Kanalgebiet zwischengelegt gebildet sind, wobei der erste Gate-Stapel (112), die ersten Source- und Drain-Elemente und der n-Typ-Kanal für einen n-Typ-Feldeffekttransistor, nFET, ausgestaltet sind; und

zweite Source- und Drain-Elemente, die auf den zweiten Finnen (108) durch das n-Typ-Kanalgebiet zwischengelegt gebildet sind, wobei der zweite Gate-Stapel (114), die zweiten Source- und Drain-Elemente und der p-Typ-Kanal für einen p-Typ-Feldeffekttransistor, pFET, ausgestaltet sind.

18. Halbleiterstruktur (100) nach Anspruch 17, wobei

jede von den ersten Finnen (106) eine längliche Form aufweist, die in einer ersten Richtung ausgerichtet ist; der erste Gate-Stapel (112) eine erste Länge  $L_1$  an einer oberen Fläche, eine zweite Länge  $L_2$  in einer Mitte und eine dritte Länge  $L_3$  an einer unteren Fläche aufweist, wobei  $L_1$  größer als  $L_2$  ist und  $L_3$  größer als  $L_2$  ist, wobei  $L_1$ ,  $L_2$  und  $L_3$  Abmessungen entlang der ersten Richtung sind.

19. Verfahren (800, 900), das Folgendes aufweist: das Bilden (802) von Isolationselementen (104) in einem Halbleitersubstrat (102), die erste Finnen (106) in einem ersten Gebiet (102 A) und zweite Finnen (108) in einem zweiten Gebiet (102 B) definieren; das Bilden (808) eines ersten Dummy-Gate-Stapels (1202) auf den ersten Finnen (106) und eines zweiten Dummy-Gate-Stapels (1204) auf den zweiten Finnen (108);

das Abscheiden (812) einer dielektrischen Zwischenschicht, Inter-Layer Dielectric - ILD, (136), auf dem Halbleitersubstrat (102);

das Entfernen (902) der ersten und zweiten Dummy-Gate-Stapel (1202, 1204) durch einen Ätzprozess, was einen ersten Gate-Graben (1502) und einen zweiten Gate-Graben (1504) in der ILD-Schicht (136) ergibt;

das Abscheiden (904) einer ersten Tantal-Titannitridschicht (206) in den ersten und zweiten Gate-Graben (1502, 1504);

das Abscheiden (906) einer Titan-Aluminiumnitridschicht (208) auf der ersten Tantal-Titannitridschicht (206), um den ersten und den zweiten Gate-Graben (1502, 1504) zu füllen;

das Bilden (908) einer strukturierten Maske (1702) zum Abdecken des zweiten Gebiets (102 B) und Aufdecken des ersten Gebiets (102 A);

das Durchführen (910) eines Ätzprozesses auf der Titan-Aluminiumnitridschicht (208) in dem ersten Gate-Graben (1502);  
das Abscheiden (912) einer zweiten Tantal-Titannitridschicht (210) in dem ersten Gate-Graben (1502)  
; und  
das Füllen (914) eines Metalls mit niedrigem Widerstand (212) in dem ersten Gate-Graben (1502).

20. Verfahren (800, 900) nach Anspruch 19, wobei das Füllen der Schicht aus Metall mit niedrigem Widerstand (212) in den ersten Gate-Graben (1502) das Abscheiden von einem von Wolfram, Kupfer, Aluminium, Kupfer-Aluminium-Legierung und einer Kombination davon umfasst.

Es folgen 30 Seiten Zeichnungen



Anhängende Zeichnungen

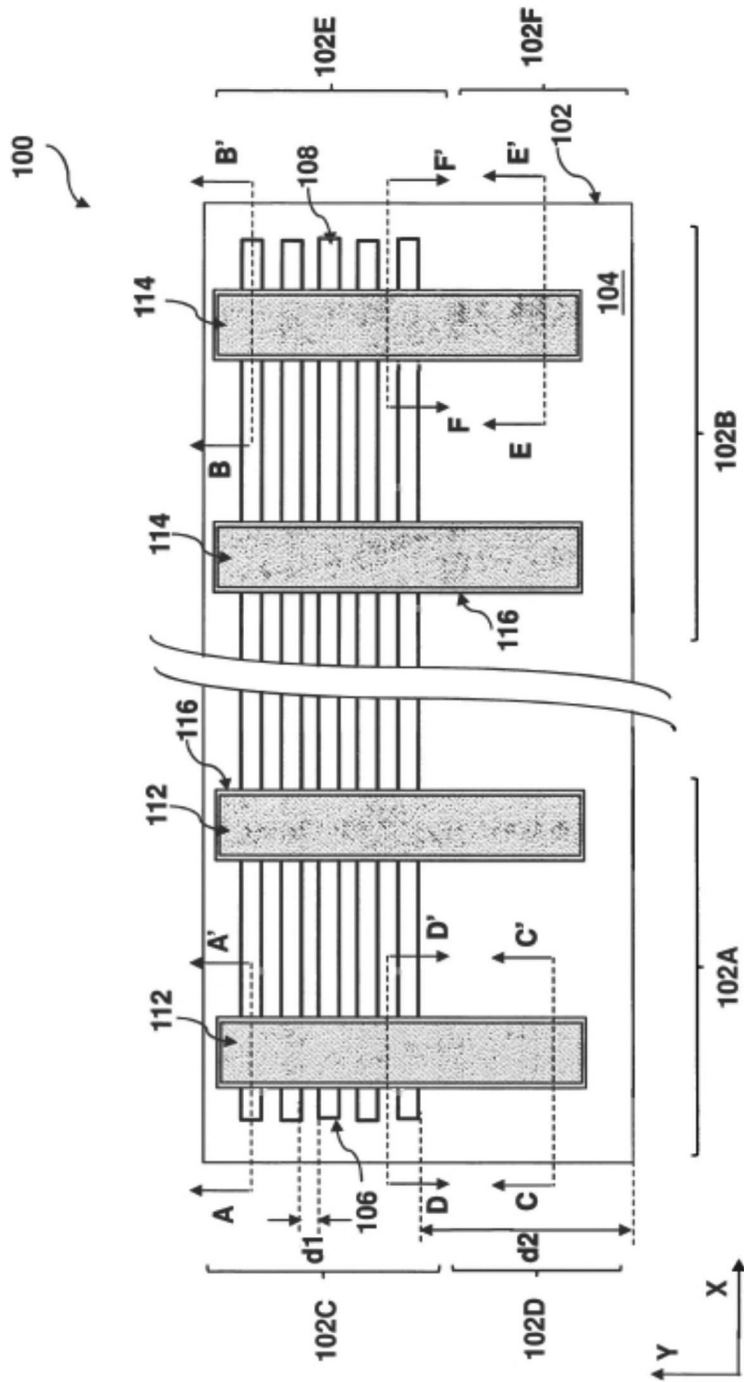


FIG. 1A

100

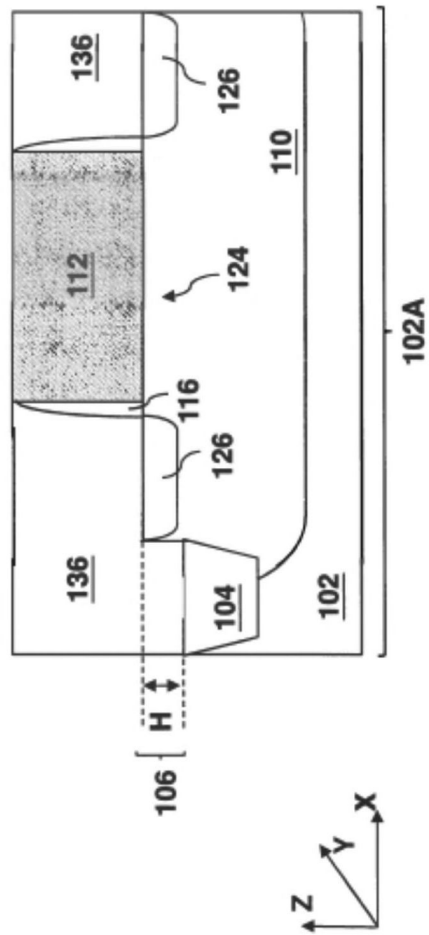


FIG. 1B

100

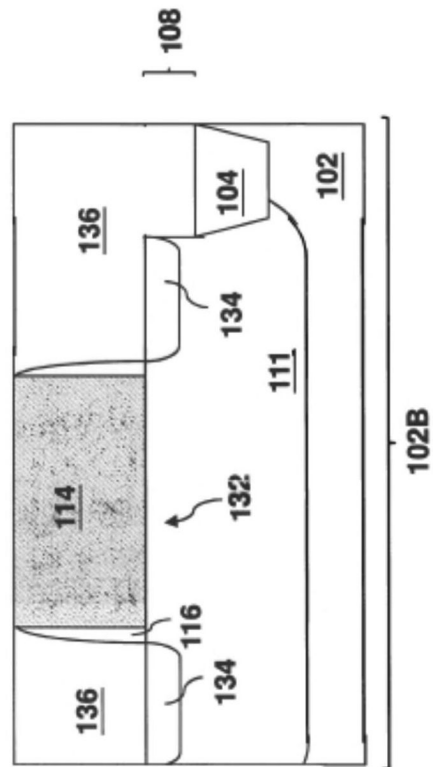


FIG. 1C

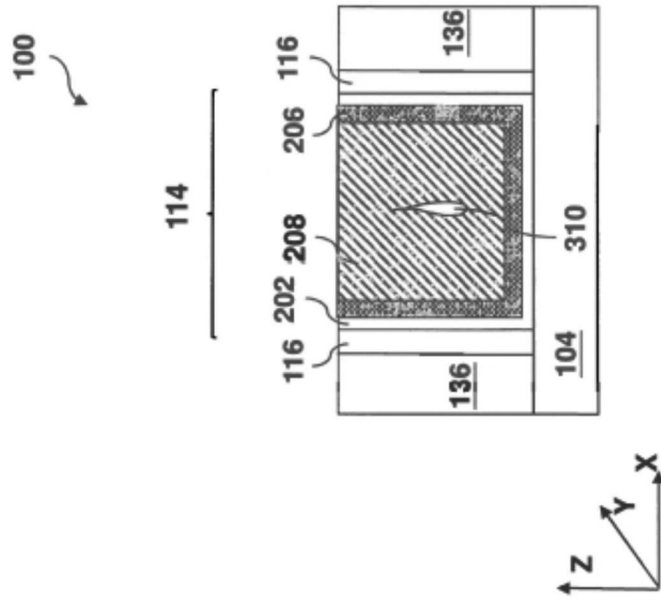


FIG. 2

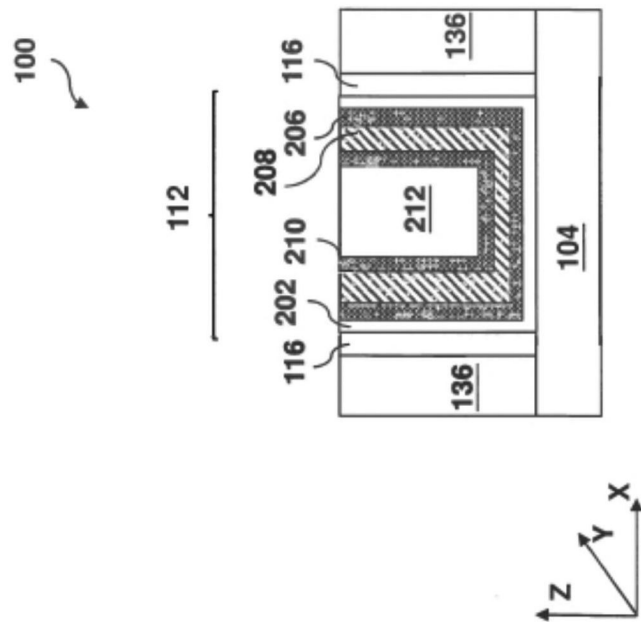


FIG. 3

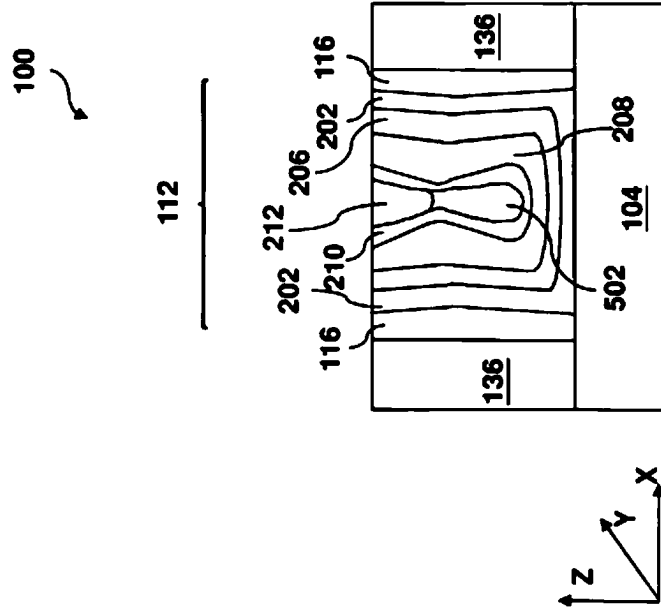


FIG. 4

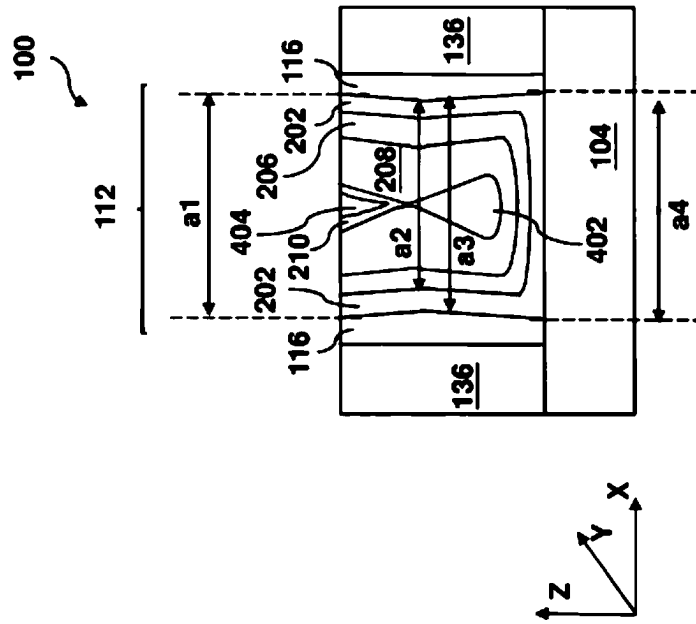


FIG. 5

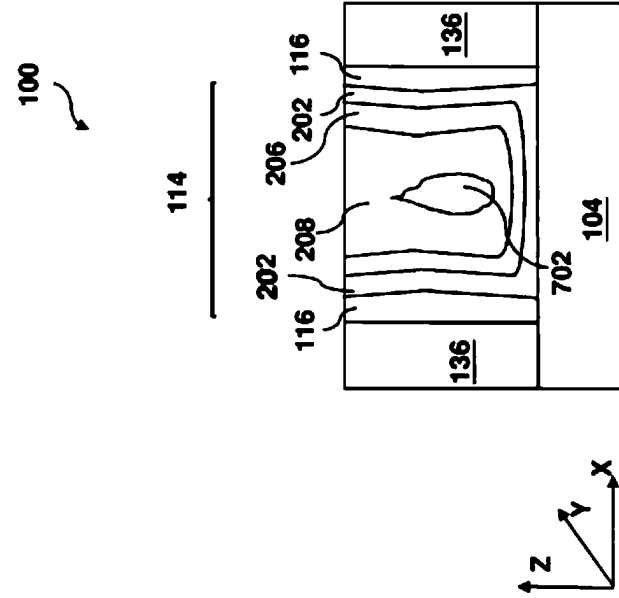


FIG. 6

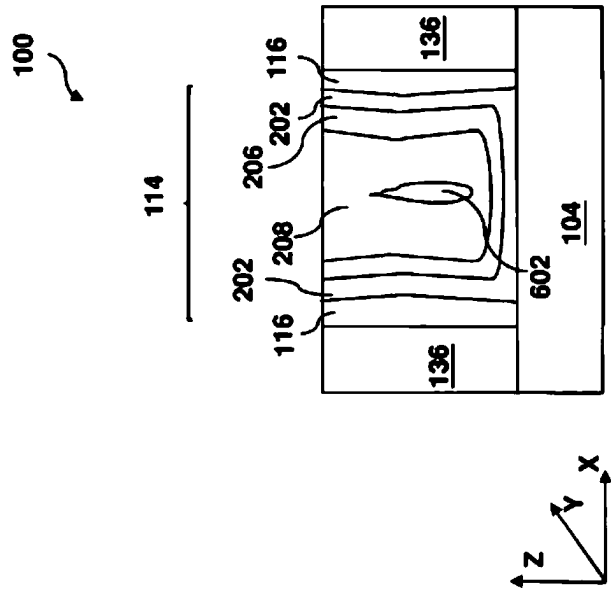


FIG. 7

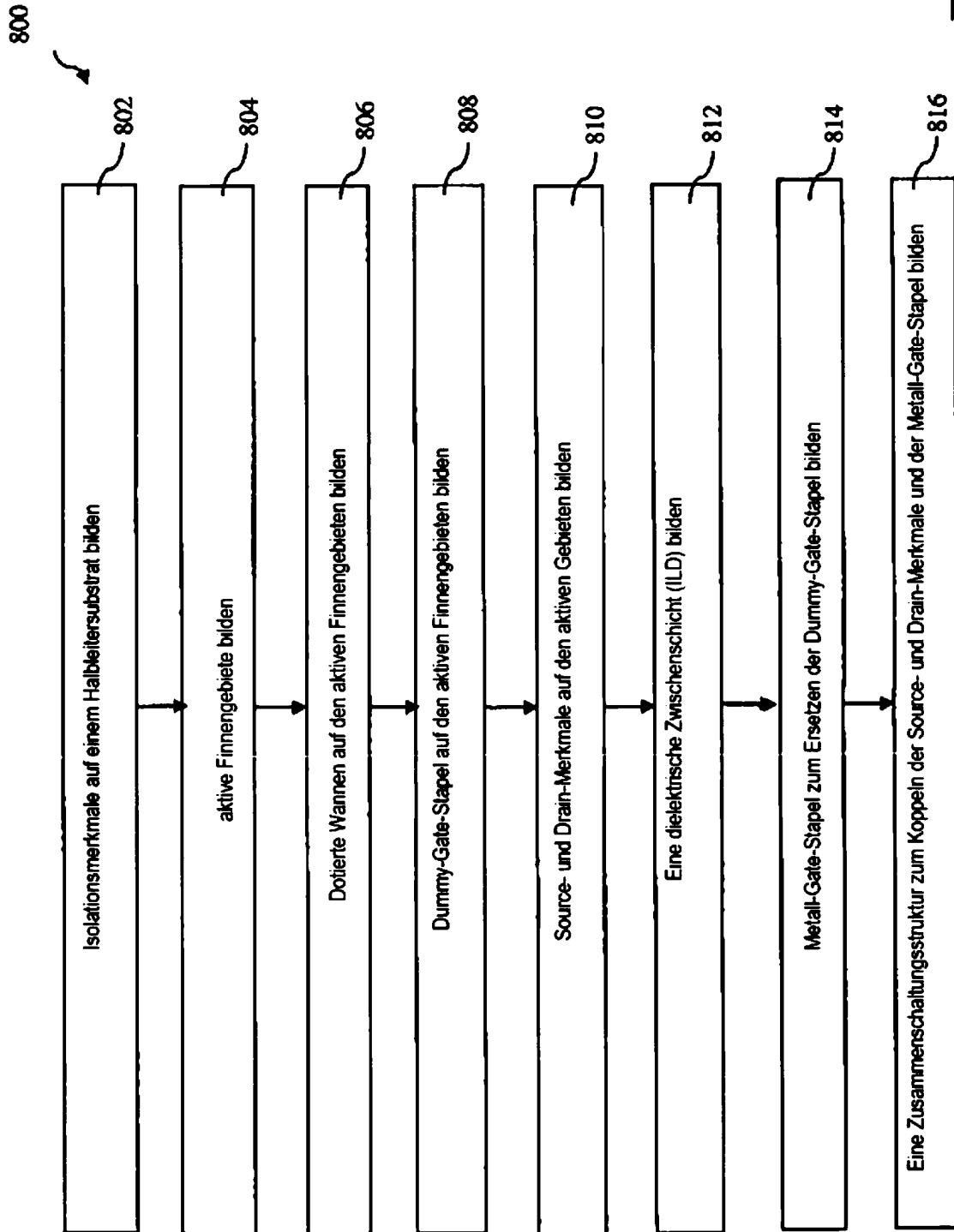
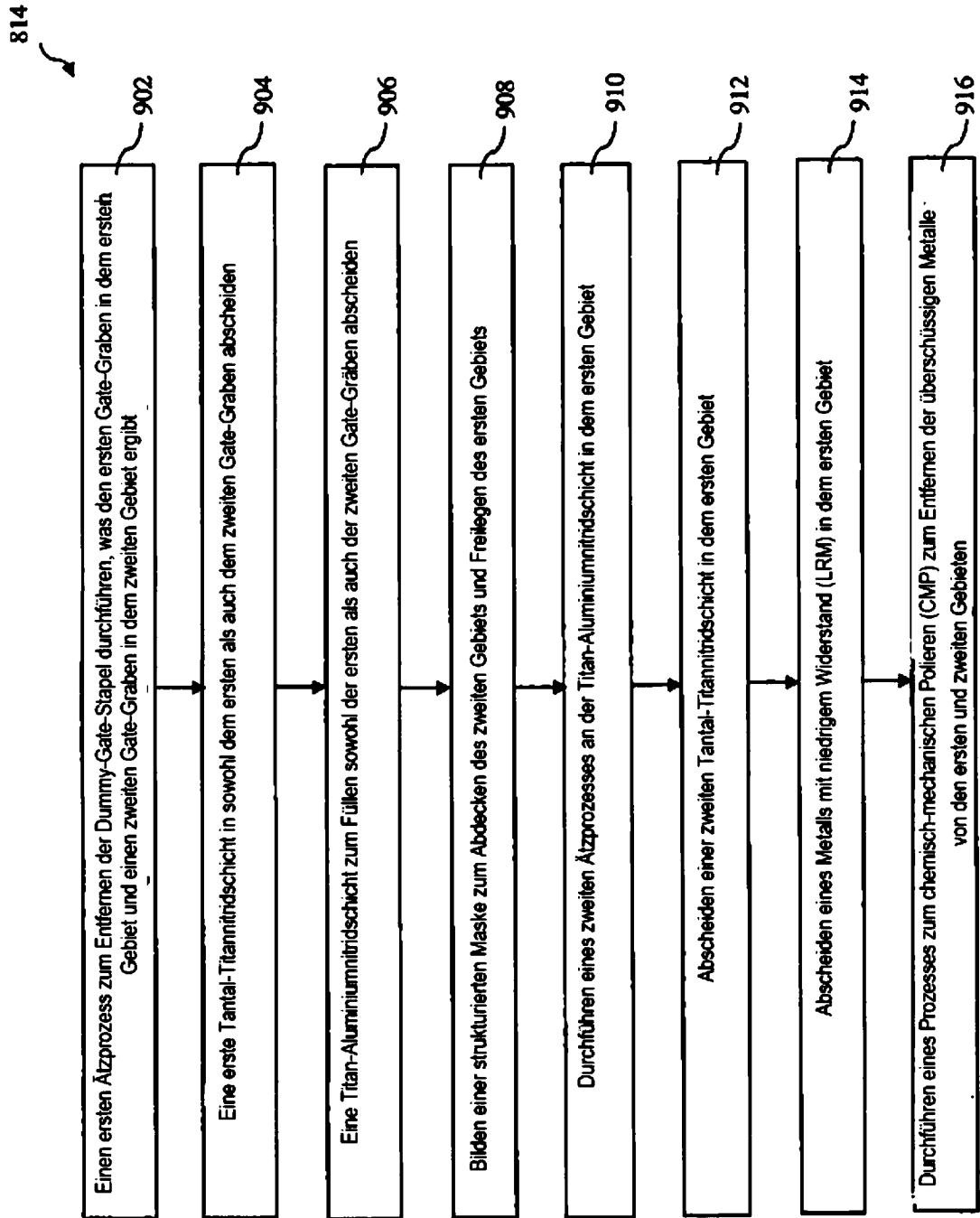


Fig. 8



**Fig. 9**



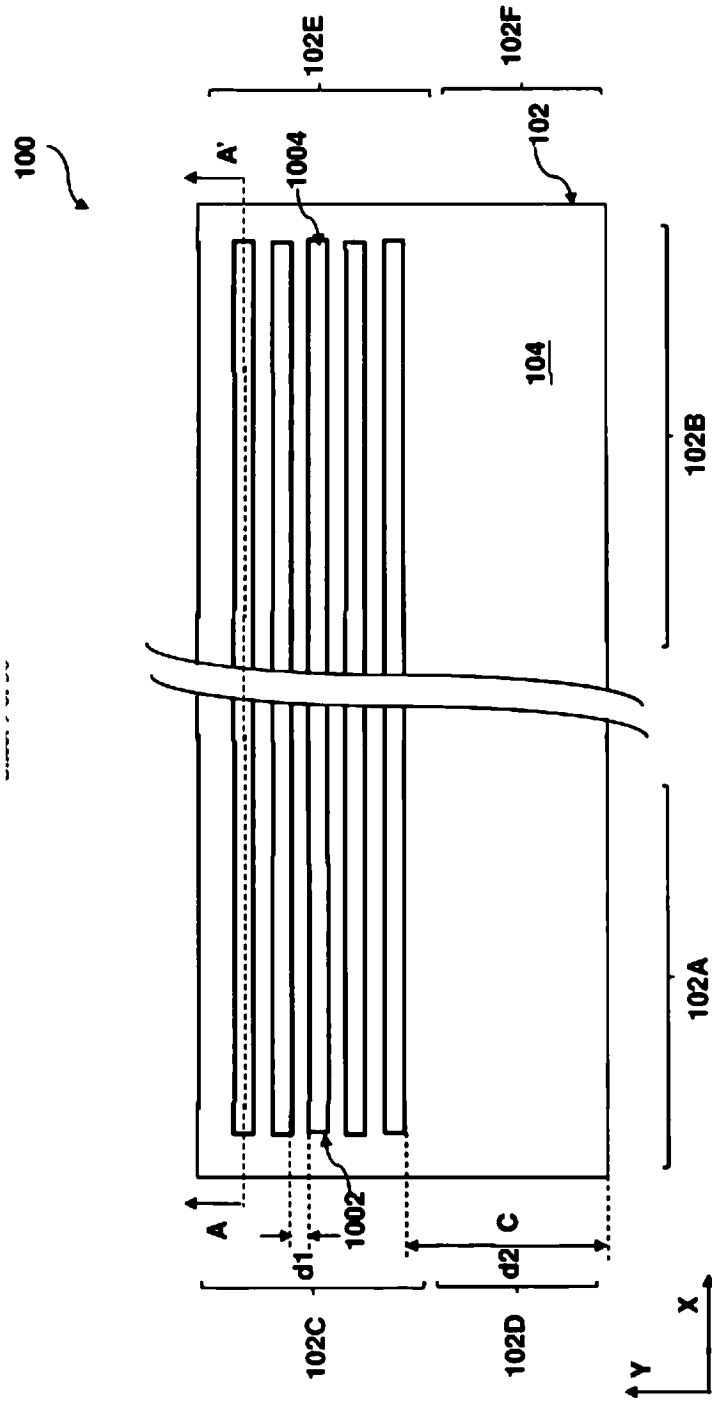


FIG. 10A

100

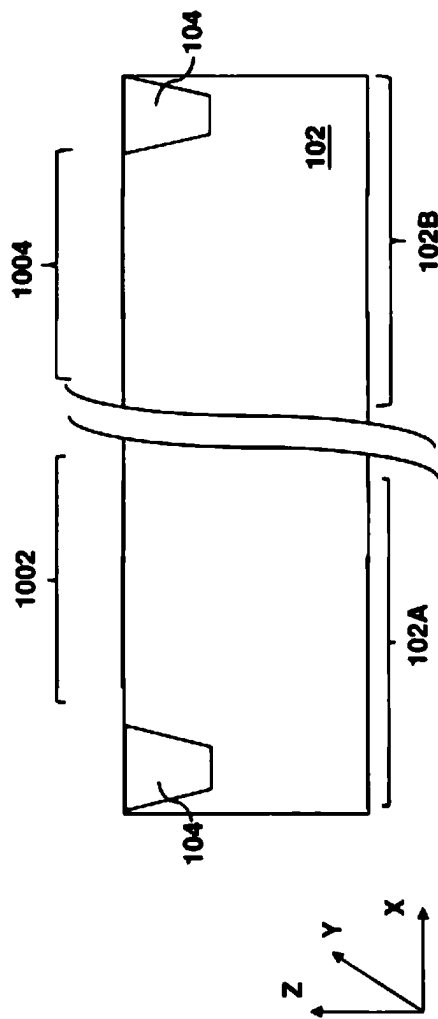


FIG. 10B

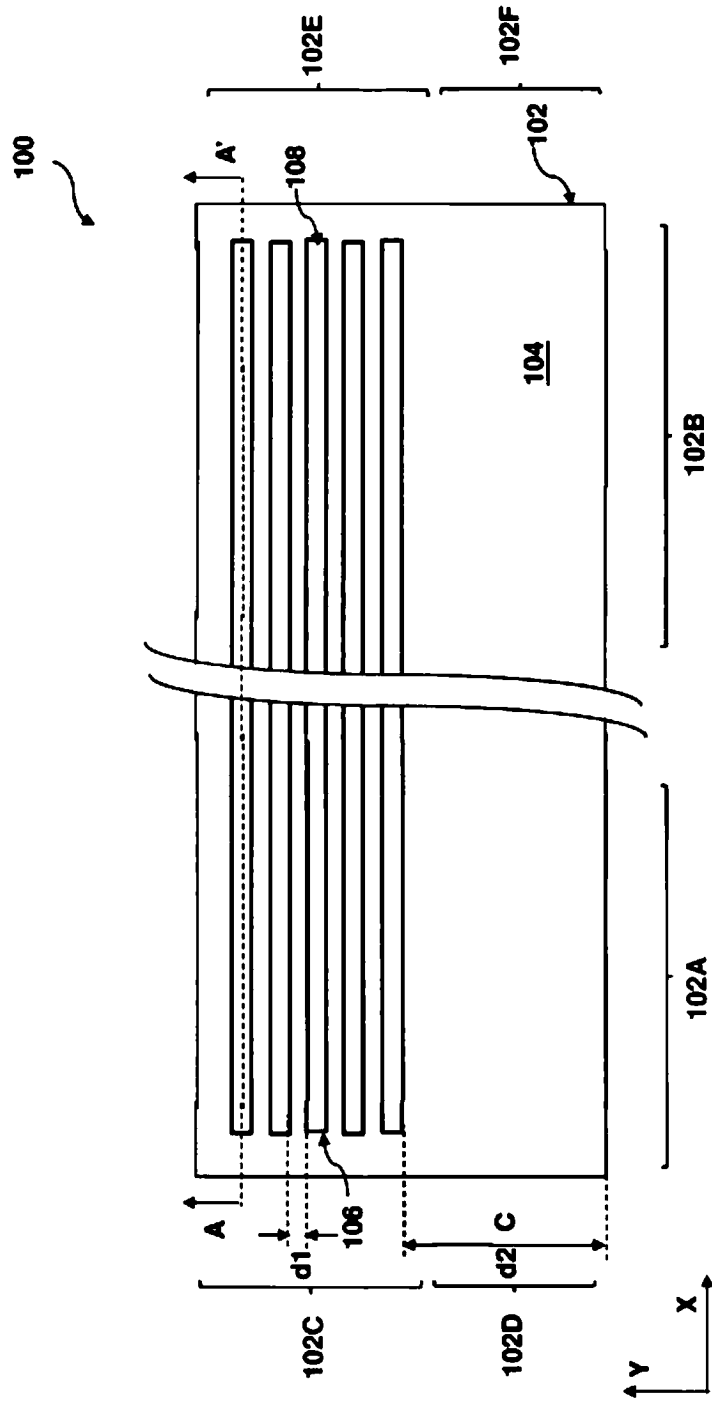


FIG. 11A

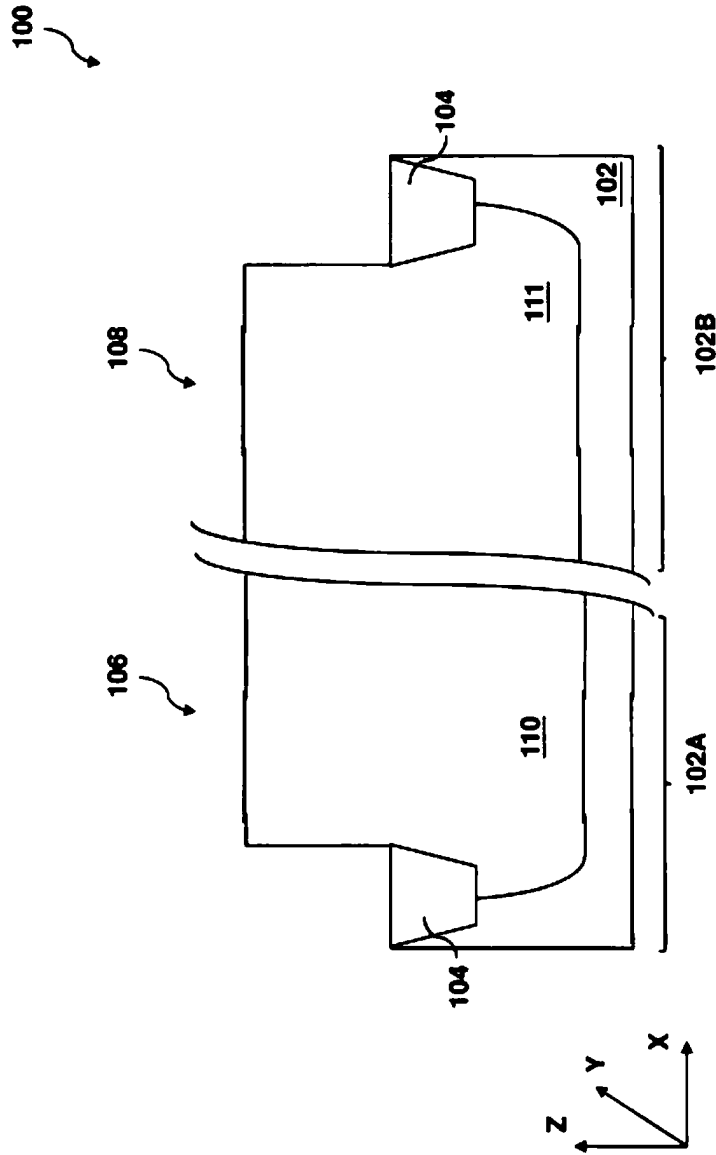


FIG. 11B

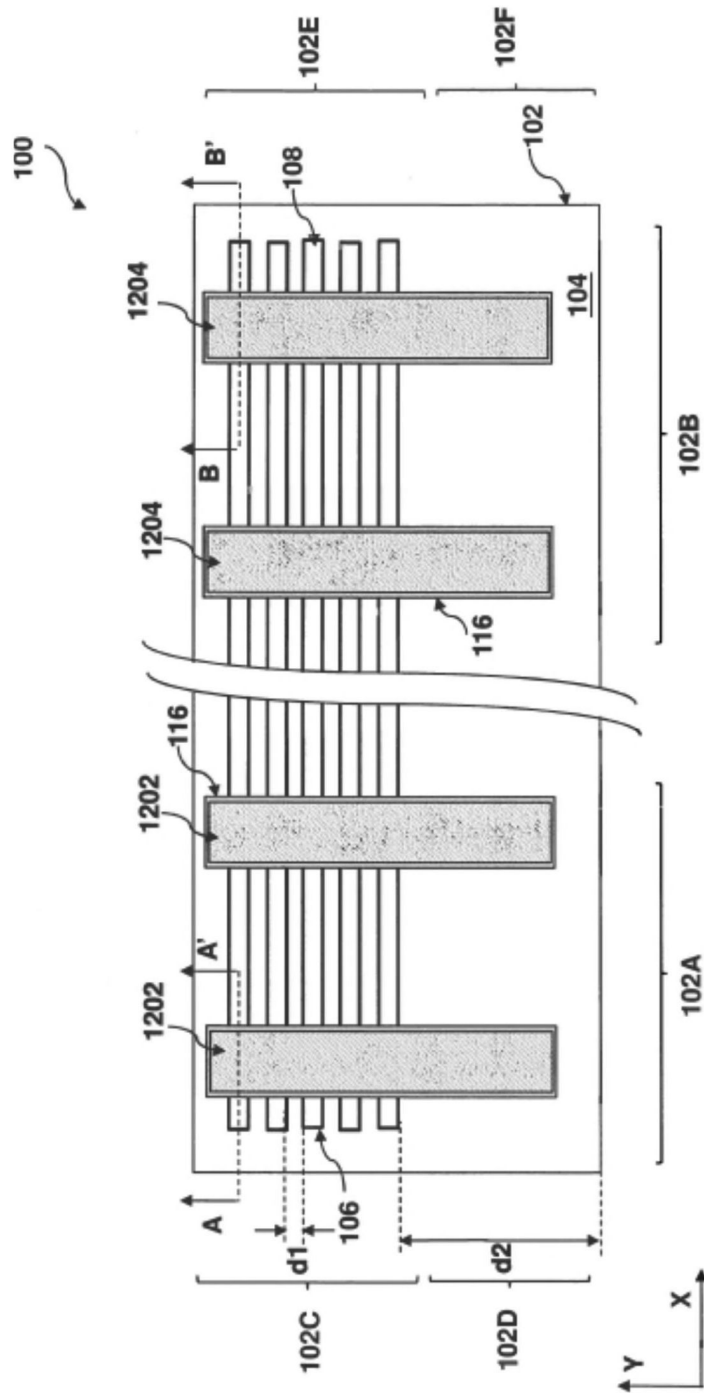


FIG. 12A

100 ↗

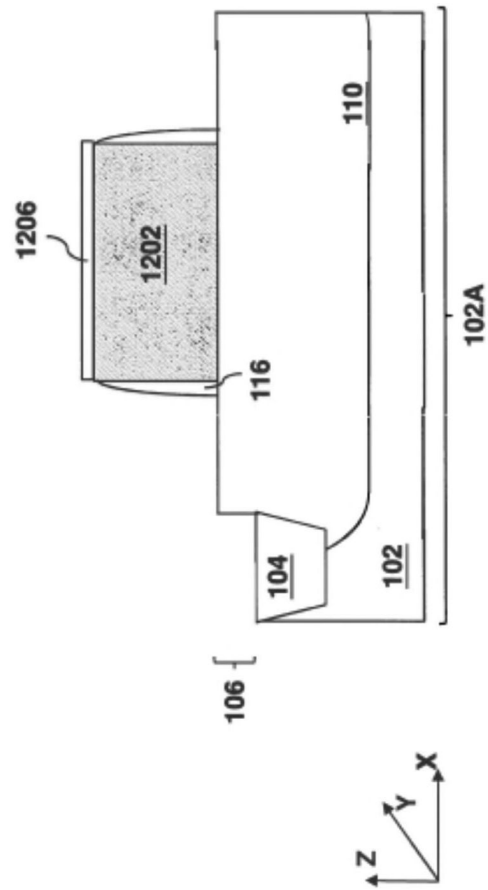


FIG. 12B

100

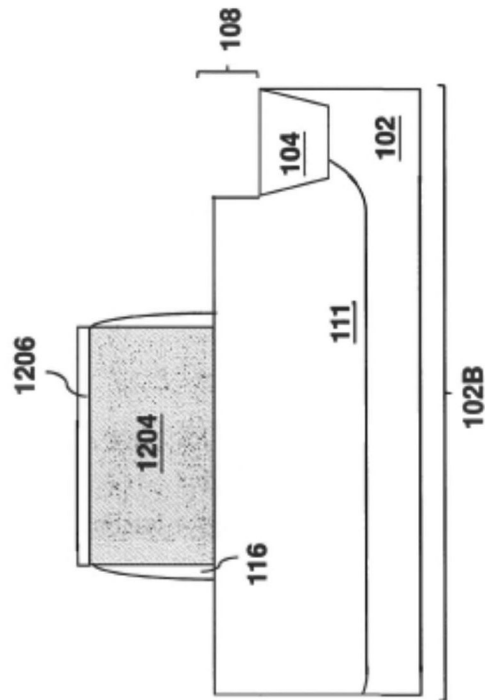


FIG. 12C

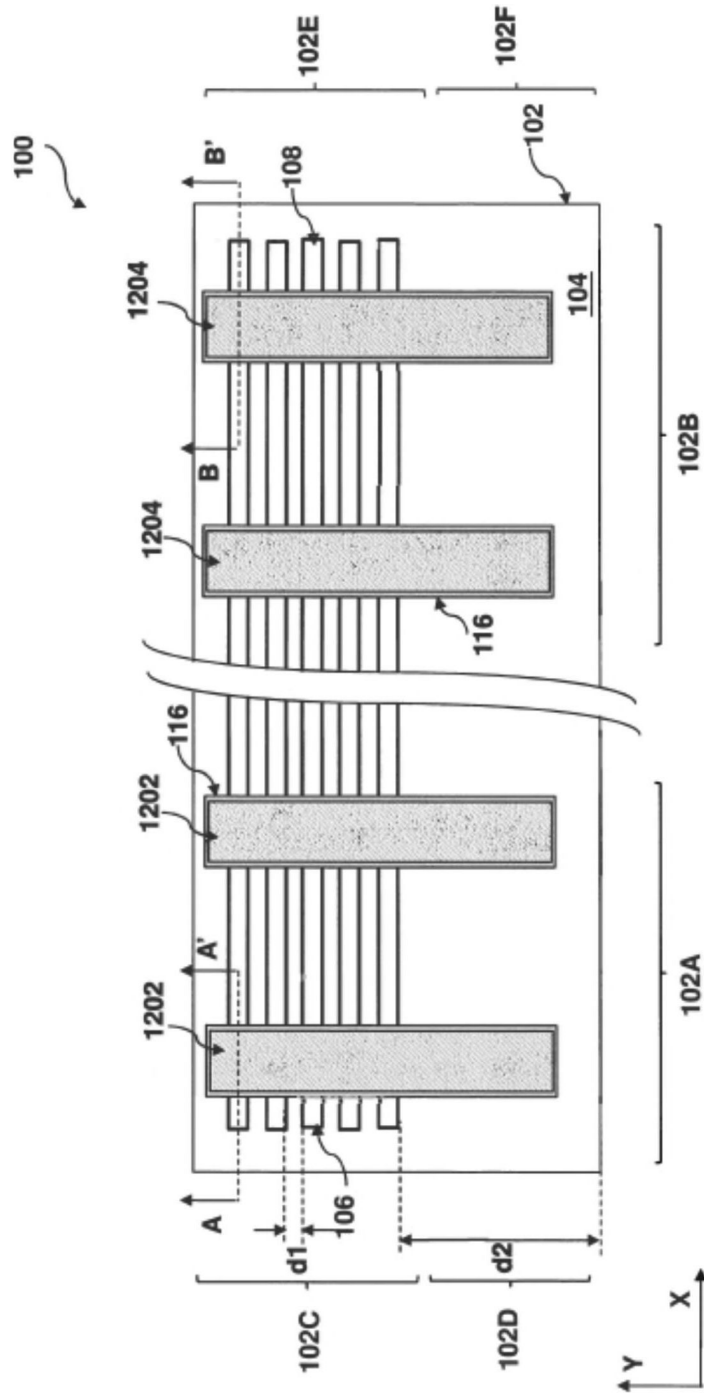


FIG. 13A



100

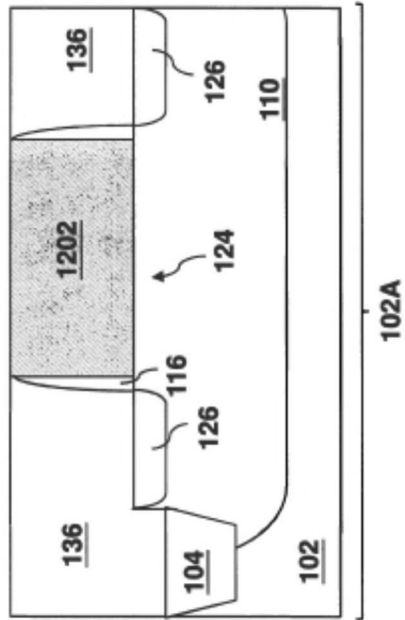


FIG. 13B

100

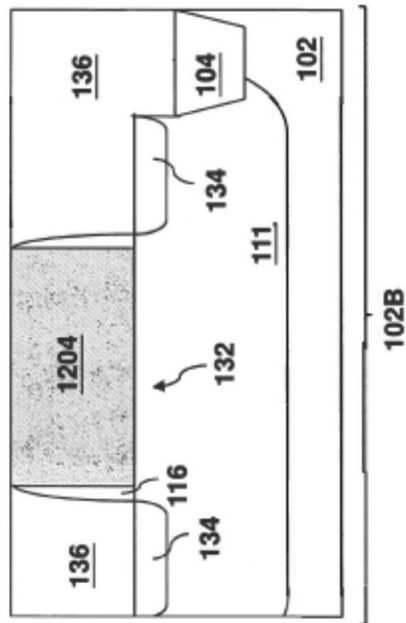


FIG. 13C

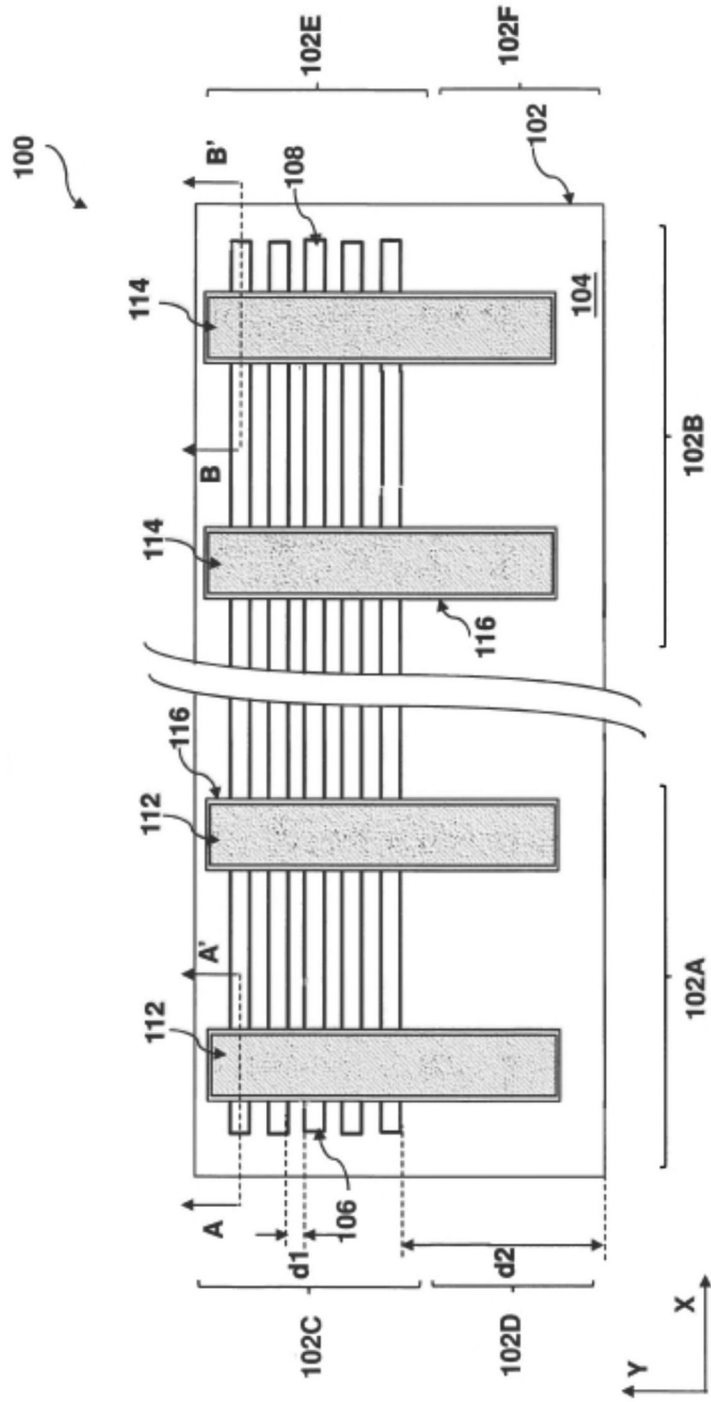


FIG. 14A

100

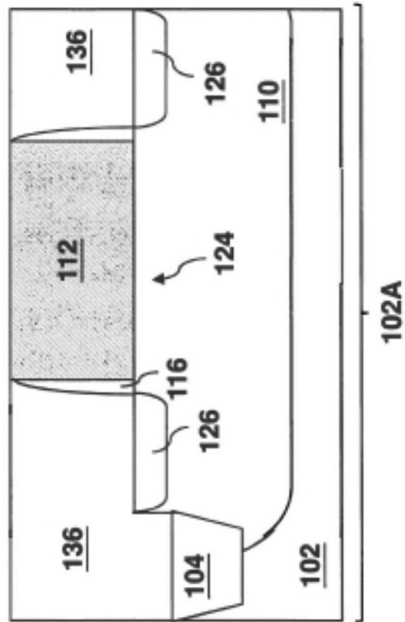


FIG. 14B

100

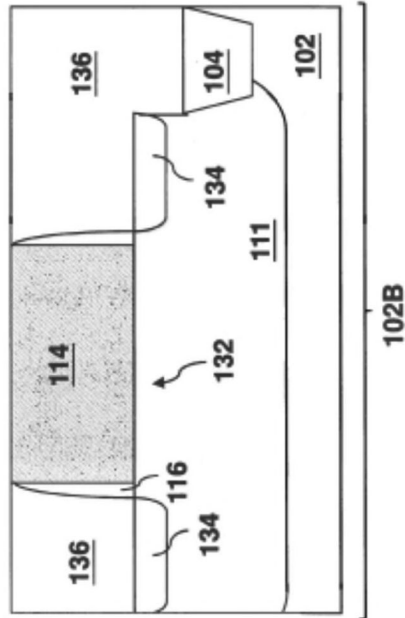


FIG. 14C

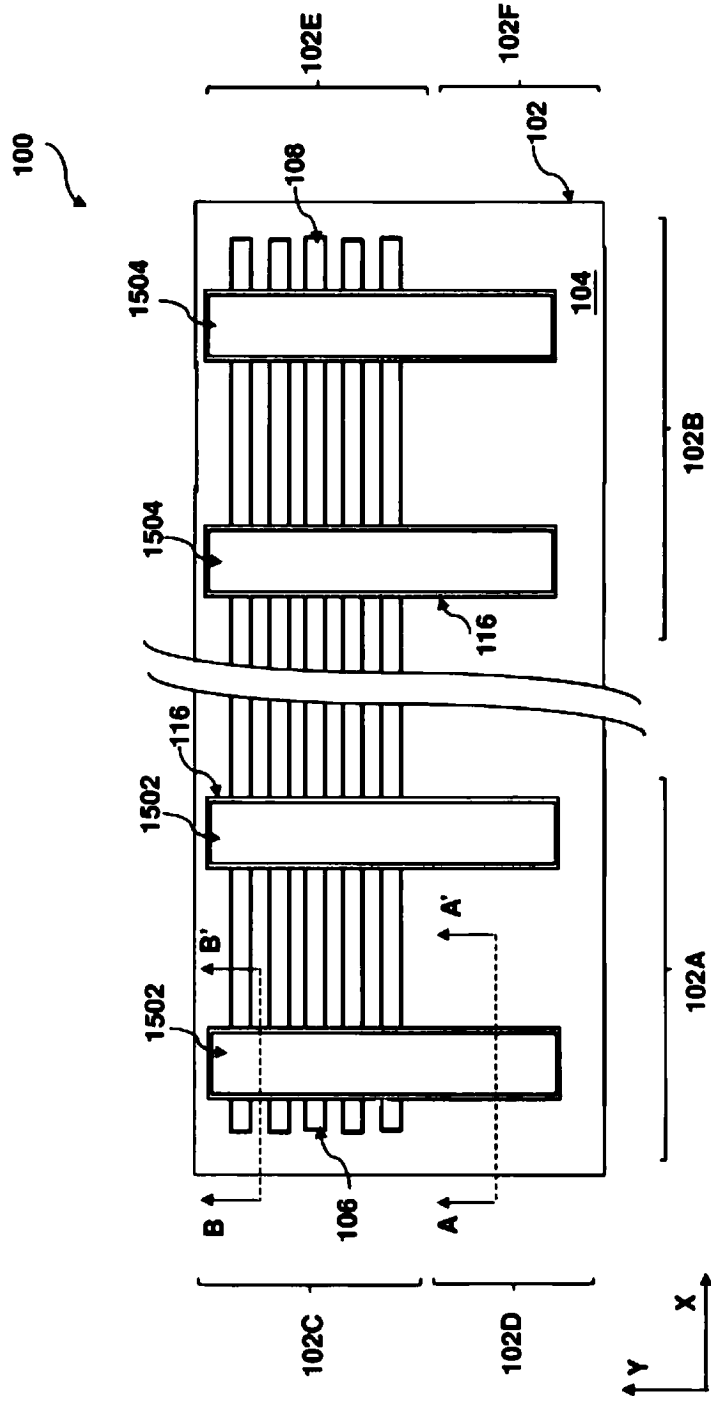


FIG. 15A

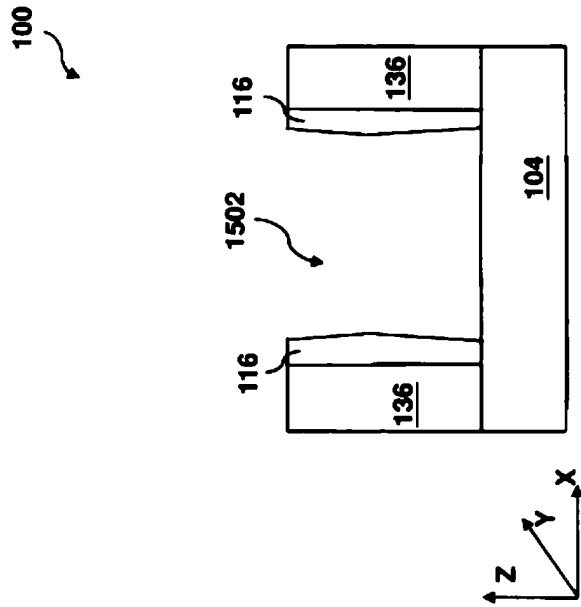


FIG. 15C

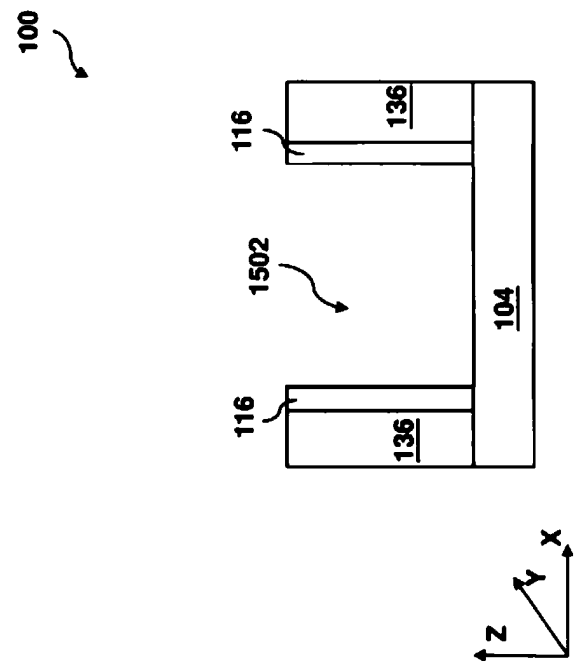


FIG. 15B

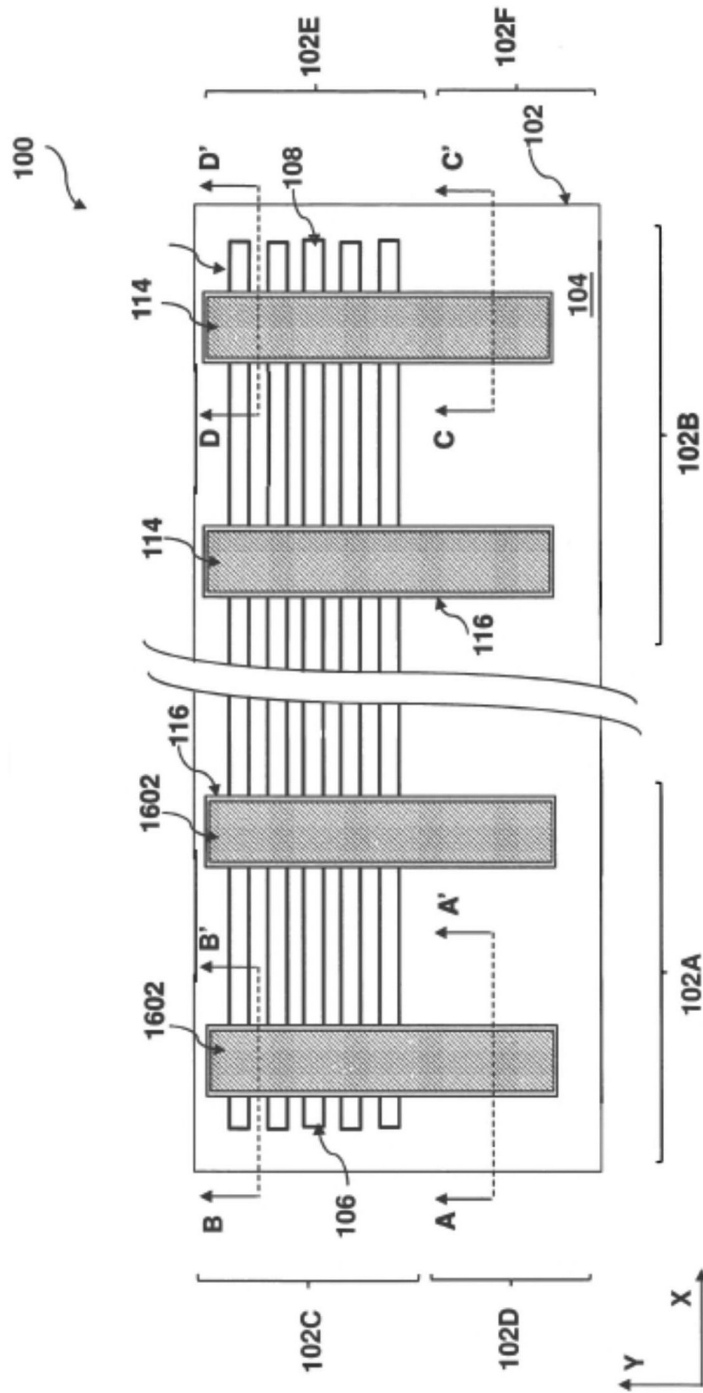


FIG. 16A



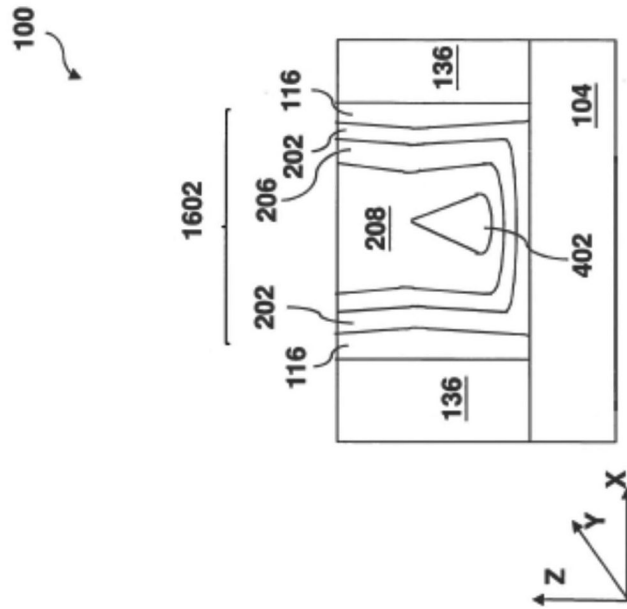


FIG. 16C

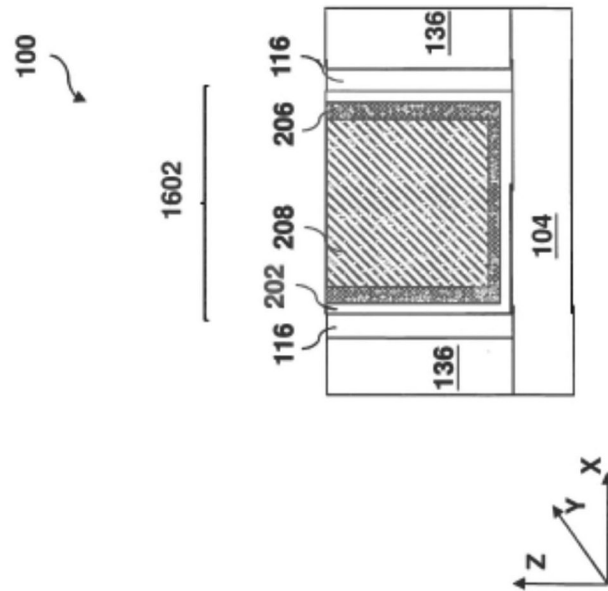


FIG. 16B

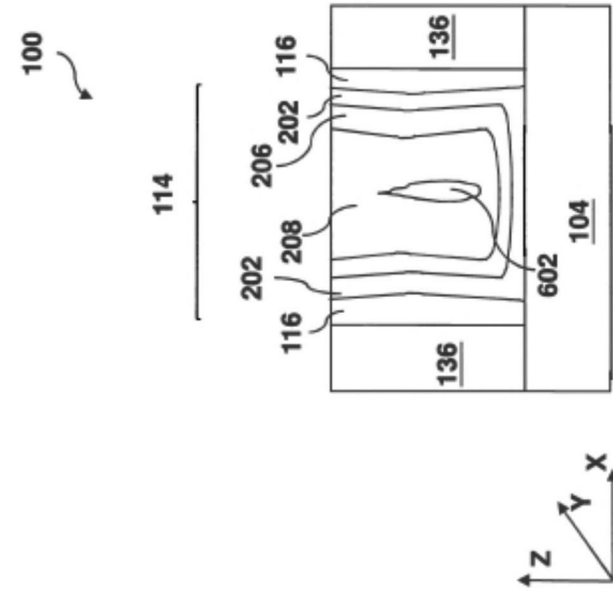


FIG. 16E

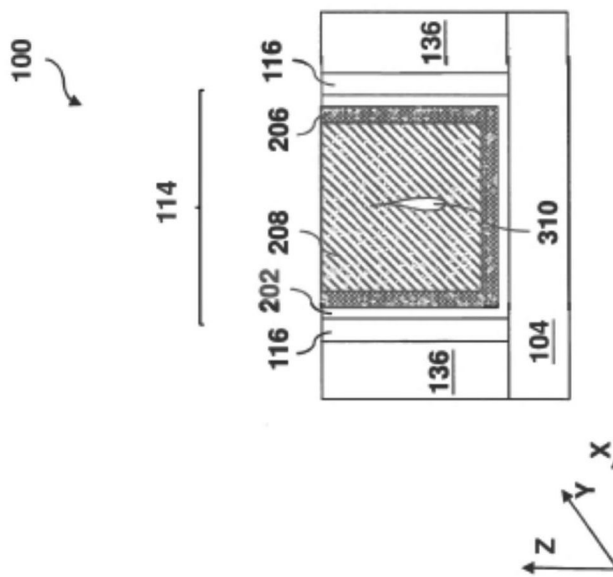


FIG. 16D

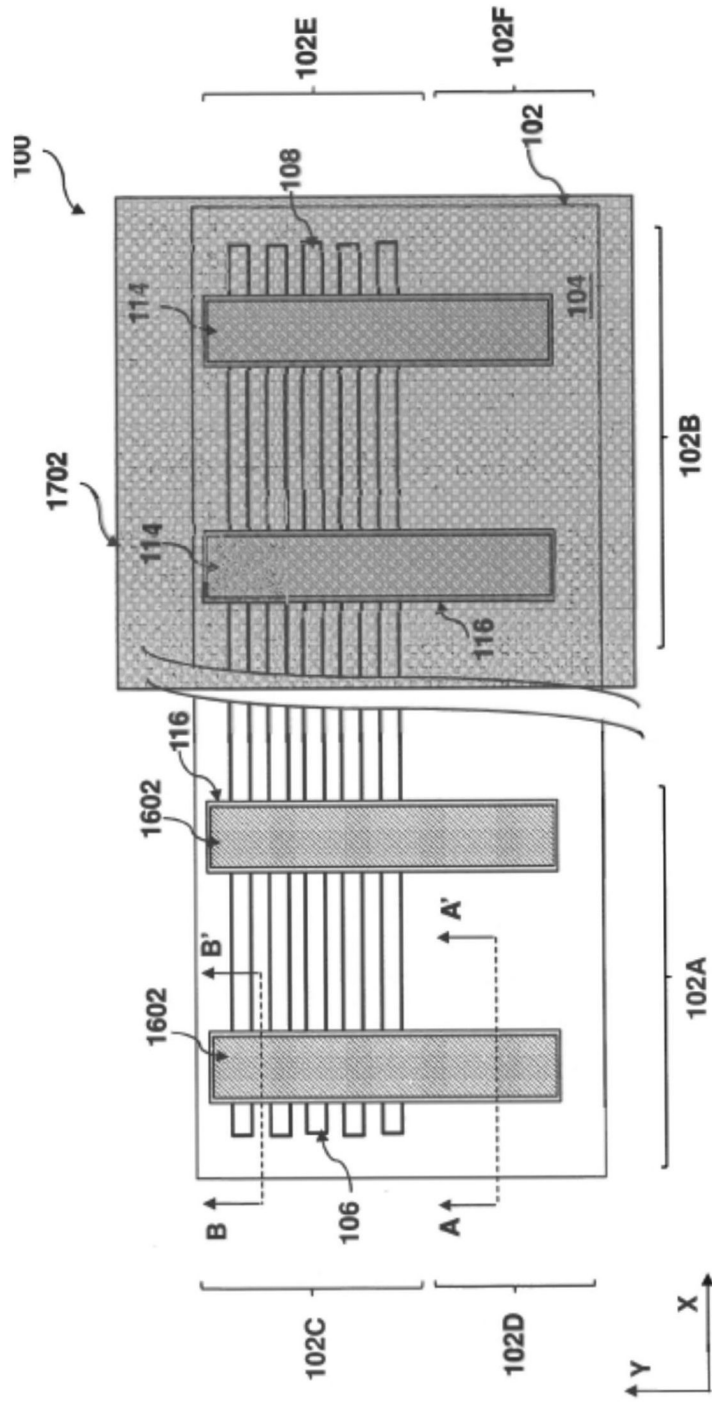


FIG. 17A

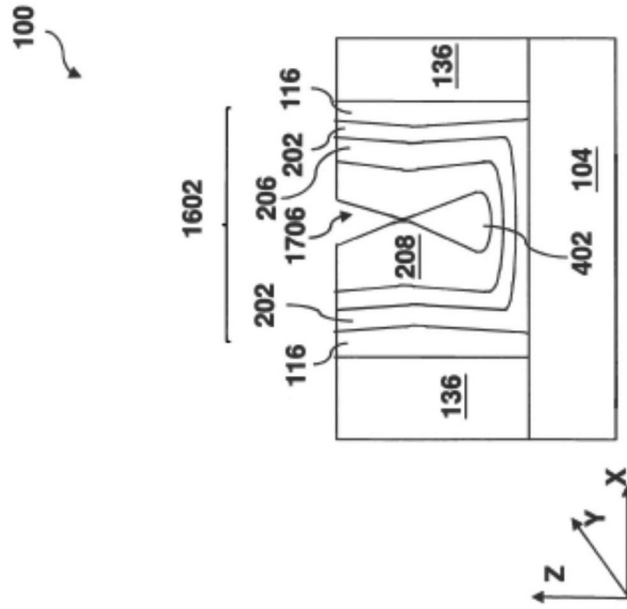


FIG. 17B

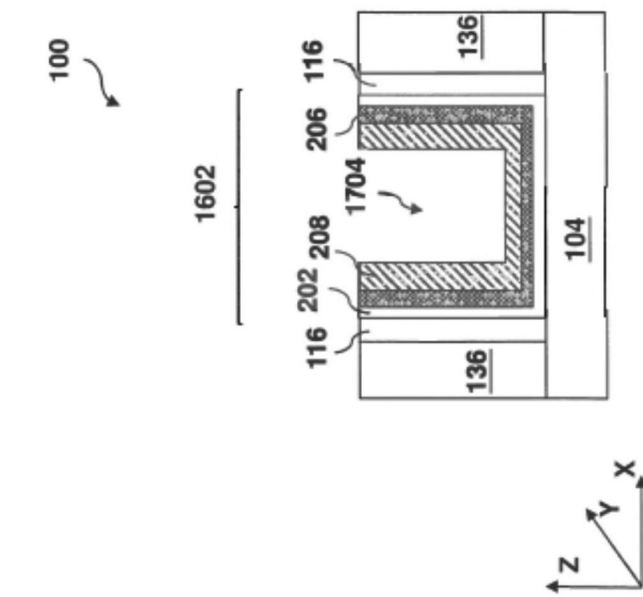


FIG. 17C

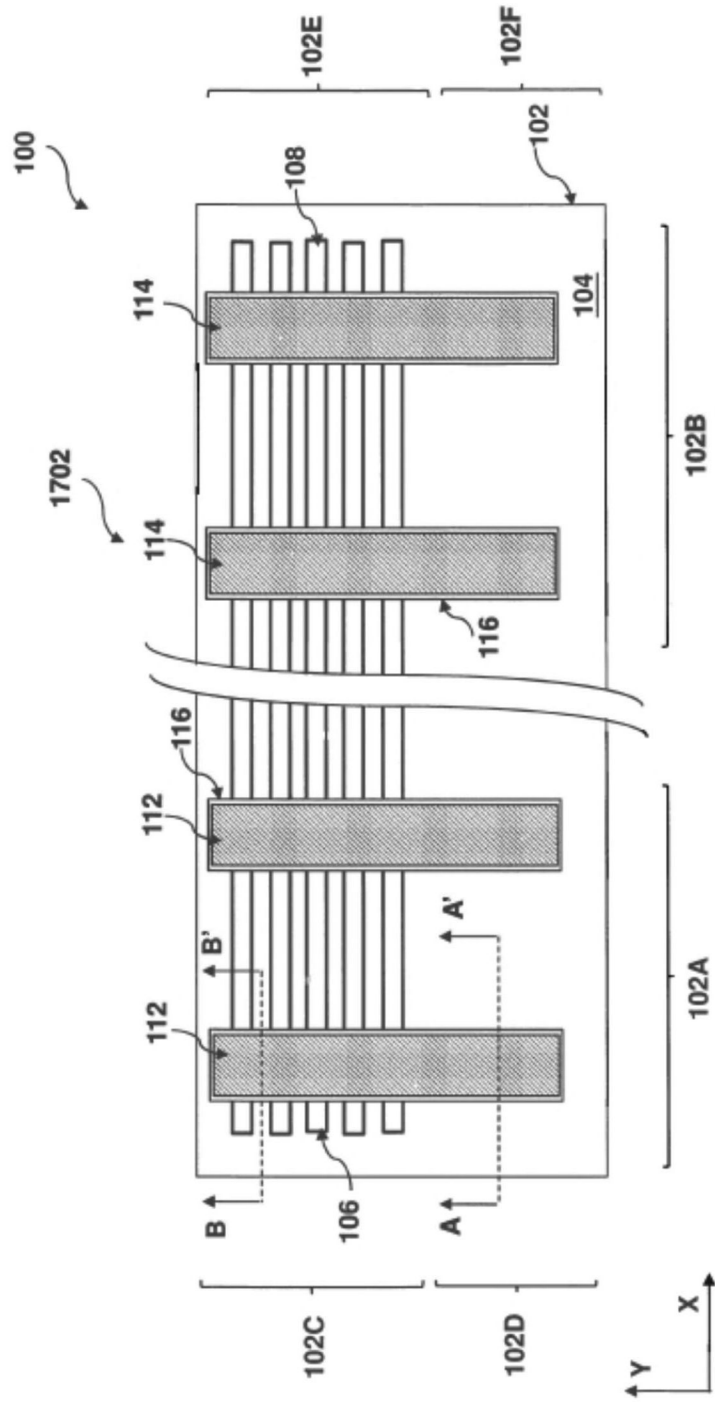


FIG. 18A

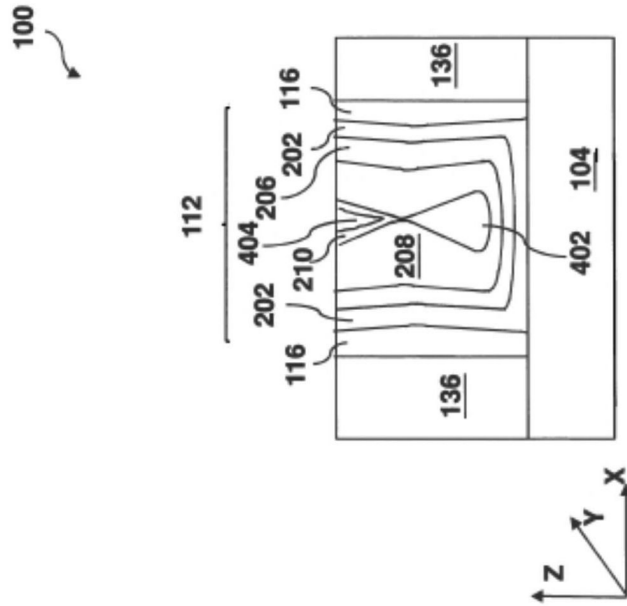


FIG. 18B

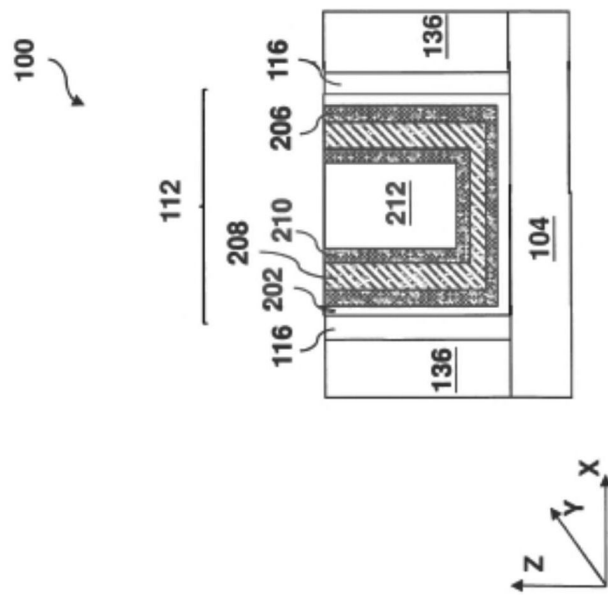


FIG. 18C