



(12) **Offenlegungsschrift**

(21) Aktenzeichen: **10 2021 125 489.2**

(22) Anmeldetag: **01.10.2021**

(43) Offenlegungstag: **06.04.2023**

(51) Int Cl.: **H01L 23/495** (2006.01)

H01L 21/60 (2006.01)

H01L 21/50 (2006.01)

H01L 23/16 (2006.01)

G01R 33/07 (2006.01)

(71) Anmelder:
TDK-Micronas GmbH, 79108 Freiburg, DE

(74) Vertreter:
**Sonnenberg Harrison Partnerschaft mbB Patent-
und Rechtsanwaltskanzlei, 80331 München, DE**

(72) Erfinder:
**Marozzi, Paolo, 79108 Freiburg, DE; Freund, Ingo,
79108 Freiburg, DE**

(56) Ermittelter Stand der Technik:

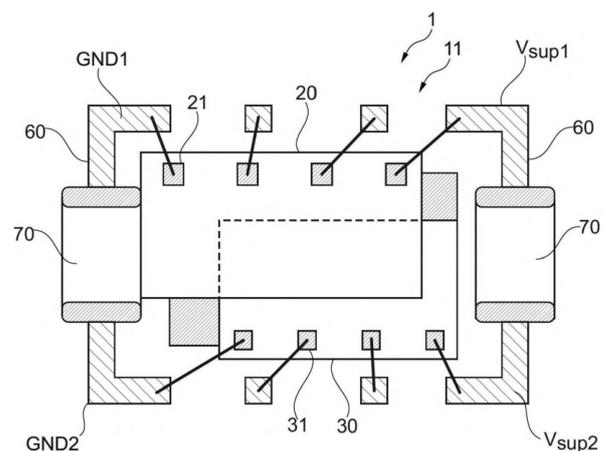
US	2018 / 0 061 784	A1
US	2018 / 0 190 599	A1

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

(54) Bezeichnung: **Integriertes Zwei-Chip Schaltkreissystem in einem integrierten Schaltkreisgehäuse mit zwei separaten Versorgungsgebieten**

(57) Zusammenfassung: Ein integriertes Zwei-Chip Schaltungs-(IC)-System (1) in einem integrierten Schaltkreis-(IC)-Gehäuse (11) mit zwei separaten Versorgungsgebieten wird bereitgestellt, umfassend einen ersten Chip (20); einen zweiten Chip (30); einen Leiterrahmen (60) aufweisend einen ersten Massestift (GND1), eine erste Versorgungsspannung (V_{sup1}), einen zweiten Massestift (GND2) und eine zweite Versorgungsspannung (V_{sup2}), wobei der erste Chip (20) mit dem ersten Massestift (GND1) und mit der ersten Versorgungsspannung (V_{sup1}) verbunden ist und wobei der zweite Chip (30) mit dem zweiten Massestift (GND2) und der zweiten Versorgungsspannung (V_{sup2}) verbunden ist; und zumindest ein kapazitives Element (70), angebunden zwischen dem ersten Massestift (GND1) und dem zweiten Massestift (GND2) und/oder angebunden zwischen der ersten Versorgungsspannung (V_{sup1}) und der zweiten Versorgungsspannung (V_{sup2}).



Beschreibung

GEBIET DER ERFINDUNG

[0001] Die Erfindung betrifft ein integriertes Zwei-Chip Schaltungs-(IC)-System in einem integrierten Schaltkreis-(IC)-Gehäuse mit zwei separaten Versorgungsgebieten, ein Verfahren zur Montage des integrierten Zwei-Chip Schaltungs-(IC)-Systems in dem integrierten Schaltkreisgehäuse mit zwei separaten Versorgungsgebieten und die Verwendung des integrierten Zwei-Chip Schaltungs-(IC)-Systems in dem integrierten Schaltkreis-(IC)-Gehäuse mit zwei separaten Versorgungsgebieten.

HINTERGRUND DER ERFINDUNG

[0002] Integrierte Schaltkreis-Chips sind in der Regel in Schutzgehäusen eingeschlossen, die sich leicht handhaben und auf Leiterplatten (PCB) montieren lassen. Ein einziges Gehäuse kann einen oder mehrere integrierte Schaltkreischips einschließen.

[0003] Eine Zwei-Chip Gehäuse- beziehungsweise Packaging-Technologie wird verwendet, um zwei integrierte Schaltkreischips in ein einziges Gehäusemodul unterzubringen beziehungsweise zu packen, so dass ein einziges Gehäusemodul in der Lage ist, eine doppelte Funktionalität oder Datenspeicherkapazität zu bieten. Speicherchips, wie z.B. Flash-Speicherchips, werden typischerweise auf diese Weise untergebracht, so dass ein einziges Speichermodul eine doppelte Datenspeicherkapazität bieten kann. In der Halbleiterindustrie wurden verschiedene Arten von Zwei-Chip Gehäuse-Technologien entwickelt und verwendet.

[0004] Herkömmliche Zwei-Chip-Paketstrukturen umfassen einen ersten Halbleiterchip, einen zweiten Halbleiterchip und einen Leiterrahmen. Der erste Halbleiterchip hat eine Schaltkreisfläche (oder aktive Fläche genannt) und eine nicht-Schaltkreisfläche (oder inaktive Fläche genannt) und ist an einem Rand der Schaltkreisfläche mit einer Reihe von Verbindflächen beziehungsweise Bondpads versehen. In ähnlicher Weise hat der zweite Halbleiterchip eine Schaltkreisfläche und eine Nicht-Schaltkreisfläche und ist an einem Rand der Schaltkreisfläche mit einer Reihe von Verbindflächen versehen. Der erste Halbleiterchip und der zweite Halbleiterchip können auch verschiedene andere Arten von integrierten Schaltkreis-Chips sein, wie z.B. Mikrocontrollerchips.

[0005] Die herkömmlichen Zwei-Chip-Gehäusestrukturen bieten jedoch eine schlechte Erdung aufgrund der schwebenden integrierten Schaltkreise und dem einzelnen Leiterrahmen. Außerdem vermindert die schlechte Erdung die Wirkung der externen Filterung aufgrund von Masseanhebungen.

[0006] Daher wird ein integriertes Zwei-Chip Schaltungs-(IC)-System in einem integrierten Schaltkreis-(IC)-Gehäuse benötigt, welches schlechte Erdung verhindert.

ZUSAMMENFASSUNG DER ERFINDUNG

[0007] Gemäß einem ersten Aspekt der Erfindung wird ein integriertes Zwei-Chip-Schaltkreissystem beziehungsweise Doppel-Chip-Schaltkreissystem in einem integrierten Schaltkreisgehäuse mit zwei getrennten Versorgungsgebieten bereitgestellt, umfassend einen ersten Chip, einen zweiten Chip, einen Leiterrahmen und zumindest ein kapazitives Element. Der Leiterrahmen umfasst einen ersten Massestift, eine erste Versorgungsspannung, einen zweiten Massestift und eine zweite Versorgungsspannung. Der erste Chip ist mit dem ersten Massestift und mit der ersten Versorgungsspannung verbunden. Der zweite Chip ist mit dem zweiten Massestift und mit der zweiten Versorgungsspannung verbunden. Das zumindest eine kapazitive Element ist zwischen dem ersten Massestift und dem zweiten Massestift angebondet und/oder zwischen der ersten Versorgungsspannung und der zweiten Versorgungsspannung angebondet. Durch das Entkoppeln der beiden Massestifte über einen Kondensator im integrierten Schaltkreisgehäuse können die Erdungseffekte maximiert werden, so dass weniger Widerstand entsteht und die Wirkung von HF-Signalen reduziert wird.

[0008] In einem Aspekt des integrierten Zwei-Chip-Schaltkreissystems ist das integrierte Zwei-Chip-Schaltungs-(IC)-System in einer gestapelten Anordnung oder in einer nebeneinander angeordneten Anordnung angeordnet.

[0009] In einem weiteren Aspekt des integrierten Zwei-Chip-Schaltkreissystems umfasst das integrierte Zwei-Chip-Schaltungs-(IC)-System ferner ein Abstandselement, welches zwischen dem ersten Chip und dem zweiten Chip angeordnet ist.

[0010] In einem weiteren Aspekt des integrierten Zwei-Chip-Schaltkreissystems umfasst das integrierte Zwei-Chip-Schaltungs-(IC)-System ferner ein Stützelement, an welchem zumindest einer von dem ersten Chip und dem zweiten Chip angeordnet ist.

[0011] In einem Aspekt des integrierten Zwei-Chip-Schaltkreissystems ist zumindest einer von dem ersten Chip und dem zweiten Chip ein Sensorelement. Das Sensorelement von zumindest einem von dem ersten Chip und dem zweiten Chip ist ein optischer Sensor, Beschleunigungssensor oder Hall-Sensor.

[0012] In einem weiteren Aspekt des integrierten Zwei-Chip-Schaltkreissystems ist das zumindest

eine kapazitive Element in das Stützelement integriert.

[0013] In einem weiteren Aspekt des integrierten Zwei-Chip-Schaltkreissystems ist das Stützelement mit dem Leiterraum verbunden.

[0014] In einem Aspekt des integrierten Zwei-Chip-Schaltkreissystems weist der erste Chip zumindest eine erste magnetische Sensoranordnung auf und/oder weist der zweite Chip zumindest eine zweite magnetische Sensoranordnung auf.

[0015] Gemäß einem zweiten Aspekt der Erfindung wird das integrierte Zwei-Chip-Schaltungs-(IC)-System im integrierten Schaltkreis-(IC)-Gehäuse mit zwei getrennten Versorgungsgebieten gemäß einem der obigen Aspekte für eine kontaktlose Messung von dem Magnetfeld von einem rotierenden Magneten verwendet, um einen Rotationswinkel zu bestimmen.

[0016] Gemäß einem dritten Aspekt der Erfindung wird das integrierte Zwei-Chip-Schaltungs-(IC)-System im integrierten Schaltkreis-(IC)-Gehäuse mit zwei separaten Versorgungsgebieten gemäß einem der obigen Aspekte für eine kontaktlose Messung von dem Magnetfeld von einem Magneten aus der Gruppe zylindrischer Magnete oder stabförmiger Magnete verwendet.

[0017] Gemäß einem vierten Aspekt der Erfindung wird ein Verfahren für eine Montage eines integrierten Zwei-Chip-Schaltungs-(IC)-Systems in einem integrierten Schaltkreis-(IC)-Gehäuse mit zwei separaten Versorgungsgebieten bereitgestellt, wobei das Verfahren die folgenden Schritte umfasst: Bereitstellen eines ersten Chips; Bereitstellen eines zweiten Chips; Verbinden des ersten Chips mit einem ersten Massestift und mit einer ersten Versorgungsspannung auf einem Leiterraum; Verbinden des zweiten Chips mit einem zweiten Massestift und mit einer zweiten Versorgungsspannung auf dem Leiterraum; und Koppeln zumindest eines kapazitiven Elements zwischen dem ersten Massestift und dem zweiten Massestift, und Koppeln zumindest eines kapazitiven Elements zwischen dem ersten Massestift und dem zweiten Massestift und/oder zwischen der ersten Versorgungsspannung und der zweiten Versorgungsspannung.

[0018] In einem Aspekt des Verfahrens umfasst das Verfahren ferner den Schritt des Anordnens eines Abstandselements zwischen dem ersten Chip und dem zweiten Chip.

[0019] In einem weiteren Aspekt des Verfahrens umfasst das Verfahren ferner den Schritt des Anordnens zumindest eines des ersten Chips und des zweiten Chips auf einem Stützelement.

Figurenliste

[0020] Die Erfindung wird nun anhand von Figuren beschrieben. Es versteht sich, dass die in den Figuren beschriebenen Ausführungsformen und Aspekte der Erfindung nur Beispiele sind und den Schutzbereich der Ansprüche in keiner Weise einschränken. Die Erfindung wird durch die Ansprüche und ihre Entsprechungen definiert. Es versteht sich, dass Merkmale eines Aspekts oder einer Ausführungsform der Erfindung mit einem Merkmal eines anderen Aspekts oder anderer Aspekte anderer Ausführungsformen der Erfindung kombiniert werden können. Die Erfindung wird deutlicher, wenn Sie die folgenden detaillierten Beschreibungen einiger Beispiele als Teil der Offenbarung unter Berücksichtigung der beigefügten Zeichnungen lesen, in denen:

Fig. 1 ist eine schematische Draufsicht auf ein integriertes Zwei-Chip-Schaltkreissystem in einem integrierten Schaltkreisgehäuse mit zwei getrennten Versorgungsgebieten gemäß dem ersten Aspekt der vorliegenden Erfindung.

Fig. 2 ist eine schematische Seitenansicht eines integrierten Zwei-Chip-Schaltkreissystems in einem integrierten Schaltkreisgehäuse mit zwei separaten Versorgungsgebieten gemäß einem weiteren Aspekt der vorliegenden Erfindung in einer gestapelten Anordnung.

Fig. 3 ist eine schematische Seitenansicht des integrierten Zwei-Chip-Schaltkreissystems in einem integrierten Schaltkreisgehäuse mit zwei separaten Versorgungsgebieten gemäß dem ersten Aspekt der vorliegenden Erfindung in einer nebeneinander angeordneten Anordnung.

Fig. 4 ist ein Flussdiagramm des Verfahrens zur Montage eines integrierten Zwei-Chip-Schaltkreissystems in einem integrierten Schaltkreisgehäuse mit zwei separaten Versorgungsgebieten.

DETAILLIERTE BESCHREIBUNG DER ERFINDUNG

[0021] Die Erfindung wird nun anhand der Zeichnungen beschrieben. Es versteht sich, dass die hierin beschriebenen Ausführungsformen und Aspekte der Erfindung nur Beispiele sind und den Schutzbereich der Ansprüche in keiner Weise einschränken. Die Erfindung wird durch die Ansprüche und ihre Entsprechungen definiert. Es versteht sich, dass Merkmale eines Aspekts oder einer Ausführungsform der Erfindung mit einem Merkmal eines anderen Aspekts oder anderer Aspekte und/oder Ausführungsformen der Erfindung kombiniert werden können. Der Gegenstand der vorliegenden Erfindung wird im Folgenden anhand von Beispielen vollständig beschrieben, ohne die Offenbarung auf die Beispiele zu beschränken. Die Beispiele stellen verschiedene

Aspekte der vorliegenden Erfindung dar. Um die vorliegende technische Lehre umzusetzen, ist es nicht erforderlich, alle diese Aspekte kombiniert umzusetzen. Vielmehr wird der Fachmann diejenigen Aspekte auswählen und kombinieren, die für die jeweilige Anwendung und Umsetzung sinnvoll und erforderlich erscheinen.

[0022] Fig. 1 ist eine schematische Draufsicht auf das integrierte Zwei-Chip Schaltungs-(IC)-System 1 in einem integrierten Schaltkreis-(IC)-Gehäuse 11 mit zwei separaten Versorgungsgebieten gemäß dem ersten Aspekt der vorliegenden Erfindung. Das integrierte Zwei-Chip Schaltungs-(IC)-System 1 umfasst einen ersten Chip 20, einen zweiten Chip 30, einen Leiterraum 30 und zumindest ein kapazitives Element 70. Der Leiterraum 60 umfasst einen ersten Massestift (GND1), eine erste Versorgungsspannung (Vsup1), einen zweiten Massestift (GND2) und eine zweite Versorgungsspannung (Vsup2), wobei der erste Chip 20 mit dem ersten Massestift (GND1) und mit der ersten Versorgungsspannung (Vsup1) verbunden ist und wobei der zweite Chip 30 mit dem zweiten Massestift (GND2) und mit der zweiten Versorgungsspannung (Vsup2) verbunden ist. Wie in Fig. 1 dargestellt, umfasst der erste Chip 20 zumindest eine erste magnetische Sensoranordnung 21 und der zweite Chip 30 zumindest eine zweite magnetische Sensoranordnung 31. Der erste Chip 20 ist über die zumindest eine erste magnetische Sensoranordnung 21 mit dem ersten Massestift (GND1) und über die zumindest eine erste magnetische Sensoranordnung 21 mit der ersten Versorgungsspannung (Vsup1) verbunden. Der zweite Chip 30 ist über die zumindest eine zweite magnetische Sensoranordnung 31 mit dem zweiten Massestift (GND2) und über die zumindest eine zweite magnetische Sensoranordnung 31 mit der zweiten Versorgungsspannung (Vsup2) verbunden. Das zumindest eine kapazitive Element 70 ist zwischen dem ersten Massestift (GND1) und dem zweiten Massestift (GND2) und/oder zwischen der ersten Versorgungsspannung (Vsup1) und der zweiten Versorgungsspannung (Vsup2) verbunden. Wie in Fig. 1 gezeigt, ist ein erstes kapazitives Element 70 zwischen dem ersten Massestift (GND1) und dem zweiten Massestift (GND2) und ein zweites kapazitives Element 70 zwischen der ersten Versorgungsspannung (Vsup1) und der zweiten Versorgungsspannung (Vsup2) angebunden. Wie in Fig. 1 gezeigt, ist der erste Chip 20 über zumindest eine erste magnetische Sensoranordnung 21 mit anderen Stiften beziehungsweise Pins des Leiterraums 60 verbunden, wobei es sich bei diesen Stiften beziehungsweise Pins um Testpins oder Outpins handeln kann. Wie in Fig. 1 gezeigt, ist der zweite Chip 30 über die zumindest eine zweite magnetische Sensoranordnung 31 auch mit anderen Stiften beziehungsweise Pins des Leiterraums 60 verbunden, wobei es sich bei diesen Stiften beziehungsweise Pins um Testpins

oder Outpins handeln kann, wobei die vorliegende jedoch nicht auf irgendeine Art dieser anderen Stifte beziehungsweise Pins beschränkt ist.

[0023] Zumindest einer von dem ersten Chip 20 und dem zweiten Chip 30 ist ein Sensorelement. Insbesondere ist der erste Chip 20 und der zweite Chip 30 ein optischer Sensor, Beschleunigungssensor, oder Hall-Sensor.

[0024] Fig. 2 ist eine schematische Seitenansicht eines integrierten Zwei-Chip-Schaltungs-(IC)-Systems 1 in einem integrierten Schaltkreisgehäuse 11 mit zwei getrennten Versorgungsgebieten gemäß einem anderen Aspekt der vorliegenden Erfindung in einer gestapelten Anordnung 10. Der erste Chip 20 weist zumindest eine erste magnetische Sensoranordnung 21 auf und/oder der zweite Chip 30 weist zumindest eine zweite magnetische Sensoranordnung 31 auf. Die gestapelte Anordnung 10 ist in einem Small Outline Integrated Circuit (SOIC) Gehäuse 11 untergebracht. Insbesondere ist die gestapelte Anordnung 10 in einem SOIC8-Gehäuse 11 untergebracht. Wie in Fig. 2 gezeigt, umfasst das integrierte Zwei-Chip-Schaltungs-(IC)-System 1 in einem integrierten Schaltkreis-(IC)-Gehäuse 11 gemäß einem anderen Aspekt der vorliegenden Erfindung ferner ein Abstandselement 40, welches zwischen dem ersten Chip 20 und dem zweiten Chip 30 angeordnet ist. Das integrierte Zwei-Chip-Schaltungs-(IC)-System 1 umfasst ferner ein Stützelement 50, auf dem zumindest einer von dem ersten Chip 20 und dem zweiten Chip 30 angeordnet ist. Das kapazitive Element 70 kann in das Stützelement 50 integriert werden. Das Stützelement 50 ist mit dem Leiterraum 60 verbunden. Der erste Chip 20 ist über die mindestens eine erste magnetische Sensoranordnung 21 mit anderen Stiften beziehungsweise Pins (in Fig. 2 nicht gezeigt) mit dem Leiterraum 60 verbunden, diese Stifte beziehungsweise Pins könnten Testpins oder Outpins sein, allerdings ist die Gegenwart nicht auf irgendeine Art von diesen anderen Stiften beziehungsweise Pins beschränkt. Der zweite Chip 30 ist über die zumindest eine zweite magnetische Sensoranordnung 31 auch mit anderen Stiften beziehungsweise Pins (in Fig. 2 nicht gezeigt) auf dem Leiterraum 60 verbunden, wobei es sich bei diesen Stiften beziehungsweise Pins um Testpins oder Outpins handeln kann, wobei die vorliegende Darstellung jedoch nicht auf irgendeine Art dieser anderen Stifte beziehungsweise Pins beschränkt ist.

[0025] Fig. 3 ist eine schematische Seitenansicht des integrierten Zwei-Chip Schaltungs-(IC)-Systems 1 im integrierten Schaltkreisgehäuse 11 mit zwei getrennten Versorgungsgebieten gemäß dem ersten Aspekt der vorliegenden Erfindung in einer nebeneinander angeordneten Anordnung 100. Wie in Fig. 2 gezeigt, umfasst der Leiterraum 60 in der neben-

einander angeordneten Anordnung 100 den ersten Massestift (GND1), die erste Versorgungsspannung (Vsup1), den zweiten Massestift (GND2) und die zweite Versorgungsspannung (Vsup2), wobei der erste Chip 20 mit dem ersten Massestift (GND1) und mit der ersten Versorgungsspannung (Vsup1) verbunden ist und wobei der zweite Chip 30 mit dem zweiten Massestift (GND2) und mit der zweiten Versorgungsspannung (Vsup2) verbunden ist. Wie in **Fig. 3** gezeigt, umfasst der erste Chip 20 zumindest eine erste magnetische Sensoranordnung 21 und der zweite Chip 30 zumindest eine zweite magnetische Sensoranordnung 31. Der erste Chip 20 ist über die zumindest eine erste magnetische Sensoranordnung 21 mit dem ersten Massestift (GND1) und über die zumindest eine erste magnetische Sensoranordnung 21 mit der ersten Versorgungsspannung (Vsup1) verbunden. Der zweite Chip 30 ist über die zumindest eine zweite magnetische Sensoranordnung 31 mit dem zweiten Massestift (GND2) und über die zumindest eine zweite magnetische Sensoranordnung 31 mit der zweiten Versorgungsspannung (Vsup2) verbunden. Das zumindest eine kapazitive Element 70 ist zwischen dem ersten Massestift (GND1) und dem zweiten Massestift (GND2) und/oder zwischen der ersten Versorgungsspannung (Vsup1) und der zweiten Versorgungsspannung (Vsup2) verbunden. Wie in **Fig. 3** gezeigt, ist das kapazitive Element 70 zwischen dem ersten Massestift (GND1) und dem zweiten Massestift (GND2) angebunden. Das kapazitive Element 70 kann aber auch zwischen der ersten Versorgungsspannung (Vsup1) und der zweiten Versorgungsspannung (Vsup2) angebunden sein (nicht gezeigt). Ferner kann in der nebeneinander angeordneten Anordnung 100 das kapazitive Element 70 zwischen dem ersten Massestift (GND1) und dem zweiten Massestift (GND2) und ein weiteres kapazitives Element 70 zwischen der ersten Versorgungsspannung (Vsup1) und der zweiten Versorgungsspannung (Vsup2) angeordnet sein (nicht dargestellt). Wie in **Fig. 3** gezeigt, ist der erste Chip 20 über zumindest eine erste magnetische Sensoranordnung 21 mit anderen Stiften beziehungsweise Pins des Leiterrahmens 60 verbunden, wobei es sich bei diesen Stiften beziehungsweise Pins um Testpins oder Outpins handeln kann. Wie in **Fig. 3** gezeigt, ist der zweite Chip 30 über die zumindest eine zweite magnetische Sensoranordnung 31 auch mit anderen Stiften beziehungsweise Pins des Leiterrahmens 60 verbunden, wobei es sich bei diesen Stiften beziehungsweise Pins um Testpins oder Outpins handeln kann, wobei die vorliegende Beschreibung jedoch nicht auf irgendeine Art dieser anderen Stifte beziehungsweise Pins beschränkt ist.

[0026] Gemäß einem zweiten Aspekt der vorliegenden Erfindung kann das integrierte Zwei-Chip-Schaltungs-(IC)-System 1 im integrierten Schaltkreis-(IC)-Gehäuse 11 mit zwei separaten Versorgungsgebiete-

ten für eine kontaktlose Messung von dem Magnetfeld von einem rotierenden Magneten verwendet werden, um den Rotationswinkel zu bestimmen. Ferner kann gemäß einem dritten Aspekt der vorliegenden Erfindung das integrierte Zwei-Chip Schaltungs-(IC)-System 1 im integrierten Schaltkreis-(IC)-Gehäuse 11 mit zwei separaten Versorgungsgebieten zur kontaktlosen Messung von dem Magnetfeld von einem Magneten aus der Gruppe zylindrischer Magnete oder stabförmiger Magnete verwendet werden.

[0027] **Fig. 4** ist ein Flussdiagramm eines Verfahrens 200 zur Montage eines integrierten Zwei-Chip-Schaltkreissystems in einem integrierten Schaltkreishäuser mit zwei separaten Versorgungsgebieten gemäß einem vierten Aspekt der vorliegenden Erfindung. Das Verfahren 200 umfasst die Schritte Bereitstellen 201 des ersten Chips 20; Bereitstellen 202 des zweiten Chips 30; Verbinden 203 des ersten Chips 20 mit dem ersten Massestift (GND1) und mit der ersten Versorgungsspannung (Vsup1) auf dem Leiterrahmen 60; Verbinden 204 des zweiten Chips 20 mit einem zweiten Massestift (GND2) und mit der zweiten Versorgungsspannung (Vsup2) auf dem Leiterrahmen (60); und Koppeln 205 des zumindest einen kapazitiven Elements 70 zwischen dem ersten Massestift (GND1) und dem zweiten Massestift (GND2) und/oder zwischen der ersten Versorgungsspannung (Vsup1) und der zweiten Versorgungsspannung (Vsup2).

[0028] Das Verfahren 200 umfasst ferner den Schritt des Anordnens 206 des Abstandselements 40 zwischen dem ersten Chip 20 und dem zweiten Chip 30. Das Verfahren 200 umfasst ferner den Schritt des Anordnens 207 zumindest eines des ersten Chips 20 und des zweiten Chips 30 auf dem Stützelement 50.

[0029] Anhand der obigen Beschreibung der vorliegenden Erfindung wird der Fachmann Verbesserungen, Änderungen und Modifikationen der vorliegenden Erfindung erkennen. Solche Verbesserungen, Änderungen und Modifikationen, die dem Fachmann bekannt sind, sollen durch die beigefügten Ansprüche abgedeckt werden.

Bezugszeichenliste

1	integriertes Zwei-Chip Schaltungs-(IC)-System
10	gestapelte Anordnung
11	integriertes Schaltkreis-(IC)-Gehäuse
12	nebeneinander angeordnete Anordnung
20	erster Chip

21	erste magnetische Sensoranordnung	umfassend ein Stützelement (50), an welchem
30	zweiter Chip	zumindest einer von dem ersten Chip (20) und
31	zweite magnetische Sensoranordnung	dem zweiten Chip (30) angeordnet ist.
40	Abstandselement	
50	Stützelement	5. Integriertes Zwei-Chip Schaltungs-(IC)-System (1) nach einem der Ansprüche 1 bis 4, wobei
60	Leiterrahmen	zumindest einer von dem ersten Chip (20) und
70	kapazitives Element	dem zweiten Chip (30) ein Sensorelement ist.
100	nebeneinander angeordnete Anordnung	6. Integriertes Zwei-Chip Schaltungs-(IC)-System (1) gemäß Anspruch 5, wobei das Sensorelement
GND1	erster Massestift	von zumindest einem von dem ersten Chip (20) und dem zweiten Chip (30) ein optischer Sensor, Beschleunigungssensor oder Hall-Sensor ist.
GND2	zweiter Massestift	7. Integriertes Zwei-Chip Schaltungs-(IC)-System (1) gemäß Anspruch 4, wobei das
Vsup1	erste Versorgungsspannung	zumindest eine kapazitive Element (70) in das Stützelement (50) integriert ist.
Vsup2	zweite Versorgungsspannung	8. Integriertes Zwei-Chip Schaltungs-(IC)-System (1) gemäß Anspruch 4 oder 7, wobei das Stützelement (50) mit dem Leiterraahmen (60) verbunden ist.

Patentansprüche

1. Integriertes Zwei-Chip Schaltungs-(IC)-System (1) in einem integrierten Schaltkreis-(IC)-Gehäuse (11) mit zwei separaten Versorgungsgebieten, umfassend:

einen ersten Chip (20);
einen zweiten Chip (30);
einen Leiterraahmen (60) umfassend einen ersten Massestift (GND1), eine erste Versorgungsspannung (Vsup1), einen zweiten Massestift (GND2) und eine zweite Versorgungsspannung (Vsup2), wobei der erste Chip (20) mit dem ersten Massestift (GND1) und der ersten Versorgungsspannung (Vsup1) verbunden ist und wobei der zweite Chip (30) mit dem zweiten Massestift (GND2) und der zweiten Versorgungsspannung (Vsup2) verbunden ist; und

zumindest ein kapazitives Element (70) angebunden zwischen dem ersten Massestift (GND1) und dem zweiten Massestift (GND2) und/oder angebunden zwischen der ersten Versorgungsspannung (Vsup1) und der zweiten Versorgungsspannung (Vsup2).

2. Integriertes Zwei-Chip Schaltungs-(IC)-System (1) gemäß Anspruch 1, wobei das integrierte Zwei-Chip Schaltungs-(IC)-System (1) in einer gestapelten Anordnung (10) oder in einer nebeneinander angeordneten Anordnung (100) angeordnet ist.

3. Integriertes Zwei-Chip Schaltungs-(IC)-System (1) gemäß Anspruch 1 oder 2, ferner umfassend ein Abstandselement (40), welches zwischen dem ersten Chip (20) und dem zweiten Chip (30) angeordnet ist.

4. Integriertes Zwei-Chip Schaltungs-(IC)-System (1) nach einem der Ansprüche 1 bis 3, ferner

9. Integriertes Zwei-Chip Schaltungs-(IC)-System (1) gemäß einem der Ansprüche 1 bis 8, wobei der erste Chip (20) zumindest eine erste magnetische Sensoranordnung (21) und/oder der zweite Chip (30) zumindest ein zweite magnetische Sensoranordnung (31) aufweist.

10. Verwendung eines integrierten Zwei-Chip Schaltungs-(IC)-Systems (1) in einem integrierten Schaltkreis-(IC)-Gehäuse (11) mit zwei separaten Versorgungsgebieten nach jedem der Ansprüche 1 bis 9 für eine kontaktlose Messung von dem Magnetfeld von einem rotierenden Magneten, um den Rotationswinkel zu bestimmen.

11. Verwendung eines integrierten Zwei-Chip Schaltungs-(IC)-Systems (1) in einem integrierten Schaltkreis-(IC)-Gehäuse (11) mit zwei separaten Versorgungsgebieten nach jedem der Ansprüche 1 bis 9 für eine kontaktlose Messung von dem Magnetfeld von einem Magneten von der Gruppe zylindrischer Magnete oder stabförmiger Magnete.

12. Verfahren (200) für eine Montage eines integrierten Zwei-Chip Schaltungs-(IC)-Systems (1) in einem integrierten Schaltkreis-(IC)-Gehäuse (11) mit zwei separaten Versorgungsgebieten, das Verfahren umfassend die Schritte:

Bereitstellen (201) eines ersten Chips (20);
Bereitstellen (202) eines zweiten Chips (30);
Verbinden (203) des ersten Chips (20) mit einem ersten Massestift (GND1) und mit einer ersten Versorgungsspannung (Vsup1) auf einem Leiterraahmen (60);
Verbinden (204) des zweiten Chips (20) mit einem

zweiten Massestift (GND2) und mit einer zweiten Versorgungsspannung (V_{sup2}) auf dem Leiterrahmen (60); und Koppeln (205) zumindest eines kapazitiven Elements (70) zwischen dem ersten Massestift (GND1) und dem zweiten Massestift (GND2) und/oder zwischen der ersten Versorgungsspannung (V_{sup1}) und der zweiten Versorgungsspannung (V_{sup2}).

13. Verfahren gemäß Anspruch 12, ferner umfassend den Schritt des: Anordnen (206) eines Abstandselements (40) zwischen dem ersten Chip (20) und dem zweiten Chip (30).

14. Verfahren gemäß Anspruch 12 oder 13, ferner umfassend den Schritt des: Anordnen (207) zumindest eines des ersten Chips (20) und des zweiten Chips (30) auf einem Stützelement (50).

Es folgen 2 Seiten Zeichnungen

Anhängende Zeichnungen

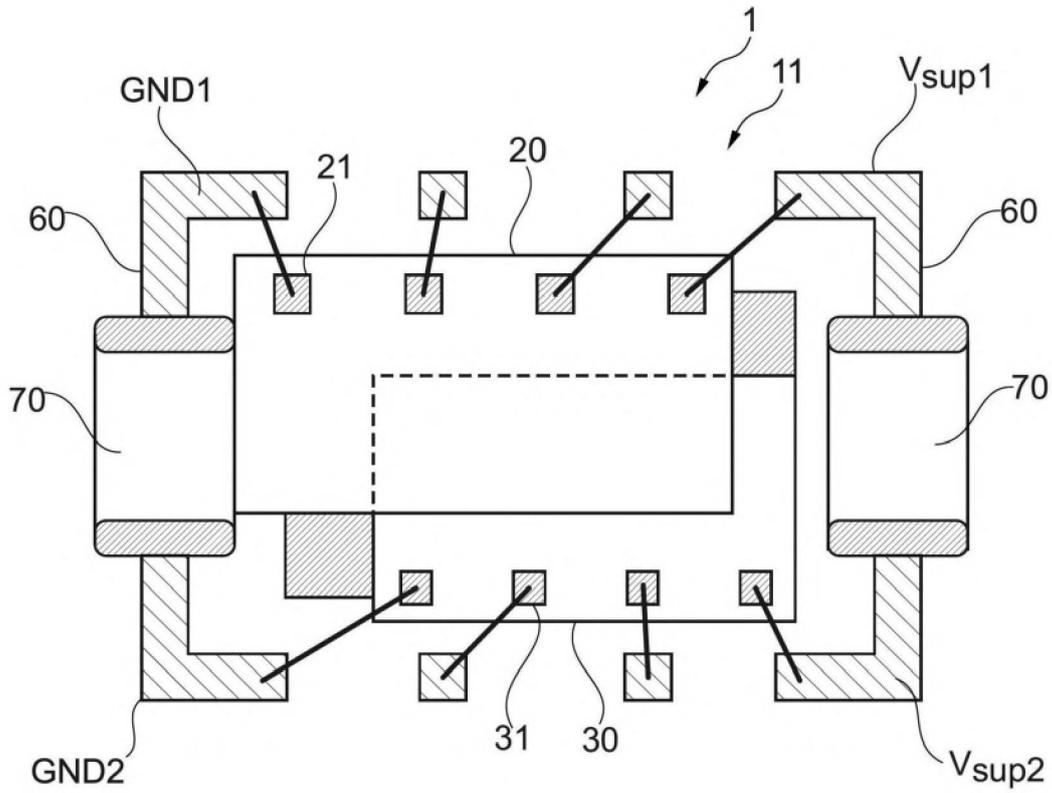


Fig. 1

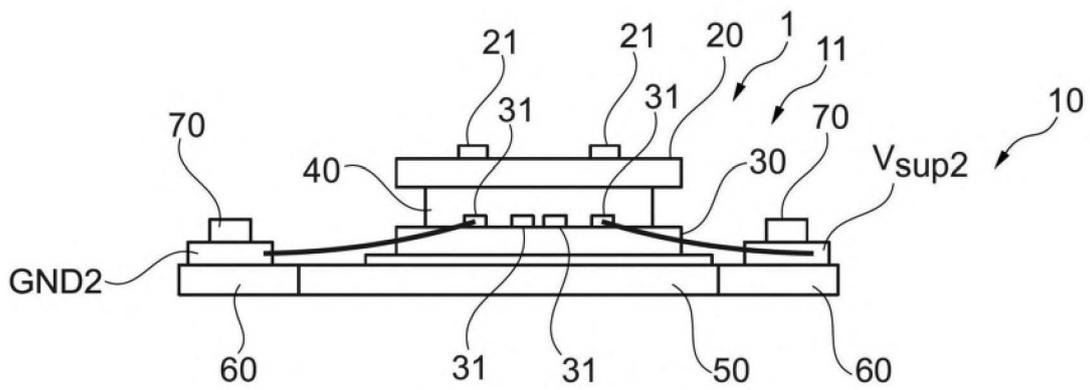


Fig. 2

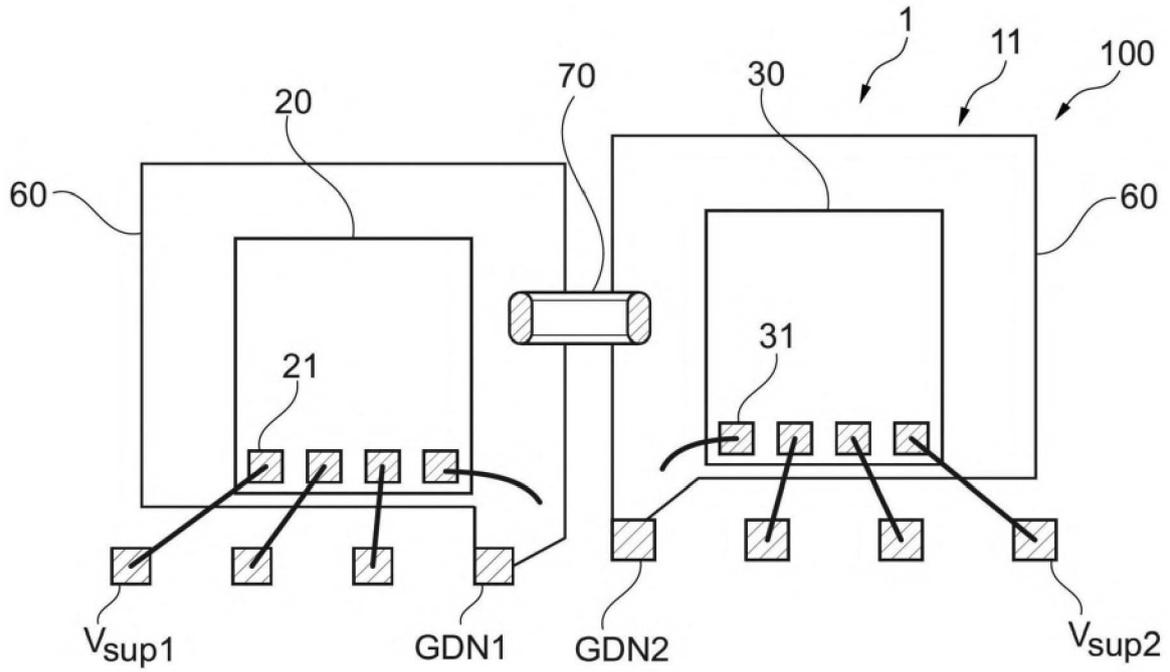


Fig. 3

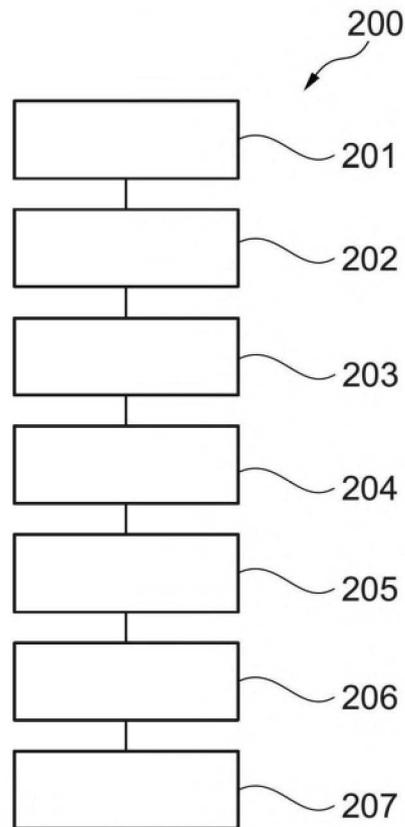


Fig. 4