



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0014003  
(43) 공개일자 2009년02월06일

(51) Int. Cl.

G11C 16/24 (2006.01) G11C 7/18 (2006.01)

(21) 출원번호 10-2007-0078203

(22) 출원일자 2007년08월03일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

곽관석

경기 화성시 진안동 진안골마을주공아파트  
1104-302

이두열

서울 서초구 서초동 무지개아파트 2-810

(74) 대리인

리엔목특허법인

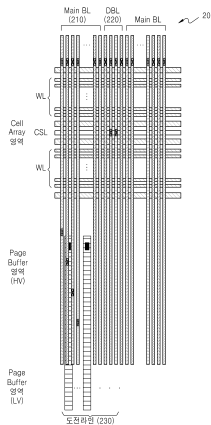
전체 청구항 수 : 총 23 항

**(54) 비트라인 레이아웃의 구조를 개선한 플래시 메모리 장치 및 그 레이아웃 방법**

**(57) 요약**

비트라인의 레이아웃을 개선한 플래시 메모리 장치 및 그 레이아웃 방법이 개시된다. 상기 플래시 메모리 장치의 일실시예에 따르면, 더블 패터닝 방식(Double Patterning Technology, DPT)에 기반하여 비트라인이 배치되며, 데이터를 저장하기 위한 메모리 셀을 구비하는 셀 스트링에 각각 연결되는 하나 이상의 메인 비트라인들, 상기 메인 비트라인들과 나란하게 배치되는 하나 이상의 더미 비트라인들 및 상기 비트라인들과 서로 다른 층에 배치되며, 공통 소스 전압을 전달하기 위한 공통 소스 라인(common source line)을 구비하고, 상기 더미 비트라인들은, 제1 전압을 전달하기 위한 제1 더미 비트라인과 제2 전압을 전달하기 위한 제2 더미 비트라인을 구비하는 것을 특징으로 한다.

**대표도** - 도5



## 특허청구의 범위

### 청구항 1

더블 패턴닝 방식(Double Patterning Technology, DPT)에 기반하여 비트라인이 배치되는 플래시 메모리 장치에 있어서,

데이터를 저장하기 위한 메모리 셀을 구비하는 셀 스트링에 각각 연결되는 하나 이상의 메인 비트라인들;

상기 메인 비트라인들과 나란하게 배치되는 하나 이상의 더미 비트라인들; 및

상기 비트라인들과 서로 다른 층에 배치되며, 공통 소스 전압을 전달하기 위한 공통 소스 라인(common source line)을 구비하며,

상기 더미 비트라인들은, 제1 전압을 전달하기 위한 제1 더미 비트라인과 제2 전압을 전달하기 위한 제2 더미 비트라인을 구비하는 것을 특징으로 하는 플래시 메모리 장치.

### 청구항 2

제1항에 있어서,

상기 제1 더미 비트라인은 상기 메인 비트라인에 인접하여 배치되는 더미 비트라인이며, 상기 제2 더미 비트라인은 상기 메인 비트라인에 인접하지 않게 배치되는 더미 비트라인인 것을 특징으로 하는 플래시 메모리 장치.

### 청구항 3

제2항에 있어서,

상기 제1 더미 비트라인은 반도체 기판의 웰(WELL)에 전기적으로 연결되며, 상기 제2 더미 비트라인은 공통 소스 전압을 제공하는 전압원에 전기적으로 연결되는 것을 특징으로 하는 플래시 메모리 장치.

### 청구항 4

제3항에 있어서,

상기 웰(WELL)은 P 형의 불순물을 포함하는 P형 웰(P-WELL)인 것을 특징으로 하는 플래시 메모리 장치.

### 청구항 5

제3항에 있어서,

상기 제2 더미 비트라인은 컨택 홀(contact hole)을 통하여 상기 공통 소스 라인에 더 연결되는 것을 특징으로 하는 플래시 메모리 장치.

### 청구항 6

제1항에 있어서,

상기 메인 비트라인들과 더미 비트라인들은, 서로 동일한 폭 및 간격을 갖도록 배치되는 것을 특징으로 하는 플래시 메모리 장치.

### 청구항 7

제1항에 있어서, 상기 플래시 메모리 장치는,

상기 메인 비트라인 및 더미 비트라인들이 배치되는 제1 레이어(layer)와 상기 반도체 기판층 사이의 전기적 연결을 위하여, 상기 제1 레이어 및 상기 반도체 기판층 사이에 배치되며 메탈 라인을 갖는 제2 레이어를 구비하는 것을 특징으로 하는 플래시 메모리 장치.

### 청구항 8

제7항에 있어서,

상기 제2 더미 비트라인은, 공통 소스 전압을 제공하는 전압원에 전기적으로 연결되며, 상기 제2 레이어의 메탈

라인을 경유하여 상기 공통 소스 라인과 연결되는 것을 특징으로 하는 플래시 메모리 장치.

**청구항 9**

제1항에 있어서,

상기 플래시 메모리 장치는 NAND 타입의 플래시 메모리인 것을 특징으로 하는 플래시 메모리 장치.

**청구항 10**

더블 패터닝 방식(Double Patterning Technology, DPT)에 기반하여 셀 어레이 영역 및 페이지 버퍼 영역에 걸쳐 비트라인이 배치되는 플래시 메모리 장치에 있어서,

상기 비트라인은, 데이터 저장을 위한 메모리 셀에 연결되는 하나 이상의 메인 비트라인들; 및 데이터 저장에 무관한 더미 셀에 연결되는 하나 이상의 더미 비트라인들;을 구비하며,

상기 메인 비트라인들 및 더미 비트라인들을 상기 더블 패터닝 방식에 기반하여 레이아웃함에 있어서, 상기 메인 비트라인들 및 더미 비트라인들이 대략 일정한 폭 및 간격을 가지며 나란하게 배치되고, 트림(Trim) 공정이 스킵(skip)됨에 의하여 상기 메인 비트라인들 및/또는 더미 비트라인들은 상기 셀 어레이 영역 및 페이지 버퍼 영역에서 트림 영역을 갖지 않는 것을 특징으로 하는 플래시 메모리 장치.

**청구항 11**

제10항에 있어서,

상기 장치는, 상기 메인 비트라인들 및 더미 비트라인들과 서로 다른 층에 배치되며 공통 소스 전압을 전달하기 위한 공통 소스 라인(common source line)을 더 구비하며,

상기 더미 비트라인들은, 반도체 기판의 웰(WELL)에 전기적으로 연결되는 제1 더미 비트라인과, 공통 소스 전압을 제공하는 전압원에 전기적으로 연결되는 제2 더미 비트라인을 구비하는 것을 특징으로 하는 플래시 메모리 장치.

**청구항 12**

더블 패터닝 방식(Double Patterning Technology, DPT)에 기반하여 비트라인이 배치되는 플래시 메모리 장치에 있어서,

데이터를 저장하기 위한 메모리 셀을 구비하는 셀 스트링에 각각 연결되는 하나 이상의 메인 비트라인들;

상기 메인 비트라인들과 나란하게 배치되는 하나 이상의 더미 비트라인들;

상기 비트라인들과 서로 다른 레이어에 배치되며, 공통 소스 전압을 전달하기 위한 공통 소스 라인(common source line); 및

장치의 리드 및/또는 기록 동작시 데이터를 일시 저장하며, 고 전압이 인가되는 제1 영역 및 저 전압이 인가되는 제2 영역을 구비하고, 상기 제1 영역과 상기 제2 영역은 상기 비트라인들과 다른 레이어에 배치되는 도전라인을 통해 전기적으로 연결되는 페이지 버퍼를 구비하는 것을 특징으로 하는 플래시 메모리 장치.

**청구항 13**

제12항에 있어서,

상기 도전라인이 배치되는 레이어는, 상기 비트라인들이 배치되는 레이어와 반도체 기판층 사이에 위치하는 것을 특징으로 하는 플래시 메모리 장치.

**청구항 14**

제13항에 있어서,

상기 도전라인은, 이븐(even)과 오드(odd)의 메인 비트라인 쌍 각각에 대응하여 도전라인이 배치되는 것을 특징으로 하는 플래시 메모리 장치.

**청구항 15**

제12항에 있어서,

상기 메인 비트라인들 및 더미 비트라인들을 상기 더블 패터닝 방식에 기반하여 레이아웃함에 있어서, 트림(Trim) 공정이 스킵(skip)됨에 의하여 상기 메인 비트라인들 및/또는 더미 비트라인들은 셀 어레이 영역 및 페이지 버퍼 영역에서 트림 영역을 갖지 않는 것을 특징으로 하는 플래시 메모리 장치.

**청구항 16**

제12항에 있어서,

상기 더미 비트라인들은, 제1 전압을 전달하기 위한 제1 더미 비트라인과 제2 전압을 전달하기 위한 제2 더미 비트라인을 구비하는 것을 특징으로 하는 플래시 메모리 장치.

**청구항 17**

제16항에 있어서,

상기 제1 더미 비트라인은 상기 메인 비트라인에 인접하여 배치되는 더미 비트라인이며, 상기 제2 더미 비트라인은 상기 메인 비트라인에 인접하지 않게 배치되는 더미 비트라인인 것을 특징으로 하는 플래시 메모리 장치.

**청구항 18**

제17항에 있어서,

상기 제1 더미 비트라인은 반도체 기관의 웰(WELL)에 전기적으로 연결되며,

상기 제2 더미 비트라인은 공통 소스 전압을 제공하는 전압원과 상기 공통 소스 라인 사이에 전기적으로 연결되는 것을 특징으로 하는 플래시 메모리 장치.

**청구항 19**

더블 패터닝 방식(Double Patterning Technology, DPT)에 기반하여 플래시 메모리 장치의 코어(Core)를 레이아웃하는 방법에 있어서,

워드라인 전압을 전달하기 위한 복수의 워드라인과 공통 소스 전압을 전달하기 위한 공통 소스 라인(common source line)을 배치하는 단계;

데이터의 유효한 저장에 관계된 하나 이상의 메인 비트라인들과 데이터의 저장에 무관한 하나 이상의 더미 비트라인들을 포함하는 비트라인들을 대략 일정한 폭 및 간격을 갖도록 하여 배치하는 단계; 및

상기 더미 비트라인들 중 제1 더미 비트라인을 제1 전압에 전기적으로 연결하고, 제2 더미 비트라인을 제2 전압에 전기적으로 연결하는 단계를 구비하며,

상기 비트라인들을 레이아웃함에 있어서, 트림(Trim) 공정 단계가 스킵(skip)됨에 의하여 상기 메인 비트라인들 및/또는 더미 비트라인들은 셀 어레이 영역 및 페이지 버퍼 영역에서 트림 영역을 갖지 않는 것을 특징으로 하는 플래시 메모리 장치의 레이아웃 방법.

**청구항 20**

제19항에 있어서,

상기 제1 더미 비트라인은 상기 메인 비트라인에 인접하여 배치되는 더미 비트라인이며, 상기 제2 더미 비트라인은 상기 메인 비트라인에 인접하지 않게 배치되는 더미 비트라인인 것을 특징으로 하는 플래시 메모리 장치의 레이아웃 방법.

**청구항 21**

제19항에 있어서,

반도체 기관층과 상기 비트라인들이 배치되는 비트라인 층 사이에, 상기 제2 더미 비트라인과 상기 공통 소스 라인을 연결하기 위한 메탈층을 배치하는 단계를 더 구비하는 것을 특징으로 하는 플래시 메모리 장치의 레이아웃 방법.

웃 방법.

**청구항 22**

제19항에 있어서,

상기 플래시 메모리 장치에 구비되는 페이지 버퍼는, 고 전압이 인가되는 제1 영역 및 저 전압이 인가되는 제2 영역을 구비하고,

상기 제1 영역과 상기 제2 영역은 상기 비트라인들과 서로 다른 레이어에 배치되는 도전라인을 통해 전기적으로 연결되는 것을 특징으로 하는 플래시 메모리 장치의 레이아웃 방법.

**청구항 23**

제22항에 있어서,

상기 도전라인이 배치되는 레이어는, 상기 비트라인들이 배치되는 레이어와 반도체 기판층 사이에 위치하는 것을 특징으로 하는 플래시 메모리 장치의 레이아웃 방법.

**명세서**

**발명의 상세한 설명**

**기술분야**

<1> 본 발명은 플래시 메모리 장치 및 그 레이아웃 방법에 관한 것으로서, 더 자세하게는 더블 패터닝 방식(DPT, Double Patterning Technology)에 기반한 비트라인 레이아웃의 구조를 개선한 불휘발성 메모리 장치 및 그 레이아웃 방법에 관한 것이다.

**배경기술**

<2> 모바일(Mobile) 시스템 및 여러 가지 응용 시스템의 개발에 따라 불휘발성 메모리인 플래시(flash) 메모리의 요구가 증가되고 있다. 전기적으로 소거 및 프로그램이 가능한 불휘발성 메모리 장치인 플래시 메모리는, 전원이 공급되지 않는 상태에서도 데이터를 보존할 수 있는 특징을 가지고 있으며, 또한 마그네틱 디스크 메모리를 기반으로 하는 저장 매체에 비해 전력 소모가 적으면서도 하드 디스크와 같이 액세스 타임(Access Time)이 빠른 특징을 갖는다.

<3> 플래시 메모리는 셀과 비트라인의 연결 상태에 따라 노어(NOR)형과 낸드(NAND)형으로 구분된다. 특히 낸드(NAND)형 플래시 메모리는 1개의 비트 라인에 2개 이상의 셀 트랜지스터가 직렬로 연결된 형태로서, 상대적으로 작은 면적에 많은 양의 데이터를 저장할 수 있다.

<4> 장치의 특성을 향상시키기 위한 하나의 방법으로서, 일반적으로 플래시 메모리 장치는 유효한 데이터 저장에 이용되지 않는 더미 비트라인을 채용하고 있다. 더미 비트라인은 실제 유효한 데이터의 저장에 이용되는 메인 비트라인들 사이에 배치되며, 더미 비트라인을 통하여 비트라인 상층부의 배선과 하층부의 배선이 서로 연결된다. 일례로서, 공통 소스라인(CSL)은 더미 비트라인을 통하여 상기 더미 비트라인의 상층부에 배치되는 메탈라인과 연결된다.

<5> 도 1은 일반적인 플래시 메모리 장치(10)를 나타내는 회로도이다. 도시된 바와 같이 플래시 메모리 장치(10)는 메모리 셀 어레이(11) 및 페이지 버퍼 블록(12)을 구비한다. 메모리 셀 어레이(11)는, 데이터를 저장하기 위한 복수 개의 메모리 셀들(MC)과 데이터의 유효한 저장에 이용되지 않는 복수 개의 더미 셀(DMC)을 구비한다. 또한 메인 비트라인(BL0e 내지 BL0o) 각각에는 복수의 메모리 셀(MC)이 직렬 연결되며, 더미 비트라인(DBL)에는 복수의 더미 셀(DMC)이 직렬 연결된다. 또한, 스트링 선택 라인(SSL), 워드라인(WL0 내지 WL31) 및 접지 선택 라인(GSL)들이 서로 평행하게 배열된다.

<6> 한편, 공통 소스 라인(CSL)은 비트라인들의 하부층에 배치되어 상기 비트라인들과 대략 직교하는 방향으로 배열되며, 공통 소스 라인(CSL)을 통하여 셀 스트링의 메모리 셀(MC)의 소스 전압으로 작용하는 전압이 제공된다. 그러나, 라인의 저항성분으로 인하여 공통 소스 라인(CSL)의 전압레벨이 하강하는 현상이 발생하는데, 이에 따른 장치의 성능 저하를 방지하기 위하여 더미 비트라인(DBL)과 공통 소스라인을 전기적으로 연결하고, 더미 비트라인(DBL)을 통하여 공통 소스라인의 전압레벨을 제공한다. 도 1의 도면부호 m은 더미 비트라인(DBL)과 공통

소스라인이 전기적으로 연결되는 구성을 도시한다.

- <7> 도 2는 도 1의 페이지 버퍼 블록(12)에 구비되는 페이지 버퍼의 일례를 나타내는 회로도이다. 일례로서 메인 비트라인들은 이븐(even) 비트라인들 및 오드(odd) 비트라인들로 구분되며, 각각의 이븐(even) 비트라인과 오드(odd) 비트라인이 하나의 페이지 버퍼에 연결된다.
- <8> 첫 번째 페이지 버퍼(12\_0)에는 첫 번째 이븐(even) 비트라인(BL0e)과 첫 번째 오드(odd) 비트라인(BL0o)이 연결된다. 일반적으로 페이지 버퍼는, 고 전압에서 동작하는 고 전압 영역(High Voltage region)과 저 전압에서 동작하는 저 전압 영역(Low Voltage region)을 구비한다. 고 전압 영역에는 복수의 트랜지스터들(T21 내지 T24)이 배치되며, 트랜지스터들(T21, T22)은 이븐(even) 비트라인(BL0e) 및 오드(odd) 비트라인(BL0o)의 전압을 프리차지하거나 조절하기 위한 용도로 사용된다. 즉, 트랜지스터들(T21, T22)은 차단 제어신호(SHLDe, SHLDo)에 응답하여 비트라인 파워전압(BLPWR)을 전달하거나 차단한다. 또한 트랜지스터들(T23, T24)은 이븐(even) 비트라인(BL0e) 및 오드(odd) 비트라인(BL0o) 중 어느 하나의 비트라인을 선택하기 위한 용도로 사용된다. 즉, 트랜지스터들(T23, T24)은 비트라인 선택신호(BLSLTe, BSLSTo)에 응답하여, 이븐(even) 비트라인(BL0e)을 비트라인 BL0에 연결하거나, 또는 오드(odd) 비트라인(BL0o)을 비트라인 BL0에 연결한다.
- <9> 한편, 저 전압 영역(High Voltage region)에 구비되는 트랜지스터(T25)는, 셋 오프 제어신호(BLSHF)에 응답하여 이븐(even) 비트라인(BL0e) 또는 오드(odd) 비트라인(BL0o)과 비트라인 BL0 사이의 연결을 제어한다.
- <10> 근래 들어 플래시 메모리 장치를 포함하여 반도체 메모리 장치의 집적도가 증가됨에 따라, 메모리 장치의 회로를 구성하는 패턴의 사이즈(피치, pitch) 및 간격(space) 역시 감소하고 있다. 패턴의 사이즈 및 간격을 줄일 수 있는 기술로서 더블 패턴링 방식(DPT, Double Patterning Technology)이 제안되고 있다.
- <11> 상기와 같은 DPT 방식에 기반하여 플래시 메모리 장치의 코어 부분(메모리 셀 어레이, 페이지 버퍼)을 구현함에 있어서, 비트라인을 형성하기 위한 패턴의 사이즈 및 간격을 축소(shrink)시킬 수 있다. 그러나 상기 간격이 축소됨에 따라 서로 인접한 비트라인들 사이에는 큰 값의 커플링 커패시턴스가 형성된다. 마찬가지로 메인 비트라인(BL)과 이에 인접한 메인 비트라인(DBL) 사이에도 큰 값의 커플링 커패시턴스가 형성된다.
- <12> 이러한 경우, 더미 비트라인(DBL)에 인접한 메인 비트라인(BL)에 대응하는 메모리 셀(MC)의 데이터를 센싱하는 시점에서, 상기 더미 비트라인(DBL)의 전압레벨도 큰 폭으로 하강하게 된다. 이에 따라 상기 더미 비트라인(DBL)과 인접한 메인 비트라인(BL)의 전압레벨도 큰 폭으로 떨어지게 되므로, 메모리 셀의 데이터를 정확하게 센싱할 수 없는 문제가 발생한다.
- <13> 상기와 같은 문제의 발생을 방지하기 위하여, 비트라인 및 이에 관련된 회로의 레이아웃의 구조를 변형시키는 방안이 고려될 수 있다. 그러나, DPT 방식에 기반하여 비트라인을 레이아웃 하는 경우에는, 상기 구조 변형을 위하여 추가적인 공정 단계가 발생하는 등 공정의 난이도 및 비용적인 측면에서 불리한 문제가 있다.

## 발명의 내용

### 해결 하고자하는 과제

- <14> 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로서, DPT 방식에 최적화될 수 있는 비트라인 레이아웃 구조를 갖는 플래시 메모리 장치 및 그 레이아웃 방법을 제공하는 데 그 목적이 있다.

### 과제 해결수단

- <15> 상기와 같은 목적을 달성하기 위하여, 본 발명의 일실시예에 따른 플래시 메모리 장치에 따르면, 더블 패턴링 방식(Double Patterning Technology, DPT)에 기반하여 비트라인이 배치되고, 데이터를 저장하기 위한 메모리 셀을 구비하는 셀 스트링에 각각 연결되는 하나 이상의 메인 비트라인들과, 상기 메인 비트라인들과 나란하게 배치되는 하나 이상의 더미 비트라인들 및 상기 비트라인들과 서로 다른 층에 배치되며, 공통 소스 전압을 전달하기 위한 공통 소스 라인(common source line)을 구비하며, 상기 더미 비트라인들은, 제1 전압을 전달하기 위한 제1 더미 비트라인과 제2 전압을 전달하기 위한 제2 더미 비트라인을 구비하는 것을 특징으로 한다.
- <16> 바람직하게는, 상기 제1 더미 비트라인은 상기 메인 비트라인에 인접하여 배치되는 더미 비트라인이며, 상기 제2 더미 비트라인은 상기 메인 비트라인에 인접하지 않게 배치되는 더미 비트라인인 것을 특징으로 한다.
- <17> 또한 바람직하게는, 상기 제1 더미 비트라인은 반도체 기판의 웰(WELL)에 전기적으로 연결되며, 상기 제2 더미 비트라인은 공통 소스 전압을 제공하는 전압원에 전기적으로 연결되는 것을 특징으로 한다.

- <18> 또한 바람직하게는, 상기 웰(WELL)은 P 형의 불순물을 포함하는 P형 웰(P-WELL)인 것을 특징으로 한다.
- <19> 또한 바람직하게는, 상기 제2 더미 비트라인은 컨택 홀(contact hole)을 통하여 상기 공통 소스 라인에 더 연결되는 것을 특징으로 한다.
- <20> 한편, 상기 메인 비트라인들과 더미 비트라인들은 서로 동일한 폭 및 간격을 갖도록 배치될 수 있다.
- <21> 한편, 상기 플래시 메모리 장치는, 상기 메인 비트라인 및 더미 비트라인들이 배치되는 제1 레이어(layer)와 상기 반도체 기판층 사이의 전기적 연결을 위하여, 상기 제1 레이어 및 상기 반도체 기판층 사이에 배치되며 메탈 라인을 갖는 제2 레이어를 구비할 수 있다.
- <22> 바람직하게는, 상기 제2 더미 비트라인은, 공통 소스 전압을 제공하는 전압원에 전기적으로 연결되며, 상기 제2 레이어의 메탈라인을 경유하여 상기 공통 소스 라인과 연결되는 것을 특징으로 한다.
- <23> 한편, 상기 플래시 메모리 장치는 NAND 타입의 플래시 메모리가 적용될 수 있다.
- <24> 한편, 본 발명의 다른 실시예에 따른 플래시 메모리 장치에 따르면, 더블 패터닝 방식(Double Patterning Technology, DPT)에 기반하여 셀 어레이 영역 및 페이지 버퍼 영역에 걸쳐 비트라인이 배치되고, 상기 비트라인은, 데이터 저장을 위한 메모리 셀에 연결되는 하나 이상의 메인 비트라인들 및 데이터 저장에 무관한 더미 셀에 연결되는 하나 이상의 더미 비트라인들을 구비하며, 상기 메인 비트라인들 및 더미 비트라인들을 상기 더블 패터닝 방식에 기반하여 레이아웃함에 있어서, 상기 메인 비트라인들 및 더미 비트라인들이 대략 일정한 폭 및 간격을 가지며 나란하게 배치되고, 트림(Trim) 공정이 스킵(skip)됨에 의하여 상기 메인 비트라인들 및/또는 더미 비트라인들은 상기 셀 어레이 영역 및 페이지 버퍼 영역에서 트림 영역을 갖지 않는 것을 특징으로 한다.
- <25> 한편, 본 발명의 또 다른 실시예에 따른 플래시 메모리 장치에 따르면, 더블 패터닝 방식(Double Patterning Technology, DPT)에 기반하여 비트라인이 배치되고, 데이터를 저장하기 위한 메모리 셀을 구비하는 셀 스트링에 각각 연결되는 하나 이상의 메인 비트라인들과, 상기 메인 비트라인들과 나란하게 배치되는 하나 이상의 더미 비트라인들과, 상기 비트라인들과 서로 다른 레이어에 배치되며, 공통 소스 전압을 전달하기 위한 공통 소스 라인(common source line) 및 장치의 리드 및/또는 기록 동작시 데이터를 일시 저장하며, 고 전압이 인가되는 제1 영역 및 저 전압이 인가되는 제2 영역을 구비하고, 상기 제1 영역과 상기 제2 영역은 상기 비트라인들과 다른 레이어에 배치되는 도전라인을 통해 전기적으로 연결되는 페이지 버퍼를 구비하는 것을 특징으로 한다.
- <26> 한편, 본 발명의 일 실시예에 따른 플래시 메모리 장치의 비트라인 레이아웃 방법에 따르면, 더블 패터닝 방식(Double Patterning Technology, DPT)에 기반하여 플래시 메모리 장치의 코어(Core)를 레이아웃하며, 워드라인 전압을 전달하기 위한 복수의 워드라인과 공통 소스 전압을 전달하기 위한 공통 소스 라인(common source line)을 배치하는 단계와, 데이터의 유효한 저장에 관계된 하나 이상의 메인 비트라인들과 데이터의 저장에 무관한 하나 이상의 더미 비트라인들을 포함하는 비트라인들을 대략 일정한 폭 및 간격을 갖도록 하여 배치하는 단계 및 상기 더미 비트라인들 중 제1 더미 비트라인을 제1 전압에 전기적으로 연결하고, 제2 더미 비트라인을 제2 전압에 전기적으로 연결하는 단계를 구비하며, 상기 비트라인들을 레이아웃함에 있어서, 트림(Trim) 공정 단계가 스킵(skip)됨에 의하여 상기 메인 비트라인들 및/또는 더미 비트라인들은 셀 어레이 영역 및 페이지 버퍼 영역에서 트림 영역을 갖지 않는 것을 특징으로 한다.

**효과**

- <27> 상기한 바와 같은 본 발명에 따른 플래시 메모리 장치 및 그 레이아웃 방법에 따르면, 메인 비트라인 및 더미 비트라인을 동일한 패턴으로 형성할 수 있으므로 DPT를 기반으로 하는 비트라인 레이아웃 공정에 유리하다. 또한 비트라인에 별도의 트림 영역이 요구되지 않으므로, DPT 방식에 기반한 비트라인 레이아웃 공정시 별도의 트림 공정을 생략할 수 있는 효과가 있다.

**발명의 실시를 위한 구체적인 내용**

- <28> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시 예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.
- <29> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <30> 도 3은 DPT 방식에 기반하는 비트라인 레이아웃을 나타내는 도면이다. 도시된 바와 같이 복수의 메인 비트라인



들(Main BL, 110)이 나란하게 배치되며, 상기 메인 비트라인들(110) 사이에는 유효한 데이터의 저장과는 무관한 더미 비트라인(DBL, 120)이 배치된다. 한편 메인 비트라인들(110) 및 더미 비트라인(120)이 배치되는 층의 하부에는, 복수의 워드라인들(WL)과 공통 소스 라인(CSL)이 상기 비트라인들과 서로 대략 직교하는 방향으로 배치된다. 반도체 기판에는 데이터를 저장하기 위한 메모리 셀과 데이터의 유효한 저장에 이용되지 않는 더미 셀이 배치된다. 복수의 직렬연결된 메모리 셀을 구비하는 셀 스트링은 메인 비트라인(110) 각각에 연결된다. 또한 더미 비트라인(120)에는 복수 개의 더미 셀을 포함하는 셀 스트링에 연결된다.

- <31> 도 3에는 메모리 셀들과 더미 셀들이 배치되는 셀 어레이 영역과, 상기 셀 어레이 영역과 데이터를 송수신하기 위한 페이지 버퍼 영역이 도시된다. 일례로서 도 3에 도시된 셀 어레이 영역은 NAND 형의 플래시 메모리에 해당한다. 상기 페이지 버퍼 영역은, 고 전압에서 동작하는 고 전압 영역(High Voltage region, HV)과 저 전압에서 동작하는 저 전압 영역(Low Voltage region, LV)을 구비한다. 또한 상기 메인 비트라인들(110) 및 더미 비트라인(120)은 메모리 셀 영역 및 페이지 버퍼 영역에 걸쳐 배치된다.
- <32> 도 3에 도시된 DPT 방식에 기반하는 비트라인의 레이아웃에 대한 설명은 다음과 같다. 메인 비트라인들(110) 사이에 배치되는 더미 비트라인(120)으로 공통 소스 전압이 제공된다. 도시되지는 않았으나, 비트라인들이 배치되는 층의 상층부에는 공통 소스 전압을 전달하는 소정의 메탈라인이 배치되며, 더미 비트라인(120)을 상기 소정의 메탈라인과 전기적으로 연결시킨다. 상기 소정의 메탈라인을 통해 전달되는 공통 소스 전압은, 더미 비트라인(120)을 통하여 공통 소스 라인(CSL)으로 제공된다.
- <33> 한편, 상술하였던 바와 같은 비트라인들 간의 커플링 커패시턴스에 의한 영향을 제거하기 위하여, DPT 방식을 기반으로 배치된 더미 비트라인(120)에 대해 트림(Trim) 공정을 수행함으로써, 상기 더미 비트라인(120)이 복수의 비트라인 단락(121 내지 123)을 구비하도록 한다. 복수의 비트라인 단락(121 내지 123) 중 가운데 비트라인 단락(122)은 컨택 홀(Contact hole)을 통하여 공통 소스 라인(CSL)과 전기적으로 연결된다. 이로써 상기 공통 소스 라인(CSL)과 공통 소스 전압을 전달하는 비트라인 상층부의 메탈 라인은, 비트라인 단락(122)을 통하여 서로 연결된다.
- <34> 한편, 나머지 비트라인 단락들(121, 123)은, 기판의 웰(WELL) 영역과 전기적으로 연결된다. 바람직하게는 나머지 비트라인 단락들(121, 123)은, P형 불순물이 포함되는 P-웰(P-WELL) 영역과 전기적으로 연결된다. 즉, 더미 비트라인(120)의 대부분(일례로서 비트라인 단락 121 및 123)은 P-웰(P-WELL) 영역과 전기적으로 연결되며, 공통 소스 라인(CSL)과 교차하는 영역에 레이아웃되는 비트라인 단락(122)은 공통 소스 라인(CSL)과 전기적으로 연결된다.
- <35> 도 4는 도 3의 더미 비트라인(120)의 컨택 구조를 나타내기 위한 도면이다. 도 4에 도시된 반도체 기판(130)에는 복수의 메모리 셀들 및 더미 셀들이 배치되며, 공통 소스 라인(CSL)과 접지 선택 트랜지스터(GST)가 또한 배치된다.
- <36> 한편, 메모리 셀들 및 더미 셀들의 상층부(b)에는 비트라인 및 더미 비트라인이 배치되며, 일례로서 상기 비트라인 및 더미 비트라인들은 복수의 워드라인, 공통 소스라인(CSL)과 서로 대략 직교하는 방향으로 배치된다. 도 4는 트림(Trim) 영역을 갖는 더미 비트라인(DBL)을 도시하고 있으며, 상술하였던 바와 같이 트림(Trim) 공정에 의하여 더미 비트라인(DBL)은 복수의 비트라인 단락(121 내지 123)으로 이루어진다.
- <37> 도시된 복수의 비트라인 단락(121 내지 123) 중에서 가운데 비트라인 단락(122)은 메탈 컨택(MC2)을 통하여 비트라인이 배치되는 층(b)의 상층부(a)에 배치되는 메탈 라인(Metal 2, 140)과 전기적으로 연결된다. 또한 가운데 비트라인 단락(122)은 반도체 기판(130)에 배치되는 공통 소스 라인(CSL)과 메탈 컨택(MC1)을 통하여 서로 전기적으로 연결된다. 상술하였던 바와 같이 메탈 라인(140)을 통해 전달되는 공통 소스 전압은 메탈 컨택(MC2), 가운데 비트라인 단락(122) 및 메탈 컨택(MC1)을 통하여 공통 소스 라인(CSL)으로 제공된다. 한편, 나머지 비트라인 단락들(121, 123)은, 반도체 기판(130)상의 P형 불순물이 포함되는 P-웰(P-WELL) 영역과 전기적으로 연결된다.
- <38> 그러나, DPT 방식에 기반하여 비트라인을 패터닝하는 경우, 상기와 같은 트림(Trim) 영역을 고려하여 비트라인의 패터를 형성하는 것은 공정의 측면에서 불리하다. 일례로서, DPT 방식에 기반하는 경우, 비트라인 레이아웃 시 별도의 트림(Trim) 공정과 이에 따른 별도의 트림 레이어(Trim Layer)를 필요로 하게 된다. 또한 도 3에 도시된 바와 같이 메인 비트라인들(110) 중 일부의 비트라인도 트림(Trim) 영역을 가져야하는데, 이는 페이지 버퍼의 고 전압 영역과 저 전압 영역에 전압을 전달하는 비트라인들이 서로 구분되어야 하기 때문이다.
- <39> 또한, 더미 비트라인(120)과 그 상층부의 메탈라인과의 연결을 위한 컨택 사이즈는 축소가 어렵기 때문에, 더미



비트라인(120)의 폭은 메인 비트라인들(110)에 비해 크게 형성된다. 이와 같은 이유로 인하여, 비트라인 레이아웃을 위하여 다양한 패턴이 존재하게 되는데, DPT 방식에 기반하는 경우에는 다양한 형태로 패턴을 형성하기 어려운 문제가 있다.

- <40> 도 5는 본 발명의 일실시예에 따른 DPT 방식에 기반하는 비트라인 레이아웃의 일예를 나타내는 도면이다. 또한 도 6은 도 5의 더미 비트라인들을 자세히 나타내는 도면이다.
- <41> 도 5에 도시된 바와 같이, 복수의 메인 비트라인들(Main BL, 210)이 나란하게 배치되며, 상기 메인 비트라인들(210) 사이에는 유효한 데이터의 저장과는 무관한 더미 비트라인들(DBL, 220)이 배치된다. 바람직하게는 메인 비트라인들(210) 사이에 배치되는 더미 비트라인들(220)은 두 개 이상의 비트라인들로 이루어진다. 상기 메인 비트라인들(210) 및 더미 비트라인들(220)은 셀 어레이 영역 및 페이지 버퍼 영역에 걸쳐 배치된다.
- <42> 셀 어레이 영역에서, 메인 비트라인들(210) 및 더미 비트라인들(220)이 배치되는 층의 하부에는, 복수의 워드라인들과 공통 소스 라인이 상기 비트라인들과 서로 대략 직교하는 방향으로 배치된다. 메인 비트라인들(210) 각각은 콘택 홀을 통하여 메모리 셀에 전기적으로 연결된다.
- <43> 한편, 더미 비트라인들(220)을 메인 비트라인들(210)에 나란하게 배치함에 있어서, 더미 비트라인들(220)의 폭과 간격을 메인 비트라인들(210)과 대략 동일하도록 한다. 또한 본 발명의 일실시예에 따르면, DPT 방식을 기반으로 하여 비트라인 레이아웃을 하는 경우 별도의 트림(Trim) 공정이 요구되지 않으므로, 상기 더미 비트라인들(220)은 트림(Trim) 영역을 구비하지 않는다.
- <44> 한편, 페이지 버퍼 영역에 도시된 바와 같이, 메인 비트라인들(210)은 상기 페이지 버퍼 영역에서 트림(Trim) 영역을 구비하지 않는다. 그 대신, 페이지 버퍼 영역에는 별도의 도전라인(230)이 배치된다. 즉, 페이지 버퍼 영역은 고 전압 영역(High Voltage region, HV)과 저 전압 영역(Low Voltage region, LV)을 구비하는데, 고 전압 영역에서의 신호 전달은 메인 비트라인들(210)을 통해 수행되며, 저 전압 영역에서의 신호 전달은 상기 별도로 배치되는 도전라인(230)을 통해 수행된다.
- <45> 바람직하게는, 상기 별도의 도전라인(230)은 메인 비트라인들(210) 및 더미 비트라인들(220)이 배치되는 층의 하부층에 배치된다. 즉, 상기 도전라인(230)은 비트라인들이 배치되는 층과 반도체 기판 사이의 층에 배치된다. 또한 두 개의 메인 비트라인에 대응하여 하나의 도전라인(230)이 배치되며, 상기 도전라인(230)은 페이지 버퍼의 고 전압 영역 및 저 전압 영역에 걸쳐 배치된다.
- <46> 도 6에는 더미 비트라인들(220)의 배치의 일예로서, 메인 비트라인 사이에 4 개의 더미 비트라인들(220)이 배치되는 것이 도시된다. 필요에 따라 상기 더미 비트라인들(220)의 수는 더 적게 또는 더 많게 배치될 수 있음은 자명하다. 또한 상기 더미 비트라인들(220)의 양쪽으로 각각 인접하는 메인 비트라인(BL)이 도시된다. 또한 더미 비트라인들(220) 및 메인 비트라인(BL)의 배치 방향과 대략 직교하는 방향으로 배치되는 공통 소스 라인(CSL)이 도시된다.
- <47> 본 발명의 일실시예에서는, 복수의 더미 비트라인들(220)(일예로서, 4 개의 더미 비트라인들) 중 일부의 더미 비트라인들(이하, 제1 더미 비트라인)은 제1 전압에 연결되고, 나머지 일부의 더미 비트라인들(이하, 제2 더미 비트라인)은 제2 전압에 연결된다. 자세하게는, 제1 더미 비트라인들은 P-웰(P-WELL)에 전기적으로 연결되며, 제2 더미 비트라인들은 공통 소스 전압(Vcs1)에 연결된다. 특히 나란하게 배치되는 복수의 더미 비트라인들(220) 중에서, 메인 비트라인과 인접하게 배치되는 제1 더미 비트라인(221, 224)은 P-웰(P-WELL)에 전기적으로 연결되며, 더미 비트라인 영역에서 내부에 배치되는 제2 더미 비트라인(222, 223)은 공통 소스 전압(Vcs1)에 전기적으로 연결된다.
- <48> 상기와 같이 배치되는 메인 비트라인(BL) 및 더미 비트라인들(220)에 있어서, 메인 비트라인은 소정의 콘택 홀(contact hole, CT21)을 통하여 셀 스트링의 메모리 셀들과 전기적으로 연결된다. 한편 도 6의 경우, 더미 비트라인들(220) 각각 또한 소정의 콘택 홀(CT22)을 통하여 더미 셀들과 전기적으로 연결되는 것이 도시되었다. 그러나 상기 더미 셀들은 데이터의 유효한 저장에 이용되지 않으므로, 상기와 같은 더미 비트라인에 배치되는 콘택 홀은 제거되어도 무방하다.
- <49> 한편, 메인 비트라인(BL)과 인접하지 않은 제2 더미 비트라인들(222, 223)은 콘택 홀(CT23)을 통하여 공통 소스 라인(CSL)과 전기적으로 연결된다. 이에 따라 제2 더미 비트라인들(222, 223)은 공통 소스 전압(Vcs1)을 제공하는 소정의 전압원과 공통 소스 라인(CSL)을 서로 전기적으로 연결시킨다.
- <50> 상기와 같이 구성되는 본 발명의 일실시예에 따른 플래시 메모리 장치에서는, 메인 비트라인에 인접하는 제1 더미 비트라인(221, 224)은 공통 소스 라인(CSL)과 전기적으로 연결된다.

미 비트라인(221,224)의 전압 레벨이 P-웰(P-WELL)의 전압(Vpwe11)에 대응한다. 이에 따라 메모리 셀의 데이터를 센싱하는 시점에서 더미 비트라인의 전압레벨이 큰 폭으로 하강하지 않도록 한다. 또한 더미 비트라인에 인접하는 메인 비트라인의 전압레벨이 커플링 커패시턴스에 의하여 큰 폭으로 하강하는 것을 방지할 수 있으므로, 데이터 센싱시 그 정확도가 저하되는 문제를 방지할 수 있다. 또한 메인 비트라인에 인접하지 않는 제2 더미 비트라인(222,223)을 이용하여 공통 소스 라인(CSL)에 공통 소스 전압을 제공하므로, 공통 소스 라인(CSL)의 전압 레벨이 하강하는 현상을 방지할 수 있다.

- <51> 도 7은 도 6에 도시된 더미 비트라인(특히 메인 비트라인과 인접하지 않는 더미 비트라인)의 컨택 구조를 나타내는 도면이다. 복수의 메모리 셀, 더미 셀, 접지 선택 트랜지스터(GST) 및 공통 소스 라인(CSL) 등이 배치되는 반도체 기판층(c)의 상부에는, 메인 비트라인들(210) 및 더미 비트라인들(220)이 배치되는 비트라인 층(a)이 위치한다. 또한 상기 비트라인 층(a)과 반도체 기판층(c)의 사이에는, 적어도 하나의 메탈 라인(Metal 1)이 배치되는 중간층(inter layer, b)이 구비될 수 있다. 반도체 기판층(c)에 배치되는 복수의 워드라인 및 공통 소스 라인(CSL)은, 메인 비트라인들(210) 및 더미 비트라인들(220)과 대략 직교하는 방향으로 배치된다. 한편 중간층(b)에 구비되는 메탈 라인(Metal 1) 중, 공통 소스 라인(CSL)으로 공통 소스 전압을 제공하는 메탈 라인(250)은 상기 비트라인들과 대략 직교하는 방향으로 배치될 수 있다.
- <52> 도 7에 도시된 더미 비트라인(222)의 일례로서, 하나 이상의 더미 비트라인들(220) 중 메인 비트라인(210)에 인접하지 않는 제2 더미 비트라인을 나타낸다. 상술하였던 바와 같이 제2 더미 비트라인(222)는 소정의 전압원(바람직하게는 공통 소스 전압, 미도시)에 연결된다. 또한 제2 더미 비트라인(222)는 중간층(b)의 메탈 라인(250)을 통하여 공통 소스 라인(CSL)에 연결된다. 한편, 도 7에서는 제2 더미 비트라인(222)이 중간층(b)의 메탈 라인을 통하여 셀 스트링의 스트링 선택 트랜지스터(SST)와 전기적으로 연결되는 것이 도시되었으나, 상술하였던 바와 같이 더미 비트라인(220)은 데이터의 유효한 저장과는 무관하므로 이와 같은 연결구조는 생략되어도 무방하다.
- <53> 도 7에 도시된 바와 같은 본 발명의 일실시예에 따른 플래시 메모리 장치에서는, 더미 비트라인(220)의 상층부에 공통 소스 전압을 전달하는 메탈라인이 배치되지 않는다. 즉, 더미 비트라인(220)과 상기 메탈라인과의 컨택 확보를 위하여 더미 비트라인(220)의 폭을 크게 할 필요가 없다. 이에 따라 비트라인 레이아웃시, 더미 비트라인(220)의 폭 및 간격을 메인 비트라인(210)의 그것과 대략 동일하게 배치할 수 있으며, 이러한 구조는 DPT를 기반으로 하여 비트라인을 레이아웃하는 공정에 유리하다. 또한 더미 비트라인(220)에 트립 영역이 구비되지 않더라도, 메인 비트라인과 더미 비트라인 사이의 커플링 커패시턴스에 의한 성능 저하를 방지할 수 있으므로, DPT에 기반한 비트라인 레이아웃시 별도의 트립 공정을 거치지 않을 수 있다.
- <54> 도 8a는 본 발명의 일실시예에 따른 페이지 버퍼를 나타내는 회로도이며, 도 8b는 도 8a의 페이지 버퍼의 회로 일부의 레이아웃을 나타내는 도면이다.
- <55> 도 8a에 도시된 바와 같이 페이지 버퍼는 고 전압 영역 및 저 전압 영역을 구비할 수 있다. 페이지 버퍼의 고 전압 영역에는 이븐(even) 비트라인(BLe) 및 오드(odd) 비트라인(BLo)의 전압을 프리차지하거나 조절하기 위한 트랜지스터들(T41, T42)와, 이븐(even) 비트라인(BLe) 및 오드(odd) 비트라인(BLo) 중 어느 하나의 비트라인을 선택하기 위한 트랜지스터들(T43, T44)이 구비될 수 있다. 한편, 저 전압 영역(High Voltage region)에 구비되는 트랜지스터(T45)는, 셋 오프 제어신호(BLSHF)에 응답하여 이븐(even) 비트라인(BLe) 또는 오드(odd) 비트라인(BLo)의 신호를 페이지 버퍼의 저 전압 영역으로 전달하는 것을 제어한다.
- <56> 도 8b는 도 8a에 도시된 페이지 버퍼의 회로의 일부(260, 트랜지스터 T43, T44)를 레이아웃하는 일례를 나타내는 도면이다. 도 8b에 도시된 도면부호 231은 페이지 버퍼의 고 전압 영역과 저 전압 영역 사이를 전기적으로 연결하는 도전라인을 나타내며, 도면부호 261은 트랜지스터 T43의 게이트 라인을 나타내고, 도면부호 262는 T44의 게이트 라인을 나타낸다.
- <57> 도 8a,b에 도시된 본 발명의 일실시예에 따른 플래시 메모리 장치에서는, 페이지 버퍼의 고 전압 영역과 저 전압 영역 사이의 전기적 연결이 비트라인에 의해 수행되는 것이 아니라, 비트라인 외에 별도로 배치되는 도전 라인(231)을 통해 수행된다. 즉, 종래의 경우 이븐(even) 비트라인(BLe) 및 오드(odd) 비트라인(BLo)들 중 어느 하나에 의하여 신호가 고전압 영역에서 저전압 영역으로 전달되었으나, 본 발명의 일실시예에서는 도 8b에 도시된 바와 같이 별도의 도전 라인(231)을 통해 신호가 전달된다.
- <58> 바람직하게는, 상기 도전 라인(231)은 비트라인들이 배치되는 층과 반도체 기판층 사이에 위치하도록 하며, 상기 도전 라인(231)은 컨택 홀(r)을 통하여 반도체 기판상의 액티브 영역과 전기적으로 연결된다. 또한 바람직하

게는 이븐(even) 비트라인(BLe) 및 오드(odd) 비트라인(BLo)으로 이루어지는 비트라인 쌍에 대응하여 하나의 도전 라인(231)이 배치되도록 한다. 또한, 상기 도 8b에서는 도전 라인(231)이 이븐(even) 비트라인(BLe)과 오드(odd) 비트라인(BLo) 사이에 배치되는 것으로 도시되었으나, 이는 설명의 편의를 위한 것에 불과한 것으로서, 도전 라인(231)은 게이트 라인(261,262)에 의해 형성되는 트랜지스터에 전기적으로 연결되는 어느 위치에나 배치되어도 무방하다.

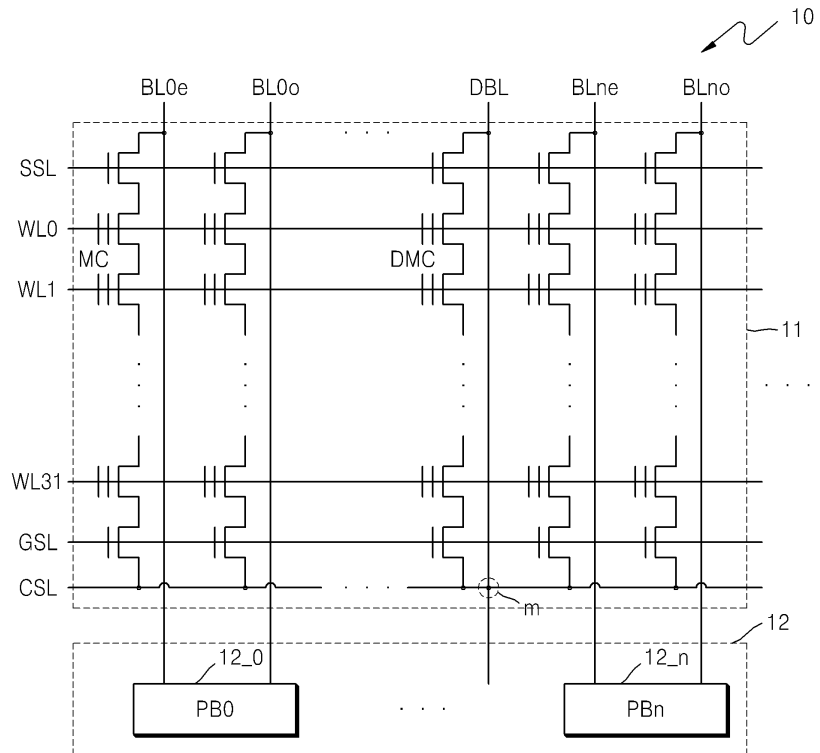
- <59> 상기와 같이 구성됨에 따라, 고전압이 인가되는 비트라인과 저전압이 인가되는 비트라인을 구분하기 위하여 수행되던 비트라인의 트림(Trim) 공정을 생략할 수 있다.
- <60> 도 9는 도 8에 도시된 페이지 버퍼의 콘택 구조를 나타내는 도면으로서, 도전 라인(231)의 상층부에 배치되는 비트라인으로서 이븐(even) 비트라인(BLe)이 일예로 도시된다. 또한, 상기 이븐(even) 비트라인은, 도전 라인(231)과 동일한 층에 배치되는 소정의 메탈 라인(Metal 1)을 경유하여 반도체 기판상의 액티브 영역과 전기적으로 연결되는 것을 도시하고 있으나, 상기 메탈 라인(Metal 1) 없이 하나의 콘택을 통하여 이븐(even) 비트라인과 액티브 영역을 연결시켜도 무방하다. 도전 라인(231)은 소정의 메탈 콘택(MC1)을 통하여 트랜지스터 T43 및 이븐(even) 비트라인과 연결된다. 또한 도시되지는 않았으나, 상기 도전 라인(231)은 트랜지스터 T44 및 오드(odd) 비트라인과도 연결된다. 상기 도전 라인(231)은 비트라인 선택신호(BLSLTe, BLSLTo)에 응답하여 선택된 어느 하나의 비트라인(이븐(even) 또는 오드(odd))의 신호를 저 전압 영역으로 전달한다.
- <61> 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

**도면의 간단한 설명**

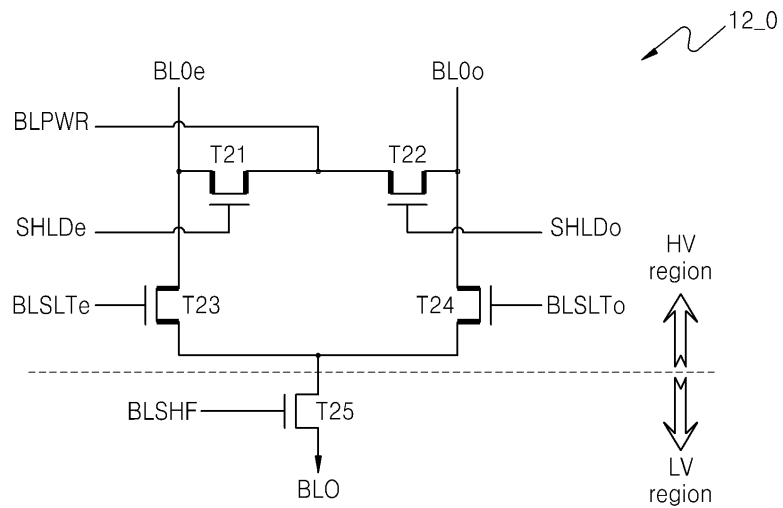
- <62> 도 1은 일반적인 플래시 메모리 장치를 나타내는 회로도이다.
- <63> 도 2는 도 1의 페이지 버퍼 블록에 구비되는 페이지 버퍼의 일예를 나타내는 회로도이다.
- <64> 도 3은 DPT 방식에 기반하는 비트라인의 레이아웃을 나타내는 도면이다.
- <65> 도 4는 도 3의 더미 비트라인의 콘택 구조를 나타내기 위한 도면이다.
- <66> 도 5는 본 발명의 일실시예에 따른 DPT 방식에 기반하는 비트라인 레이아웃의 일예를 나타내는 도면이다.
- <67> 도 6은 도 5의 더미 비트라인들을 자세히 나타내는 도면이다.
- <68> 도 7은 도 6에 도시된 더미 비트라인의 콘택 구조를 나타내는 도면이다.
- <69> 도 8a는 본 발명의 일실시예에 따른 페이지 버퍼를 나타내는 회로도이다.
- <70> 도 8b는 도 8a의 페이지 버퍼의 회로 일부의 레이아웃을 나타내는 도면이다.
- <71> 도 9는 도 8에 도시된 페이지 버퍼의 콘택 구조를 나타내는 도면이다.
- <72> \* 도면의 주요부분에 대한 부호의 설명 \*
- <73> 200: 플래시 메모리 장치    210: 메인 비트라인(BL)
- <74> 220: 더미 비트라인(DBL)    221,224: 제1 더미 비트라인
- <75> 222,223: 제2 더미 비트라인    230: 도전라인
- <76> CSL: 공통 소스 라인(Common Source Line)

도면

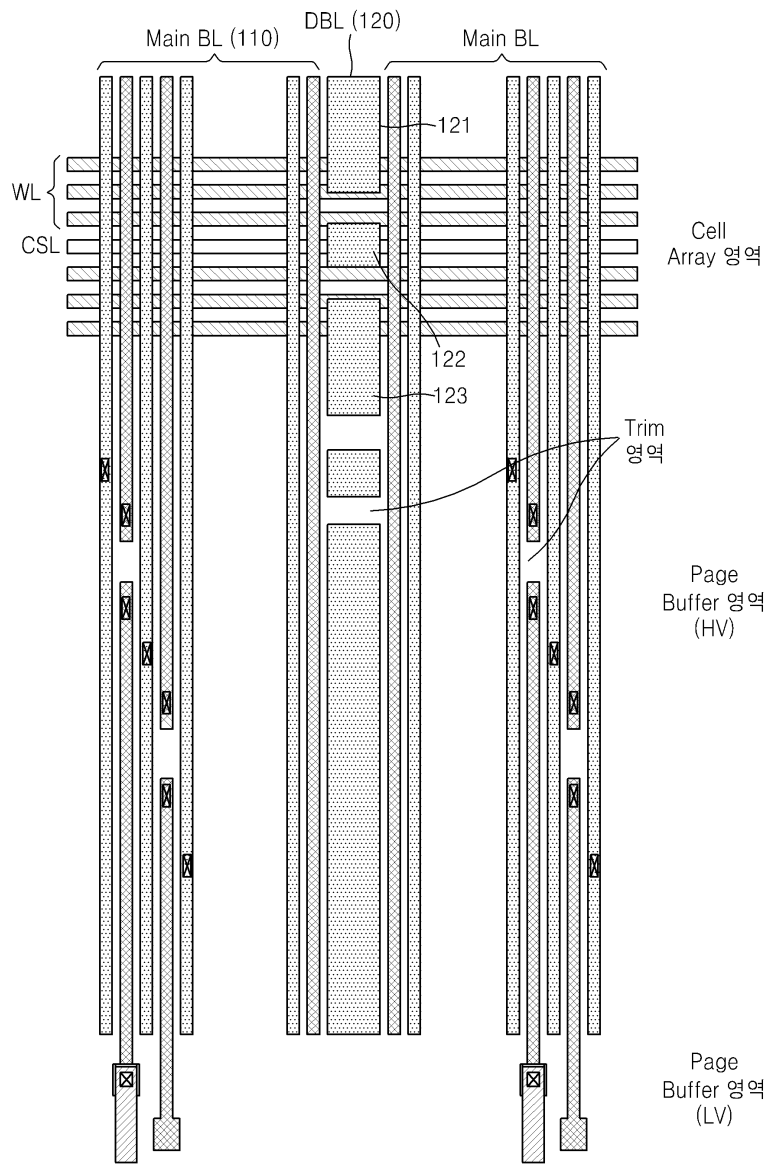
도면1



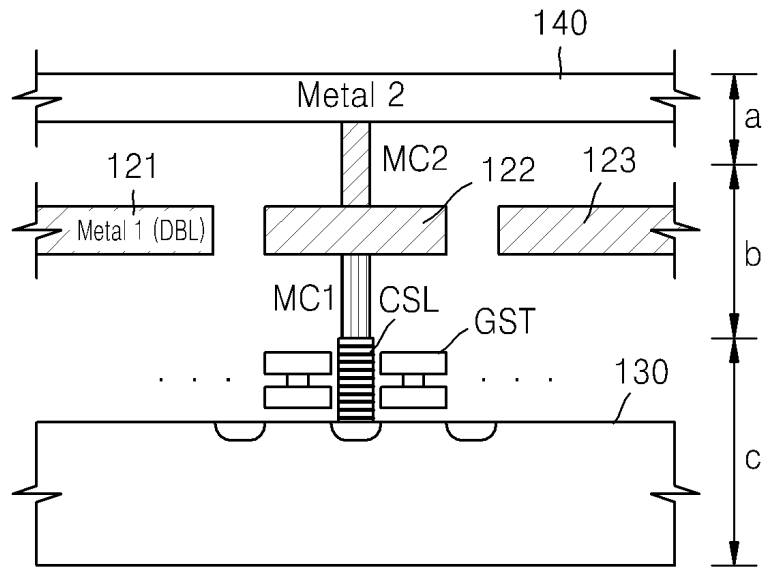
도면2



도면3

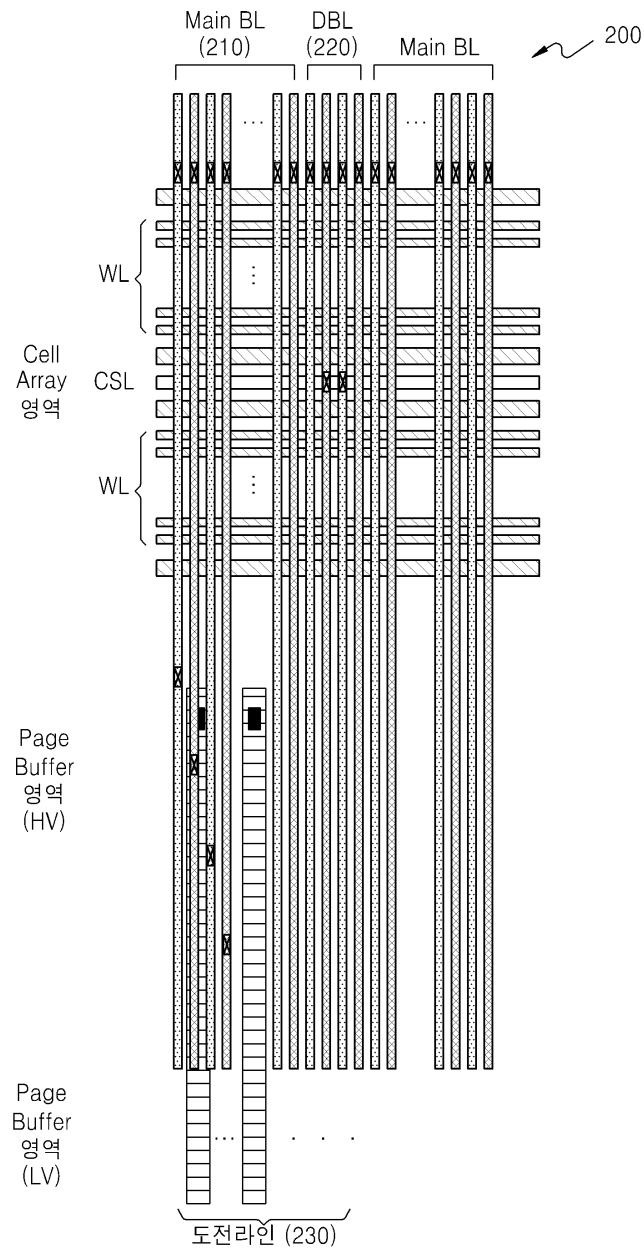


도면4

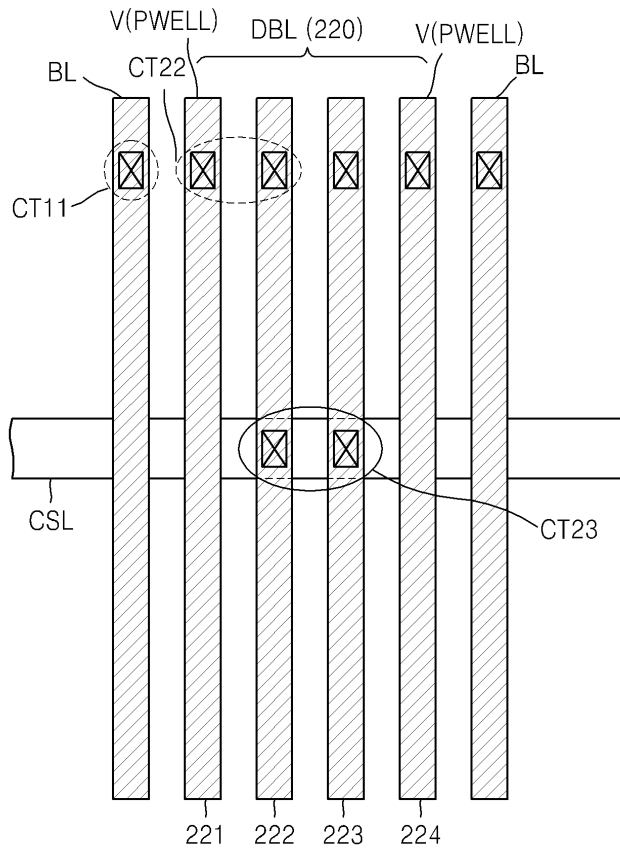




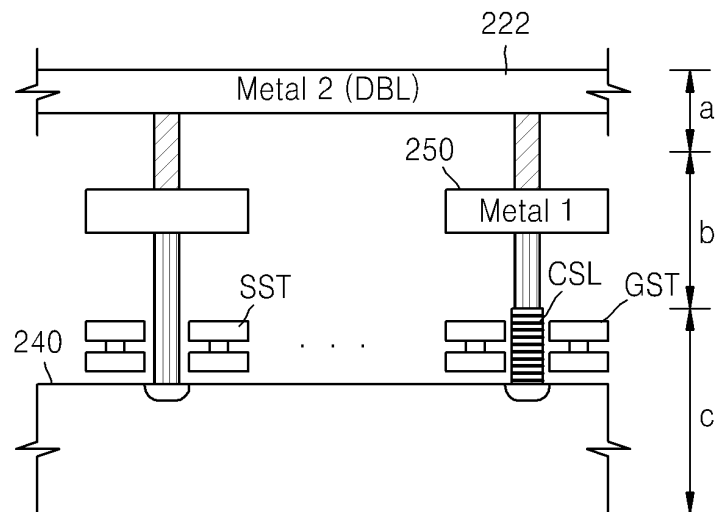
도면5



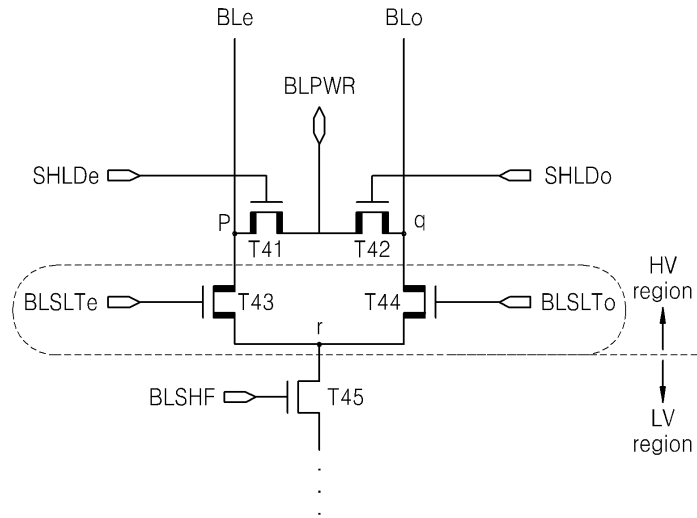
도면6



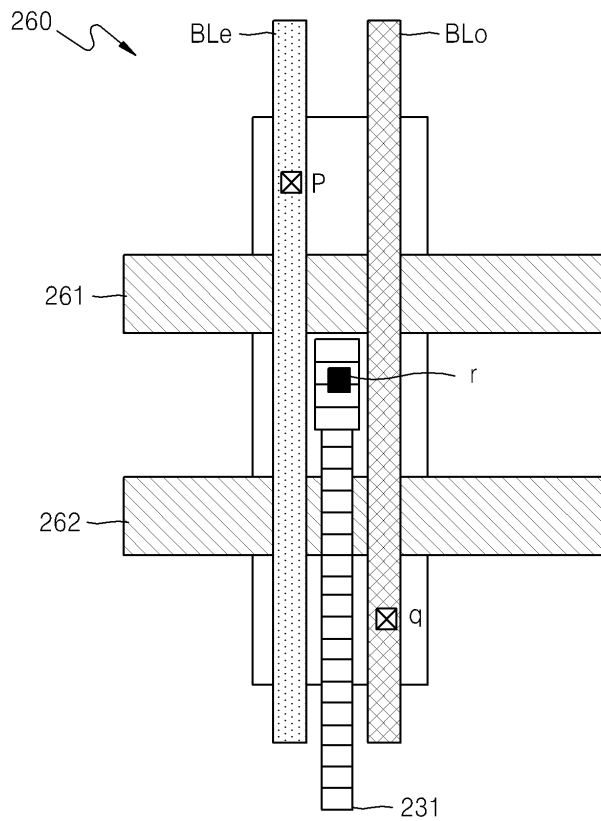
도면7



도면8a



도면8b



도면9

