

四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國；2004, 09, 30；10/956, 426

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

#### 發明領域

本發明之實施例係關於一種晶片至晶片的發訊技術。

- 5 更特別地，本發明之實施例有關於促進晶片至晶片發訊之通道等化技術。

### 【先前技術】

#### 發明背景

- 晶片至晶片發訊之通道等化隨製造商對擴大現用低成  
10 本互連結構之效能的意圖變得越來越重要。隨資料率持續的攀升，等化(EQ)係數的量增加。如此增加了一單晶片設計設予每一平台之最佳EQ係數的潛在組合量。一種解決方案係單純地固定每一平台之設定使得在最差的情況之下尚有足夠的限度。然而，此種解決方案典型上造成次級的最  
15 佳化效能。

- 其他的解決方案係使用一原始設備製造商規劃韌體(OEM)根據OEM所規劃之設定來設定系數。此種技術需求必須隨平台設計功能涵蓋多重設定範圍之通訊能力和使用說明。由於晶片無法不經等化來通訊，其必得以低速開始  
20 通訊EQ設定以回應通道上之晶片。吾人需要一種更靈活的方式來設定通道等化參數。

### 【發明內容】

#### 發明概要

本發明之一實施例包含一種方法，其包含下列步驟：在一

起始方中自我判定在該起始方與一回應方之間通道的等化參數；以及設定該等化參數具有該值。

## 圖式簡單說明

本發明以舉例之方式說明，且不囿於所附圖式所揭態樣，其中相同的元件標號係指相同的元件。須了解本說明書中所指「一種」或「一個」實施例不一定指同一實施例，其意至少一種/一個實施例。

第1圖為本發明一實施例之系統方塊圖。

第2圖係一時程圖，顯示在本發明一實施例中，一起始方和一回應方之間發訊之例子。

第3圖係本發明一實施例之等化自我判斷之流程圖。

## 【實施方式】

### 較佳實施例之詳細說明

第1圖係本發明之一系統實施例之方塊圖。一主機板100具有與之相耦接的一處理器102。一晶片組104亦被耦接至一主機板100。主機板100界定在處理器和晶片組之間的一通道108。通道108可包括一前傳鏈路和一傳回鏈路，每一鏈路包括一些鏈路元件(108-1至108-M，其中M為一整數)。此處所指「鏈路元件」係通中中載荷信號之個別構件。譬如，一板跡線可為一鏈路元件。路由需求經常在一通道內造成不同長度的鏈路元件。譬如，如圖所示，鏈路元件108-1為通道108中最短的鏈路元件，而鏈路元件108-M為最長。需明白，特定的通道可視資料路徑尺寸而包括任意多個鏈路元件。

一記憶體106亦被耦接至主機板100。主機板100界定晶片組104和記憶體106間之一通道110。通道110可包括鏈路元件110-1至110-N，其中N視晶片組104與記憶體106間資料路徑之理想寬度而可為任意大的整數。一實施例中，記憶體106可為一全緩衝雙行記憶體模組(FBD)。典型的FBD具有一緩衝晶片，其與多行DRAM通訊。典型上，緩衝晶片在其本身與FBD內各DRAM間有一點對點通道。FBD通常在插入主機板上一連接器之一獨立的印刷電路板上。

損失通道之評估顯示發訊效能之支配限制者是為通道內的損失。此損失與等化(EQ)參數密切地結合，譬如，設予通道之EQ分接係數。由於印刷電路板(PCB)形成大部份的通道，PCB上通道長度和損失有關係。此外，吾人已發現使用相同材料之PCB間損失差異較小。此外，即使市許多不同材料類型有效傳播常數亦相對較小。相同地，對於一特定的設計，連接器與封裝有自訂的延遲變異。這些事實允許通道上之系統延遲在一單位區間(UI)內被消除，根據互連封裝、連接器類型、和通道路由。在此處所用一UI係等於一個時脈。

通道中延遲之測量能判斷約略的通道長度，其為通道損失中一支配的貢獻。藉判定通道長度，EQ參數可設為補償通道損失。

處理器102包括一收發器126，以使其在通道108上發射與接收。處理器102保留通道108之等化參數132。為判斷這些參數該為多少，處理器102可以晶片組104開始一發訊序

列。根據如下將更進一步解釋之發訊序列，處理器能判斷及設定等化參數132。在此例中，處理器102為起始方。此處所指之「起始方」為引起等化參數之自我判斷的一晶片，而一「回應方」為接收發自起始方之訊號的一晶片。

5 處理器102包括一信號產生器120及一時脈產生器122。信號產生器120產生一等化遲鈍信號(EIS)，譬如一步級信號。EIS與時脈產生器122產生之一前傳時脈同步地從收發器126傳送至晶片組104。同時間計數器124開始一計數。

10 晶片組104亦具有一收發器156來其在通道108上通訊。當晶片組接收EIS，其運用一信號產生器150來產生一EIS做為回應。當回應的EIS在處理器102之收發器126被接收，計數器124之計數終止。環程延遲於是可由計數器124之總計數減去回應方(此例中為晶片組104)之已知處理時間  
15 而算出。此減法動作可由算術單元128進行。結果計算可用於索引一詢查表(LUT)130來識別出一或更多參數值，譬如，需根據通道內延遲設定之EQ分接係數。處理器接著可設定EQ參數132值。

處理器內之EQ參數132設定後，處理器傳送適當的EQ  
20 參數至晶片組，其可根據處理器傳送的EQ參數設定其EQ參數160。

如前所述，晶片組藉由一第二通道被連接至記憶體，該第二通道亦可請求等化。這樣的情況下，晶片組可隨記憶體106為回應方而變為起始方。晶片組可包括伴有一信號

產生器150之一時脈產生器152透過收發器176發射一EIS及前傳時脈到記憶體106。同時地，晶片組104會開始計數器154中一計數。在一實施例中，晶片組104可具有一詢查表，譬如，處理器102內詢查表130。另可選擇地，在一實施例  
5 中，晶片組104可具有等化計算邏輯168，其實施一等化，藉此EQ參數可根據計數器154之計數判定。相同地，在一實施例中，處理器中LUT130可以類似的計算邏輯取代來實施產生EQ參數值的等式。

另一實施例中，晶片組104可為取得第一通道108和第  
10 二通道110之EQ參數的起始方。在任何的處理實施例中，起始方可選擇使用最長的鏈路元件來發訊，而這將被判定為最壞情況限度的EQ參數。

在通道110被等話後，假定，譬如，記憶體106為一FBD，緩衝晶片(未示)可被要求等化緩衝器和各DRAM間之  
15 點對點通道。因此，一實施例中，等化程序可隨各回應方變為其下遊通道之起始方而連續地執行。此外，這樣一種實施例中，緩衝晶片將為多個回應方之起始方。

第2圖為一時間圖，其表示本發明一實施例中在一起始方與一回應方之間傳訊的例子。一開始，起始方發設EIS信號，譬如步級信號202，以及一前傳時脈204，至一回應方。  
20 一些單位區間(UI)單向延遲(UI中測得之單向延遲)後，EIS206在回應方被接收。在一回應方處理時間222後，回應方發射一回應EIS208，其在一UI延遲傳回時間後在起始方被接收。回應方從一分離的起始方發射的鏈接上傳送EIS。

此可為相同通道或當介面不對稱時不同鏈路之傳回鏈路。  
若介面不對稱，信號212會延遲一個傳回延遲226之時間抵達起始方，其可大於或小於從起始方到回應方之UI單向延遲220。若介面對稱，傳回EIS210會延遲一個UI傳回延遲224  
5 之時間抵達起始方，其幾乎等於UI延遲單向220。通道中的平均延遲可看出為環程延遲220加回應方處理時間222、加傳回延遲226、減回應方處理時間222。一實施例中，如前述，此可藉由開始一與步級信號和前傳時脈同步的計數然後當一接收到回應EIS信號即終止計數來計算出。計數於是  
10 可減去已知回應方處理時間來產生通道上環程延遲之測量。

第3圖為本發明一實施例之等化自我判斷之流程圖。步驟方塊300中一系統開始開機。步驟方塊302，起始方和回應方準備進行一延遲計算。在一實施例中，此準備涉及在  
15 起始方和回應方之間另一通訊通道而非被等化之通道的通訊。另一實施例中，必需使通道之通訊以極低的速度等化，使得不充分的初始等化不會妨礙通訊。步驟方塊304，起始方隨其同步傳送一EIS與一前傳時脈至回應方而開始計數。步驟方塊306中回應方補捉EIS。於步驟方塊308，一些  
20 處理時間後，回應方傳送任何EIS回到起始方。步驟方塊310中起始方接收來自回應方之EIS並終止計數。步驟方塊312，起始方藉將計數減去等於回應方處理時間之預設計數量算出延遲。步驟方塊314，一等化參數根據所算得之延遲判定。一實施例中，所計算出的延遲可用來索引一詢查表。

另一實施例中，計算機延遲可輸入到運用一等式根據該延遲來計算等化參數之邏輯。

步驟方塊316中，起始方設定其等化參數為步驟方塊314中所判定，並傳送等化參數到回應方。步驟方塊318中，  
5 回應方接著設定其等化參數。此事件中，回應方令其自身額外通道等化，其接著對那些額外通道從步驟方塊302繼續。

須了解整份說明書中「一個實施例」或「一種實施例」表示與實施例相關的一特定特性、節構、或特徵，被包括  
10 在至少本發明之一實施例。因此，特別強調且須明瞭的是在本說明書中提及兩次以上的「一種實施例」或「一個實施例」或「另一種實施例」的說法並不一定指相同的實施例。此外，特定特性、結構、或特徵可組合為適合的一或更多個本發明之實施例。

15 雖然已藉由被視為最實際與較佳的實施例來說明本發明，但需明瞭本發明不僅限於所揭實施例，相對地，本發明欲以後附申請專利範圍之界定涵蓋所有包括在範疇內的變化與等效設置。因此，說明書與圖式僅用以例說而無限制之意。

## 20 【圖式簡單說明】

第1圖為本發明一實施例之系統方塊圖。

第2圖係一時程圖，顯示在本發明一實施例中，一起始方和一回應方之間發訊之例子。

第3圖係本發明一實施例之等化自我判斷之流程圖。



## 【主要元件符號說明】

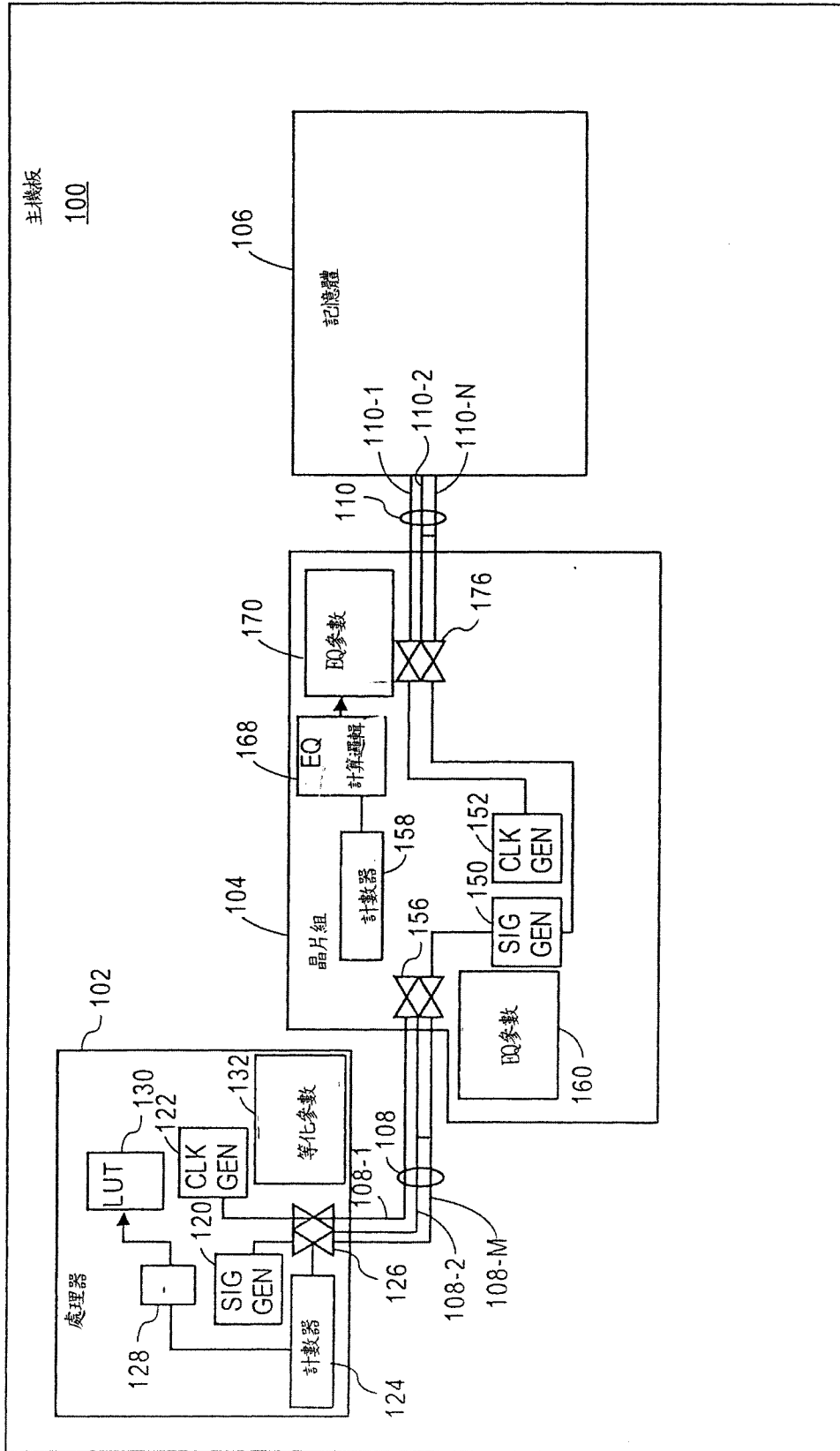
100····主機板	154····計數器
102····處理器	156····收發器
104····晶片組	160····EQ參數
106····記憶體	168····等化計算邏輯
108····通道	176····收發器
108-1~108-M····鏈路元件	202····步級信號
110····通道	204····進送時脈
110-1~110-N····鏈路元件	206····EIS
120····信號產生器	208····回應EIS
122····時脈產生器	210····返回EIS
124····計數器	212····信號
126····收發器	220····UI 單向延遲
128····算術單元	222····回應方處理時間
130····詢查表(LUT)	224····UI 返回延遲
132····等化參數	226····返回延遲
150····信號產生器	300-318····步驟
152····時脈產生器	

## 五、中文發明摘要：

本發明係有關一種用來為一通道自我判定等化參數的方法、系統、及裝置。一起始方傳送一等化遲鈍信號(EIS)至欲被等化之通道上之一回應方及開始計數。回應方以一EIS回應。當起始方接收到回應EIS即終止計數。此由通道中延遲之測量結果所構成的計數可用來判定通道所需之理想的等化參數。

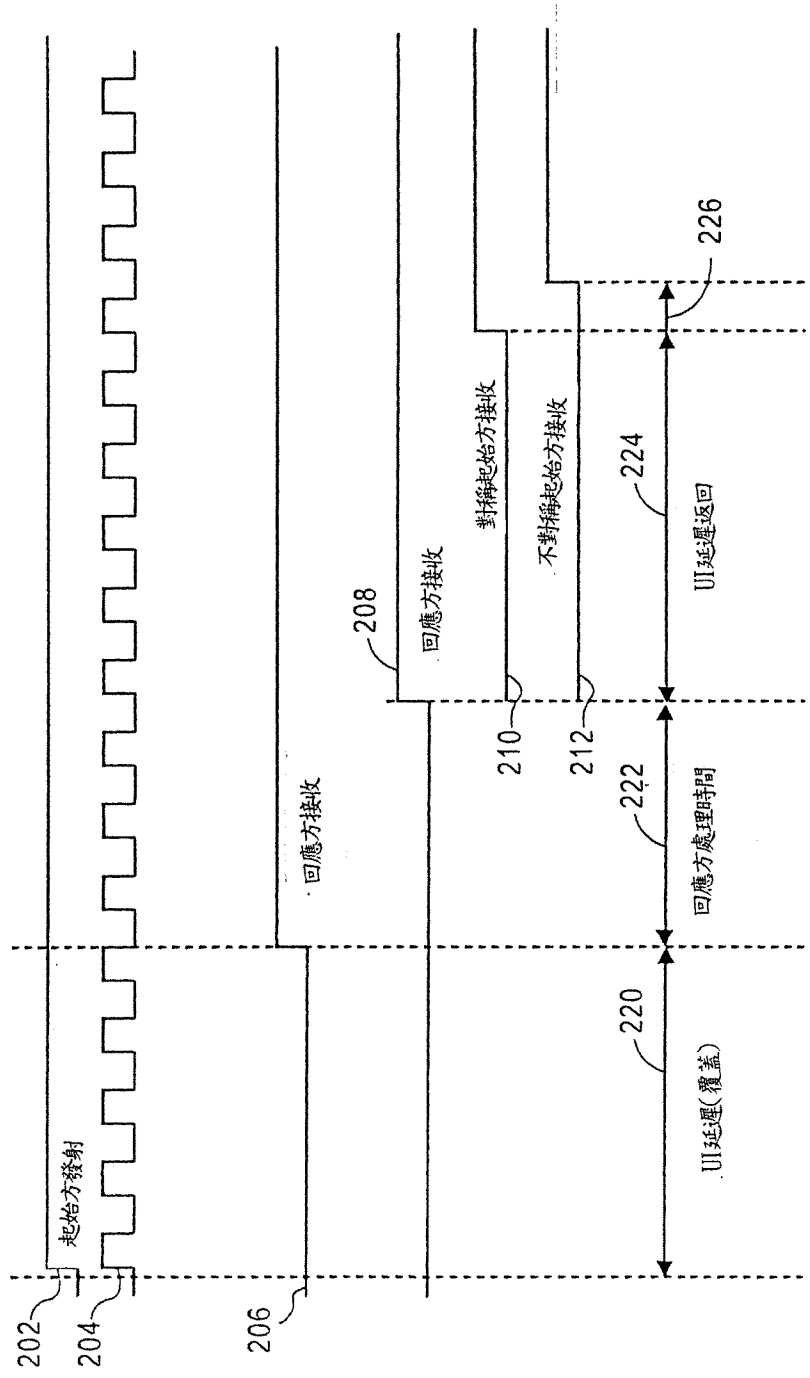
## 六、英文發明摘要：

A method, system and apparatus to self-determine equalization parameters for a channel. An initiator sends an equalization insensitive signal (EIS) to a responder on channel to be equalized and begins a count. A responder responds with an EIS. When the initiator receives the response EIS the count is terminated. The count, which constitutes a measure of delay in the channel, may be used to determine desirable equalization parameters for the channel.

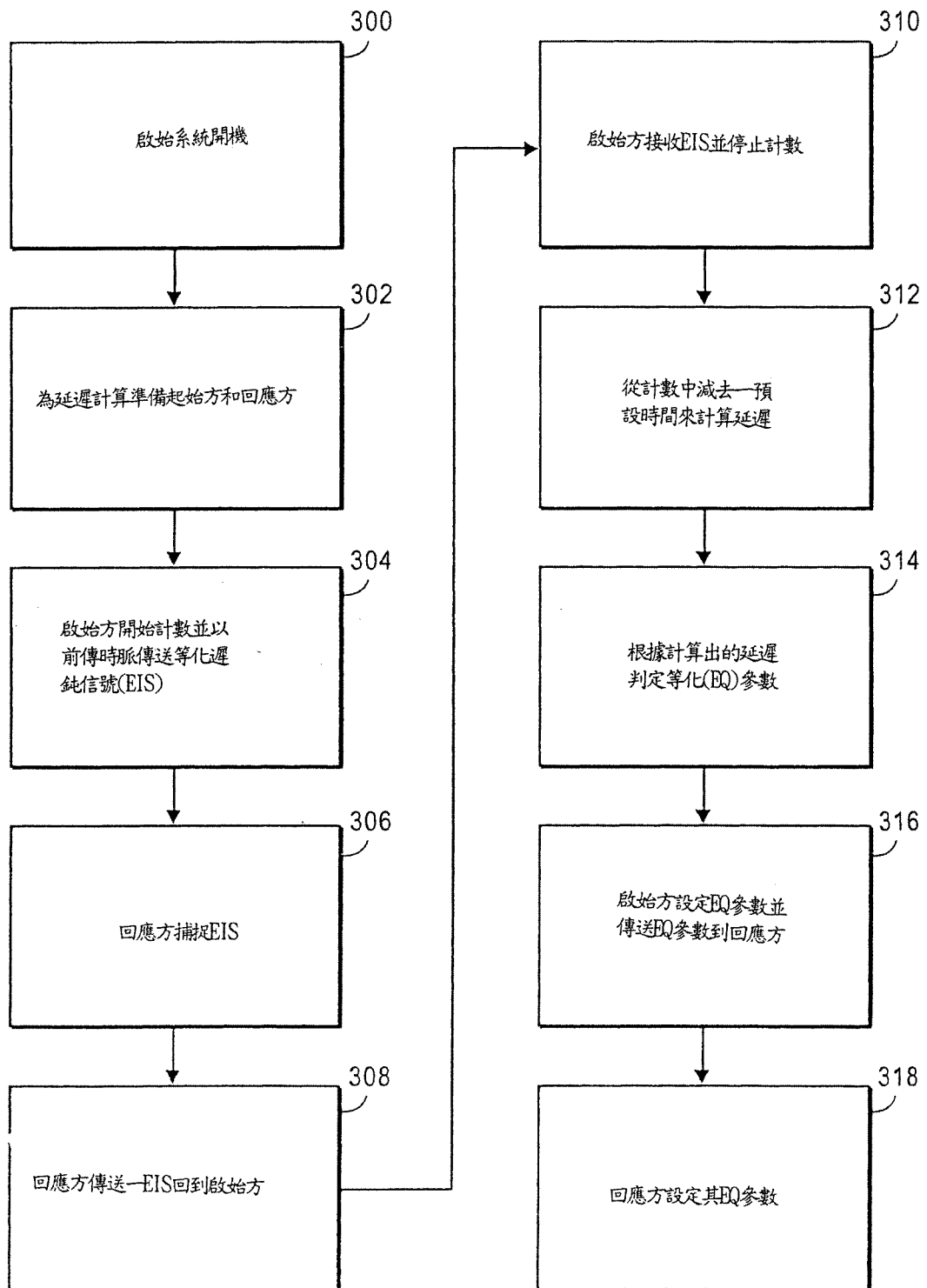


第 1 圖





第 2 圖



第 3 圖



七、指定代表圖：

(一)本案指定代表圖為：第 ( 3 ) 圖。

(二)本代表圖之元件符號簡單說明：

300-318……步驟

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

第94134093號申請案

**發明專利說明書**

修正本

96.02.14.

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94134093.

※申請日期：94.9.29

※IPC分類：H04L 25/03 (sub.01)

**一、發明名稱：**(中文/英文)

用於晶片對晶片發訊的方法、裝置與系統 / Method, Apparatus and System for Chip to Chip Signaling

**二、申請人：**(共 1 人)**姓名或名稱：**(中文/英文)

英特爾公司 / Intel Corporation

**代表人：**(中文/英文)

塞門 大衛 / SIMON, David

**住居所或營業所地址：**(中文/英文)

美國加州聖塔克萊拉市密遜大學道 2200 號

2200 Mission College Blvd., Santa Clara, CA, U.S.A.

**國籍：**(中文/英文)

美國 / U.S.A.

**三、發明人：**(共 4 人)**姓名：**(中文/英文)

1. 麥克卡爾 詹姆斯 / MCCALL, James

2. 魯夫 克勞斯 / RUFF, Klaus

3. 夏坎德 大衛 / SHYKIND, David

4. 賈德休里 珊塔納 / CHAUDHURI, Santanu

**國籍：**(中文/英文)

1. 3. 美國 / U.S.A. 2. 德國 / Germany 4. 印度 / India

## 十、申請專利範圍：

第94134093號申請案申請專利範圍修正本 96.02.14.

1. 一種用於晶片對晶片發訊的方法，其包含下列步驟：  
在一起始方中自我判定在該起始方與一回應方間  
5 之一通道的一等化參數；以及  
設定該等化參數具有數值。
2. 如申請專利範圍第1項之方法，其中自我判定之步驟包  
含：  
判定該起始方與該回應方間之該通道上之一信號  
10 之一延遲。
3. 如申請專利範圍第2項之方法，其中判定之步驟包含：  
從該起始方發射一等化遲鈍信號至該回應方；  
與發射同步地開始一計數之動作；  
接收一傳回的等化遲鈍回應信號；以及  
15 終止該計數之動作。
4. 如申請專利範圍第3項之方法，其包含下列步驟：  
在發射該信號前將該起始方與該回應方針對一延  
遲計算加以初始化。
5. 如申請專利範圍第3項之方法，其中自我判定之步驟包  
20 含：  
根據該計數編索引到一詢查表中。
6. 如申請專利範圍第3項之方法，其中發射之步驟包含：  
產生一步級信號。
7. 如申請專利範圍第2項之方法，其中自我判定之步驟包



含：

由判定的該延遲計算該等化參數。

8. 如申請專利範圍第3項之方法，其中判定之步驟更包

含：

5 從回應方處理時間之該計數減去一定義週期數。

9. 如申請專利範圍第3項之方法，更包含下列步驟：

與該等化遲鈍信號同步地發射一進送時脈。

10. 一種用於晶片對晶片發訊的裝置，其包含：

用以產生一等化遲鈍信號之一信號產生器；

10 用來在一第一鏈結上發射該信號之一發射器；

用來在一第二鏈結上接收一回應信號之一接收器；

用來維持發射該信號與接收該回應信號之間的一

計數之一計數器；以及

用來根據該計數設定一等化參數之邏輯裝置。

15 11. 如申請專利範圍第10項之裝置，其更包含：

用來根據該計數提供該等化參數之一詢查表。

12. 如申請專利範圍第10項之裝置，其中該第一鏈結係一通

道之一向外鏈結，而該第二鏈結係該通道之一傳回鏈

結。

20 13. 如申請專利範圍第10項之裝置，其更包含：

用以將該計數減掉對應於一回應方處理時間之一

值的一算術單元。

14. 一種用於晶片對晶片發訊的系統，其包含：

一主機板；

一處理器，其用以自我判斷一通道或其所傳送之等化參數，該處理器耦接至該主機板；

耦接至該主機板之一晶片組，該主機板界定該晶片組與該處理器之間的第一通道；

- 5 耦接該主機板之一記憶體；以及  
該主機板界定該記憶體與該晶片組之間的第二通道。

15. 如申請專利範圍第14項之系統，其中該晶片組包含：

- 10 用以自我判斷該第二通道用之一等化參數之邏輯裝置。

16. 如申請專利範圍第14項之系統，其中該處理器與該晶片組各自包含：

- 15 用以產生一等化遲鈍信號之一信號產生器；以及  
用以判定從發射該等化遲鈍信號到接收一回應信號之一延遲之一計數器。

17. 如申請專利範圍第14項之系統，其中該處理器包含：

用以判定該第一通道上之一往返信號延遲之邏輯裝置；以及

藉該延遲檢索以識別該等化參數之一詢查表。

20 18. 如申請專利範圍第14項之系統，其中該第一通道包含：

多個不同長度的鏈結元件，以及

其中該等化參數係由該通道之最長鏈結元件上之一延遲所決定。