



(19)
 Bundesrepublik Deutschland
 Deutsches Patent- und Markenamt

(10) **DE 10 2006 053 145 A1** 2007.05.31

(12)

Offenlegungsschrift

(21) Aktenzeichen: **10 2006 053 145.0**

(22) Anmeldetag: **10.11.2006**

(43) Offenlegungstag: **31.05.2007**

(51) Int Cl.⁸: **H01L 29/78** (2006.01)

(30) Unionspriorität:

2005-329334 14.11.2005 JP

(71) Anmelder:

Denso Corp., Kariya, Aichi, JP

(74) Vertreter:

**WINTER, BRANDL, FÜRNISS, HÜBNER, RÖSS,
 KAISER, POLTE, Partnerschaft, 85354 Freising**

(72) Erfinder:

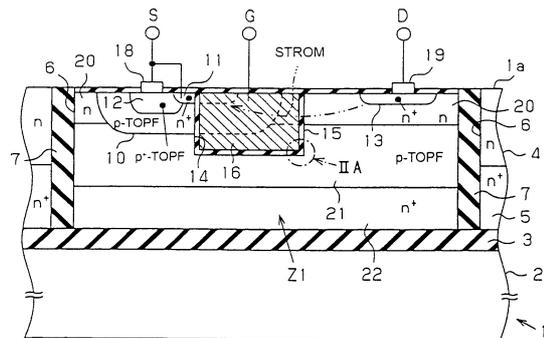
**Nakano, Takashi, Kariya, Aichi, JP; Takahashi,
 Shigeki, Kariya, Aichi, JP**

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **Halbleitervorrichtung mit Trennungsbereich**

(57) Zusammenfassung: Eine Halbleitervorrichtung umfasst ein Halbleitersubstrat (1), einen Trennungsbereich (Z1) in dem Substrat (1), eine eingebettete Schicht (22), einen Kanalbildungsbereich (10), einen Source-Bereich (11), einen Drain-Bereich (13), eine erste Elektrode (17) für den Source-Bereich (11), eine zweite Elektrode (18) für den Kanalbildungsbereich (10), eine dritte Elektrode (19) für den Drain-Bereich (13), einen Graben (14), der den Kanalbildungsbereich (10) zwischen dem Source-Bereich (11) und dem Drain-Bereich (13) durchdringt, eine Graben-Gate-Elektrode (16) in dem Graben (14), eine Offset-Schicht (20) in einem Abschnitt, der einen Strompfad bildet, der durch die Graben-Gate-Elektrode (16) vorgesehen ist, und eine Relaxationsschicht (21) unter dem Kanalbildungsbereich (10) und der Offset-Schicht (20), die mit dem Kanalbildungsbereich (10) verbunden ist und einen Boden des Grabens (14) bedeckt.



Beschreibung

[0001] Die vorliegende Erfindung betrifft eine Halbleitervorrichtung mit einem Trennungsbereich bzw. abgetrennten Bereich.

[0002] Ein lateraler Graben-Gate-MOSFET ist wohl bekannt und zum Beispiel in dem US Patent Nr. 5 723 891 und dem US Patent Nr. 5 640 034 offenbart. Dieser MOSFET ist dazu geeignet, einen Durchschaltewiderstand dadurch zu verringern, dass eine Kanaldichte mit einer Graben-Gate-Elektrode erhöht wird.

[0003] Jedoch ist im Falle einer komplexen IC (integrated circuit = integrierten Schaltung) eine eingebettete n⁺-leitende Schicht (im Folgenden kurz: "n⁺-Schicht"; entsprechend "n-Schicht" etc.) in einem Bipolartransistor-Ausbildungsbereich angeordnet. Wie es in **Fig. 11** gezeigt ist, liefert die eingebettete n⁺-leitende Schicht **100**, wenn der laterale Graben-Gate-MOSFET in einem Substrat ausgebildet ist, ein elektrisches Drain-Potential. Somit ist an einer Ecke eines Bodens einer Graben-Gate-Elektrode **108** ein elektrisches Feld konzentriert, so dass eine Durchbruchspannung verringert ist.

[0004] In **Fig. 11** ist eine Siliziuminsel in einer n-leitenden Siliziumschicht **101** durch einen Graben **102** und eine eingebettete Oxidschicht **103** getrennt. In der Siliziuminsel sind ein Kanalbildungsbereich **104**, ein n⁺-Source-Bereich **105**, eine p⁺-Kontaktopfschicht **106**, ein n⁺-Drain-Bereich **107** und eine Graben-Gate-Elektrode **108** ausgebildet. In der Siliziuminsel ist eine eingebettete n⁺-Schicht **100** auf einem Boden einer n-Siliziumschicht **101** ausgebildet. Wenn die Siliziuminsel die eingebettete n⁺-Schicht **100** enthält, wird hier, sofern eine Spannung an den n⁺-Drain-Bereich **107** angelegt wird, das elektrische Potential der eingebetteten n⁺-Schicht in Übereinstimmung mit dem Drain-Potential ebenfalls erhöht. Dadurch ist das elektrische Feld bei einem tieferen Abschnitt der Graben-Gate-Elektrode **108** konzentriert, die auf der Seite des Drain-Bereichs **107** (d.h. eines XIA-Abschnitts in **Fig. 11**) angeordnet ist, so dass die Durchbruchspannung verringert ist. Ferner, wenn zum Beispiel die eingebettete n⁺-Schicht **100** das elektrische Source-Potential liefert, ist das elektrische Feld bei einer Kante der Graben-Gate-Elektrode **108** (d.h. einer Ecke des Bodens) konzentriert, so dass die Durchbruchspannung verringert ist.

[0005] Angesichts des oben beschriebenen Problems ist es das Ziel der vorliegenden Erfindung, eine Halbleitervorrichtung mit einem Trennungsbereich bereitzustellen.

[0006] Gemäß einem Aspekt der vorliegenden Erfindung umfasst eine Halbleitervorrichtung ein Halbleitersubstrat, einen Trennungsbereich, der in dem Substrat angeordnet ist, wobei der Trennungsbereich

von weiteren Teilen des Substrats getrennt ist, eine eingebettete Schicht von einem ersten Leitungstyp, wobei die eingebettete Schicht auf einem Bodenabschnitt des Trennungsbereichs angeordnet ist und die ein schwebendes elektrisches Potential besitzt, einen Kanalbildungsbereich von einem zweiten Leitungstyp, wobei der Kanalbildungsbereich in einem Oberflächenabschnitt des Trennungsbereichs, auf einer Hauptoberfläche des Halbleitersubstrats angeordnet ist, einen Source-Bereich von dem ersten Leitungstyp, wobei der Source-Bereich auf einem Oberflächenabschnitt des Kanalbildungsbereichs angeordnet ist, einen Drain-Bereich von dem ersten Leitungstyp, wobei der Drain-Bereich in einem weiteren Oberflächenabschnitt des Trennungsbereichs, auf der Umfangsoberfläche des Substrats angeordnet ist und von dem Kanalbildungsbereich getrennt ist, eine erste Elektrode zum Anlegen einer Source-Spannung an den Source-Bereich, eine zweite Elektrode zum Anlegen der Source-Spannung an den Kanalbildungsbereich, eine dritte Elektrode zum Anlegen einer Drain-Spannung an den Drain-Bereich, einen Graben, der in der Hauptoberfläche des Halbleitersubstrats angeordnet ist, wobei der Graben den Kanalbildungsbereich zwischen dem Source-Bereich und dem Drain-Bereich durchdringt und tiefer als der Kanalbildungsbereich ist, eine Graben-Gate-Elektrode, die an einer inneren Oberfläche des Grabens durch einen Gate-Isolierungsfilm getrennt angeordnet ist, eine Offset-Schicht von dem ersten Leitungstyp, wobei die Offset-Schicht in einem Abschnitt des Trennungsbereichs angeordnet ist, der einen Strompfad bildet, welcher durch die Graben-Gate-Elektrode zwischen dem Kanalbildungsbereich und dem Drain-Bereich bereitgestellt wird, und wobei der Abschnitt ferner ein weiterer Oberflächenabschnitt des Trennungsbereichs auf der Hauptoberfläche des Substrats ist, und eine Schicht zur Relaxation des elektrischen Feldes (im Folgenden kurz als "Relaxationsschicht" bezeichnet) von dem zweiten Leitungstyp, wobei die Relaxationsschicht unter dem Kanalbildungsbereich und der Offset-Schicht in dem Trennungsbereich angeordnet und tiefer als der Graben ist, mit dem Kanalbildungsbereich verbunden ist und einen Boden des Grabens bedeckt.

[0007] Wenn in der oben beschriebenen Vorrichtung ein Transistor durchschaltet, wird auf einem Abschnitt, der der Graben-Gate-Elektrode gegenüberliegt, und zwar dem Abschnitt, der in dem Kanalbildungsbereich angeordnet ist, eine Inversionsschicht gebildet. Somit fließt ein Strom zwischen dem Drain-Bereich und dem Source-Bereich durch den Abschnitt (d.h. die Inversionsschicht) in dem Kanalbildungsbereich, der der Graben-Gate-Elektrode und der Offset-Schicht gegenüberliegt. Hingegen ist eine Topfschicht zur Relaxation eines elektrischen Feldes (im Folgenden kurz "Relaxationstopfschicht" bezeichnet) unter dem Kanalbildungsbereich und der Offset-Schicht gebildet. Die Relaxationstopfschicht

ist mit dem Kanalbildungsbereich verbunden. Ferner bedeckt die Relaxationstopfschicht den Boden des Grabens. Somit ist das elektrische Feld nicht bei dem unteren Abschnitt der Graben-Gate-Elektrode konzentriert, die sich auf der Seite des Drain-Bereichs befindet, so dass die Durchbruchspannung verbessert ist. Ferner, da das elektrische Potential der eingebetteten Schicht schwebend wird, sind sowohl die Durchbruchspannung als auch die Spannungsfestigkeit gegenüber statischer Elektrizität angeglichen. Somit besitzt die Halbleitervorrichtung mit der lateralen Graben-Gate-MOS-Transistor-Konstruktion, bei der die eingebettete Schicht in dem von weiteren Teilen getrennten Bereich angeordnet ist, eine ausgezeichnete Durchbruchspannung.

[0008] Die obigen und weitere Aufgaben, Eigenschaften und Vorteile der vorliegenden Erfindung sind aus der nachfolgenden detaillierten Beschreibung, die unter Bezugnahme auf die beigefügte Zeichnung gemacht wurde, deutlicher ersichtlich. In den Zeichnungen sind:

[0009] [Fig. 1](#) eine Draufsicht, die eine Halbleitervorrichtung gemäß einer ersten Ausführungsform zeigt;

[0010] [Fig. 2](#) eine Ansicht im vertikalen Querschnitt, die die Vorrichtung entlang der Linie II-II in [Fig. 1](#) zeigt;

[0011] [Fig. 3](#) eine Ansicht im vertikalen Querschnitt, die die Vorrichtung entlang der Linie III-III in [Fig. 1](#) zeigt;

[0012] [Fig. 4](#) eine Draufsicht, die eine Halbleitervorrichtung gemäß einer zweiten Ausführungsform zeigt;

[0013] [Fig. 5](#) eine Ansicht im vertikalen Querschnitt, die die Vorrichtung entlang der Linie V-V in [Fig. 4](#) zeigt;

[0014] [Fig. 6](#) eine Ansicht im vertikalen Querschnitt, die die Vorrichtung entlang der Linie VI-VI in [Fig. 4](#) zeigt;

[0015] [Fig. 7](#) eine Draufsicht, die eine Halbleitervorrichtung gemäß einer dritten Ausführungsform zeigt;

[0016] [Fig. 8](#) eine Draufsicht, die eine Halbleitervorrichtung gemäß einer Modifikation der dritten Ausführungsform zeigt;

[0017] [Fig. 9](#) eine Ansicht im vertikalen Querschnitt, die eine Halbleitervorrichtung gemäß einer vierten Ausführungsform zeigt;

[0018] [Fig. 10](#) eine Ansicht im vertikalen Querschnitt, die eine Halbleitervorrichtung gemäß einer fünften Ausführungsform zeigt;

[0019] [Fig. 11](#) eine Ansicht im vertikalen Querschnitt, die eine Halbleitervorrichtung gemäß dem Stand der Technik zeigt;

[0020] [Fig. 12](#) eine Ansicht im vertikalen Querschnitt, die eine weitere Halbleitervorrichtung gemäß einer Modifikation der ersten Ausführungsform zeigt;

[0021] [Fig. 13](#) eine Ansicht im vertikalen Querschnitt, die eine weitere Halbleitervorrichtung gemäß einer Modifikation der zweiten Ausführungsform zeigt; und

[0022] [Fig. 14](#) eine Ansicht im vertikalen Querschnitt, die eine weitere Halbleitervorrichtung gemäß einer weiteren Modifikation der zweiten Ausführungsform zeigt.

(Erste Ausführungsform)

[0023] [Fig. 1](#) ist eine Draufsicht, die eine Halbleitervorrichtung gemäß einer ersten Ausführungsform zeigt. [Fig. 2](#) ist eine Querschnittsansicht, die die Vorrichtung entlang der Linie II-II in [Fig. 1](#) zeigt. [Fig. 3](#) ist eine Querschnittsansicht, die die Vorrichtung entlang der Linie III-III in [Fig. 1](#) zeigt. Die Halbleitervorrichtung ist eine komplexe IC (integrierte Schaltung), so dass ein Bipolartransistor und ein MOS-Transistor auf einem Chip ausgebildet sind. Der MOS-Transistor ist als lateraler Graben-Gate-MOS-Transistor aufgebaut. Ferner ist der MOS-Transistor ein n-Kanal-Transistor.

[0024] In den [Fig. 2](#) und [Fig. 3](#) ist das Halbleitersubstrat **1** so ausgebildet, dass eine n-Siliziumschicht **4** (was zum Beispiel der erste Leitungstyp ist) auf einem Siliziumsubstrat **2** durch einen eingebetteten Oxidfilm **3** getrennt ausgebildet ist. Eine eingebettete n-Schicht **5** ist auf dem Boden der n-Siliziumschicht **4** ausgebildet. Die obere Oberfläche des Halbleitersubstrats **1** ist eine Hauptoberfläche **1a**.

[0025] Ein Teileabtrennungsgraben **6** ist in der Siliziumschicht **4** ausgebildet. Der Teileabtrennungsgraben **6** reicht bis zu dem eingebetteten Oxidfilm **3**. Wie es in [Fig. 1](#) gezeigt ist, ist der Teileabtrennungsgraben **6** quadratisch ausgebildet. Ein Isolierungsfilm **7** ist in den Teileabtrennungsgraben **6** gefüllt. Somit ist die Insel des lateralen MOS-Transistor durch den Teileabtrennungsgraben **6** von umgebenden Teilen getrennt. Somit ist der Bereich (d.h. der Bildungsbereich des lateralen MOS-Transistors) Z1 so in dem Halbleitersubstrat **1** gebildet, dass er durch den Teileabtrennungsgraben **6** von weiteren Teilen getrennt ist.

[0026] Entsprechend ist in einem Bildungsbereich des Bipolartransistors (d.h. einer Insel), der durch einen Graben von den weiteren Teilen getrennt ist, ein (nicht gezeigter) Bipolartransistor ausgebildet. Ferner ist die eingebettete n⁻-Schicht **5** in dem Bildungs-

bereich (d.h. der Insel) des Bipolartransistors ausgebildet.

[0027] Ein p-Kanalbildungsbereich (d.h. eine p-Topfschicht) **10**, wobei der p-Leitungstyp zum Beispiel der zweite Leitungstyp ist, ist in dem Oberflächenabschnitt der Hauptoberfläche **1a** des Halbleitersubstrats **1**, und zwar in dem Bereich Z1 (d.h. dem Bildungsbereich des lateralen MOS-Transistors), der von weiteren Teilen getrennt ist, ausgebildet. Ferner ist ein n⁺-Source-Bereich **11**, wobei der n-Leitungstyp z.B. der vom ersten Leitungstyp ist, in dem Kanalbildungsbereich **10** des Oberflächenabschnitts der Hauptoberfläche **1a** ausgebildet. Ferner ist ein p⁺-Source-Kontaktbereich (d.h. eine p⁺-Topfschicht) in dem Oberflächenabschnitt des Kanalbildungsbereichs **10** und angrenzend an den n⁺-Source-Bereich **11** ausgebildet.

[0028] Ein n⁺-Drain-Bereich (z.B. der Drain-Bereich vom ersten Leitungstyp) **13** ist in dem Oberflächenabschnitt der Hauptoberfläche **1a**, in dem Bereich Z1, also getrennt von den weiteren Teilen ausgebildet. Der n⁺-Drain-Bereich **13** ist getrennt von dem p-Kanalbildungsbereich angeordnet.

[0029] Ein Graben **14** ist in der Hauptoberfläche **1a**, in dem Bereich Z1 ausgebildet. Der Graben **14** ist planar aufgebaut, und zwar derart, dass der Graben **14** den p-Kanalbildungsbereich **10** zwischen dem n⁺-Source-Bereich **11** und dem n⁺-Drain-Bereich **13** in einer Richtung von dem n⁺-Source-Bereich **11** zu dem n⁺-Drain-Bereich **13** durchdringt. Der Graben **14** ist tiefer als der Kanalbildungsbereich **10**. Eine Graben-Gate-Elektrode **16** ist auf der Innenwand des Grabens durch den Gate-Oxidfilm **15** als ein Gate-Isolierungsfilm hindurch ausgebildet.

[0030] Eine Source-Elektrode **17**, eine Elektrode **18** für den Kanalbildungsbereich und eine Drain-Elektrode **19** sind auf der Siliziumschicht **4** ausgebildet. Die Source-Elektrode **17** ist elektrisch mit dem n⁺-Source-Bereich **11** verbunden. Die Elektrode **18** für den Kanalbildungsbereich ist elektrisch mit dem p⁺-Source-Kontaktbereich (d.h. der p⁺-Topfschicht) **12** verbunden. Die Source-Spannung wird durch diese Elektroden **17**, **18** an den Source-Bereich **11** und den Kanalbildungsbereich **10** angelegt. Ferner ist die Drain-Elektrode **19** elektrisch mit dem Drain-Bereich **13** verbunden. Die Drain-Spannung wird über die Elektrode **19** an den Drain-Bereich **13** angelegt.

[0031] Eine n-Offset-Schicht **20** (wobei der n-leitende Leitungstyp zum Beispiel der erste Leitungstyp ist) ist in dem Oberflächenabschnitt der Hauptoberfläche **1a**, in dem Bereich Z1 ausgebildet. Die Offset-Schicht **20** ist in dem gesamten Bereich um den Kanalbildungsbereich **10** und den n-Drain-Bereich **13** ausgebildet. Somit ist die Offset-Schicht **20** auch in einem Abschnitt ausgebildet, der ein Strompfad bil-

det, welcher durch die Graben-Gate-Elektrode **16** zwischen dem Kanalbildungsbereich **10** und dem Drain-Bereich **13** gebildet wird. Die Offset-Schicht **20** ist tiefer als der n⁺-Drain-Bereich **13** und außerdem flacher als der Kanalbildungsbereich **10**.

[0032] Eine p-Relaxationstopfschicht **21** (wobei der p-leitende Leitungstyp zum Beispiel der zweite Leitungstyp ist) ist unter dem Kanalbildungsbereich **10** und der Offset-Schicht **20**, in dem Bereich Z1 ausgebildet. Die Topfschicht **21** ist tiefer als der Graben **14**, ist mit dem Kanalbildungsbereich **10** verbunden und bedeckt den Boden des Grabens **14**. Insbesondere ist die p-Topfschicht **21** unter dem Boden der Graben-Gate-Elektrode **16** ausgebildet, und die n-Offset-Schicht **20** und die p-Relaxationstopfschicht **21** sind von beiden Seiten diffundiert, so dass wieder eine planare Oberfläche entsteht. In den [Fig. 2](#) und [Fig. 3](#) ist in dem Bereich (d.h. dem Bildungsbereich des lateralen MOS-Transistors) Z1, eine eingebettete n⁺-Schicht (z.B. die eingebettete Schicht vom ersten Leitungstyp) **22** auf dem Boden des Bereichs Z1 derart ausgebildet, dass die eingebettete n⁺-Schicht **22** die Relaxationstopfschicht **21** kontaktiert. Die eingebettete n⁺-Schicht **22** besitzt ein schwebendes elektrisches Potential.

[0033] Nachfolgend ist der Betrieb der Halbleitervorrichtung mit dem oben beschriebenen Aufbau erläutert.

[0034] Wenn der laterale MOS-Transistor sperrt (d.h. das Drain-Potential ist ein vorbestimmtes positives Potential, das Gate-Potential beträgt Null Volt, und das Source-Potential beträgt Null Volt), fließt kein Strom.

[0035] Wenn hingegen der laterale MOS-Transistor durchschaltet (d.h. das Drain-Potential ist ein vorbestimmtes positives Potential, das Gate-Potential ist ein vorbestimmtes positives Potential, und das Source-Potential beträgt Null Volt), wird eine Inversionsschicht auf einem Abschnitt in dem p-Kanalbildungsbereich **10**, und zwar dem Abschnitt, der der Graben-Gate-Elektrode **16** gegenüberliegt, gebildet. Entlang eines Pfades, der als eine zweipunkt-gestrichelte Linie in den [Fig. 1](#) und [Fig. 2](#) gezeigt ist, fließt der Strom zwischen dem n⁺-Drain-Bereich **13** und dem n⁺-Source-Bereich **11** durch die n-Offset-Schicht **20** und den Abschnitt (d.h. der Inversionsschicht) in dem p-Kanalbildungsbereich **10**, der der Graben-Gate-Elektrode **16** gegenüberliegt. Hier ist der Strompfad in einem tiefer liegenden Abschnitt, d.h. unter der Oberfläche, gebildet. Somit kann der Durchschaltewiderstand verringert werden.

[0036] Somit kreuzt der Graben **14** den p-Kanalbildungsbereich **10** und erreicht durch den n⁺-Source-Bereich **11** die n-Offset-Schicht **20**. Das positive Potential wird an die Graben-Gate-Elektrode **16** an-

gelegt, so dass die Inversionsschicht auf der Seite der Graben-Gate-Elektrode **16** gebildet wird. Der Strom fließt durch die Inversionsschicht. Somit ist durch Verwenden der Graben-Gate-Elektrode **16** die Kanaldichte, d.h. die Anzahl der Kanäle pro Einheitsfläche, gegenüber einem planaren Aufbau verbessert, und der Durchschaltewiderstand ist verringert.

[0037] Hier ist, wie es in [Fig. 11](#) gezeigt ist, wenn die Vorrichtung die eingebettete n⁺-Schicht **100** umfasst, das elektrische Potential der eingebetteten n⁺-Schicht **100** ebenfalls in Übereinstimmung mit dem Drain-Potential erhöht, wenn die Spannung an den n⁺-Drain-Bereich **107** angelegt wird. Daraus ergibt sich, dass das elektrische Feld bei dem unteren Abschnitt (d.h. einem XIA-Abschnitt in [Fig. 11](#)) der Graben-Gate-Elektrode **108** konzentriert ist, die auf der Seite des Drain-Bereichs **107** angeordnet ist, so dass die Durchbruchspannung verringert ist. Hingegen überdeckt in der in [Fig. 2](#) gezeigten vorliegenden Ausführungsform die p-Relaxationstopfschicht **21**, die mit dem p-Kanalbildungsbereich **10** verbunden ist, den Boden des Grabens **14** (d.h. der Graben-Gate-Elektrode **16**). Somit ist, wenn das elektrische Potential an den Drain-Bereich **13** angelegt wird, das elektrische Feld nicht bei dem unteren Abschnitt (d.h. einem IIA-Abschnitt in [Fig. 2](#)) der Graben-Gate-Elektrode **16** konzentriert, die auf der Seite des Drain-Bereichs **13** angeordnet ist, so dass die Durchbruchspannung verbessert ist.

[0038] Ferner ist die eingebettete n⁺-Schicht **22** durch den Graben **14** von den umgebenden Teilen getrennt, so dass das Potential der eingebetteten n⁺-Schicht **22** schwebend ist. Hier, wenn die eingebettete n⁺-Schicht **22** das Drain-Potential annimmt, wird das elektrische Feld leicht bei der Kante (d.h. der Ecke des Bodens) der Graben-Gate-Elektrode **16** konzentriert, so dass die Durchbruchspannung reduziert ist. Ferner, wenn die eingebettete n⁺-Schicht **22** das Source-Potential annimmt, fungiert ein NPN-Transistor, der durch die n-Offset-Schicht **22**, die p-Relaxationstopfschicht **21** und die n⁺-Schicht **22** wie es in [Fig. 2](#) gezeigt ist gebildet ist, leicht als eine parasitäre bipolare Operation, wenn das statische elektrische Feld angelegt wird. Demzufolge wird die Spannungsfestigkeit gegenüber einem statischen elektrischen Feld verringert. Wenn hingegen das Potential der eingebetteten n⁺-Schicht schwebend ist, sind sowohl die Durchbruchspannung als auch die Spannungsfestigkeit gegenüber einem statischen elektrischen Feld angeglichen (d.h. die Durchbruchspannung ist verbessert, und ferner ist die Spannungsfestigkeit gegenüber einem statischen elektrischen Feld gewährleistet).

[0039] Somit besitzt die Halbleitervorrichtung mit dem Aufbau eines lateralen Graben-Gate-MOS-Transistors, in dem die eingebettete Schicht **22** in dem Bereich Z1 angeordnet ist, eine

ausgezeichnete Durchbruchspannung.

[0040] Ferner wird durch Verwenden des Teileabtrennungsgrabens **6** in dem Halbleitersubstrat **1** eine Abtrennung des Bereichs Z1 gegenüber den weiteren Teilen erreicht.

[0041] Alternativ, wie es in [Fig. 12](#) gezeigt ist, kann die Vorrichtung einen n-Topf **50** aufweisen. Der n-Topf **50** besitzt eine Verunreinigungskonzentration, die höher als die der Offset-Schicht **20** und niedriger als die des Drain-Bereichs **13** ist, und ist um den Drain-Bereich **13** angeordnet. In diesem Fall, wenn ein ESD-Spannungsstoß an die Vorrichtung angelegt wird, ist das elektrische Feld in der Nähe des Drain-Bereichs **13** reduziert. Demzufolge ist die Durchschalte-Durchbruchspannung der Vorrichtung, d.h. die ESD-Spannungsstoßfestigkeit verbessert.

[0042] Ferner kann die Vorrichtung eine weitere Diffusionsschicht in einem Körperbereich in der Nähe der Source umfassen. Die Diffusionsschicht hat eine Verunreinigungskonzentration, die höher als die des Körperbereichs ist. Die Diffusionsschicht verbessert (oder verringert) den Betrieb eines parasitären Bipolartransistors in der Nähe der Source. Somit ist die Spannungsstoßfestigkeit wie etwa die ESD-Spannungsstoßfestigkeit verbessert.

(Zweite Ausführungsform)

[0043] Nachfolgend ist im Wesentlichen der Unterschied zwischen der ersten und der zweiten Ausführungsform erläutert.

[0044] [Fig. 4](#) ist eine Draufsicht einer Halbleitervorrichtung gemäß der vorliegenden Ausführungsform. [Fig. 5](#) ist eine Ansicht im vertikalen Querschnitt der Vorrichtung entlang der Linie V-V in [Fig. 4](#). [Fig. 6](#) ist eine Ansicht im vertikalen Querschnitt der Vorrichtung entlang der Linie VI-VI in [Fig. 4](#).

[0045] Wie es in den [Fig. 4](#), [Fig. 5](#) und [Fig. 6](#) gezeigt ist, umfasst die Halbleitervorrichtung gemäß der vorliegenden Ausführungsform zusätzlich zu der Graben-Gate-Elektrode **16** ferner die planare Gate-Elektrode **31**.

[0046] Wie es in den [Fig. 4](#) und [Fig. 6](#) gezeigt ist, ist die planare Gate-Elektrode **31** durch den Gate-Oxidfilm **30** als den Gate-Isolierungsfilm getrennt auf der Hauptoberfläche **1a** ausgebildet. Die planare Gate-Elektrode **31** und die Graben-Gate-Elektrode **16**, die in [Fig. 5](#) gezeigt sind, sind integriert. Darüber hinaus ist auf der Umfangsoberfläche **1a** zwischen dem n⁺-Drain-Bereich **13** und dem Kanalbildungsbe- reich **10** ein LOCOS-Oxidfilm **32** ausgebildet.

[0047] Wenn der laterale MOS-Transistor durchschaltet (d.h. die positive Spannung an die

Gate-Elektrode angelegt wird), wird auf einem Abschnitt des p-Kanalbildungsbereichs **10**, der der Graben-Gate-Elektrode **16** gegenüberliegt, und einem Abschnitt, der der planare Gate-Elektrode **31** gegenüberliegt, die Inversionsschicht gebildet. In [Fig. 4](#) fließt der Strom entlang eines als Strom I gezeigten Pfades, d.h. der Strom fließt zwischen dem n⁺-Drain-Bereich **13** und dem n⁺-Source-Bereich **11** durch den Abschnitt (d.h. die Inversionsschicht) des Kanalbildungsbereichs **10**, der der Graben-Gate-Elektrode **16** und der n-Offset-Schicht **20** gegenüberliegt. Ferner fließt in [Fig. 4](#) der Strom entlang eines als Strom II gezeigten Pfades, d.h. der Strom fließt zwischen dem n⁺-Drain-Bereich **13** und dem n⁺-Source-Bereich **11** durch den Abschnitt (d.h. die Inversionsschicht) des Kanalbildungsbereichs **10**, der der planare Gate-Elektrode **31** und der n-Offset-Schicht **20** gegenüberliegt. Somit besitzt der obige Transistor, der durch Verwenden der Graben-Gate-Elektrode **16** und der planare Gate-Elektrode **31** als laterale Leistungsvorrichtung ausgebildet ist, einen Durchschaltewiderstand, der niedriger als der der lateralen Graben-Gate-Leistungsvorrichtung ist.

[0048] Die obige Ausführungsform hat die folgenden Effekte.

(1) Da die planare Gate-Elektrode **31** durch den Gate-Oxidfilm **30** als den Gate-Isolierungsfilm getrennt auf der Hauptoberfläche **1a** ausgebildet ist, ist der Durchschaltewiderstand verringert.

(2) Da der LOCOS-Oxidfilm **32** ferner auf dem Abschnitt gebildet ist, der ein von der planare Gate-Elektrode **31** bereitgestellter Strompfad sein soll, dem Abschnitt, der auf der Hauptoberfläche **1a** des Halbleitersubstrats **1** in dem Bereich Z1, getrennt von weiteren Teilen, angeordnet ist, ist die Durchbruchspannung verbessert.

[0049] Alternativ, wie es in [Fig. 13](#) gezeigt ist, ist es möglich, dass die Vorrichtung die Offset-Schicht **20** nicht enthält. Insbesondere ist in der Vorrichtung die Ecke der Graben-Gate-Elektrode **16** in der Relaxationstopfschicht **21** angeordnet, die p-leitend ist. Die Relaxationstopfschicht **21** ist elektrisch mit dem Kanalbildungsbereich **10** verbunden. Demzufolge dringt das Drain-Potential nicht unter die Graben-Gate-Elektrode **16**. Als Folge davon ist das elektrische Feld bei der Ecke der Graben-Gate-Elektrode **16** verringert und die Durchbruchspannung der Vorrichtung verbessert.

[0050] Alternativ, wie es in [Fig. 14](#) gezeigt ist, ist es möglich, dass die Vorrichtung weder die Offset-Schicht **20** noch die Relaxationstopfschicht **21** jedoch eine Schicht **51** zum Anlegen eines elektrischen Potentials, kurz Potentialanlegesgeschichte **51**, enthält. Insbesondere ist die Ecke der Graben-Gate-Elektrode, die auf der Drain-Seite angeordnet ist, auf der eingebetteten n-Schicht **22** angeordnet. Ferner ist

der Drain-Bereich **13** in der eingebetteten n-Schicht **22** angeordnet. Die eingebettete n-Schicht **22** ist auf dem eingebetteten Oxidfilm **3** angeordnet. Die Potentialanlegesgeschichte **51** ist unter dem eingebetteten Oxidfilm **3** angeordnet. Das elektrische Potential der Potentialanlegesgeschichte **51** ist in etwa gleich dem Source-Potential. In diesem Fall dringt das Drain-Potential nicht unter die Graben-Gate-Elektrode **16**. Als Folge davon ist das elektrische Feld bei der Ecke der Graben-Gate-Elektrode **16** verringert und die Durchbruchspannung der Vorrichtung verbessert. Hier kann die Potentialanlegesgeschichte **51** aus einem Metall oder einem Halbleiter gebildet sein.

(Dritte Ausführungsform)

[0051] Nachfolgend ist im Wesentlichen der Unterschied zwischen der dritten und der zweiten Ausführungsform erläutert.

[0052] [Fig. 7](#) zeigt die Draufsicht einer Halbleitervorrichtung gemäß der vorliegenden Ausführungsform, entsprechend [Fig. 4](#) der vorherigen Ausführungsform.

[0053] In [Fig. 7](#) ist der Drain-Bereich **13** in dem Bereich Z1 in der Zeichnung sowohl auf der rechten als auch auf der linken Seite ausgebildet. Ferner ist der Kanalbildungsbereich **10** (und der Source-Bereich **11**) in dem in Rechts-Links-Richtung mittleren Abschnitt der Zeichnung gebildet.

[0054] Die Drain-Bereiche **13** auf der rechten und der linken Seite und der Kanalbildungsbereich **10** (und der Source-Bereich **11**) in dem mittleren Abschnitt ist gürtelförmig und erstrecken sich parallel zu einander. Somit sind die Drain-Bereiche **13** und der Kanalbildungsbereich **10** (und der Source-Bereich **11**) streifenförmig. Ferner erstrecken sich drei Gräben **14** (d.h. die Graben-Gate-Elektroden **16**) von dem mittleren Source-Bereich **11** aus in Richtung des rechtsseitigen Drain-Bereichs **13**. Ferner erstrecken sich die drei Gräben **14** (d.h. die Graben-Gate-Elektroden **16**) von dem mittleren Source-Bereich **11** in Richtung des linksseitigen Drain-Bereichs **13** aus.

[0055] Somit werden mehrere Graben-Gate-Elektroden **16** in dem Bereich Z1 gebildet. Somit ist der Bereich der Vorrichtung verringert. Insbesondere ist der Bereich Z1, wenn mehrere Graben-Gate-Elektroden **16** darin gebildet sind, im Vergleich zu einem Fall, in dem eine Graben-Gate-Elektrode **16** in jedem von den weiteren Teilen getrennten Bereich gebildet ist, verringert, wenn die Anzahl der Graben-Gate-Elektroden **16** konstant ist.

[0056] In [Fig. 7](#) ist sowohl der Drain-Bereich **13** als auch der Kanalbildungsbereich **10** (und der Source-Bereich **11**) streifenförmig. Alternativ, wie es in [Fig. 8](#) gezeigt ist, kann sowohl der Drain-Bereich **13**

als auch der Kanalbildungsbereich **10** (und der Source-Bereich **11**) maschen- bzw. gitterförmig sein. Insbesondere ist in [Fig. 8](#) der Drain-Bereich **13** in dem Bereich Z1, auf der oberen, linken Seite und der unteren, rechten Seite der Zeichnung ausgebildet. Ferner ist der Kanalbildungsbereich **10** (und der Source-Bereich **11**) auf der oberen, rechten und der unteren, linken Seite der Zeichnung ausgebildet. Die Drain-Bereiche **13** auf der oberen, linken Seite und der unteren, rechten Seite sind jeweils quadratisch, und die Kanalbildungsbereiche **10** (und der Source-Bereich **11**) auf der oberen, rechten Seite und der unteren, linken Seite sind quadratisch. Somit sind die Drain-Bereiche **13** und der Kanalbildungsbereich **14** (und der Source-Bereich **11**) gitterförmig. Ferner erstreckt sich der Graben **14** (d.h. die Graben-Gate-Elektrode **16**) von dem Source-Bereich **11** in Richtung des Drain-Bereichs **13**.

(Vierte Ausführungsform)

[0057] Nachfolgend ist im Wesentlichen der Unterschied zwischen der vierten Ausführungsform und der zweiten Ausführungsform erläutert.

[0058] Wie es in [Fig. 9](#) gezeigt ist, ist die p-Relaxationstopfschicht **21** nicht in Kontakt mit dem Teileabtrennungsgraben **6** ausgebildet. Somit ist kein pn-Übergang auf einer Seitenwand des Teileabtrennungsgrabens **6** ausgebildet. Der Einfluss der Kriechverluste ist reduziert.

[0059] Somit kontaktiert die Relaxationstopfschicht **21** nicht den Teileabtrennungsgraben **6**, so dass es vorteilhaft ist, dass ein Kriechstrom begrenzt ist, da sich kein pn-Übergang auf der Seitenwand des Grabens befindet.

(Fünfte Ausführungsform)

[0060] Nachfolgend ist im Wesentlichen der Unterschied zwischen der fünften Ausführungsform und der zweiten Ausführungsform erläutert.

[0061] Wie es in [Fig. 10](#) gezeigt ist, ist die Vorrichtung so aufgebaut, dass die p-Relaxationstopfschicht **21** nicht bis zu der eingebetteten n⁺-Schicht **22** reicht. Somit ist die p-Relaxationstopfschicht **21** durch die n⁻-Schicht **40** getrennt auf der eingebetteten n⁺-Schicht **22** ausgebildet. Die n⁻-Schicht **40** ist aus einem Siliziummaterial gebildet, das vor der Einbettung der eingebetteten n⁺-Schicht **22** in die Siliziumschicht **4** (d.h. vor der Bildung der Vorrichtung) erzeugt wird. Die Siliziumschicht **4** ist vorzugsweise dick, insbesondere ist der n⁻-Bereich **4a** dick. Somit ist es nicht notwendig, dass die Topfschicht **21** bis zu der eingebetteten n⁺-Schicht **22** reicht.

[0062] Somit ist die Vorrichtung so aufgebaut, dass die Relaxationstopfschicht **21** nicht bis zu der einge-

betteten Schicht **22** reicht, so dass es praktisch vorzuziehen ist, dass der Bereich Z1 dick ist.

[0063] Obwohl oben ein Fall erläutert ist, in dem die Teileabtrennung durch den Graben erfolgt, so kann diese alternativ durch einen pn-Übergang realisiert werden.

[0064] Ferner ist in der obigen Erläuterung der erste Leitungstyp der n-leitende Typ, und der zweite Leitungstyp ist der p-leitende Typ (d.h. die Offset-Schicht **20** ist n-leitend, und die Relaxationstopfschicht **21** ist p-leitend), so dass der n-Kanal-Transistor geliefert wird. Alternativ kann der erste Leitungstyp der p-leitende Typ und der zweite Leitungstyp der n-leitende Typ sein (d.h. die Offset-Schicht **20** kann p-leitend und die Relaxationstopfschicht **21** kann n-leitend sein).

[0065] Die oben offenbarte Erfindung hat die folgenden Eigenschaften.

[0066] Gemäß einem Aspekt der vorliegenden Erfindung umfasst eine Halbleitervorrichtung ein Halbleitersubstrat, einen Halbleiterbereich, der in dem Substrat angeordnet ist, wobei der Trennungsbereich von weiteren Teilen des Substrats getrennt ist, eine eingebettete Schicht von einem ersten Leitungstyp, wobei die eingebettete Schicht auf einem Bodenabschnitt des Trennungsbereichs angeordnet ist und die eingebettete Schicht ein schwebendes elektrisches Potential besitzt, einen Kanalbildungsbereich von einem zweiten Leitungstyp, wobei der Kanalbildungsbereich in einem Oberflächenabschnitt des Trennungsbereichs, auf einer Hauptoberfläche des Halbleitersubstrats angeordnet ist, einen Source-Bereich von dem ersten Leitungstyp, wobei der Source-Bereich in einem Oberflächenabschnitt des Kanalbildungsbereichs angeordnet ist, einen Drain-Bereich von dem ersten Leitungstyp, wobei der Drain-Bereich in einem weiteren Oberflächenabschnitt des Trennungsbereichs, auf der Hauptoberfläche des Substrats angeordnet ist und der Drain-Bereich von dem Kanalbildungsbereich getrennt ist, eine erste Elektrode zum Anlegen einer Source-Spannung an den Source-Bereich, eine zweite Elektrode zum Anlegen einer Source-Spannung an den Kanalbildungsbereich, eine dritte Elektrode zum Anlegen einer Drain-Spannung an den Drain-Bereich, einen Graben, der auf der Hauptoberfläche des Halbleitersubstrats angeordnet ist, wobei der Graben den Kanalbildungsbereich zwischen dem Source-Bereich und dem Drain-Bereich durchdringt und der Kanal tiefer als der Kanalbildungsbereich ist, eine Graben-Gate-Elektrode, die auf einer inneren Oberfläche des Grabens, durch einen Gate-Isolierungsfilm getrennt, angeordnet ist, eine Offset-Schicht von dem ersten Leitungstyp, wobei die Offset-Schicht auf einem Abschnitt des Trennungsbereichs angeordnet ist, der ein Strompfad bildet, welcher durch die Gra-

ben-Gate-Elektrode zwischen dem Kanalbildungsbereich und dem Drain-Bereich angeordnet ist, und wobei der Abschnitt ferner ein weiterer Oberflächenabschnitt des Trennungsbereichs auf der Hauptoberfläche des Substrats ist, und eine Relaxationsschicht von dem zweiten Leitungstyp, wobei die Relaxationsschicht unter dem Kanalbildungsbereich und der Offset-Schicht in dem Trennungsbereich angeordnet ist, und wobei die Relaxationsschicht tiefer als der Graben ist, mit dem Kanalbildungsbereich verbunden ist und einen Boden des Grabens überdeckt.

[0067] Wenn in der obigen Vorrichtung ein Transistor durchschaltet, wird eine Inversionsschicht auf einem Abschnitt gebildet, der der Graben-Gate-Elektrode gegenüberliegt, und zwar dem Abschnitt, der in dem Kanalbildungsbereich angeordnet ist. Somit fließt ein Strom zwischen dem Drain-Bereich und dem Source-Bereich durch den Abschnitt (d.h. die Inversionsschicht) in dem Kanalbildungsbereich, der der Graben-Gate-Elektrode und der Offset-Schicht gegenüberliegt. Andererseits wird eine Relaxationstopfschicht unter dem Kanalbildungsbereich und der Offset-Schicht gebildet. Die Relaxationstopfschicht ist mit dem Kanalbildungsbereich verbunden. Ferner bedeckt die Relaxationstopfschicht den Boden des Grabens. Somit ist das elektrische Feld nicht bei dem unteren Abschnitt der Graben-Gate-Elektrode, der auf der Seite des Drain-Bereichs angeordnet ist, konzentriert, so dass die Durchbruchspannung verbessert ist. Ferner, da das elektrische Potential der eingebetteten Schicht schwebend wird, sind die Durchbruchspannung und die Spannungsfestigkeit gegenüber statischer Elektrizität angeglichen. Somit besitzt die Halbleitervorrichtung mit dem Aufbau eines lateralen Graben-Gate-MOS-Transistors, in der die eingebettete Schicht in dem von den weiteren Teilen getrennten Bereich angeordnet ist, eine ausgezeichnete Durchbruchspannung.

[0068] Alternativ kann der Trennungsbereich von den weiteren Teilen des Substrats durch einen Teileabtrennungsgraben in dem Halbleitersubstrat getrennt sein. In diesem Fall kann die Teileabtrennung leicht ausgeführt werden. Ferner kann das Halbleitersubstrat ein SOI-Substrat mit einer SOI-Schicht, einem eingebetteten Oxidfilm und einem Siliziumsubstrat sein, die in dieser Reihenfolge gestapelt sind. Der Trennungsbereich ist in der SOI-Schicht angeordnet und von dem eingebetteten Oxidfilm und einem Isolierungsfilm in dem Teileabtrennungsgraben umgeben, so dass der Trennungsbereich von weiteren Teilen des Substrats getrennt ist.

[0069] Alternativ kann die Halbleitervorrichtung ferner eine planare Gate-Elektrode enthalten, die auf der Hauptoberfläche, durch einen Gate-Isolierungsfilm getrennt, angeordnet ist. In diesem Fall ist der Durchschaltewiderstand reduziert. Ferner können die planare Gate-Elektrode und die Graben-Gate-Elek-

trode einteilig ausgebildet sein, und die planare Gate-Elektrode und die Graben-Gate-Elektrode liefern eine Inversionsschicht in einem Teil des Kanalbildungsbereichs, und zwar dem Teil, der der planare Gate-Elektrode und der Graben-Gate-Elektrode gegenüberliegt.

[0070] Alternativ kann die Halbleitervorrichtung ferner einen LOCOS-Oxidfilm umfassen, der in einem weiteren Abschnitt, welcher ein durch die planare Gate-Elektrode gebildeter Strompfad ist, angeordnet ist, und zwar dem weiteren Abschnitt, der in dem Trennungsbereich auf der Hauptoberfläche des Halbleitersubstrats angeordnet ist. In diesem Fall ist die Durchbruchspannung verbessert.

[0071] Alternativ kann die Halbleitervorrichtung ferner eine Mehrzahl von Graben-Gate-Elektroden umfassen, die in dem Trennungsbereich angeordnet sind. In diesem Fall ist der Abschnitt des Bereichs, der von den weiteren Teilen getrennt ist, im Vergleich zu einem Fall, in dem eine Graben-Gate-Elektrode in jedem von den weiteren Teilen getrennten Bereich ausgebildet ist, minimiert, sofern die Anzahl der Graben-Gate-Elektroden konstant ist.

[0072] Alternativ können jeder der Drain-Bereiche und der Kanalbildungsbereich ein streifenförmiges Muster haben. Alternativ können jeder der Drain-Bereiche und der Kanalbildungsbereich ein gitterförmiges Muster aufweisen.

[0073] Alternativ ist es möglich, dass die Relaxationsschicht den Teileabtrennungsgraben nicht kontaktiert. Dies ist vorteilhaft, um das Stromleck zu begrenzen. Ferner kann die Relaxationsschicht von dem Teileabtrennungsgraben durch die Offset-Schicht getrennt sein.

[0074] Alternativ ist es möglich, dass die Relaxationsschicht nicht bis zu der eingebetteten Schicht reicht. Dies ist praktisch vorteilhaft in einem Fall, in dem der von den weiteren Teilen abgetrennte Bereich dick ist. Ferner kann die Halbleitervorrichtung ferner eine Schicht eines ersten Leitungstyps umfassen, die zwischen der Relaxationsschicht und der eingebetteten Schicht angeordnet ist, um die Relaxationsschicht von der eingebetteten Schicht zu trennen.

[0075] Obgleich die vorliegende Erfindung bezüglich der bevorzugten Ausführungsformen offenbart worden ist, um ein besseres Verständnis von diesen zu ermöglichen, sollte wahrgenommen werden, dass die Erfindung auf verschiedene Weisen verwirklicht werden kann, ohne den Umfang der Erfindung zu verlassen. Deshalb sollte die Erfindung derart verstanden werden, dass sie alle möglichen Ausführungsformen und Ausgestaltungen zu den gezeigten Ausführungsformen beinhaltet, die realisiert werden können, ohne den Umfang der Erfindung zu verlas-

sen, wie er in den beigefügten Ansprüchen dargelegt ist.

Patentansprüche

1. Halbleitervorrichtung mit:

- einem Halbleitersubstrat (1);
- einem Trennungsbereich (Z1), der in dem Substrat (1) angeordnet und von weiteren Teilen des Substrats (1) getrennt ist;
- einer eingebetteten Schicht (22) von einem ersten Leitungstyp, die auf einem Bodenabschnitt des Trennungsbereichs (Z1) angeordnet ist und ein schwebendes elektrisches Potential besitzt;
- einem Kanalbildungsbereich (10) von einem zweiten Leitungstyp, der auf einer Hauptoberfläche (1a) des Halbleitersubstrats (1), in einem Oberflächenabschnitt des Trennungsbereichs (Z1) angeordnet ist;
- einem Source-Bereich (11) von dem ersten Leitungstyp, der in einem Oberflächenabschnitt des Kanalbildungsbereichs (10) angeordnet ist;
- einem Drain-Bereich (13) von dem ersten Leitungstyp, der auf der Hauptoberfläche (1a) des Substrats (1), in einem weiteren Oberflächenabschnitt des Trennungsbereichs (Z1) angeordnet und von dem Kanalbildungsbereich (10) getrennt ist;
- einer ersten Elektrode (17) zum Anlegen einer Source-Spannung an den Source-Bereich (11);
- einer zweiten Elektrode (18) zum Anlegen der Source-Spannung an den Kanalbildungsbereich (10);
- einer dritten Elektrode (19) zum Anlegen einer Drain-Spannung an den Drain-Bereich (13);
- einem Graben (14), der in der Hauptoberfläche (1a) des Halbleitersubstrats (1) angeordnet ist, den Kanalbildungsbereich (10) zwischen dem Source-Bereich (11) und dem Drain-Bereich (13) durchdringt und tiefer als der Kanalbildungsbereich (10) ist;
- einer Graben-Gate-Elektrode (16), die an einer inneren Oberfläche des Grabens (14), durch einen Gate-Isolierungsfilm (15) getrennt angeordnet ist;
- einer Offset-Schicht (20) von dem ersten Leitungstyp, die auf einem Abschnitt des Trennungsbereichs (Z1) angeordnet ist, um einen Strompfad zu bilden, welcher durch die Graben-Gate-Elektrode (16) zwischen dem Kanalbildungsbereich (10) und dem Drain-Bereich (13) vorgesehen ist, und wobei der Abschnitt ferner ein weiterer Oberflächenabschnitt des Trennungsbereichs (Z1) auf der Hauptoberfläche (1a) des Substrats (1) ist; und
- einer Relaxationsschicht (21) von dem zweiten Leitungstyp, die unter dem Kanalbildungsbereich (10) und der Offset-Schicht (20) in dem Trennungsbereich (Z1) angeordnet und tiefer als der Graben (14) ist, mit dem Kanalbildungsbereich (10) verbunden ist und einen Boden des Grabens (14) überdeckt.

2. Halbleitervorrichtung nach Anspruch 1, dadurch gekennzeichnet, dass der Trennungsbereich (Z1) von den weiteren Teilen des Substrats (1) durch einen Teileabtrennungsgraben (6) in dem Halbleiter-

substrat (1) getrennt ist.

3. Halbleitervorrichtung nach Anspruch 2, dadurch gekennzeichnet, dass:

- das Halbleitersubstrat (1) ein SOI-Substrat (1) mit einer SOI-Schicht (4), einem eingebetteten Oxidfilm (3) und einem Siliziumsubstrat (2), die in dieser Reihenfolge übereinander angeordnet sind, ist;
- der Trennungsbereich (Z1) in der SOI-Schicht (4) angeordnet ist; und
- der Trennungsbereich (Z1) von dem eingebetteten Oxidfilm (3) und einem Isolierungsfilm in dem Teileabtrennungsgraben (6) umgeben ist, so dass der Trennungsbereich (Z1) von den weiteren Teilen des Substrats (1) getrennt ist.

4. Halbleitervorrichtung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass sie ferner eine planare Gate-Elektrode (31) umfasst, die, durch einen Gate-Isolierungsfilm (30) getrennt, auf der Hauptoberfläche (1a) angeordnet ist.

5. Halbleitervorrichtung nach Anspruch 4, dadurch gekennzeichnet, dass die planare Gate-Elektrode (31) und die Graben-Gate-Elektrode (16) einteilig verbunden sind und die planare Gate-Elektrode (31) und die Graben-Gate-Elektrode (16) in einem Teil des Kanalbildungsbereichs (10) eine Inversionsschicht bilden, und zwar dem Teil, der der planaren Gate-Elektrode (31) und der Graben-Gate-Elektrode gegenüberliegt.

6. Halbleitervorrichtung nach Anspruch 4 oder 5, dadurch gekennzeichnet, dass sie ferner einen LOCOS-Oxidfilm (32) umfasst, der auf einem weiteren Abschnitt angeordnet ist, der einen Strompfad bildet, der durch die planare Gate-Elektrode (31) vorgesehen ist, und zwar ist der weitere Abschnitt auf der Hauptoberfläche (1a) des Halbleitersubstrats (1), in dem Trennungsbereich (Z1) angeordnet.

7. Halbleitervorrichtung nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, dass sie ferner eine Mehrzahl von Graben-Gate-Elektroden (16) umfasst, die in dem Trennungsbereich (Z1) angeordnet sind.

8. Halbleitervorrichtung nach Anspruch 7, dadurch gekennzeichnet, dass jeder der Drain-Bereiche (13) und der Kanalbildungsbereich (10) ein streifenförmiges Muster aufweisen.

9. Halbleitervorrichtung nach Anspruch 7, dadurch gekennzeichnet, dass jeder der Drain-Bereiche (13) und der Kanalbildungsbereich (10) ein gitterförmiges Muster aufweisen.

10. Halbleitervorrichtung nach Anspruch 2, dadurch gekennzeichnet, dass die Relaxationsschicht (21) den Teileabtrennungsgraben (6) nicht kontak-

tiert.

11. Halbleitervorrichtung nach Anspruch 10, dadurch gekennzeichnet, dass die Relaxationsschicht (21) durch die Offset-Schicht (20) von dem Teileabtrennungsgraben (6) getrennt ist.

12. Halbleitervorrichtung nach einem der Ansprüche 1 bis 11, dadurch gekennzeichnet, dass die Relaxationsschicht (21) nicht bis zu der eingebetteten Schicht (22) reicht.

13. Halbleitervorrichtung nach Anspruch 12, dadurch gekennzeichnet, dass sie ferner eine Schicht (40) vom ersten Leitungstyp umfasst, die zwischen der Relaxationsschicht (21) und der eingebetteten Schicht (22) angeordnet ist, um die Relaxationsschicht (21) von der eingebetteten Schicht (22) zu trennen.

Es folgen 9 Blatt Zeichnungen

FIG. 1

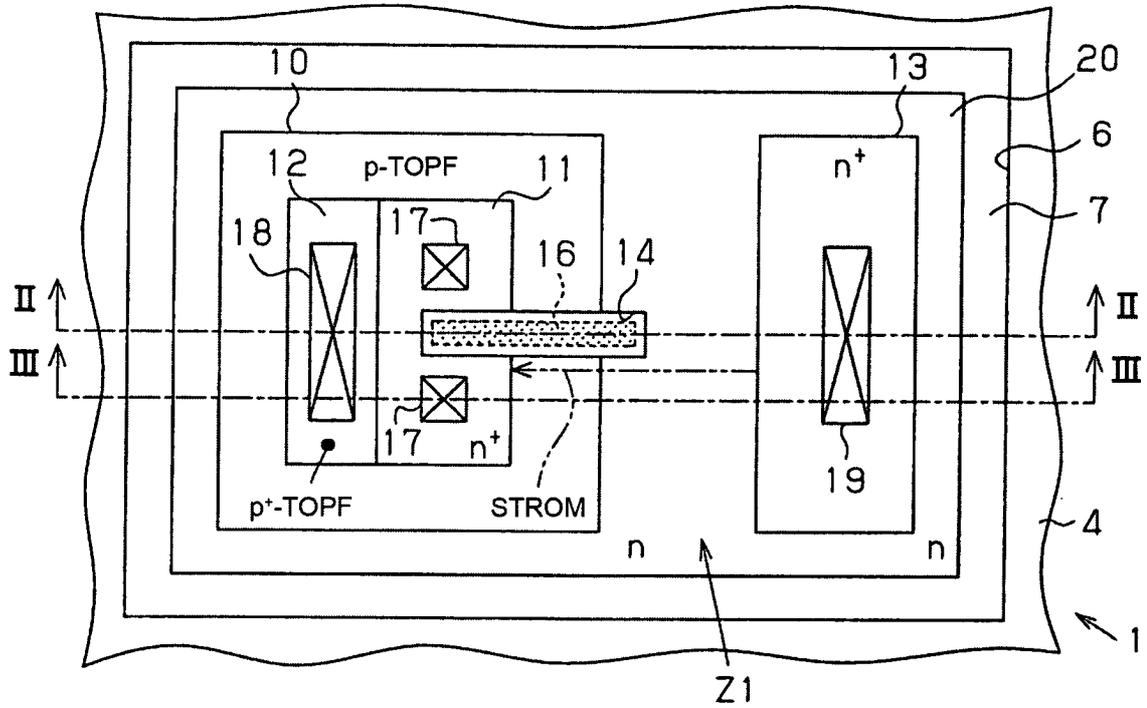


FIG. 2

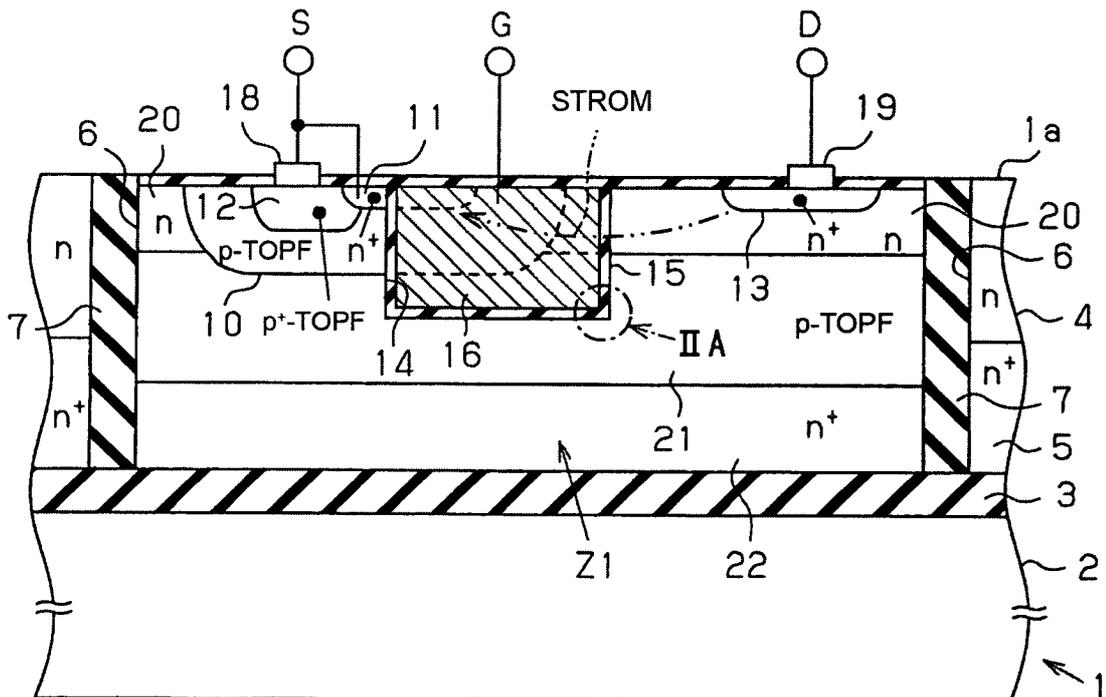


FIG. 5

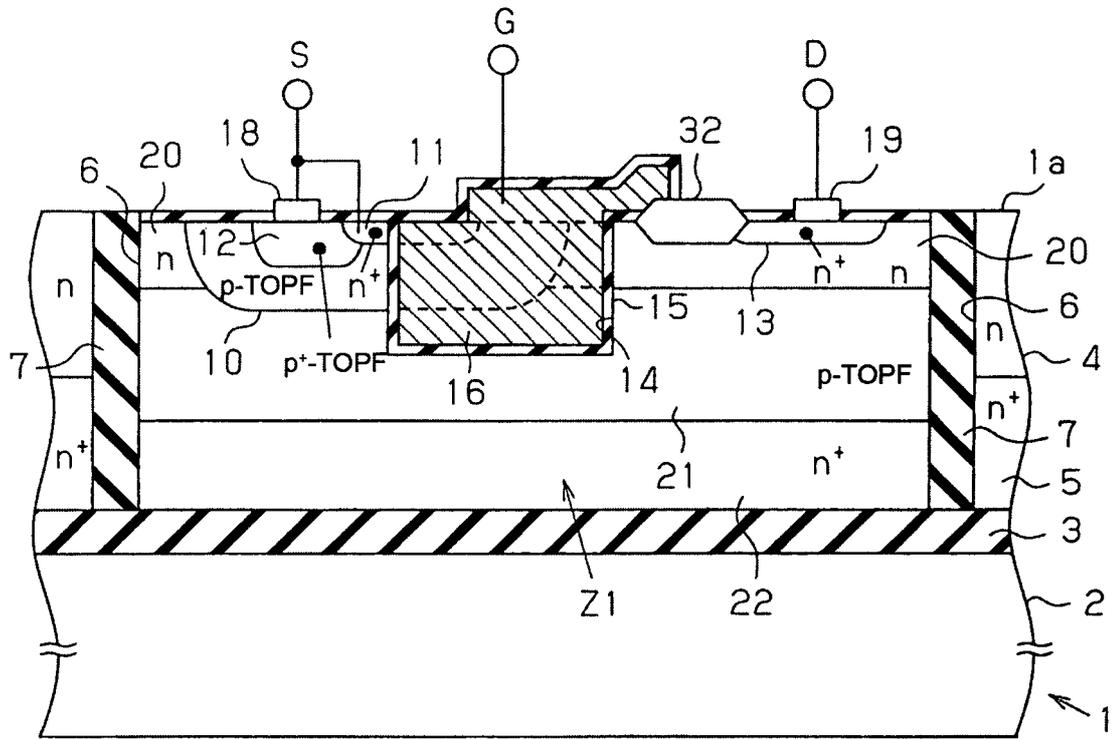


FIG. 6

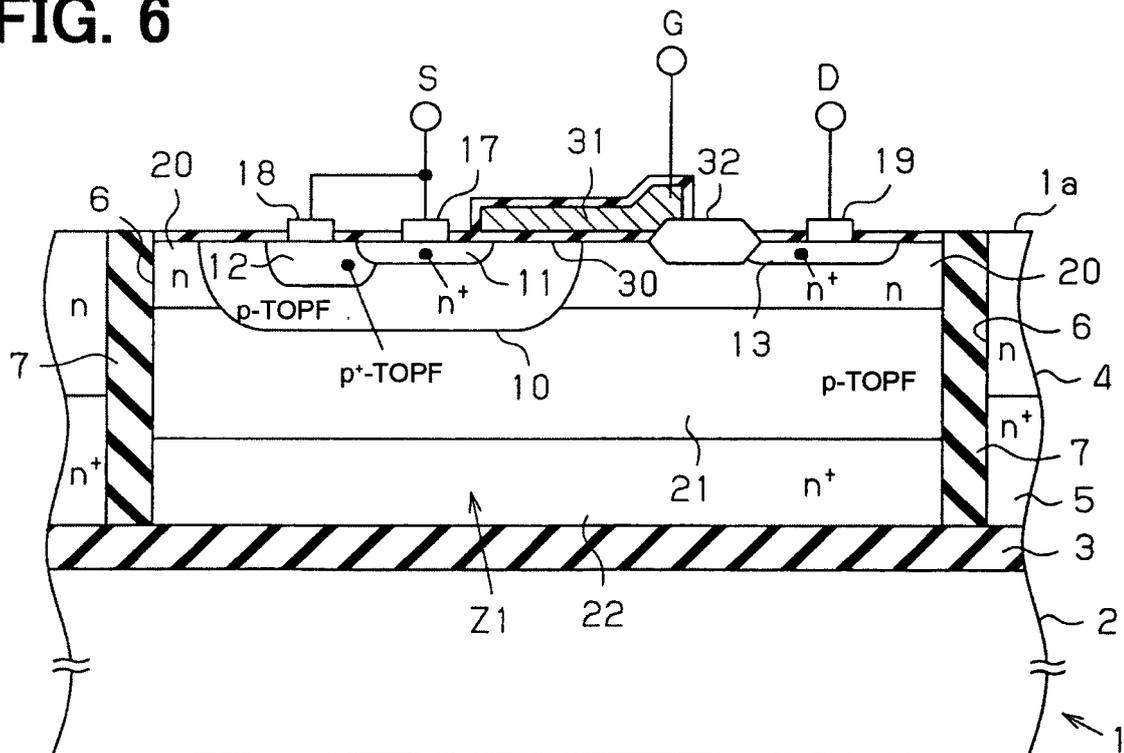


FIG. 7

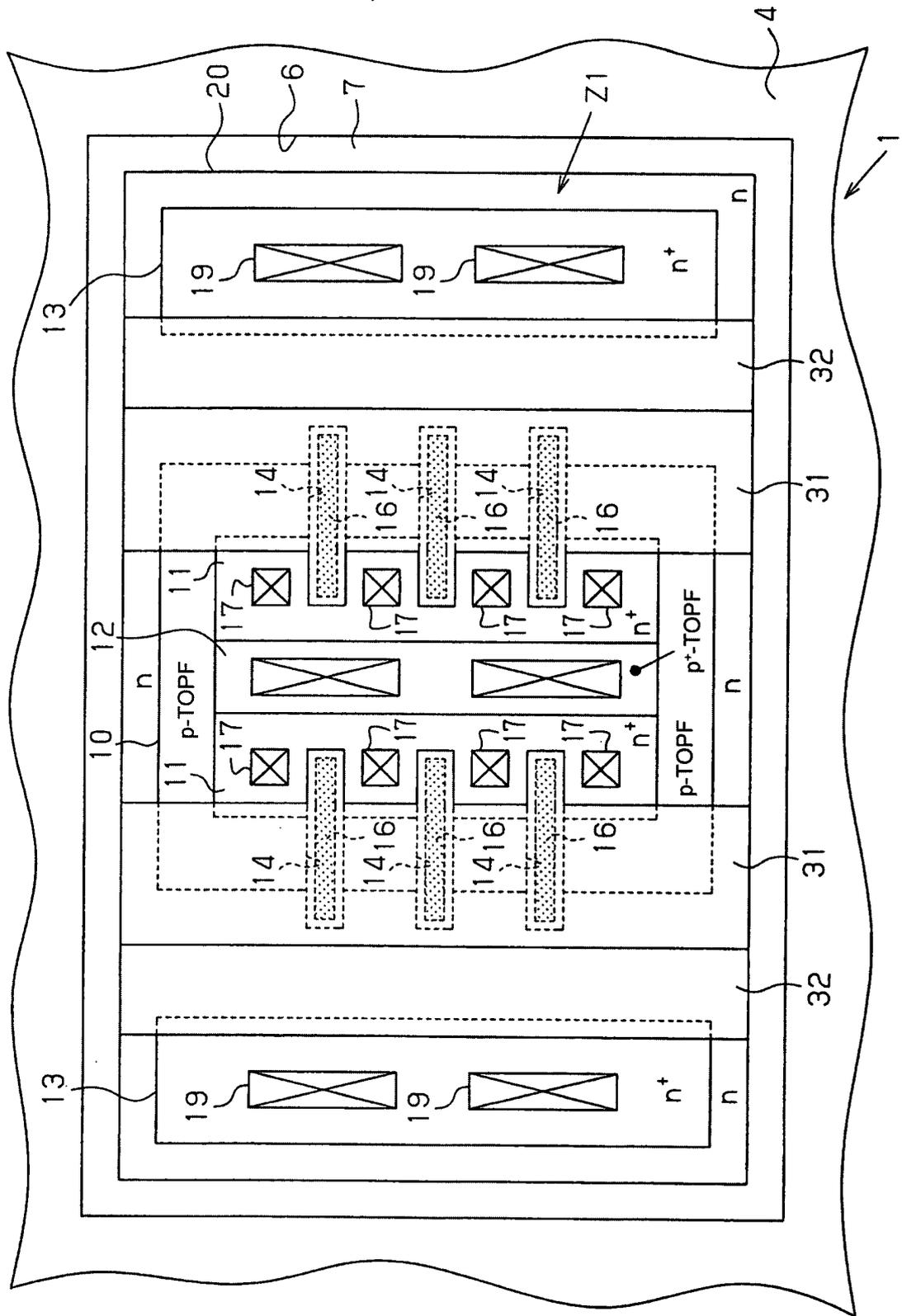


FIG. 8

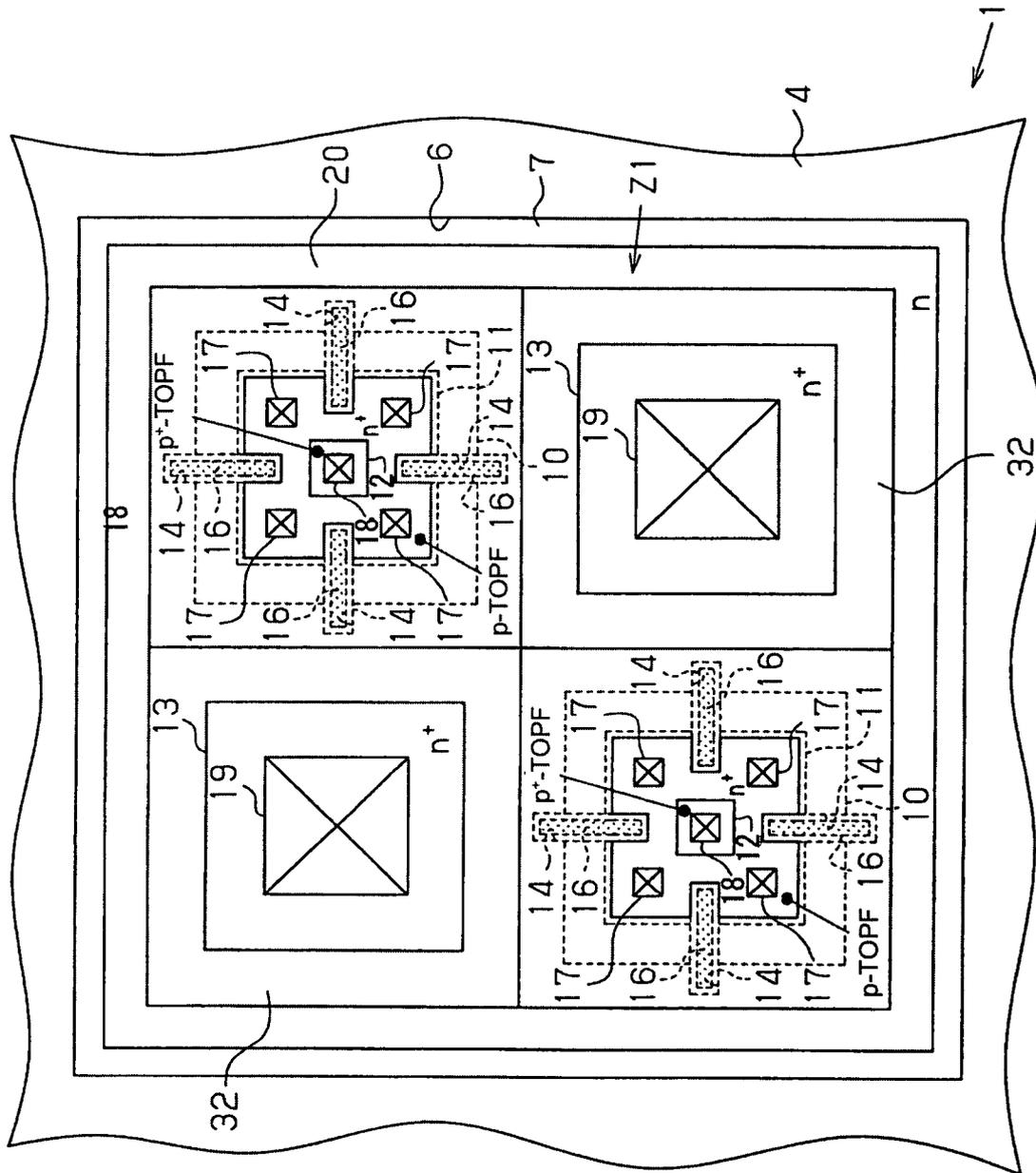


FIG. 11
STAND DER TECHNIK

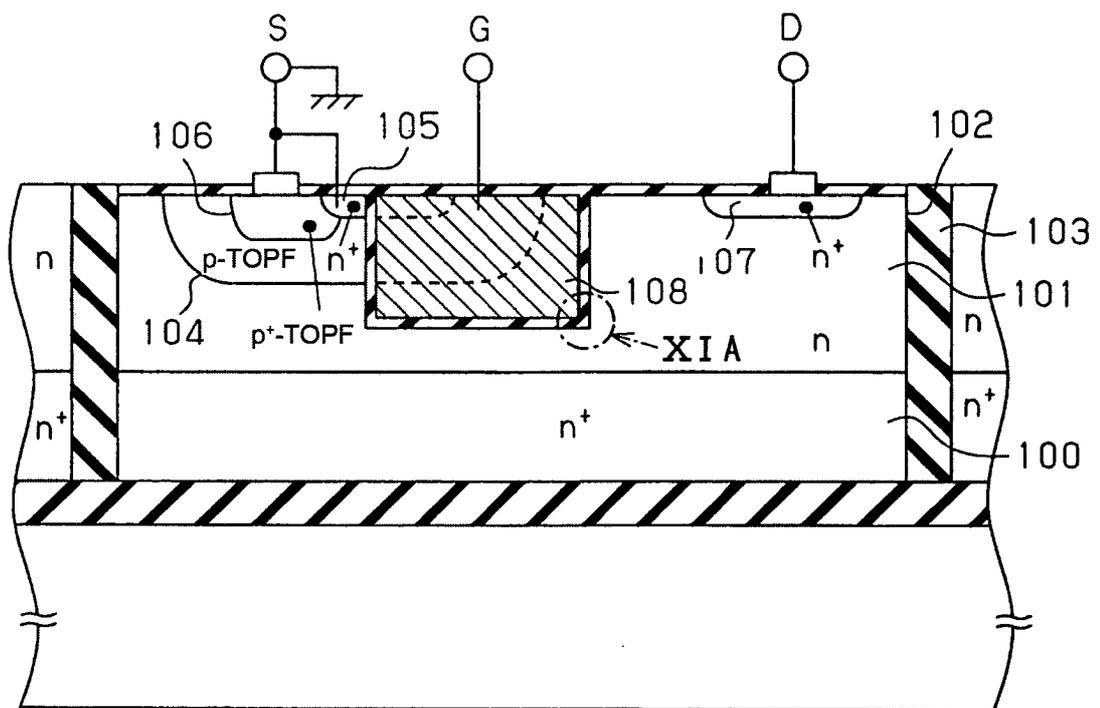


FIG. 12

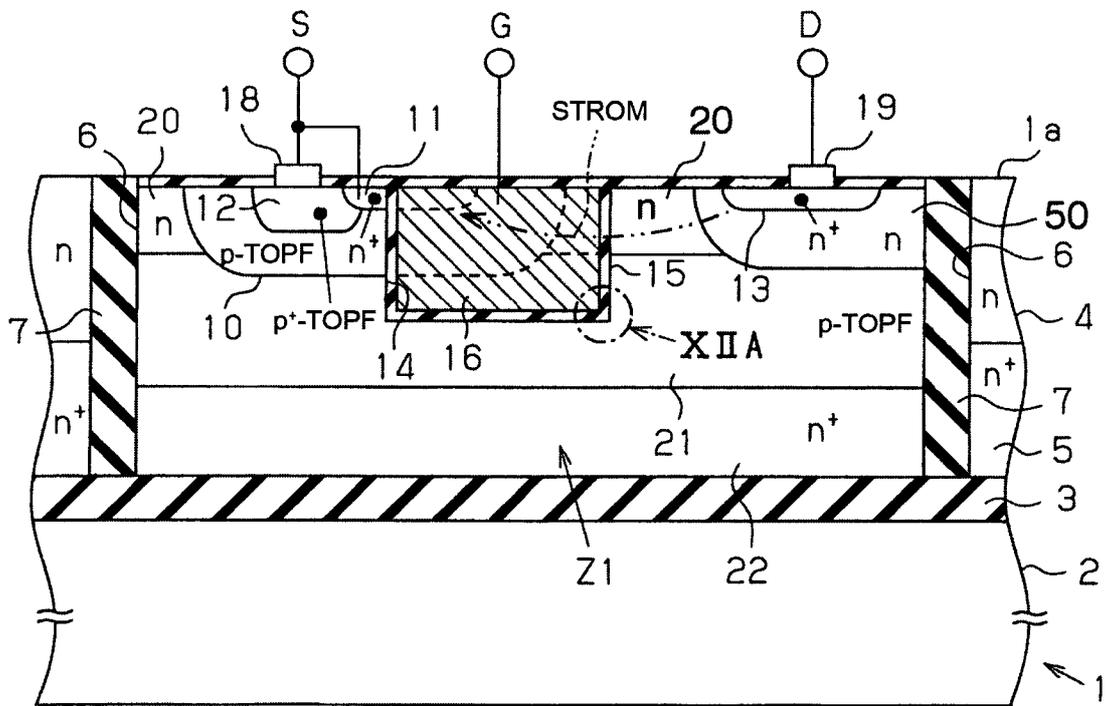


FIG. 13

