

# 公告本

申請日期	90.2.27
案 號	90104539
類 別	H01L 2/8262

A4  
C4

492161

(以上各欄由本局填註)

## 發 明 專 利 說 明 書

一、發明 名稱	中 文	記憶體溝渠中提高電容所用之方法及具有較大電容之溝渠式電容器
	英 文	Method to increase the capacity in a memory-trench and memory-capacitor with increased capacity
二、發明 創作人	姓 名	1.亞歷山大羅夫(Dr. Alexander RUF) 2.威漢凱吉(Wilhelm KEGEL) 3.渥富倫卡卻(Wolfram KARCHER) 4.馬丁屈倫斯(Dr. Martin SCHREMS)
	國 籍	1-4 皆屬德國
三、申請人	住、居所	1.德國德瑞斯登 D-01278 史卡瑞街 8 號 2.德國蘭根布魯克 D-01465 伯格街 1 號 3.德國威席格 D-01474 安威席格貝屈 147C 號 4.德國蘭根布魯克 D-01465 布魯街 4E 號
	姓 名 (名稱)	印芬龍科技股份有限公司 Infineon Technologies AG
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑 D-81669 聖馬丁街 53 號
	代 表 人 姓 名	麥可勾威什(Michael Gollwitzer) 荷斯特卻佛(Dr.Horst Schafer)

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6  
B6

本案已向：

德 國 ( 地 區 ) 申 請 專 利 ， 申 請 日 期 ： 案 號 ： ，  有  無 主 張 優 先 權  
2000 年 02 月 29 日 第 10010821.0 號

有 關 微 生 物 已 寄 存 於 ： ， 寄 存 日 期 ： ， 寄 存 號 碼 ：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明 ( 1 )

本發明涉及一種記憶體溝渠中提高電容所用之方法及具有較大電容之溝渠式電容器。

本發明可用在記憶體電路(例如, DRAM)及其它半導體電路中。

在溝渠式 DRAM 記憶體模組中, 電容器儲存電荷而成爲記憶元件, 其是以盆形式成在深處中。這樣不只使記憶胞面積變小, 同時使  $\alpha$  微粒擊中記憶胞之概率變小。此種盆形之電容器形成在溝渠中且亦稱爲溝渠式電容器。溝渠式記憶胞之記憶體具有溝渠, 其在指定之期間中必須儲存一種固定量之電荷。

國際競爭力之保持及提高是需要的; 達成一種指定之電子功能所需之成本將持續地下降以提高生產力。最近幾年中提高生產力所需之保證是 CMOS 技術或 DRAM 技術。溝渠式 DRAM 技術之突出之特點主要是溝渠式電容器本身較小面積需求以及可以最高之封裝密度配置在積體電路中。

在結構持續地變小時, 溝渠之直徑及其表面亦變小, 使傳統技術中只能儲存較少之電荷。

由先前技術 US 5 876 788 中已知一種製成 DRAM 記憶胞之介電質用之方法。使用介電常數較大之  $\text{Si}_3\text{N}_4$  作爲介電質以提高記憶體容量。使用此種介電質主要會在較小之橫向尺寸中造成一些問題。爲了在 DRAM 記憶胞中直徑變小時防止電荷之損耗, 則須使溝渠被蝕刻得較深, 或降低氮化矽層之厚度。但較深之溝渠之蝕刻所顯現之缺點是較長之處理時間及較大之製造成本。氮化矽膜之層厚度之下

## 五、發明說明 ( 2 )

降會使隧道效應所造成之損耗增大。

本發明之目的是提供：一種記憶體溝渠中提高電容所用之方法及一種具有較大電容之溝渠式電容器，其可防止先前技藝中之缺點且在較高之封裝密度時仍可儲存足夠之電荷，這樣可確保記憶胞之功能。

此目的由申請專利範圍第 1 項之記憶體溝渠中提高電容所用之方法及第 15 項之具有較大電容之溝渠式電容器來達成。

本發明之方法及本發明之溝渠式電容器之有利之其它形式描述在申請專利範圍各附項中。

在本發明之方法中，在記憶體溝渠中沈積第一氧化矽層，其上藉由沈積方法而沈積一種矽層，其提供此記憶體溝渠一種足夠之側壁。在此矽層上沈積一種具有可氧化之金屬之層。此矽層及可氧化之金屬層須氧化或一種具有金屬氧化物及氧化矽之層。

在本發明之溝渠式電容器中，溝渠之內壁是以第一氧化矽層覆蓋。第二氧化矽層是以一種含有金屬氧化物之層覆蓋。此種含有金屬氧化物之層是以第二氧化矽層覆蓋。溝渠之其餘部份是以矽填入。

可使用化學氣相沈積或原子層沈積法作為沈積方法。

在本發明之方法中，若在此種具有金屬氧化物及氧化矽之層上沈積第二氧化矽層，則這樣是有利的。

若此層可氧化之金屬層具有 Ti, TiN, W, WN, Ta, TaN, WSi, TiSi 或 TaSi, 則這樣是有利的。

### 五、發明說明( 3 )

此種氧化在含氧之大氣中進行時是有利的。這樣可使各別之金屬達成一種強化之氧化作用。

此外，溝渠中以矽填入時是有利的。

就本發明之方法而言，若記憶體溝渠之寬度小於 140nm 時是有利的。

在本發明之方法中，當第一氧化矽層之厚度接近 0.3nm 時是特別有利的。

在本發明之方法中，當第二氧化矽層之厚度接近 0.3nm 時同樣是特別有利的。

當第一和第二氧化矽層藉由化學氣相沈積法而沈積時是有利的。

在本發明之方法中，當矽層之厚度接近 0.5nm 時是特別有利的。

當所使用之矽特別適合用來覆蓋該側壁時，則特別有利。

在本發明之方法中，可氧化之金屬層之厚度接近 10nm 時是有利的。

若此種具有可氧化之金屬之層藉由化學氣相沈積法沈積而成時，則這樣在本發明之方法中是有利的。

本發明以下將依據圖式來詳述。圖式簡單說明：

第 1 圖在進行塗層之前此溝渠式電容器之橫切面。

第 2 圖在氧化矽層，矽層及金屬層進行塗層之後此溝渠式電容器之橫切面。

第 3 圖在矽層和金屬層氧化之後此溝渠式電容器之橫切面。

## 五、發明說明( 4 )

第 4 圖具有另一個氧化矽層之溝渠式電容器之橫切面。

第 5 圖具有矽填料之溝渠式電容器(之橫切面)。

第 6 圖在蝕刻之後該溝渠式電容器之橫切面。

第 7 圖在本發明之方法中使用鎢時各步驟之流程圖。

第 8 圖在本發明之方法中使用鈦時各步驟之流程圖。

第 1 圖中以橫切面顯示：一種埋入式 n 區 1(n 板)是由基板 2 所圍繞。溝渠 3 存在於基板 2 及此埋入式 n 區中。

第 2 圖是記憶體溝渠 3 之橫切面。基板 2 之表面以及記憶體溝渠 3 之內壁是以第一氧化矽層 4 塗佈。

氧化矽 4 在溝渠 3 之壁面上所具有之層厚度較基板 2 之上側者還小。基板 2 之上側上之層厚度對溝渠 3 之側壁之比例可以是 2:1。基板 2 之上側上之氧化矽沈積厚度大約是 0.3nm。氧化矽 4 可有利地沈積在爐(其中存在該已預製之溝渠式電容器)中。

第一氧化矽層 4 在下一步驟中以矽層 5 覆蓋。在矽層 5 中水平區域之層厚度較垂直區域中者還大。矽層 5 在爐中最好在 550°C 時藉由 LPCVD(Low Pressure CVD)沈積法而形成。

爲了沈積矽層 5，則亦可使用所謂原子層沈積(ALD)法以取代 CVD 沈積法，其是用來形成極薄(較佳是只有數個原子層厚度)之矽層所用之沈積方法。在 ALD 沈積法中，其與 CVD 沈積方法不同的是：表面之化學親和性是用於各別之分子或基(radical)。這些分子或基由氣相中沈積在待塗層之表面上，直至全部之自由之原子價飽和爲止。此

## 五、發明說明 ( 5 )

種沈積因此會自我設限而結束。

在矽層 5 之表面上沈積一種層 6(其具有可氧化之金屬)。此層 6 之金屬可選擇性地含有 Ti, TiN, W, WN, Ta, TaN, WSi, TiSi 或 TaSi。此層 6 在水平區及垂直區中覆蓋該矽層 5。金屬層 6 之厚度在水平區亦可大於垂直區中者。在水平區中此層 6 之厚度大約是 10nm。此金屬層 6 較佳是以 CVP(Chemical vapor deposition)沈積而成。

此矽層 5 作為金屬層 6 用之連結(link)層。這樣可以(或促進)隨後之金屬沈積且可確保此金屬可充份地黏合至側壁。由於此矽層 5, 則另外可使介電質層之電容藉由此溝渠式電容器中之金屬層 6 之氧化作用而提高。

例如, 可使用鈦或鎢於可氧化之金屬層 6 中。

在沈積 5 及鈦層或鎢層 6 氧化之後形成第 3 圖所示之溝渠式電容器之層構造。由此二個層, 即, 矽層 5 及鈦層或鎢層 6, 而形成氧化鈦/氧化矽鈦層或氧化鎢/氮化矽鎢層 7。氧化鈦或氧化矽鈦或此二者是否形成於層 7 中是與此製程之進行次序有關。但製程中形成氧化鈦是較佳的, 這是因為其介電常數較氧化矽鈦者還大。可藉由適當之製程順序來防止氧化矽之形成。

同樣情況亦適用於氧化鎢或氧化矽鎢之形成。此處氧化鎢是較佳的, 因為氧化鎢之介電常數較氧化矽鎢者還大。使溝渠式電容器之記憶電容提高因此是可能的。在矽層 5 和鈦層或鎢層 6 之氧化過程中, 這樣所形成之層 7 是藉由另外加入之氧而在水平區中形成, 其層厚度大約是 15nm。在

## 五、發明說明 ( 6 )

垂直區中此 7 之厚度由 10nm 至 20nm。因此，目的是使溝渠 3 之垂直區中之層 7 儘可能厚。

氧化鈦/氧化矽鈦層之表面或氧化鎢/氧化矽鎢層 7 之表面如第 4 圖所示是由第二氧化矽層或氮化矽層 8 所覆蓋，第二氧化矽層或氮化矽層 8 在垂直區域中較在水平區域中者還薄。第二氧化矽層 8 之水平之層厚度是 0.3nm。

如第 5 圖所示，然後在下一步驟中使矽 9 填入記憶體溝渠 3 中。

最後，在下一步驟中又去除整個層結構，以便產生如第 6 圖所示之結構。這可藉由乾燥化學蝕刻法及隨後以濕式淨化法來完成。此種材料去除過程是在該埋入板區之上部邊緣下方停止。

第 7 圖是此製程之流程圖。在該溝渠 3 已蝕刻該埋入板之製程已完成之後，進行此溝渠之濕式淨化過程。然後沈積一種厚度是 0.3nm(如第 2 圖所示)之氧化矽 4。所使用之氧化矽 4 亦稱為爐氧化矽。在下一步驟中沈積爐矽 5，其須良好地覆蓋此溝渠 3 之側壁。然後藉由化學蒸氣沈積法來沈積鎢 6(層厚度 10nm)。在下一步驟中，使矽層 5 及鎢層 6 被氧化而形成氧化鎢 7。最後，在爐中沈積第二氧化矽層或氮化矽層 8。

第 8 圖中顯示：使用鈦以提高記憶體溝渠中之電容所用之方法之流程。如前所述，首先進行溝渠 3 之蝕刻及進行埋入板之過程。然後對此溝渠進行濕式淨化過程且在下一步驟中沈積一種爐氧化矽。在下一步驟中藉由低壓化學蒸



## 五、發明說明 ( 7 )

氣沈積法在 550°C 時在爐中沈積該爐矽。然後藉由化學蒸氣沈積法沈積鈦 6(層厚度 10nm)。在下一步驟中使矽層 5 及鈦層 6 氧化成氧化鈦層 7。最後，此層 7 上沈積第二爐氧化矽層或氮化矽層 8。

該埋入板過程用來使溝渠式電容器可與 DRAM 記憶體模組所需之電晶體隔離。

矽層 5 可促進核化(nucleation)且可促進所期望之金屬層(鈦或鎢)之黏合性，且可與隨後所沈積之金屬層 6 相連接而被氧化。

上述之層厚度只是一種標準值而已。在溝渠寬度進一步縮小時，各別之層厚度可相對應地調整。

### 符號之說明

- 1 埋入式 n 區
- 2 基板
- 3 溝渠
- 4 第一氧化矽層
- 5 矽層
- 6 含有可氧化之金屬之層
- 7 金屬氧化物層
- 8 第二氧化矽層或氮化矽層
- 9 矽填料

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要 (發明之名稱： 記憶體溝渠中提高電容所用之方法 )  
及具有較大電容之溝渠式電容器

在本發明之方法中在記憶體溝渠(3)中藉由化學蒸氣沈積法沈積第一氧化矽層(4)且其上沈積一種矽層(5)。在矽層(5)上沈積一種可氧化之金屬層(6)。然後使矽層(5)及該可氧化之金屬層(6)氧化成氧化矽層及金屬氧化物層(7)。

英文發明摘要 (發明之名稱： Method to increase the capacity in a memory-trench and memory-capacitor with increased capacity )

In the method of this invention, a first silicon-oxide layer (4) and over there a silicon-layer (5) is deposited in the memory-trench (3) by means of chemical vapor deposition. Over the silicon-layer (5) is deposited a layer containing oxidizable metal (6). Then the silicon-layer (5) and the layer containing oxidizable metal (6) are oxidized to a silicon-oxide and metal-oxide layer (7).

## 六、申請專利範圍

第 90104539 號「記憶體溝渠中提高電容所用之方法及具有較大電容之溝渠式電容器」專利案 (91年3月修正)

### 六 申請專利範圍

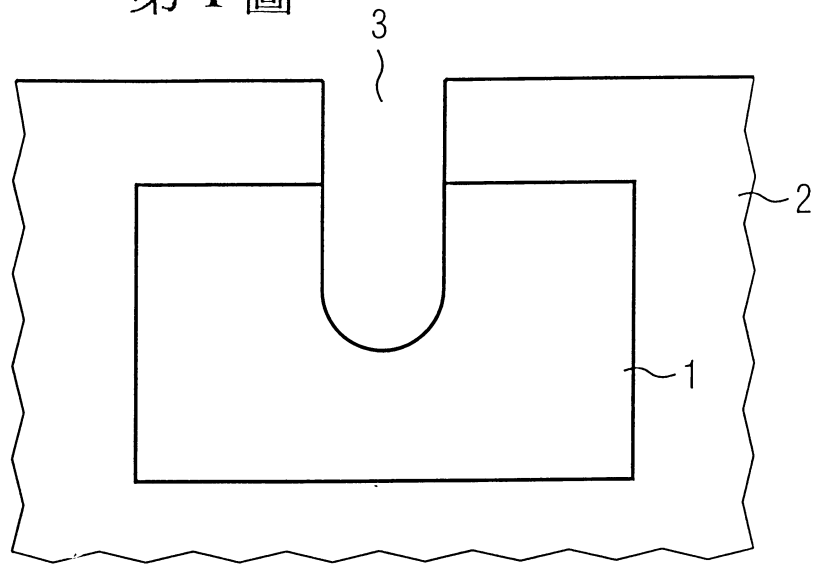
1. 一種記憶體溝渠中提高電容所用之方法，其特徵為：  
記憶體溝渠(3)中沈積第一氧化矽層(4)，  
在第一氧化矽層(4)上藉由一種沈積方法(其適合充份地覆蓋此記憶體溝渠之壁面)沈積一種矽層(5)，  
在矽層(5)上沈積一種層(6)，其具有可氧化之金屬，  
矽層(5)及層(6)(其具有可氧化之金屬)氧化成一種層，  
其具有金屬氧化物及氧化矽(7)。
2. 如申請專利範圍第 1 項之方法，其中使用化學蒸氣沈積法或原子層沈積法作為沈積方法。
3. 如申請專利範圍第 2 項之方法，其中在此層(6)(其具有可氧化之金屬)及氧化矽層(7)上沈積第二氧化矽層或氮化矽層(8)。
4. 如申請專利範圍第 1，2 或 3 項之方法，其中此層(6)(其具有可氧化之金屬)具有 Ti, TiN, W, WN, Ta, TaN, WSi, TiSi 或 TaSi。
5. 如申請專利範圍第 1 項之方法，其中氧化作用是在含有氧之大氣中進行。
6. 如申請專利範圍第 1 項之方法，其中記憶體溝渠(3)中填入矽(9)。
7. 如申請專利範圍第 1 或 6 項之方法，其中該記憶體溝渠(3)之寬度小於 140nm。

## 六、申請專利範圍

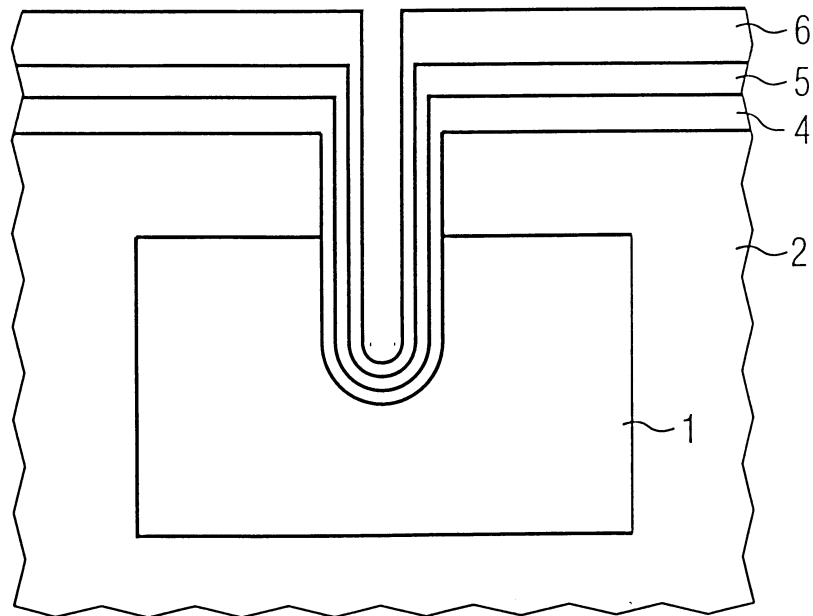
8. 如申請專利範圍第 1 項之方法，其中第一氧化矽層(4)之厚度是 0.3nm。
9. 如申請專利範圍第 3 項之方法，其中第二氧化矽層(8)之厚度是 0.3nm。
10. 如申請專利範圍第 1 或 3 項之方法，其中第一和第二氧化矽層(4,8)藉由化學蒸氣沈積法沈積而成。
11. 如申請專利範圍第 1 項之方法，其中此矽層(5)之厚度是 0.5nm。
12. 如申請專利範圍第 1 或 11 項之方法，其中此矽層(5)所用之矽具有特殊之能力以覆蓋此溝渠(3)之側壁。
13. 如申請專利範圍第 1 或 3 項之方法，其中此層(6)(其具有可氧化之金屬)之厚度是 10nm。
14. 如申請專利範圍第 1 或 3 項之方法，其中此層(6)(其具有可氧化之金屬)是藉由化學蒸氣沈積法沈積而成。
15. 如申請專利範圍第 13 項之方法，其中此層(6)(其具有可氧化之金屬)是藉由化學蒸氣沈積法沈積而成。
16. 一種具有較大電容之溝渠式電容器，其特徵為：  
此記憶體溝渠(3)之內壁是以第一氧化矽層(4)覆蓋，  
第一氧化矽層(4)是以一種層(其具有金屬氧化物(7))覆蓋，  
具有氧化鈦(7)之此層是以第二氧化矽層(8)覆蓋，  
此記憶體溝渠(3)之其餘部份是以矽(9)填入。
17. 如申請專利範圍第 16 項之具有較大電容之溝渠式電容器，其中該金屬氧化物含有 Ti, TiN, W, WN, Ta, TaN, WSi, TiSi 或 TaSi。

1/4

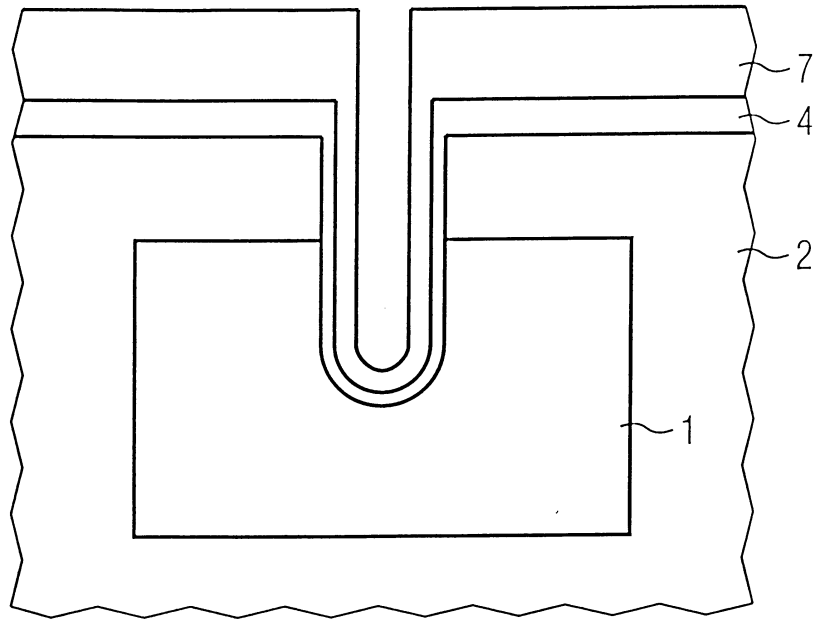
第 1 圖



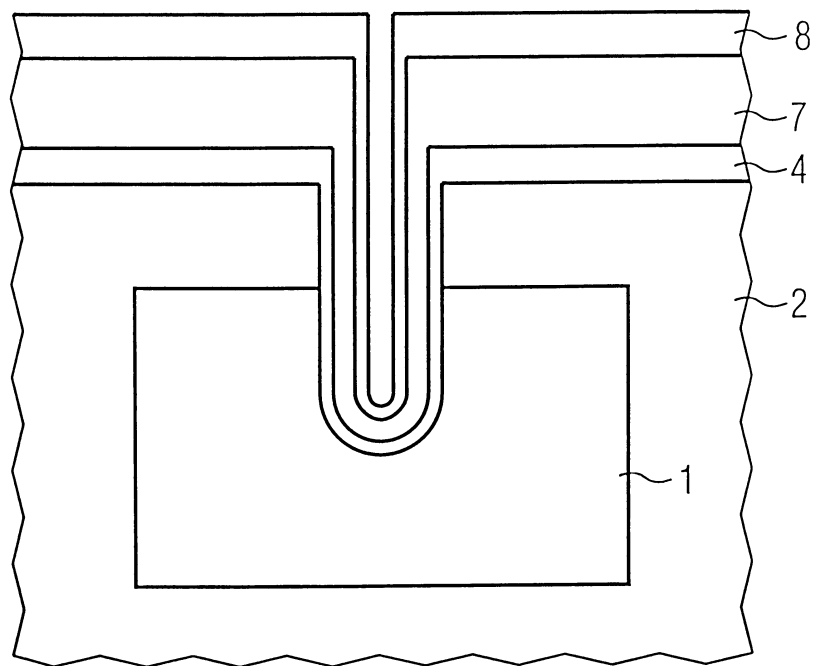
第 2 圖



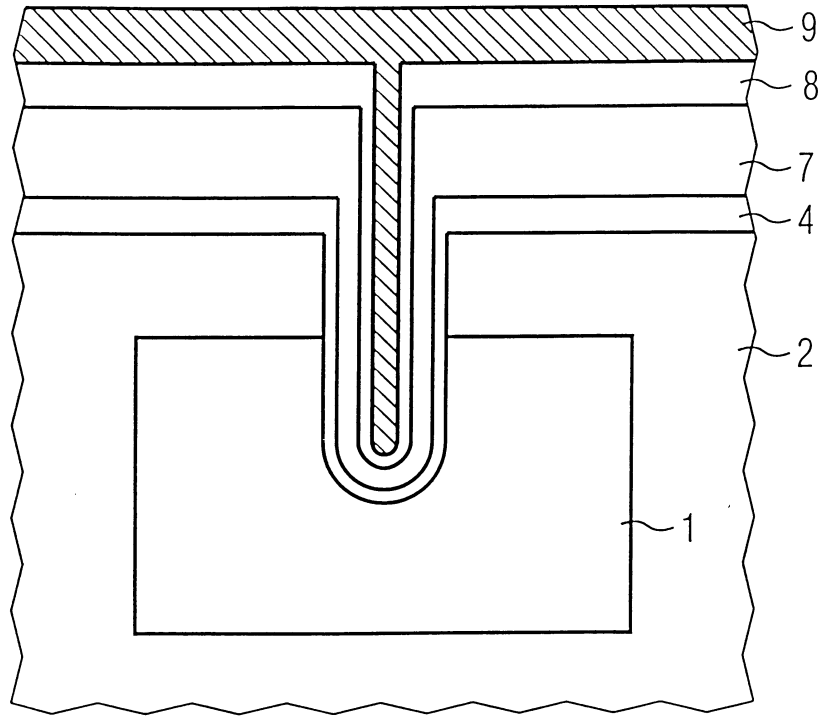
第 3 圖



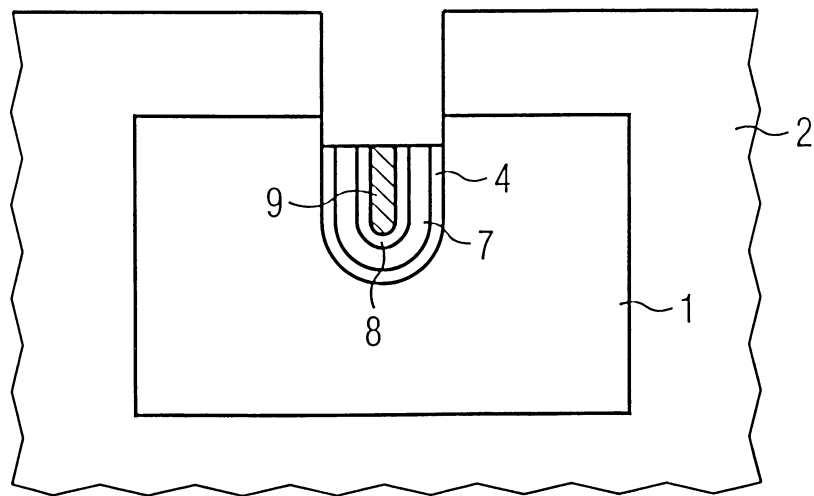
第 4 圖



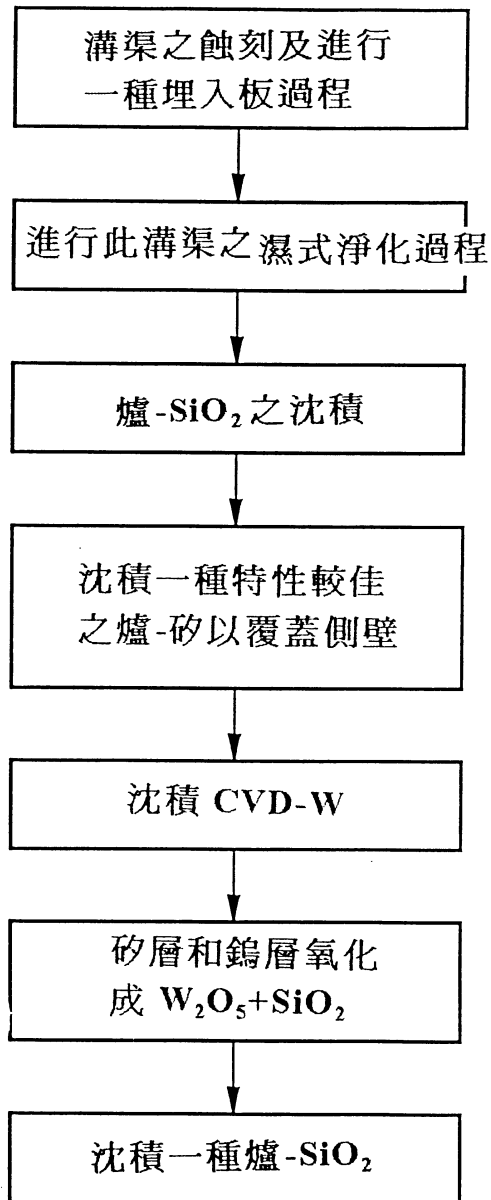
第 5 圖



第 6 圖



第 7 圖



第 8 圖

