

# 公告本

申請日期	P1.4.12
案 號	91107532
類 別	H01L21/768

A4  
C4

546770

(以上各欄由本局填註)

## 發 明 專 利 說 明 書

一、發明 名稱	中 文	矽側壁源極和汲極接觸之自對準矽化物製程及其所形成之結構
	英 文	SELF-ALIGNED SILICIDE PROCESS FOR SILICON SIDEWALL SOURCE AND DRAIN CONTACTS AND STRUCTURE FORMED THEREBY
二、發明 創作人	姓 名	1.西瑞爾喀夫拉爾二世 Cyril Cabral, Jr 2.凱文 K.詹 Kevin K. Chan 3.蓋摩西柯亨 Guy Moshe Cohen 4.凱西琉威爾德瓜立尼 Kathryn Wilder Guarini
	國 籍	1.美國 2.美國 3.以色列 4.美國
	住、居所	1.美國紐約州歐希寧市雪曼廣場4號 4 Sherman Place, Ossining, NY 10562, USA 2.美國紐約州斯坦頓島史蕾頓大街41號 41 Slayton Avenue, Staten Island, NY 10314, USA 3.美國紐約州莫西干湖新恰瑞特大道157號 157 New Chalet Drive, Mohegan Lake, NY 10547, USA 4.美國紐約州約克頓山丘奧爾登路290號 290 Alden Road, Yorktown Heights, NY 10598, USA
三、申請人	姓 名 (名稱)	美商·萬國商業機器公司 International Business Machines Corporation
	國 籍	美國
	住、居所 (事務所)	美國紐約州阿蒙市新果園路 New Orchard Road, Armonk, New York 10504, USA
	代 表 人 姓 名	傑拉德羅森瑟爾 Gerald Rosenthal

經濟部智慧財產局員工消費合作社印製

裝

訂

線

申請日期	
案 號	
類 別	

A4

C4

(以上各欄由本局填註)

<del>發 明 新 型</del> 專 利 說 明 書		
一、 <del>發明</del> <del>名稱</del>	中 文	矽側壁源極和汲極接觸之自對準矽化物製程及其所形成之結構
	英 文	SELF-ALIGNED SILICIDE PROCESS FOR SILICON SIDEWALL SOURCE AND DRAIN CONTACTS AND STRUCTURE FORMED THEREBY
二、 <del>發明</del> <del>創作</del>	姓 名	5. 克里斯丁拉瓦伊 Christian Lavoie 6. 保羅麥克所羅門 Paul Michael Solomon 7. 曾穎 Ying Zhang
	國 籍	5. 加拿大 6. 美國 7. 美國
	住、居所	5. 美國紐約州歐西寧山景路 13 號 13 Knoll View, Ossining, NY 10562, USA 6. 美國紐約州約克頓山丘河畔路 2220 號 2220 Brookside Avenue, Yorktown Heights, NY 10598, USA 7. 美國紐約州約克頓山丘羅德路 180 號 180 Loder Road, Yorktown Heights, NY 10598, USA
三、申請人	姓 名 (名稱)	美商·萬國商業機器公司 International Business Machines Corporation
	國 籍	美國
	住、居所 (事務所)	美國紐約州阿蒙市新果園路 New Orchard Road, Armonk, New York 10504, USA
	代 表 人 姓 名	傑拉德羅森瑟爾 Gerald Rosenthal

第 1-2 頁

本紙張尺度適用中國國家標準 (CNS) A4 規格 (210×297公釐)

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： 有 無主張優先權

本案已向美國申請專利；申請日：2001年4月18日 案號：09/836,197號

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

綫

經濟部智慧財產局員工消費合作社印製

## 五、發明說明( )

### 相關專利申請案：

本申請案是和以下幾個美國專利申請案有關聯，在此提供參考。分別是標題”自行對準的金屬矽化物製程適用於形成薄矽上絕緣層金氧半導體場效電晶體上之低阻抗接觸”，發明人：Chan 以及其他人，申請人與本申請案相同，申請日：5/11/2000，美國專利申請序號：09/569306，IBM 標籤序號：YO999-408；以及標題”形成金屬矽化物接觸之自行對準方法，應用金屬矽合金限制矽消耗和減少橋接(Bridging)”，發明人：Cabral 以及其他人，申請人與本申請案相同，申請日：3/6/2000，美國專利申請序號：09/515033，IBM 標籤序號：YOR9-2000-0018；以及標題”自行對準的金屬矽化物製程適用於含矽的金氧半導體場效電晶體結構”，發明人：Cohen 以及其他人，申請人與本申請案相同，申請日：11/15/2000，美國專利申請序號：09/712264，IBM 標籤序號：YOR9-2000-00373。

### 發明領域：

本發明係關於矽金氧半導體場效電晶體(MOSFET)，特別是有關矽金氧半導體場效電晶體之金屬矽化物接觸的形成方法。

### 發明背景：

矽金氧半導體場效電晶體需要不斷的縮短閘極的長度。當矽金氧半導體場效電晶體的通道製作的越短，元件

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明( )

的啟始電壓  $V_t$  的大小就取決於閘極長度。這種稱為“短通道效應(short channel effect)”的影響，一定要有效防制，否則具有不同閘極長度的元件就會有不同啟始電壓。因為閘極長度本來就會因為製造工具的公差而產生預期的差異，如果啟始電壓  $V_t$  的大小取決於閘極長度可能導致元件無法動作。

為了防制短通道效應，調整矽上絕緣層(silicon-on-insulator)的厚度顯得非常需要。就以下所述，一個具有較短長度閘極元件的設計就會需要較薄的矽上絕緣層通道。再者，這個設計原則適用於單一閘極和雙閘極的金氧半導體場效電晶體。

用另一種方式說明，如第 1 圖所示，對不同矽上絕緣層通道的厚度( $t_{si}$ )而言，啟始電壓的變化是閘極長度的函數。特別說明的是，如第 1 圖所示當製作出非常短閘極長度時，啟始電壓曲線就不會是平穩的，取而代之的是斜率很陡的曲線。應該注意的是，在任何製造結果中，永遠會有公差存在，因為不可能每片晶片結果都是一樣的，即使在晶片中的每個元件也不可能是一樣。因為實際上本來就會有公差存在(例如晶片上每個元件就會有百分之十以內差異存在)。假如這樣的閘極長度公差/差異，造成的結果是如第一圖曲線平穩的部份，就不會產生問題。

但是，假如這樣的閘極百分之十的長度差異，造成的結果是如第 1 圖曲線斜率很陡的部份，晶片上各元件的啟始電壓就會有很大的差異。換句話說，晶片上某些元件可

## 五、發明說明( )

能在低電壓時動作，某些元件可能在高電壓時導通動作。因此，電路就無法動作，這就是第 1 圖要表達重點-閘極長度控制。然而，當技術進步而必須使用非常短的閘極長度時，就會產生某種問題。

再進一步討論第 1 圖，應該注意的是不管是單閘極或是雙閘極金氧半導體場效電晶體，當使用薄矽上絕緣層通道時，短通道效應都有改善情形。然而，將矽上絕緣層通道變薄時又面臨了一個新的挑戰。那就是當通道變薄時，到源極和汲極的串聯阻抗增加。寄生串聯阻抗會影響元件的動作速度，因此必須減到最小。為了要減少阻抗，就要將源極和汲極區域加厚。所以，一個最佳的元件將會有薄的通道區域來防制短通道效應，而且具有厚的源極和汲極區域來減低串聯阻抗。要使源極和汲極區域變厚可以應用選擇性的磊晶(epitaxy)製程，但是這個製程只會在源極、汲極和閘極區域上添加矽。

如第 2A 圖中的金氧半導體場效電晶體結構，源極和汲極區域 8 已經應用磊晶製程加厚。如第 2A 圖，特別說明的是一矽基材 1 內形成一埋在其內的氧化層 2。在二氧化矽層 2 上形成矽上絕緣層 3。在矽上絕緣層 3 上形成閘極介電質 4，且在介電質 4 上形成閘極 5。在結構的側壁上亦形成閘極間隙壁 6。矽磊晶製程必須是有選擇性的，否則在元件的閘極間隙壁 6 上也會有矽沉積，這會造成閘極對源極和汲極的短路。

然而，選擇性的矽磊晶製程通常需要很高的製程溫度

## 五、發明說明( )

(約 850°C 到 1200°C)，而且對製程表面的要求非常敏感(尤其是潔淨度)，這使得製造技術控制不易。因為這個製程確實非常敏感，所以表面的化學性質就變的格外的重要。舉例，如果在表面餘留有少量的氧化物如俱生的氧化物(native oxide)或類似氧化物，就會導致該區域長不出矽，進而使得良率變低。

一個更簡單且更有效率可以形成矽上絕緣層通道接出的技術是製作源極和汲極的矽側壁接觸，詳述於 T.Yoshitomi、M.saito、T.Ohguro、M.Ono、H.S.Momose 及 H.Iwai 先生所著，VLSI 技術雜誌第 11 頁(如例 1)專題論文"應用於閘極長度 75 奈米高效能 P 型金氧半導體場效電晶體的矽化矽側壁源極和汲極"。這種方法用在雙閘極金氧半導體場效電晶體也很有效用，詳述於美國第 5,773,331 號專利發明者 P.M.Solomon et al.，標題為"製作具有側壁源極接觸之單閘極和雙閘極金氧半導體場效電晶體的方法"，以上兩例子在此提出作為參考。

這個方法包含沉積一矽薄膜(如多晶矽)，而且使用具有方向性的蝕刻(如反應式離子蝕刻)用以在閘極兩邊形成矽側壁。側壁形成源極和汲極的的延生部份，金屬接觸就可以在稍後形成。

如第 2B 圖是一種具有矽源極和汲極側壁 7 的典型金氧半導體場效電晶體。形成側壁的技術不需要具有選擇性的沉積製程，沉積環境所需的溫度相對較低(基於使用的先驅物決定沉積溫度，一般約在 700°C 以下，舉例使用矽

## 五、發明說明( )

甲烷約在  $460^{\circ}\text{C}$  下沉積，但蝕刻選擇性卻很差)。再者，沉積的矽可以使用快速熱回火(RTA)製程使之再結晶(換言之，應用薄的矽上絕緣層當作品種)。

為了製作低阻抗的接觸，不管何種源極和汲極結構(如側壁或磊晶長成的結構)都需使用矽化物。習知適用於平坦源極和汲極的自對準的矽化製程，必須為了應用於矽側壁源極和汲極而做修改。然而，一個典型自對準的矽化製程，對側壁源極和汲極的直接應用，可能會出現以下問題。

首先，如第 3 圖所示，因為矽化金屬反應消耗矽而減少的接觸的區域面積造成串聯阻抗增加。那就是說，第 3 圖中左手邊的矽側壁已大部份轉變為  $\text{CoSi}_2$ 。因此最終的接觸區域  $A_2$  就會比回火前接觸區域  $A_{c1}$  減少。

第二點，如第 4 圖及相關穿透式電子顯微鏡照片(transmission electron micrograph, TEM)說明，金屬矽化物已經侵入矽通道。這個問題發生的是由於側壁基底處巨量的金屬儲藏庫。因為覆蓋在側壁的金屬厚度是有限的，所以矽側壁的金屬反應會因此而受限，但是矽側壁基底的金屬供應是不受限制的。因此，矽化物侵入矽通道就發生了。電子顯微鏡照片包含有通道中一暗的區域和一較亮的區域(還有介於兩者間清楚的界線)。暗的區域表示金屬矽化物已經侵入到閘極下的通道。這種入侵是應該儘可能的避免，而且會導致元件無法動作。

另一個在第 4 圖中的問題是側壁的大小和形狀不相



## 五、發明說明( )

等。也就是說比起右邊的側壁，左邊的側壁已經縮小了。一般而言，最好極力的促使兩邊側壁的表面積相同，因為這是接觸面積。接觸的面積越大，元件的阻抗也就越小。因此，一個消耗越少側壁的方法是最佳的。所以，理想狀況下側壁在回火前後的大小型狀是大致一樣的。然而在本發明之前，這樣的技術尚未發展出來。

### 發明目的及概述：

回顧上述和其它習知方法的問題、不利條件及缺點，本發明的目標是提供一種自動對稱的新方法，適用於矽側壁源極和汲極接觸。

在本發明的第一個方法中，一種製程方法適用於在非平坦且能控制矽含量消耗的含矽區域上，形成金屬矽化物接觸，該方法包含在含矽區域上形成金屬覆蓋層，在金屬層上形成一矽層，對矽層做非等向性和選擇性蝕刻，在第一溫度下金屬和矽反應生成矽金屬合金(MSi)，對未反應的金屬層部份進行蝕刻，在第二溫度下進行回火形成金屬-二矽的合金，以及選擇性的蝕刻未反應的矽。

在本發明的第二個方法中，一種形成半導體結構的製程方法，該方法包含提供一個用來矽化的半導體基材，該基材包含一個側壁源極區和一個側壁汲極區形成在閘極兩側，在源極區和汲極區上形成一金屬層，在金屬層上形成一矽層，對矽層做非等向性和選擇性蝕刻，在第一溫度下金屬層和矽反應生成矽金屬合金，對未反應的金屬層部

## 五、發明說明( )

份進行蝕刻，在第二溫度下對結構進行回火形成金屬-二矽的合金，以及選擇性的蝕刻未反應的矽。

在本發明的第三個方式中，一種形成金屬矽化物的製程方法，該方法包含提供一個用來形成矽化金屬的半導體基材，並形成一種金屬-矽混合物在該基材預先決定的區域上，在金屬-矽混合物上形成一矽層，對矽層做非等向性和選擇性蝕刻，在第一溫度下金屬-矽混合物和矽反應生成一富含金屬相(metal-rich phase)，對任何未反應的金屬-矽混合物進行蝕刻，在第二溫度下對結構進行回火形成 metal-Si<sub>2</sub> 的合金，以及選擇性的蝕刻未反應的矽。

在本發明的另一個方法中，一個根據本發明的半導體結構，包含一非平坦的含矽區域，以及在非平坦的含矽區域上形成二矽化物的金屬接觸，其中非平坦的含矽區域包含鍺。

藉由本發明獨特的特性，因為矽化金屬反應消耗矽而減少接觸面積的情形就可以預防。因此，在習知的方法及結構中就不會有寄生串聯電阻增加的情形。

再者，金屬矽化物侵入到矽通道的情形不再發生。那就是說，不同於習知的結構及方法，不會有巨量的金屬儲藏庫位於側壁的基底。

再者，側壁的大小及形狀在回火的前後大致上是相同的，因此儘可能的維持元件的接觸面積到最大。

## 五、發明說明( )

中兩種情形下，金屬矽化物的形成狀況。

### 圖號對照說明：

- |                        |                         |
|------------------------|-------------------------|
| 1 矽基材                  | 2 二氧化矽層                 |
| 3 矽上絕緣層                | 4 閘極介電質                 |
| 5 閘極                   | 6 閘極間隙壁                 |
| 7 矽源極和汲極側壁             | 8 源極和汲極區域               |
| A <sub>2</sub> 最終的接觸區域 | A <sub>c1</sub> 回火前接觸區域 |
| 9 矽帽蓋                  | 10 矽側壁帽蓋                |
| 12A 小階梯                |                         |

### 發明詳細說明：

現在參照第 2B 圖及第 5 到 11B 圖，本發明的實施例將會在以下敘述。

然而，在討論本發明的細節前，要注意的是，為了簡單起見並非本發明的範圍侷限於此，以下討論的方法是用鈷金屬矽化物當實施例。因為鈷金屬矽化物具有低阻抗的特性所以鈷一直被使用。因此，雖然選擇鈷金屬矽化物是因為其優越的特性，本方法還是可以應用在其它的金屬矽化物例如鈦、鉑、鎳、鈮、鎢等。

現在參照第 2B 圖，一個即將形成矽化金屬的初始元件。這個結構包括矽基材 1、氧化層 2、矽上絕緣層 3、閘極介電質 4、圖案化的閘極 5、兩側壁間隙壁 6 及矽側壁源極和汲極 7。該矽側壁經高度之摻雜，可視為是源極和

## 五、發明說明( )

應大部份矽的消耗都來自矽帽蓋。然而，如此嚴密監控的製程有執行的困難，因為溫度的範圍太小，而且如此小的容許範圍可能不適用於真實可行的製造過程。

第二點，形成金屬矽化物可以消耗側壁和帽蓋矽，接著加熱到夠高的溫度(約 800°C)，以致於剩餘在矽覆蓋上的矽擴散經過金屬-二矽且再結晶在側壁上。用這種方法，側壁間隙壁可以做的厚一點而且很可能比開始更厚。當然，若以熱預算的角度來看，第二個技術沒有第一個技術優點多。此外，因為金屬二矽化物必須使用摻雜過的矽來形成，為了得到歐姆接觸，矽帽蓋在接下來的情形必須被摻雜過。

本發明的重要特色就是矽沉積可以和鈷沉積在同一個沉積反應室。這個特色因為在矽沉積前沒有暴露在空氣中所以表面潔淨。因此，依序執行鈷和矽的沉積(在同一個反應室)不需要中斷反應室的真空，減去了一個介於鈷和矽之間不需要的交界面。

再者，應該注意的是，在回火前直接在金屬上沉積矽帽蓋。因此，矽消耗大致上可以在本發明方法開始時(如以下第一次回火之敘述)。

下一製程步驟，對矽帽蓋 9 施以非等向性的蝕刻(例如反應式離子蝕刻)而形成矽側壁帽蓋 10。經過反應式離子蝕刻形成的結構如第 7 圖。在這點上，兩個技術是有區別的。那也就是說在技術(1)時蝕刻對鈷是有選擇性的，不會侵蝕鈷層 8；在技術(2)時蝕刻劑會攻擊鈷層 8。

## 五、發明說明( )

在第二個例子中，製程應該對閘極間隙壁生成的介電質具有選擇性。蝕刻選擇性的要求是由反應式離子蝕刻來達成的，且基於溴化氫化學性質。在習知技藝中用來蝕刻矽的溴化氫化學物質並不會蝕刻鈷層 8，因此就回到第一個狀況。以下的討論將會假設蝕刻劑對鈷有選擇性。

在反應式離子蝕刻後，在平坦表面上鈷層 8 將會暴露出來，在傾斜的表面上鈷層 8 會被矽側壁所覆蓋。下一製程步驟，晶片將應用快速熱回火而形成單矽化金屬相，矽化鈷。以矽化鈷為例，回火的溫度範圍約從 470°C 到 520°C 之間。在回火之後，在平坦區和介電側壁上，以濕蝕刻或類似製程作選擇性的蝕刻。該選擇性的濕蝕刻可以使用含有 H<sub>2</sub>O<sub>2</sub> 的硫酸或類似的蝕刻劑。因此未反應的金屬(鈷)就可以移除。在進行快速熱回火和蝕刻未反應的鈷後的結構就如第 8 圖所示。

在快速熱回火期間，夾在矽側壁 7 和矽側壁帽蓋 10 之間的鈷層 8 會在兩邊交界處反應生成矽化鈷就如第 8 圖標號 11。所以近乎一半的矽側壁消耗減少是由於鈷層 8 兩邊同時供應矽。因此，比起只有單矽化物層 11 而沒有矽側壁帽蓋 10 的情形在此接觸面積是增加的。

下一道製程，晶片經過快速熱回火(第二次回火)而形成二矽化金屬相，CoSi<sub>2</sub>。以 CoSi<sub>2</sub> 為例，回火的溫度範圍約從 620°C 到 750°C 之間。如先前例子一樣，近乎一半的矽側壁消耗減少是由於覆蓋在矽化鈷層 11 上的矽側壁帽蓋 10。在第二次快速熱回火回火之後，未反應的矽側壁帽

## 五、發明說明( )

蓋 10 藉由高度選擇性的蝕刻劑(如 Tetramethylammonium hydroxide)去除。在經過第二次快速熱回火和蝕刻未反應的矽側壁帽蓋後的結構如第 9 圖所示。

應該特別注意的是第 9 圖中獨特的側壁，其中在側壁 11 的基底形成一小階梯 12A。為甚麼要形成小階梯 12A 的原因是，當在那個地方形成矽時，就不會消耗所有的矽。那也就是說，從第 8 圖的製程到第 9 圖階梯 12A，就可以想像矽帽蓋 9 所提供的矽比實際上所需要用來形成金屬二矽化物多這麼多。過量供給矽的原因是要確保有足夠的矽可以形成金屬二矽化物且不消耗側壁中的矽。因此，小階梯 12A 會在選擇性的蝕刻未反應的矽後才曝露出來。

要注意的是，假如以鈷和矽的混合物取代純鈷層 8 的沉積，消耗矽的情形可以減到更少。使用鈷合金的製程首度揭露是在上述的美國專利申請案第 09/515,033 號。因此，取代純鈷沉積(如第 6 圖所示)的是將鈷和矽一起沉積。而且使用混合物  $Co_{1-x}Si_x$  的限制是  $x$  約小於 0.3，否則源極和汲極會和閘極連接。減少來自矽側壁 7 的矽消耗可以藉由多種方法達成。

例如，某些形成金屬矽化物所需的矽已包含在沉積的混合物中，所以側壁的矽消耗就會減少。

再者， $Co_2Si$  的形成溫度範圍擴大到約  $100^{\circ}C$ 。這會造成原本經過第一次回火後形成  $CoSi$ ，因為回火溫度較低的原因而形成  $Co_2Si$ 。如此一來，就可以在金屬矽化製程

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明( )

較早步驟時就移除在矽側壁 7 基底過量的鈷-矽混合物，因而減低金屬矽化物入侵矽通道的機會(如第 4 圖)。

其他的方法也可以和本發明結合，減少更多因為形成金屬矽化物所消耗的矽側壁。例如，加入鍺到矽側壁 7 中可以強迫生成  $\text{CoSi}_2$  大部份在矽帽蓋 10。鍺在本製程的使用首度揭露是在上述的美國專利申請案第 09/712,264 號。

即使小濃度的鍺加到矽側壁層中，均可以使生成  $\text{CoSi}_2$  的溫度高於在純矽中形成  $\text{CoSi}_2$  的溫度許多。因此，加入鍺到矽側壁中提高  $\text{CoSi}_2$  的形成溫度。

第 10 圖為  $\text{CoSi}_2$  的形成溫度與矽層中鍺濃度的函數關係圖。舉例， $\text{CoSi}_2$  在純矽中的形成溫度是  $625^\circ\text{C}$  (如第 10 圖左手邊標示 10% 的第一點)。相較之下，假如加入小量(約 3—4%)的鍺到矽側壁中， $\text{CoSi}_2$  的形成溫度升高到約  $740^\circ\text{C}$ 。同樣的，當加入 15% 的鍺到矽側壁中， $\text{CoSi}_2$  的形成溫度升高到約  $780^\circ\text{C}$ 。

因此，假如矽側壁由鍺化矽合金製成，第二次回火溫度就要選擇小於  $\text{CoSi}_2$  在鍺化矽合金中的形成溫度，矽化金屬反應就會侷限在矽帽蓋 10。

那也就是說，在這樣的製程，對第一次回火而言，由以上的討論並沒什麼差別(金屬單矽化物的反應和形成是一樣的)。然而，對第二次回火而言(如形成  $\text{CoSi}_2$ )，回火的溫度可以將矽化金屬反應都修正到純矽帽蓋。所以，鈷並不會和鍺化矽反應因為反應的溫度約  $740^\circ\text{C}$ ，高出和純

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 五、發明說明( )

矽帽蓋反應的溫度很多(約  $625^{\circ}\text{C}$ )。當使用這個製程後，矽側壁 7 的矽消耗減少了 75%。(再者，當使用這個製程加上鈷-矽混合物或合金，矽側壁的矽消耗減少了 80%)。

第 11A 和 11B 圖分別比較在純矽側壁和加入鍍的矽側壁比較  $\text{CoSi}_2$  的形成。如第 11B 圖所示，矽側壁較大且較厚，因此假如鍍存在矽側壁中，則接觸面積會大很多。

應該注意的是加入鍍到矽側壁 7 中，可以藉由以下幾種製程，包括沉積鍍化矽形成矽側壁 7，在沉積鈷層 8 之前植入鍍到矽側壁 7，以及在矽源極、汲極和閘極上選擇性沉積薄鍍層。

和選擇性的的矽晶製程所需的高沉積溫(約從  $850^{\circ}\text{C}$  到  $1200^{\circ}\text{C}$ )相比，選擇性鍍沉積可以在較低的溫度下執行。

因為本發明獨特的特性，一個新的自對準矽化製程適用於矽側壁源極和汲極接觸已在上面提過。

本發明的製程減少側壁源極和汲極矽的消耗量，因而增加接觸面積，及減少串聯阻抗。

此外，比起習知製程，本發明對於金屬矽化物侵入矽通道的問題已獲得良好的控制。鈷和矽覆蓋的沉積可以依序進行而不需要中斷接觸到周圍的環境，因而可以得到一個乾淨的鈷-矽介面。與習知的平坦化矽化製程相比，本製程並不需要增加熱預算。本製程適用於單閘極和雙閘極結構之金氧半導體場效電晶體，如上述提到之例一和例



## 五、發明說明( )

二。

當本發明特別以數個實施例敘述過後，習知此技藝者就可以在專利申請的精神與範圍內，經過適當的修改來實施本發明。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

四、中文發明摘要(發明之名稱: )

矽側壁源極和汲極接觸之  
自對準矽化物製程及其所形成之結構

一製程方法(及藉此形成之結構)適用於在一非平坦的含矽區域上形成一金屬矽化接觸,而且控制含矽區域矽的消耗量,方法至少包含形成一覆蓋金屬層在含矽區域上,形成一矽層在金屬層上,對金屬層及矽層進行非等向性及選擇性的蝕刻,在一第一溫度下,金屬和矽反應形成金屬(metal)-矽(Si)合金(Alloy),蝕刻金屬層未反應的部份,在一第二溫度下,進行回火形成金屬-二矽合金,以及對未反應的矽層進行選擇性的蝕刻。

英文發明摘要(發明之名稱: )

**SELF-ALIGNED SILICIDE PROCESS FOR SILICON  
SIDEWALL SOURCE AND DRAIN CONTACTS AND  
STRUCTURE FORMED THEREBY**

A method (and structure formed thereby) of forming a metal silicide contact on a non-planar silicon containing region having controlled consumption of the silicon containing region, includes forming a blanket metal layer over the silicon containing region, forming a silicon layer over the metal layer, etching anisotropically and selectively with respect to the metal the silicon layer, reacting the metal with silicon at a first temperature to form a metal silicon alloy, etching unreacted portions of the metal layer, annealing at a second temperature to form an alloy of metal-Si<sub>2</sub>, and selectively etching the unreacted silicon layer.

(請先閱讀背面之注意事項再填寫本頁各欄)

訂

## 六、申請專利範圍

1. 一種適用於在一非平坦的含矽區域上形成一金屬矽化接觸之方法，具有該含矽區域矽的控制消耗量，該方法至少包含：

形成一覆蓋金屬層在該含矽區域上；

形成一矽層在該金屬層上；

對該金屬層及該矽層進行非等向性及選擇性的蝕刻；

在一第一溫度下，該金屬和矽反應形成一金屬(metal)矽(Si)合金(Alloy)；

對該金屬層未反應的部份進行蝕刻；

在一第二溫度下，進行回火形成一金屬-二矽合金；

以及

對該未反應的矽層進行選擇性的蝕刻。

2. 如申請專利範圍第 1 項所述之方法，其中上述之該覆蓋金屬層包含形成一金屬層內含有一金屬和矽混合物。

3. 如申請專利範圍第 1 項所述之方法，其更包含形成該非平坦含矽區域。

4. 如申請專利範圍第 3 項所述之方法，其中形成該非平坦含矽區域包含形成一鍺化矽合金。

5. 如申請專利範圍第 4 項所述之方法，其中形成該鍺化矽

## 六、申請專利範圍

合金包含在該非平坦含矽區域植入鍍。

6.一種形成半導體結構的方法，該方法至少包含：

提供一半導體基材適用於形成矽化金屬於其上，該基材包含一側壁源極區和一側壁汲極區分別形成在一閘極的兩側；

形成一金屬層在該閘極、該源極和該汲極區域上；

形成一矽層在該金屬層上；

對該矽層進行非等向性及選擇性的蝕刻；

在一第一溫度下，該金屬和矽反應形成一金屬-矽合金；

對該金屬層未反應的部份進行蝕刻；

在一第二溫度下，對該半導體結構進行回火形成一金屬-二矽合金；以及

對該未反應的矽層進行選擇性的蝕刻。

7.如申請專利範圍第6項所述之方法，其中該金屬至少包含鈷、鈦、鈹和鉑其中之一。

8.如申請專利範圍第6項所述之方法，其中該薄金屬層具有一厚度範圍約從0.3奈米到50奈米。

9.如申請專利範圍第6項所述之方法，其中該金屬層是鈷。

## 六、申請專利範圍

- 10.如申請專利範圍第 9 項所述之方法，其中該第一溫度之範圍約在 481°C 到 625°C。
- 11.如申請專利範圍第 10 項所述之方法，其更包含對任何該金屬層未反應的部份進行選擇性的蝕刻。
- 12.如申請專利範圍第 6 項所述之方法，其中該矽層包括一非結晶(amorphous)的矽、一多晶(poly)矽、以及一非結晶和多晶矽的混合三種其中之一。
- 13.如申請專利範圍第 6 項所述之方法，其中該矽層具有一厚度範圍約從 15 奈米到 150 奈米。
- 14.如申請專利範圍第 6 項所述之方法，其中該第二溫度之範圍約高於 625°C。
- 15.如申請專利範圍第 6 項所述之方法，其中該金屬-矽合金生成在該沉積矽層、該矽側壁源極區和該矽側壁汲極區。
- 16.如申請專利範圍第 6 項所述之方法，其中該金屬-二矽合金生成在該沉積矽層、該矽側壁源極區和該矽側壁汲極區。

## 六、申請專利範圍

- 17.如申請專利範圍第6項所述之方法，其中該第二溫度高於該第一溫度。
- 18.如申請專利範圍第6項所述之方法，其中該方法具有自對準的功能，所以該方法不需使用任一圖案(patterning)及任一罩幕(mask)。
- 19.如申請專利範圍第6項所述之方法，其中形成該金屬層包含藉由同時濺鍍金屬和矽形成一金屬-矽混合物，該矽佔該金屬層的百分比低於28%。
- 20.如申請專利範圍第6項所述之方法，其中該金屬層包含99.99%金屬。
- 21.如申請專利範圍第6項所述之方法，其中該金屬層包含一金屬-矽混合物。
- 22.如申請專利範圍第21項所述之方法，其中該反應在一溫度下執行而形成一富含金屬相(metal-rich phase)，且蝕刻該未反應部份包含蝕刻該金屬-矽混合物未反應部份。
- 23.如申請專利範圍第22項所述之方法，其中該富含金屬相是  $\text{Co}_2\text{Si}$ 。

## 六、申請專利範圍

24. 一種形成矽化物的方法，該方法包含：

提供一半導體基材適用於形成矽化金屬於其上，在該基材預先決定的區域上形成一金屬-矽混合物；

形成一矽層在該金屬層上；

對該矽層進行非等向性及選擇性的蝕刻；

在一第一溫度下，該金屬-矽混合物和矽反應形成一富含金屬相 (metal-rich phase)；

對該金屬-矽混合物未反應的部份進行蝕刻；

在一第二溫度下，對該半導體結構進行回火形成一金屬-二矽合金；以及

對該未反應的矽進行選擇性的蝕刻。

25. 一種半導體結構，其至少包含：

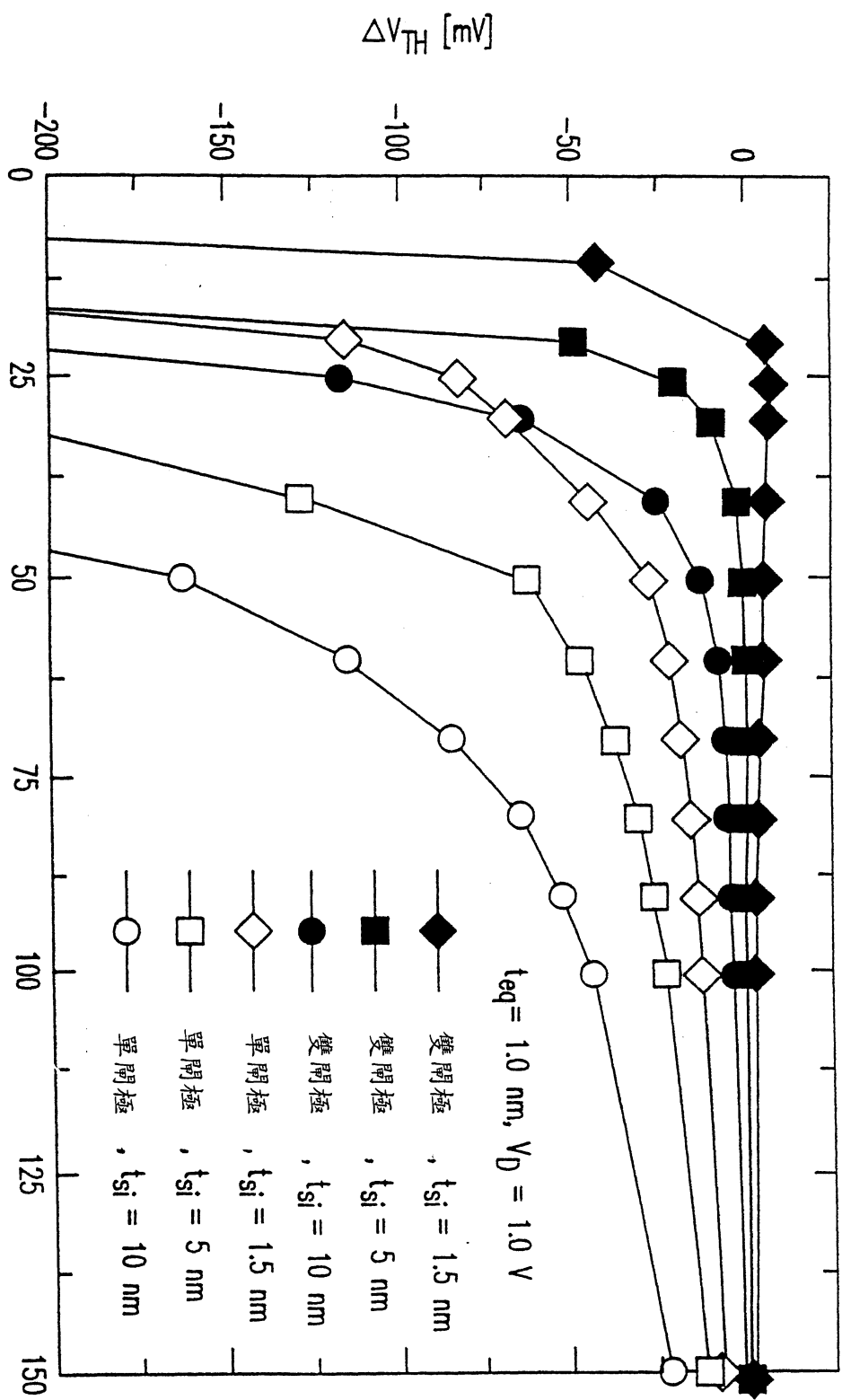
一非平坦的含矽區域；以及

一金屬-二矽接觸形成在該非平坦的含矽區域，其中在該非平坦的含矽區域包含鍺。

26. 如申請專利範圍第 25 項所述之結構，其中該非平坦的含矽區域包含植入鍺。

27. 如申請專利範圍第 25 項所述之結構，其中該非平坦的含矽區域包含沉積鍺。

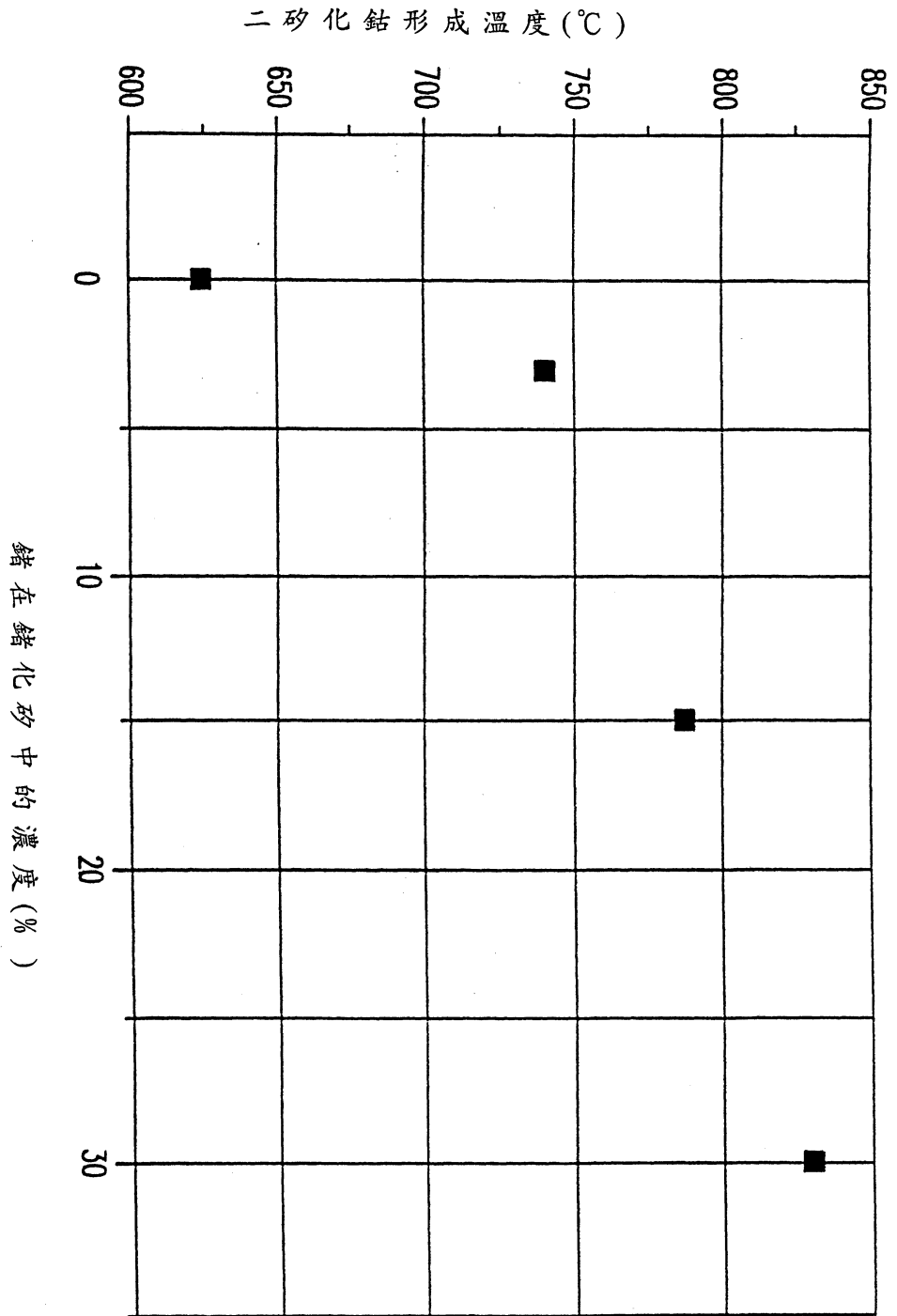
28. 如申請專利範圍第 25 項所述之結構，其中該金屬二矽



第 1 圖

閘極長度 ( $L_g$ ) [nm]





第 10 圖

## 五、發明說明( )

### 圖式簡單說明：

上述及其它的目的、方面及優點將藉由以下本發明實施例的詳細說明並配合圖例可以更充分的了解，其中：

第1圖為在不同矽通道厚度金氧半導體場效電晶體之啟始電壓( $V_t$ )的變化與閘極長度的函數關係圖；

第2A圖為一典型金氧半導體場效電晶體結構圖，其中包含應用磊晶製程加厚的矽源極和汲極；

第2B圖為一具有矽源極和汲極側壁之典型金氧半導體場效電晶體結構圖；

第3圖為一結構圖表示因矽化金屬反應消耗矽而減少接觸面積；

第4圖為穿透式電子顯微照片和第2B圖中金氧半導體場效電晶體部份結構表示金屬矽化物入侵矽通道；

第5圖到第9圖為根據本發明實施例之製程步驟，其中：

第5圖表示在結構上沉積形成金屬層8；

第6圖表示在結構上沉積形成矽帽蓋9；

第7圖表示對矽帽蓋9做非等向性和選擇性蝕刻；

第8圖表示結構經過第一次快速熱回火，而且蝕刻未反應的金屬8(如鈷)；

第9圖表示結構經過第二次快速熱回火，而且蝕刻未反應的矽帽蓋9；以及

第10圖表示金屬二矽化物11(如 $CoSi_2$ )的形成溫度與鍺在矽層中濃度的函數關係；以及

第11A和11B圖用來比較在純矽側壁和加入鍺到矽側壁

## 五、發明說明( )

閘極的延伸。

如第 5 圖所示，在閘極、源極和汲極區域上沉積薄金屬層 8(因為  $\text{CoSi}_2$  具有低接觸電阻所以在實施例中使用鈷，在以下敘述的例子，為了便於討論及易於讀者了解，都是假設在使用鈷的情形下，當然也可以使用其他金屬)。以鈷金屬為例，每 1 奈米的鈷可以消耗 3.6 奈米的矽。因此假設鈷金屬層做的很厚，就會消耗大量的矽。同理可證，也不可以做的很薄，否則就沒有矽化金屬層會生成。而且，即使薄金屬可以繼續反應生成矽化金屬層，阻抗也會是一個問題。綜觀上述之所有討論，薄金屬層 8 最佳標準厚度是 8 奈米，其他在 4 奈米到 10 奈米之間的厚度範圍也可使用。

如第 6 圖所示在沉積鈷層 8 之後，在其上沉積一矽層(例如非結晶(amorphous)矽或多晶矽)稱作矽帽蓋(silicon cap)9。該矽帽蓋 9 提供與金屬反應所消耗的矽進而形成金屬單矽化物。假如沒有矽帽蓋，習知方法的問題就會發生(如矽側壁的侵入及消耗等)因為只有形成金屬矽化物才會消耗側壁。在本發明中因為矽帽蓋 9 的存在，最差的情形是至少會有一半矽側壁的消耗可以避免。再者，應用一些製程技術，只消耗矽帽蓋 9 的矽可以強制執行。

首先，特別注意的是，理論上大部份與金屬反應的矽都來自矽帽蓋，因此側壁的矽就可以獲得保留。也就是說，非結晶矽可以用來形成矽帽蓋，且非結晶矽和鈷反應的溫度會稍微低一些。因此，藉由嚴密的監控溫度，此反

92.5.28  
年 月 日  
完

A8  
B8  
C8  
D8

### 六、申請專利範圍

接觸包含一階梯部分。

(請先閱讀背面之注意事項再填寫本頁)

裝

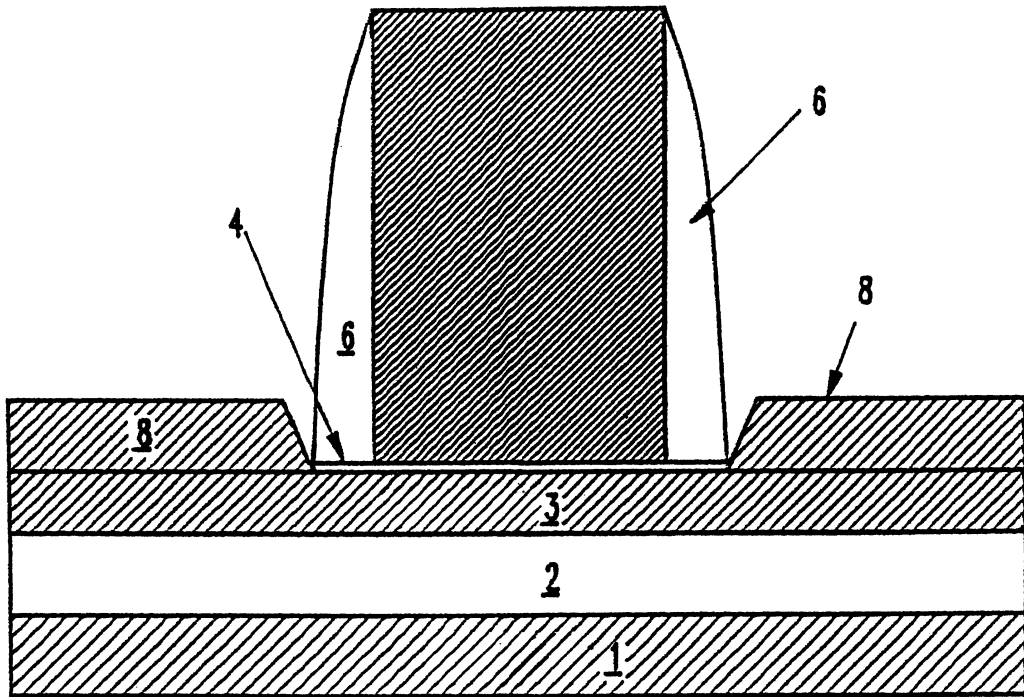
訂

線

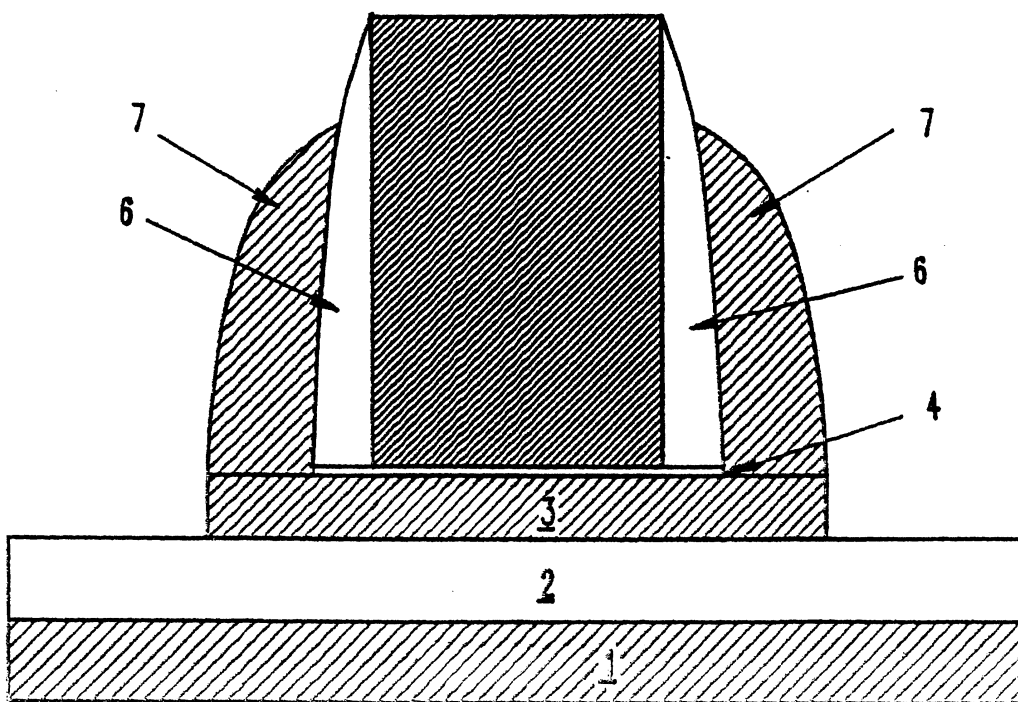
經濟部智慧財產局員工消費合作社印製

年月日  
補充

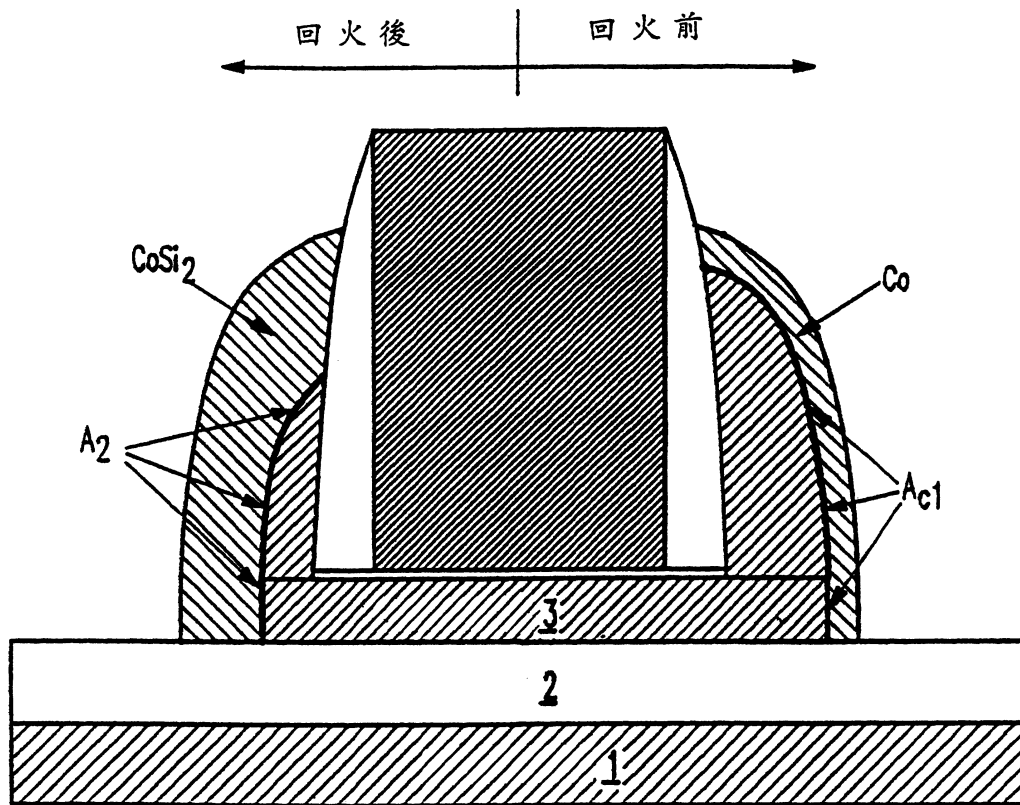
第 2A 圖



第 2B 圖

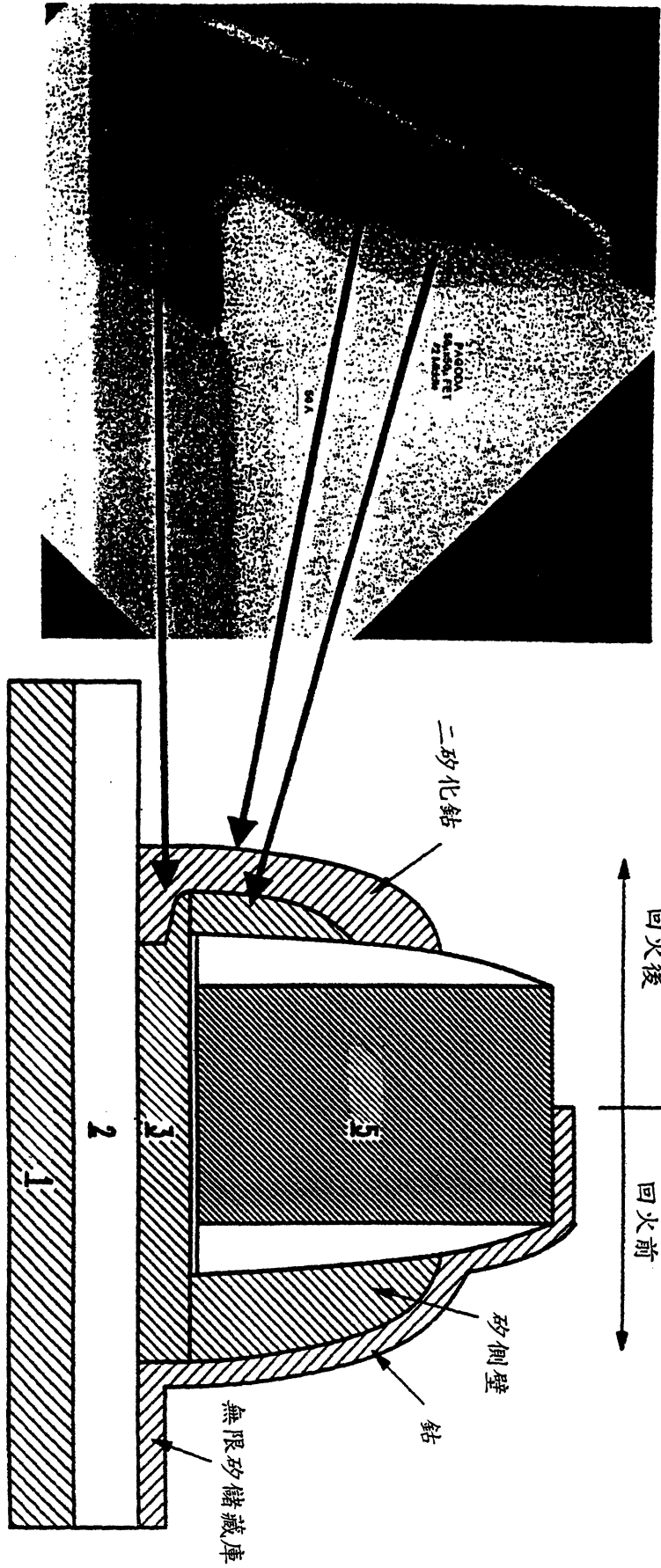


02.5.02 修正  
年 月 日 補充



第 3 圖

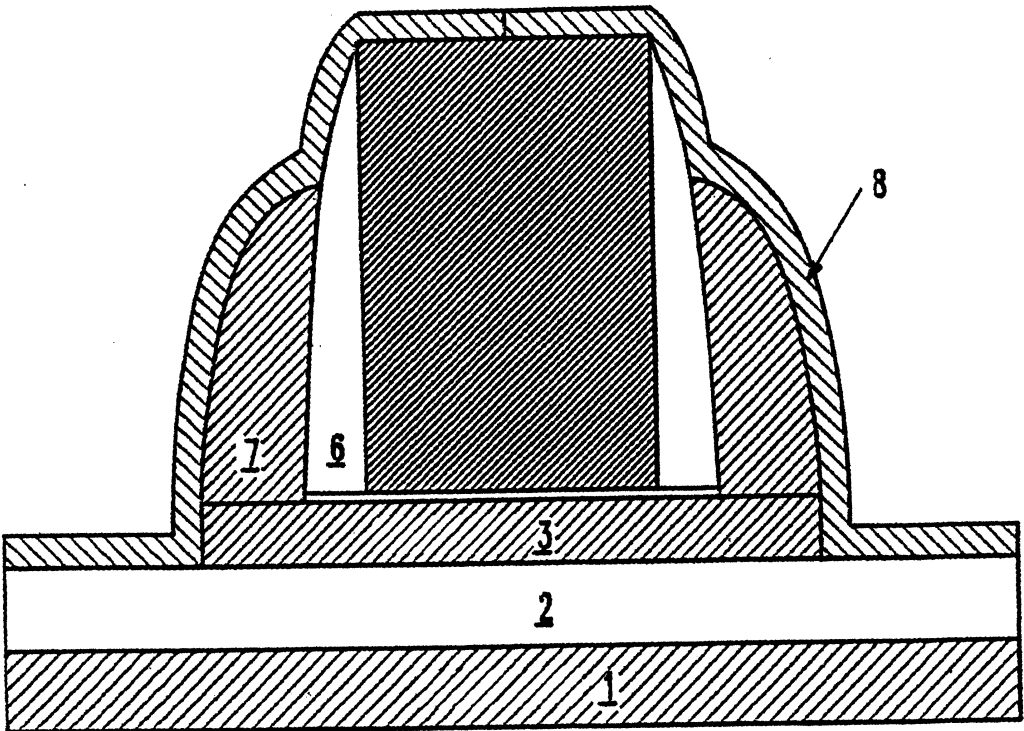
92.5.1.1  
92.5.1.2  
92.5.1.3



第 4 圖

修正  
年月日  
補充

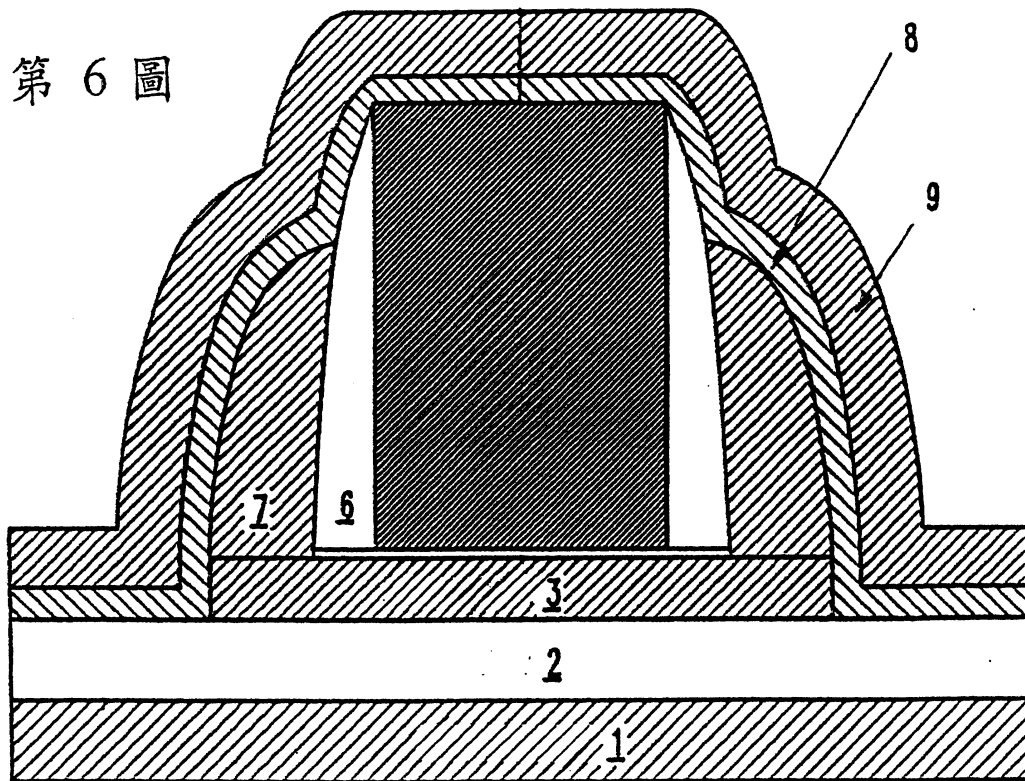
第 5 圖



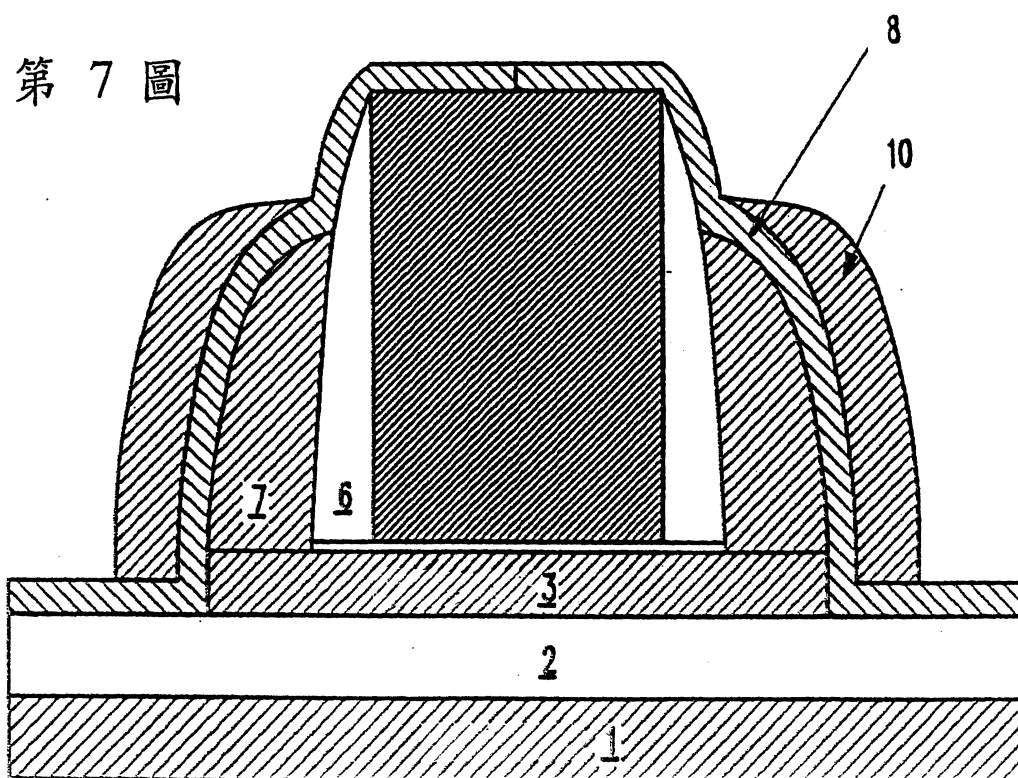


說明書  
 中華民國  
 年 月 日

第 6 圖

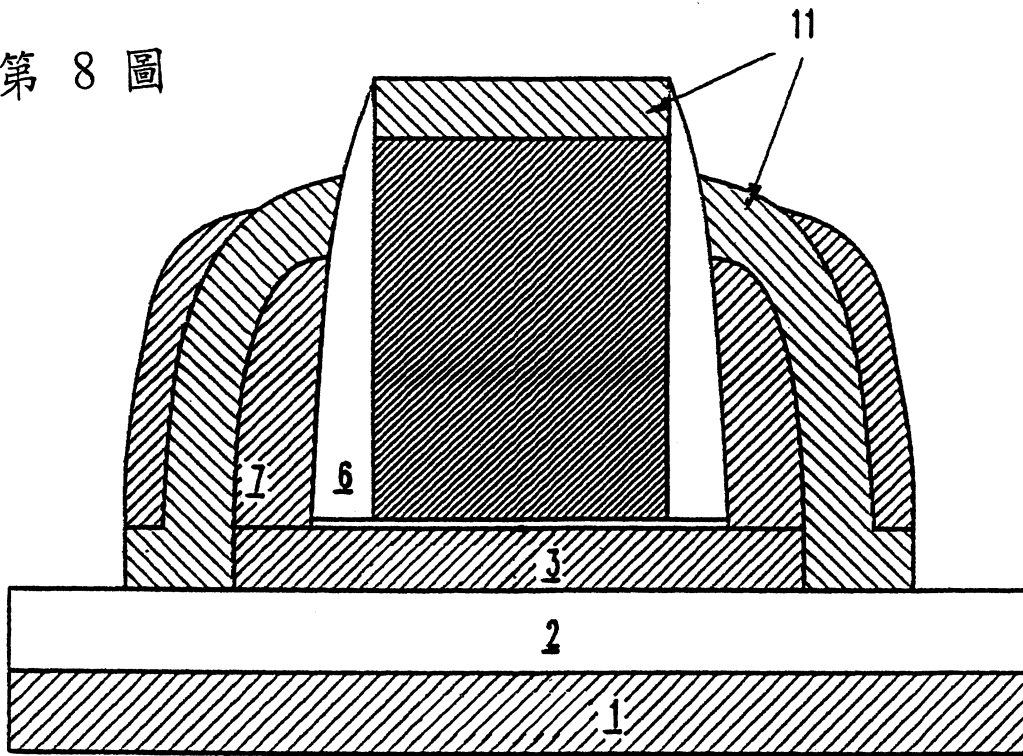


第 7 圖

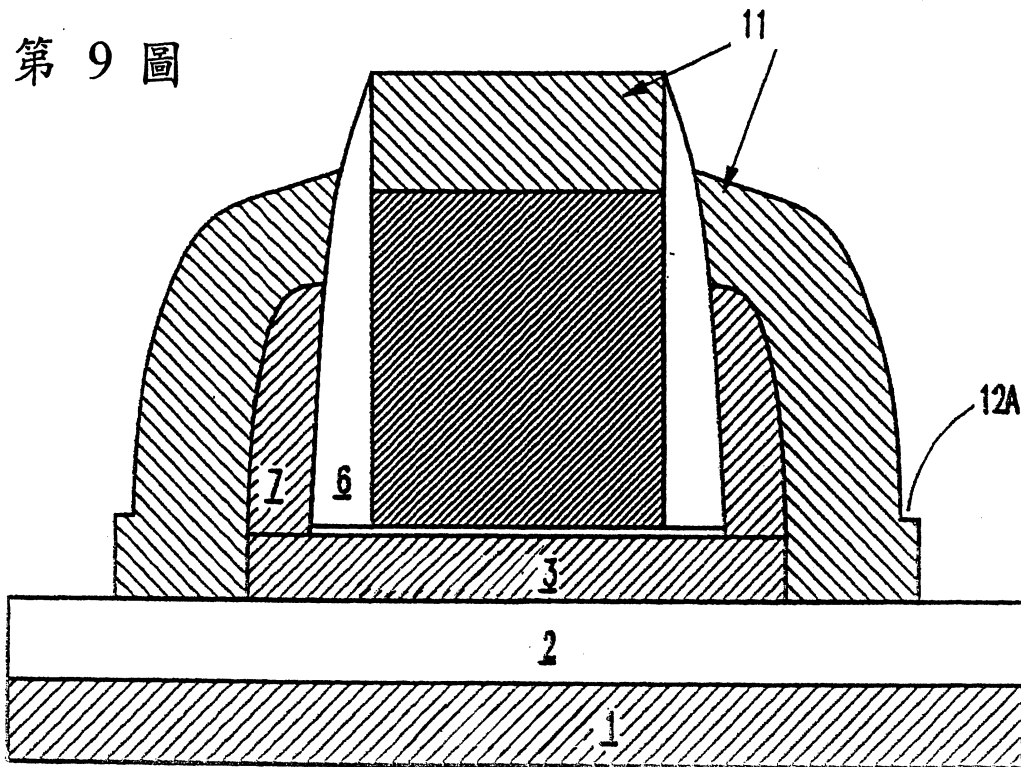


32.5.23

第 8 圖

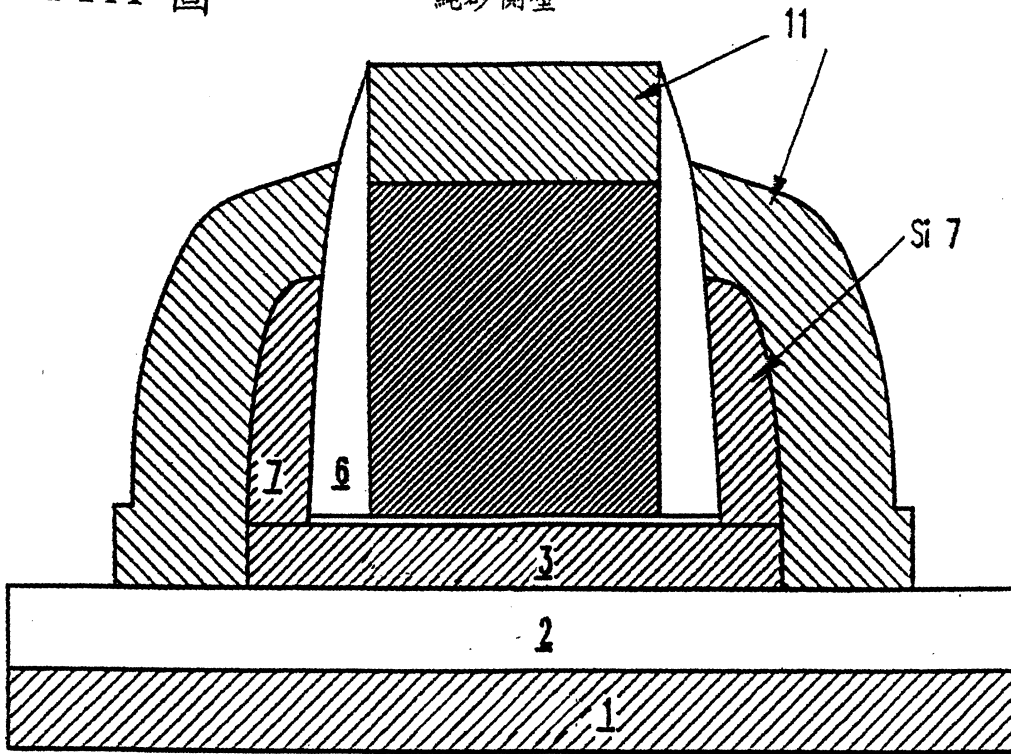


第 9 圖



第 11A 圖

純砂側壁



第 11B 圖

加入鍍到砂側壁

