



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：200926354

(43)公開日：中華民國98(2009)年6月16日

(21)申請案號：097138838

(22)申請日：中華民國97(2008)年10月9日

(51)Int. Cl. : H01L21/762 (2006.01)

H01L21/8247 (2006.01)

(30)優先權主張：2007/10/09

日本

2007-263502

(71)申請人：史班遜有限公司 SPANSSION LLC

美國

(72)發明人：井上文彥 INOUE, FUMIHIKO；丸山貴之 MARUYAMA, TAKAYUKI

(72)代理人：洪武雄；陳昭誠

申請實體審查：無 申請專利範圍項數：10 項 圖式數：19 共 54 頁

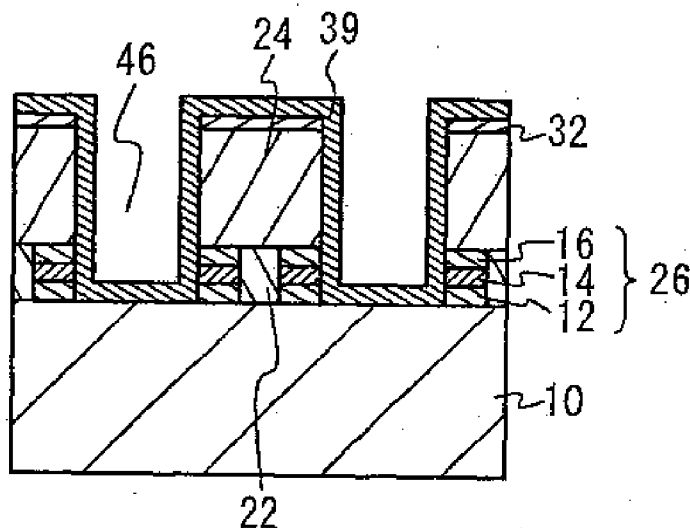
(54)名稱

製造具有淺溝渠隔離之半導體記憶體裝置的方法

METHOD OF FABRICATING SEMICONDUCTOR MEMORY DEVICE HAVING SHALLOW TRENCH ISOLATION

(57)摘要

一種用以製造半導體裝置的方法，該方法包括：在半導體基板上形成第一絕緣薄膜與導電層；在導電層上形成第一遮罩層；在第一遮罩層之間被隔離之隔離區域中形成第二遮罩層；藉由利用第一與第二遮罩層作為遮罩將導電層與第一絕緣薄膜移除以形成第一開口；在第一開口與隔離區域中形成第二絕緣薄膜；利用第二絕緣薄膜作為遮罩將第一遮罩層、導電層以及第一絕緣薄膜移除，在第二開口之間形成閘極電極；經由第二開口將第一絕緣薄膜移除，在閘極電極下方的中央部分形成閘極絕緣薄膜；以及，在第一絕緣薄膜被移除之範圍形成電荷儲存層。



- 10：半導體基板
- 12：穿隧絕緣薄膜
- 14：電荷儲存層
- 16：頂部絕緣薄膜
- 22：閘極絕緣薄膜
- 24：閘極電極
- 26：OPO薄膜
- 32：獨立保護薄膜
- 39：第一矽氧化物薄膜
- 46：第二開口



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：200926354

(43)公開日：中華民國98(2009)年6月16日

(21)申請案號：097138838

(22)申請日：中華民國97(2008)年10月9日

(51)Int. Cl. : H01L21/762 (2006.01)

H01L21/8247 (2006.01)

(30)優先權主張：2007/10/09

日本

2007-263502

(71)申請人：史班遜有限公司 SPANSION LLC

美國

(72)發明人：井上文彥 INOUE, FUMIHIKO；丸山貴之 MARUYAMA, TAKAYUKI

(72)代理人：洪武雄；陳昭誠

申請實體審查：無 申請專利範圍項數：10 項 圖式數：19 共 54 頁

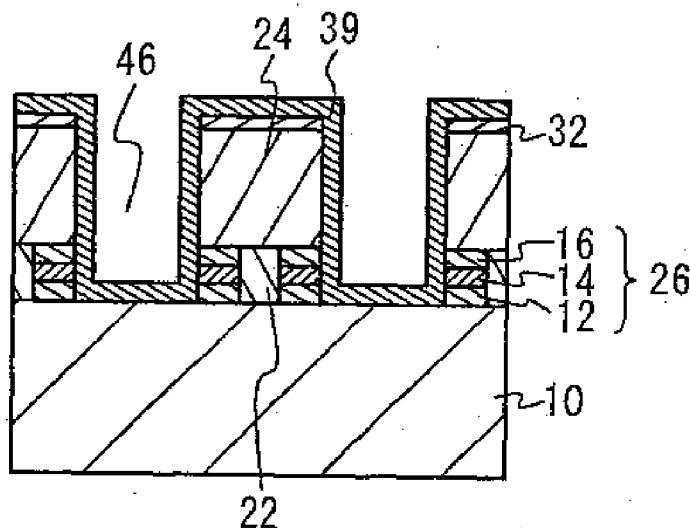
(54)名稱

製造具有淺溝渠隔離之半導體記憶體裝置的方法

METHOD OF FABRICATING SEMICONDUCTOR MEMORY DEVICE HAVING SHALLOW TRENCH ISOLATION

(57)摘要

一種用以製造半導體裝置的方法，該方法包括：在半導體基板上形成第一絕緣薄膜與導電層；在導電層上形成第一遮罩層；在第一遮罩層之間被隔離之隔離區域中形成第二遮罩層；藉由利用第一與第二遮罩層作為遮罩將導電層與第一絕緣薄膜移除以形成第一開口；在第一開口與隔離區域中形成第二絕緣薄膜；利用第二絕緣薄膜作為遮罩將第一遮罩層、導電層以及第一絕緣薄膜移除，在第二開口之間形成閘極電極；經由第二開口將第一絕緣薄膜移除，在閘極電極下方的中央部分形成閘極絕緣薄膜；以及，在第一絕緣薄膜被移除之範圍形成電荷儲存層。



- 10：半導體基板
- 12：穿隧絕緣薄膜
- 14：電荷儲存層
- 16：頂部絕緣薄膜
- 22：閘極絕緣薄膜
- 24：閘極電極
- 26：OPO薄膜
- 32：獨立保護薄膜
- 39：第一矽氧化物薄膜
- 46：第二開口

六、發明說明：

[優先權之主張]

本申請案係主張於 2007 年 10 月 9 日所提出申請之日本專利申請案 2007-263502 的優先權。

【發明所屬之技術領域】

本發明係關於半導體裝置的製造方法，且尤係關於包含獨立電荷儲存層的半導體裝置的製造方法。

【先前技術】

近來，非揮發性記憶體(non-volatile memory)變得相當普遍，所謂非揮發性記憶體即為一種能夠重寫(rewrite)資料並且即使在電源關閉的情況下仍能保持所儲存的資料之半導體裝置。在快閃記憶體(一種普遍的非揮發性記憶體)中，構成記憶體單元(memory cell)之電晶體具有浮動閘極(floating gate)或稱為電荷儲存層的絕緣薄膜(insulating film)。資料藉由儲存電荷儲存層中的電荷而被儲存。具有如電荷儲存層的絕緣薄膜之快閃記憶體包含具有矽氧化物氮化物氧化物矽(silicon oxide nitride oxide silicon, SONOS)結構之快閃記憶體，該 SONOS 結構將電荷儲存於氧化物氮化物氧化物(oxide nitride oxide, ONO)薄膜的電荷儲存層中。美國專利第 6011725 號揭露此種 SONOS 快閃記憶體的一個常見例子，一種包含虛擬接地記憶體單元之快閃記憶體，藉由選擇性地使用源極與汲極以對稱地運作該源極與該汲極。

第 1 圖係根據上述 SONOS 快閃記憶體的常見例子的快

閃記憶體之剖面圖。參照第 1 圖，穿隧絕緣薄膜 12(tunnel insulating film)、電荷儲存層 14 和頂部絕緣薄膜 16 係依序地裝設於半導體基板 10 上。作為源極與汲極兩者之多條位元線 18 延伸進入半導體基板 10 中。閘極電極 24 係裝設於位元線 18 之間的頂部絕緣薄膜 16 上。位元線 18 之間的距離係通道長度。

藉由(透過轉列(rendering))將位元線 18(BL1)與位元線 18(BL2)輪流地作為源極與汲極，可將電荷儲存於電荷儲存區域 C1 與電荷儲存區域 C2。因此，一個電晶體能夠儲存兩個位元的資料。

日本專利申請案公開號 JP-A-2005-108915 以及日本專利申請案公開號 JP-A-2004-343014 揭露一種技術，其經由半導體基板上的閘極絕緣薄膜形成閘極電極，移除該閘極電極的一部分側壁或者該閘極電極以及該閘極絕緣薄膜二者的一部分側壁，在此移除的區域中形成電荷儲存層，並進而形成獨立電荷儲存層。

然而，根據傳統技術的快閃記憶體中，當記憶體單元的積體化與微型化增加以及通道長度變短時，通常多個電荷儲存區域彼此變得相當接近。因此，互補位元干擾(complementary bit disturb, CBD)現象(也就是儲存於電荷儲存區域的電荷彼此互相干涉)更趨明顯，進而使得電荷儲存區域之間的電荷分離(以及隨後的資料分離)變得困難。

【發明內容】

本概要係以簡化形式介紹挑選出的概念，這些概念係進一步於下列實施方式中描述。本概要並非為了識別所請求保護的申請標的之關鍵特徵或必要特徵，也並非用以限制所請求保護的申請標的之範疇。

本發明的一個實施例提供一種用以製造半導體裝置的方法，該方法包含：依序在半導體基板上形成第一絕緣薄膜和導電層；在導電層上形成往第一方向延伸的獨立第一遮罩層；在第一方向上被隔離之多個隔離區域中的導電層上形成獨立第二遮罩層以便將獨立第二遮罩層插入於獨立第一遮罩層中；藉由利用獨立第一遮罩層與獨立第二遮罩層作為遮罩將導電層以及第一絕緣薄膜移除以形成多個第一開口；在第一開口以及位於獨立導電層上的隔離區域中形成獨立第二絕緣薄膜；藉由利用獨立第二絕緣薄膜作為遮罩將獨立第一遮罩層、獨立導電層以及獨立第一絕緣薄膜移除以形成多個第二開口，並因此在第二開口之間形成多個由獨立導電層所組成之閘極電極；透過第二開口將形成於閘極電極下方的獨立第一絕緣薄膜移除，並因此在閘極電極下方的中央部份形成由獨立第一絕緣薄膜所組成的獨立閘極絕緣薄膜；以及，在形成於閘極電極下方的獨立第一絕緣薄膜被移除之範圍中形成獨立電荷儲存層。

根據本發明之此態樣，獨立第二絕緣薄膜在與第一方向交錯的方向上之寬度可大於獨立閘極絕緣薄膜在與第一方向交錯的方向上之寬度。再者，獨立第二絕緣薄膜以及獨立閘極絕緣薄膜能夠朝第一方向交替對準形成。因此，

即便獨立閘極絕緣薄膜在與第一方向交錯的方向上具有小的寬度，形成於獨立閘極絕緣薄膜上的閘極電極仍然可免於傾斜。尤其，因為閘極電極是以自動對準(self-aligned)方式對準獨立第二絕緣薄膜而形成，故可進一步避免閘極電極傾斜。再者，由於電荷儲存層可以不同之方式形成以便朝與第一方向交錯的方向插入於獨立閘極絕緣薄膜中，故可抑制 CBD 效應。

於一個實施例中，形成獨立第二絕緣薄膜可包括以被嵌入於第一開口中的方式形成獨立第二絕緣薄膜。因此，可抑制閘極電極的傾斜。該方法可也包含在第一開口下方的半導體基板中形成多個凹槽(groove)。形成獨立第二絕緣薄膜可也包含形成獨立第二絕緣薄膜以便被嵌入於凹槽中。於此實施例中，可抑制於閘極電極周圍的半導體基板中流動的邊際電流(fringe current)。

於另一實施例中，該方法可也包含藉由氧化半導體基板而將獨立第三絕緣薄膜形成於位在第一開口的底側上的半導體基板表面上。根據此實施例，可抑制於閘極電極周圍的半導體基板中流動的邊際電流。

於又一實施例中，在移除形成於閘極電極下方的獨立第一絕緣薄膜以形成獨立閘極絕緣薄膜的製程過程中，獨立第二絕緣薄膜的材料可以是相較於獨立第一絕緣薄膜較不易被移除之材料。獨立第二絕緣薄膜在與第一方向交錯的方向上之寬度可輕易地被製造為大於獨立閘極絕緣薄膜在與第一方向交錯的方向上之寬度。

於一個實施例中，該方法可能也包含在形成獨立第二絕緣薄膜之前將獨立保護薄膜形成於第一開口的側面上。當形成於閘極電極下方的獨立第一絕緣薄膜被移除以形成獨立閘極絕緣薄膜時，獨立保護薄膜的材料可以是相較於獨立第一絕緣薄膜較不易被移除之材料。獨立第二絕緣薄膜在與第一方向交錯的方向上之寬度可輕易地被製造為大於獨立閘極絕緣薄膜在與第一方向交錯的方向上之寬度。

於某些實施例中，獨立第一絕緣薄膜以及獨立第二絕緣薄膜可為矽氧化物薄膜，而獨立保護薄膜可為氮化矽薄膜。在形成第一開口後，獨立第一遮罩層的薄膜厚度可大於獨立第二遮罩層的薄膜厚度。在形成閘極電極的製程期間，位於隔離區域下方的獨立導電層可避免被移除。此外，可藉由利用等向性蝕刻(isotropic etching)將獨立第一絕緣薄膜移除來進行形成獨立閘極絕緣薄膜的過程。獨立閘極絕緣薄膜可輕易地形成於閘極電極下方的中央部分。

根據其他實施例，該方法可也包含在半導體基板中形成多條往第一方向延伸的位元線，且位元線係由第二開口所定義。此外，該方法可也包含在閘極電極上形成多條往第二方向延伸的字元線，第二方向係與第一方向交錯之方向。再者，獨立電荷儲存層可由多晶矽薄膜或氮化矽薄膜所製成。

根據本發明的某些態樣，獨立第二絕緣薄膜在與第一方向交錯的方向上之寬度可輕易地被製造為大於獨立閘極絕緣薄膜在與第一方向交錯的方向上之寬度。再者，獨立

第二絕緣薄膜與獨立閘極絕緣薄膜可朝第一方向交替地對準形成。因此，即便在與第一方向交錯的方向上形成具有小寬度的獨立閘極絕緣薄膜，仍可避免形成於獨立閘極絕緣薄膜上的閘極電極發生傾斜。尤其，因為閘極電極是以自動對準方式對準獨立第二絕緣薄膜而形成，故可避免閘極電極發生傾斜。

【實施方式】

以下內容對於所請求保護的申請標的之較佳實施例提供詳細之參考，一種用於信譽過濾服務提供者(reputation service provider)的方法與系統如附圖所示。雖然所請求保護的申請標的將配合較佳實施例一起說明，但可了解到實施例並非用以限制所請求保護的申請標的。相反地，所請求保護的申請標的係涵蓋實施例的各種變化、修改以及等效，並被包含在隨附的申請專利範圍的精神與範疇內。

再者，在下列對於所請求保護的申請標的之實施例的詳細描述中，提出許多具體詳細內容以對於所請求保護的申請標提供透徹的了解。然而，在所屬技術領域中具有通常知識者咸了解所請求保護的申請標的可被實現而不須這些具體詳細內容。在其他範例中，為了避免對於所請求保護的申請標的之態樣造成不必要的模糊與混淆，故習知的方法、程序、元件以及電路並未加以說明。

參閱第 2 圖，依照多個不同實施例描述藉由採取如第 2 圖所示之結構以及朝通道方向控制儲存於電荷儲存區域中的電荷之移動以抑制 CBD 效應的方法。參閱第 2 圖，閘

極絕緣薄膜 22 係裝設在介於位元線 18 之間的半導體基板 10 的上方。在閘極絕緣薄膜 22 的兩側，電荷儲存層 14 係以不同的方式設置。如上述說明，藉由以不同的方式設置具有閘極絕緣薄膜 22 所插入之電荷儲存層 14，可朝通道方向控制儲存於電荷儲存區域中的電荷之移動，進而抑制 CBD 效應。

當通道長度變短時，電荷可能被儲存在位於通道的中央部份之電荷儲存層，並由於持續的讀取與寫入而可能導致可靠度降低。然而，於第 2 圖所示之結構中，由於閘極絕緣薄膜 22 係裝設於通道的中央部分，故可避免電荷被儲存於通道的中央部份。因此，可同時避免由於持續讀取與寫入所導致的可靠度降低。

形成獨立電荷儲存層 14 的製造方法之實施例將參考第 3A 圖至第 3C 圖作說明。為了簡單起見，其中關於穿隧絕緣薄膜 12 與頂部絕緣薄膜 16 的圖式均被省略。參閱第 3A 圖，閘極絕緣薄膜 22 係形成於半導體基板 10 上。閘極電極 24 係形成於閘極絕緣薄膜 22 上。參閱第 3B 圖，閘極絕緣薄膜 22 係同時由兩側表面被蝕刻使得閘極絕緣薄膜 22 繼續存在於閘極電極 24 下方的中央部分。參閱第 3C 圖，獨立電荷儲存層 14 係形成於閘極絕緣薄膜 22 被蝕刻的範圍中。因此，可形成有閘極絕緣薄膜 22 插入之獨立電荷儲存層 14。

然而，當閘極絕緣薄膜 22 的兩側如第 3B 圖所示進行蝕刻時，可能由於閘極絕緣薄膜 22 的厚度變薄而導致閘極

電極 24 如第 4 圖所示般發生傾斜。為了解決此問題，多個可避免當閘極絕緣薄膜 22 形成於閘極電極 24 下方的中央部分時造成閘極電極 24 傾斜的實施例將於以下內容中說明。

第 5 圖係根據本發明的一個實施例的快閃記憶體之上視圖。第 6A 圖係沿著第 5 圖中線 A-A 之剖面圖，第 6B 圖係沿著第 5 圖中線 B-B 之剖面圖，第 6C 圖係沿著第 5 圖中線 C-C 之剖面圖，以及第 6D 圖係沿著第 5 圖中線 D-D 之剖面圖。於第 5 圖中，位元線 18 係越過獨立的第二矽氧化物薄膜 41、層間絕緣薄膜 50 以及類似的薄膜而被顯示出來。

參閱第 5 圖與第 6B 圖，位元線 18(係 N 型擴散區域)係被裝設延伸進入半導體基板 10(係 P 型矽基板)中。由矽氧化物薄膜所製成的獨立閘極絕緣薄膜 22 係裝設於位元線 18 之間的中央部分的半導體基板 10 上。於半導體基板 10 上，獨立的穿隧絕緣薄膜 12、獨立的電荷儲存層 14 以及獨立的頂部絕緣薄膜 16 係依序地裝設且有獨立閘極薄膜 22 插入。獨立的穿隧絕緣薄膜 12 與獨立的頂部絕緣薄膜 16 係由矽氧化物薄膜所製成。獨立的電荷儲存層 14 係由多晶矽薄膜所製成。從而，組成獨立的氧化物多晶矽氧化物(oxide polysilicon oxide, OPO)薄膜 26。由多晶矽薄膜所製成的閘極電極 24 係裝設於獨立的閘極絕緣薄膜 22 以及獨立的 OPO 薄膜 26 上。第一矽氧化物薄膜 39 係裝設於閘極電極 24 的側邊表面上。於閘極電極 24 上，設有由多晶矽薄膜所製成的多條字元線 20 耦接至閘極電極 24

並延伸與位元線 18 交錯。參閱第 6B 圖與第 6C 圖，獨立的閘極絕緣薄膜 22 係朝位元線 18 的寬度方向裝設於閘極電極 24 下方的中央部分。

參閱第 5 圖、第 6A 圖、第 6C 圖以及第 6D 圖，多個凹槽(未顯示)係裝設於介於字元線 20 之間(也就是，介於閘極電極 24 之間)且介於位元線 18 之間的半導體基板 10 中。由矽氧化物薄膜所製成的獨立第二絕緣薄膜 30 係裝設於半導體基板 10 上以便將獨立第二絕緣薄膜 30 嵌入凹槽內。由氮化矽薄膜所製成的獨立保護薄膜 32 係裝設於獨立第二絕緣薄膜 30 的側邊表面與底部表面上，獨立保護薄膜 32 係由具有與獨立第二絕緣薄膜 30 不同蝕刻率(etching rate)的材料所組成。參閱第 6A 圖與第 6B 圖，獨立第二絕緣薄膜 30 在位元線 18 的寬度方向上的寬度係大於獨立閘極絕緣薄膜 22 在位元線 18 的寬度方向上的寬度。參閱第 6C 圖，獨立第二絕緣薄膜 30 的上表面係高於獨立閘極絕緣薄膜 22 的上表面。再者，獨立第二絕緣薄膜 30 的上表面以及閘極電極 24 的上表面係裝設於相同平面上。

參閱第 6A 圖與第 6B 圖，獨立第二矽氧化物薄膜 41 係裝設於位元線 18 上。參閱第 6A 圖、第 6C 圖以及第 6D 圖，由矽氧化物薄膜所製成的層間絕緣薄膜 50 係裝設於字元線 20 之間。

接下來，參閱第 7A 圖至第 15D 圖，將說明根據本發明的一個實施例的快閃記憶體之製造方法。第 7A 圖、第 8A 圖、第 9A 圖、第 10A 圖、第 11A 圖、第 12A 圖、第 13A 圖、

第 14A 圖以及第 15A 圖係對應於第 5 圖的線 A-A 之剖面圖。第 7B 圖、第 8B 圖、第 9B 圖、第 10B 圖、第 11B 圖、第 12B 圖、第 13B 圖、第 14B 圖以及第 15B 圖係對應於第 5 圖的線 B-B 之剖面圖。第 7C 圖、第 8C 圖、第 9C 圖、第 10C 圖、第 11C 圖、第 12C 圖、第 13C 圖、第 14C 圖以及第 15C 圖係對應於第 5 圖的線 C-C 之剖面圖。第 15D 圖係對應於第 5 圖的線 D-D 之剖面圖。

參閱第 7A 圖至第 7C 圖，由矽氧化物薄膜所製成且具有厚度 25 奈米 (nm) 的獨立第一絕緣薄膜 34 係利用熱氧化方法而形成於為 P 型矽基板的半導體基板 10 上。由多晶矽薄膜所製成的獨立導電層 36 係利用化學氣相沉積 (chemical vapor deposition, CVD) 方法而形成於獨立第一絕緣薄膜 34 上。由氮化矽薄膜所製成且具有厚度 50 奈米的獨立第一遮罩層 38 係利用 CVD 方法而形成於獨立導電層 36 上。具有條紋狀且向第一方向 (位元線 18 所延伸的方向) 延伸的光阻 (未顯示) 係形成於獨立第一遮罩層 38 上。利用光阻作為遮罩，獨立第一遮罩層 38 係利用反應性離子蝕刻 (reactive ion etching, RIE) 方法被移除。因此，獨立第一遮罩層 38 係為條紋狀且向第一方向延伸。

參閱第 8A 圖至第 8C 圖，由矽氧化物薄膜所製成的獨立第二遮罩層 40 係利用 CVD 方法形成於獨立導電層 36 上，以便覆蓋獨立第一遮罩層 38。獨立第二遮罩層 40 係利用化學機械研磨 (chemical mechanical polishing, CMP) 方法來研磨，以便將獨立第一遮罩層 38 的表面暴露出來。

因此，獨立第二遮罩層 40 係被形成以插入位於獨立導電層 36 上的獨立第一遮罩層 38，以便朝第一方向延伸。

參閱第 9A 圖至第 9C 圖，條紋狀光阻 45 係形成於獨立第一遮罩層 38 與獨立第二遮罩層 40 上，且向獨立第一遮罩層 38 與獨立第二遮罩層 40 的寬度方向(第二方向，即與第一方向交錯之方向)延伸。利用光阻 45 作為遮罩，獨立第二遮罩層 40 係利用 RIE 方法被移除。因此，獨立第二遮罩層 40 保持(在第一方向上被隔離)插入在位於獨立導電層 36 上的獨立第一遮罩層 38。換言之，獨立第二遮罩層 40 係形成於被隔離之隔離區域 35 中並且朝第一方向插入於獨立第一遮罩層 38。也就是，獨立第一遮罩層 38 與獨立第二遮罩層 40 形成晶格狀遮罩。

參閱第 10A 圖至第 10C 圖，在光阻 45 被移除之後，利用獨立第一遮罩層 38 與獨立第二遮罩層 40 作為遮罩並利用 RIE 方法將一部份的獨立導電層 36、獨立第一絕緣薄膜 34 以及半導體基板 10 移除。因此，形成穿過獨立導電層 36 與獨立第一絕緣薄膜 34 之第一開口(opening)42。再者，凹槽 28 係形成於第一開口 42 下方的半導體基板 10 中。獨立第一遮罩層 38 在第一開口 42 與凹槽 28 形成之後的薄膜厚度 T1 係大於獨立第二遮罩層 40 的薄膜厚度 T2。

於此，由於獨立第一絕緣薄膜 34 與獨立第二遮罩層 40 均具有與矽氧化物薄膜相同的材料，所以當移除獨立第一絕緣薄膜 34 以便形成第一開口 42 時，作為遮罩的獨立第二遮罩層 40 也同時被移除。然而，由於獨立第一絕緣薄

膜 34 的薄膜厚度係 25 奈米且獨立第二遮罩層 40 的薄膜厚度係 50 奈米，所以獨立第二遮罩層 40 仍繼續存在，且獨立第二遮罩層 40 下方的獨立導電層 36 並未被移除。如上所述，為了不移除獨立第二遮罩層 40 下方的獨立導電層 36，獨立第二遮罩層 40 的薄膜厚度最好係預先設定好。

參閱第 11A 圖至第 11C 圖，將獨立第二遮罩層 40 完全移除之後，利用 CVD 方法將氮化矽薄膜沉積於半導體基板 10 上。因此，由氮化矽薄膜所製成的獨立保護薄膜 32 係形成於第一開口 42 的側面與凹槽 28 的內側表面上。接下來，利用高密度電漿 CVD 方法將矽氧化物薄膜完全沉積於半導體基板 10 上。之後，利用 CMP 方法研磨矽氧化物薄膜，使得獨立第一遮罩層 38 的表面可暴露出來。因此，形成由矽氧化物薄膜所製成的獨立第二絕緣薄膜 30 以便將獨立第二絕緣薄膜 30 嵌入第一開口 42 與凹槽 28 內。再者，獨立第二絕緣薄膜 30 係形成於被隔離之隔離區域 35 中並且朝第一方向插入於獨立第一遮罩層 38。

參閱第 12A 圖至第 12C 圖，利用獨立第二絕緣薄膜 30 作為遮罩，獨立第一遮罩層 38、獨立導電層 36 以及獨立第一絕緣薄膜 34 係利用 RIE 方法移除。因此，形成穿過獨立導電層 36 與獨立第一絕緣薄膜 34 之第二開口 46。再者，於第二開口 46 之間形成由獨立導電層 36 所組成且長度大約 90 奈米(相當於通道長度 L)的閘極電極 24。

參閱第 13A 圖至第 13C 圖，利用氟酸(fluorinated acid)進行濕式蝕刻並經由第二開口 46 將形成於閘極電極

24 下方之獨立第一絕緣薄膜 34 移除。因此，由閘極電極 24 的側面向內延伸深度大約 30 奈米的底切部分 48 (undercut portion) 形成於閘極電極 24 的兩側邊緣下方 (也就是獨立第一絕緣薄膜 34 被移除之區域)。由獨立第一絕緣薄膜 34 所組成並且在第二方向上具有大約 30 奈米厚度之獨立閘極絕緣薄膜 22 係形成於閘極電極 24 下方的中央部分。

參閱第 14A 圖至第 14C 圖，獨立穿隧絕緣薄膜 12 以及由矽氧化物所製成的獨立頂部絕緣薄膜 16 係利用熱氧化方法形成於底切部分 48。於此時，矽氧化物薄膜 (第一矽氧化物薄膜 39) 也形成於閘極電極 24 的側面與類似表面上。於此之後，利用低壓化學氣相沉積 (low pressure chemical vapor deposition, LP-CVD) 方法將多晶矽薄膜形成於半導體基板 10 上以便覆蓋閘極電極 24 以及獨立第二絕緣薄膜 30。獨立多晶矽薄膜形成於獨立穿隧絕緣薄膜 12 與獨立頂部絕緣薄膜 16 之間的底切部分 48 內。在那之後，形成於閘極電極 24 的側面與類似表面上之多晶矽薄膜係利用熱氧化方法進行氧化以便製作第一矽氧化物薄膜 39。由於形成於獨立穿隧絕緣薄膜 12 與獨立頂部絕緣薄膜 16 之間的底切部分 48 內的獨立多晶矽薄膜係位於凹入範圍，所以獨立多晶矽薄膜難以被氧化，藉以使得獨立多晶矽薄膜繼續存在並成為獨立電荷儲存層 14。

參閱第 15A 圖至第 15D 圖，砷離子係植入穿過第二開口 46 進入半導體基板 10 中。因此，位元線 18 (由第二開

口 46 所定義之 N 型擴散區)係形成於半導體基板 10 中並且往第一方向延伸。獨立第二矽氧化物薄膜 41 係形成於半導體基板 10 上，以便利用高密度電漿 CVD 方法將獨立第二矽氧化物薄膜 41 嵌入第二開口 46。在那之後，為了將閘極電極 24 的上表面暴露出來，獨立第二矽氧化物薄膜 41 與類似材料矽利用 CMP 方法加以研磨。此時，由於獨立保護薄膜 32 與第一矽氧化物薄膜 39 係形成於閘極電極 24 上，所以不僅可利用 CMP 方法也可利用乾式蝕刻、濕式蝕刻以及類似方法將閘極電極 24 的上表面暴露出來。於閘極電極 24 上，由多晶矽薄膜所製成的字元線 20 係電性耦接至閘極電極 24 並且朝第二方向延伸。換言之，字元線 20 係延伸而與位元線 18 交錯。由矽氧化物薄膜所製成的層間絕緣薄膜 50 係形成於字元線 20 之間。

根據上述如第 7A 圖至第 7C 圖所示的實施例，獨立第一絕緣薄膜 34 與獨立導電層 36 係依序地形成於半導體基板 10 上。獨立第一遮罩層 38 係形成於獨立導電層 36 上，以便往第一方向延伸(位元線 18 的延伸方向)。如第 9A 圖至第 9C 圖所示，獨立第二遮罩層 40 係形成於被隔離之隔離區域 35 中並且朝第一方向插入於獨立第一遮罩層 38。如第 10A 圖至第 10C 圖所示，利用獨立第一遮罩層 38 與獨立第二遮罩層 40 作為遮罩將獨立導電層 36 與獨立第一絕緣薄膜 34 移除以形成第一開口 42。如第 11A 圖至第 11C 圖所示，獨立第二絕緣薄膜 30 係形成於第一開口 42 與隔離區域 35 中。如第 12A 圖至第 12C 圖所示，利用獨立第二

絕緣薄膜 30 作為遮罩將獨立第一遮罩層 38、獨立導電層 36 以及獨立第一絕緣薄膜 34 移除以形成第二開口 46。在那之後，由獨立導電層 36 所組成的閘極電極 24 係形成於第二開口 46 之間。

如第 13A 圖至第 13C 圖所示，形成於閘極電極 24 下方的獨立第一絕緣薄膜 34 係經由第二開口 46 被移除，因此由獨立第一絕緣薄膜 34 所組成的獨立閘極絕緣薄膜 22 係形成於閘極電極 24 下方的中央部份。根據此製造方法，獨立第二絕緣薄膜 30 在位元線 18 的寬度方向(第二方向，即與第一方向交錯之方向)上的寬度可大於獨立閘極絕緣薄膜 22 在位元線 18 的寬度方向上的寬度。再者，獨立第二絕緣薄膜 30 與獨立閘極絕緣薄膜 22 能夠朝位元線 18 的延伸方向(第一方向)交替地對準形成。因此，如第 13A 圖至第 13C 圖所述，即便形成於閘極電極 24 下方的中央部份之獨立閘極絕緣薄膜 22 在位元線 18 的寬度方向上具有小寬度，由於獨立第二絕緣薄膜 30 具有大寬度，所以閘極電極 24 可免於傾斜。

如第 11A 圖至第 11C 圖所示，獨立第二絕緣薄膜 30 係形成以便將其嵌入第一開口 42 中。換言之，獨立第二絕緣薄膜 30 的上表面係高於獨立第一絕緣薄膜 34 的上表面。因此，形成於獨立閘極絕緣薄膜 22 上的閘極電極 24 可接觸到獨立第二絕緣薄膜 30。所以，即便形成於閘極電極 24 下方的中央部份之獨立閘極絕緣薄膜 22 具有較小之寬度，閘極電極 24 仍然可免於傾斜。

尤其，藉由以上實施例所述之製造方法，閘極電極 24 可以自動對準的方式對準獨立第二絕緣薄膜 30 而形成。因此，閘極電極 24 與獨立第二絕緣薄膜 30 的接觸範圍可最大化。所以，閘極電極 24 可免於傾斜。

如第 13A 圖至第 13C 圖所示，形成於閘極電極 24 下方的獨立第一絕緣薄膜 34 係經由第二開口 46 被移除，因此底切部分 48 係形成於閘極電極 24 的兩側邊緣下方。因此，由獨立第一絕緣薄膜 34 所組成的獨立閘極絕緣薄膜 22 係形成於閘極電極 24 下方的中央部份。如第 14A 圖至第 14C 圖所示，獨立電荷儲存層 14 係形成於底切部份 48 中，底切部份 48 係將形成於閘極電極 24 下方的獨立第一絕緣薄膜 34 移除所得之範圍。因此，可在位元線 18 的寬度方向上形成具有閘極絕緣薄膜 22 插入之獨立電荷儲存層 14。所以，儲存有電荷之電荷儲存區域可被獨立出來，藉以抑制 CBD 的效應。

此外，如第 10A 圖至第 10C 圖所示，凹槽 28 係形成於半導體基板 10 上以及第一開口 42 下方。如第 11A 圖至第 11C 圖所示，獨立第二絕緣薄膜 30 係形成以便被嵌入凹槽 28 中。因此，獨立第二絕緣薄膜 30 可形成於介於位元線 18 之間並介於閘極電極 24 之間的半導體基板 10 中。換言之，獨立第二絕緣薄膜 30 可形成於介於位元線 18 之間並介於閘極電極 24 之間的半導體基板 10 上。所以，可抑制流過閘極電極 24 周圍以及半導體基板 10 上的邊際電流 (fringe current)。當進行資料讀取或類似的操作時，邊

際電流可能造成故障的發生。因此，藉由防止邊際電流可加強資料讀取的效能。

此外，如第 11A 圖至第 11C 圖所示，獨立保護薄膜 32 係形成於第一開口 42 的側面上，且之後，獨立第二絕緣薄膜 30 係形成於第一開口 42 中。因此，獨立保護薄膜 32 係形成於獨立第二絕緣薄膜 30 的側面上。獨立第一絕緣薄膜 34 與獨立第二絕緣薄膜 30 係由矽氧化物薄膜所製成。獨立保護薄膜 32 係由氮化矽薄膜所製成。因此，如第 13A 圖至第 13C 圖所示，當形成於閘極電極 24 下方的獨立第一絕緣薄膜 34 被移除以形成獨立閘極絕緣薄膜 22 時，獨立第二絕緣薄膜 30 係難以移除而能夠繼續存在。因此，獨立第二絕緣薄膜 30 在位元線 18 的寬度方向上的寬度能夠輕易地被製造為大於獨立閘極絕緣薄膜 22 在位元線 18 的寬度方向上的寬度。因此，當形成於閘極電極 24 下方的獨立第一絕緣薄膜 34 被移除以形成獨立閘極絕緣薄膜 22 時，獨立保護薄膜 32 的材料較佳係相較於獨立第一絕緣薄膜 34 較不易被移除之材料。

同樣地，當形成於閘極電極 24 下方的獨立第一絕緣薄膜 34 被移除以形成獨立閘極絕緣薄膜 22 時，獨立第二絕緣薄膜 30 的材料較佳係相較於獨立第一絕緣薄膜 34 較不易被移除之材料。在此情形中，獨立第二絕緣薄膜 30 在位元線 18 的寬度方向上的寬度能夠輕易地被製造為大於獨立閘極絕緣薄膜 22 在位元線 18 的寬度方向上的寬度，而無須在獨立第二絕緣薄膜 30 的側面上形成獨立保護薄膜

32。因此，製造過程能夠被縮短與簡化。

再者，如第 10A 圖至第 10C 圖所述，獨立第一遮罩層 38 的薄膜厚度在第一開口 42 與凹槽 28 形成之後宜大於獨立第二遮罩層 40 的薄膜厚度。在此情形中，如第 11A 圖至第 11C 圖所示，形成於隔離區域 35 中的獨立第二絕緣薄膜 30 的薄膜厚度可較厚。因此，如第 12A 圖至第 12C 圖所示，利用獨立第二絕緣薄膜 30 作為遮罩，當正在移除獨立第一絕緣薄膜 34、獨立導電層 36 以及獨立第一遮罩層 38 時，隔離區域 35 下方的獨立導電層 36 可免於被移除。

如第 13A 圖至第 13C 圖所示，經由第二開口 46，利用氟酸 (fluorinated acid) 進行濕式蝕刻，將形成於閘極電極 24 下方之獨立第一絕緣薄膜 34 移除，並使得由獨立第一絕緣薄膜 34 所組成的獨立閘極絕緣薄膜 22 形成於閘極電極 24 下方的中央部份。由於氟酸的濕式蝕刻係等向性蝕刻，所以獨立第一絕緣薄膜 34 係以同樣的方式由兩側面被蝕刻。因此，獨立閘極絕緣薄膜 22 能夠輕易地形成於閘極電極 24 下方的中央部分。因此，當利用等向性蝕刻經由第二開口 46 移除形成於閘極電極 24 下方的獨立第一絕緣薄膜 34 時，宜將形成獨立閘極絕緣薄膜 22 的製程納入。

再者，如第 13A 圖至第 13C 圖所示，當經由第二開口 46 移除形成於閘極電極 24 下方的獨立第一絕緣薄膜 34 時，由於獨立第二絕緣薄膜 30 係由獨立保護薄膜 32 所覆蓋，故獨立第二絕緣薄膜 30 難以被移除，因此底切部份 48 難以形成於獨立第二絕緣薄膜 30 的兩側邊緣下方。換

言之，電荷儲存層 14 難以形成於獨立第二絕緣薄膜 30 的兩側邊緣下方。因此，對於形成於閘極電極 24 兩側邊緣下方的電荷儲存層 14，在位元線 18 的延伸方向上彼此鄰近的電荷儲存層 14 係以不同的方式形成。因此，即便獨立電荷儲存層 14 係由多晶矽薄膜所形成，電荷依然能夠局部地儲存於閘極電極 24 下方。再者，獨立電荷儲存層 14 並不限於多晶矽薄膜，可使用例如氮化矽薄膜與類似之材料。其他儲存電荷之材料也可被使用。

於上述實施例中，雖然在如第 10A 圖至第 10C 圖所示形成第一開口 42 之後將形成於隔離區域 35 中的獨立第二遮罩層 40 完全移除，但在那之後，如第 11A 圖至第 11C 圖所示於隔離區域 35 中形成獨立第二絕緣薄膜 30 係顯示作為範例，該實施例並不限於此。舉例而言，可採用不移除形成於隔離區域 35 中的獨立第二遮罩層 40，並將獨立第二絕緣薄膜 30 形成於位在隔離區域 35 中的獨立第二遮罩層 40 上的範例。也就是說，獨立第二遮罩層 40 可被移除或保留，只要獨立第二絕緣薄膜 30 係形成於位在獨立導電層 36 上的隔離區域 35 中。

然而，如第 11A 圖至第 11C 圖所示，由於獨立保護薄膜 32 係形成於獨立第二絕緣薄膜 30 的側面上，所以獨立第二絕緣薄膜 30 係在氮化矽薄膜完全沉積於半導體基板 10 上之後形成。因此，如同第一實施例，當形成於隔離區域 35 中的獨立第二遮罩層 40 完全被移除時，由獨立氮化矽薄膜(獨立保護薄膜 32)以及獨立矽氧化物薄膜(獨立第

二絕緣薄膜 30)所組成的獨立多層薄膜(multi-layered film)係形成於隔離區域 35 中。如第 15A 圖至第 15C 圖所述，當利用 CMP 方法進行研磨時，可藉由偵測將被研磨之材料的差異來控制研磨量。再者，由於氮化矽薄膜難以被研磨，故氮化矽薄膜可作為終止薄膜(stopper film)。因此，當由獨立氮化矽薄膜與獨立矽氧化物薄膜所組成的獨立多層薄膜係形成於獨立導電層 36 上(也就是，閘極電極 24 上)如同第一實施例時，利用 CMP 方法進行研磨的研磨量可更精確地被控制。所以，在第一開口 42 形成之後將形成於隔離區域 35 中的獨立第二遮罩層 40 完全移除可能較佳。

本發明之另一實施例包含將獨立第三絕緣薄膜 52 形成於位在第一開口 42 底側的半導體基板 10 上。參閱第 16A 圖至第 19C 圖，說明根據此實施例用以製造快閃記憶體的方法。第 16A 圖、第 17A 圖、第 18A 圖以及第 19A 圖係對應於第 5 圖的線 A-A 的剖面圖。第 16B 圖、第 17B 圖、第 18B 圖以及第 19B 圖係對應於第 5 圖的線 B-B 的剖面圖。第 16C 圖、第 17C 圖、第 18C 圖以及第 19C 圖係對應於第 5 圖的線 C-C 的剖面圖。

於此實施例中，配合第 7A 圖至第 9C 圖加以說明的製程係開始進行。參閱第 16A 圖至第 16C 圖，在移除光阻 45 之後，利用獨立第一遮罩層 38 與獨立第二遮罩層 40 作為遮罩並利用 RIE 方法將獨立導電層 36 與獨立第一絕緣薄膜 34 移除。因此，形成穿過獨立導電層 36 以及獨立第一絕緣薄膜 34 之第一開口 42。

參閱第 17A 圖至第 17C 圖，氮化矽薄膜係利用 CVD 方法沉積於半導體基板 10 上，而在那之後，氮化矽薄膜係藉由 RIE 方法而完全地被蝕刻。因此，組成於氮化矽薄膜上的獨立保護薄膜 32 係形成於第一開口 42 的側面與類似的表面上。

參閱第 18A 圖至第 18C 圖，第一開口 42 下方的半導體基板 10 係藉由熱氧化方法被氧化，因此由矽氧化物薄膜所製成的獨立第三絕緣薄膜 52 係形成於半導體基板 10 的表面上。於此時，由於獨立導電層 36 係被獨立保護薄膜 32 與類似薄膜所覆蓋，故獨立導電層 36 並未被氧化。

參閱第 19A 圖至第 19C 圖，由矽氧化物薄膜所製成的獨立第二絕緣薄膜 30 係利用高密度電漿 CVD 方法而形成以便被嵌入第一開口 42 中以及覆蓋獨立第一遮罩層 38。於此之後，獨立第二絕緣薄膜 30 係利用 CMP 方法加以研磨，使得獨立第一遮罩層 38 的表面被暴露出來。於下文中，將進行配合第 12A 圖至第 15D 圖作說明之製程。

根據此實施例，如第 18A 圖至第 18C 圖所示，半導體基板 10 被氧化，且因此獨立第三絕緣薄膜 52 係形成於位於第一開口 42 底側上的半導體基板 10 的表面上。因此，獨立第三絕緣薄膜 52 係形成於介於位元線 18 之間與閘極電極 24 周圍的半導體基板 10 的表面上。因此，能夠抑制流動於閘極電極 24 周圍的半導體基板 10 中的邊際電流。雖然利用熱氧化方法將半導體基板 10 氧化係顯示作為範例，但是半導體基板可藉由電漿氧化方法、自由基氧化

(radical oxidation)方法或者其他方法被氧化。

雖然申請標的已如上述經與結構特徵及/或方法行為有關之特定技術用語加以說明，但可了解到在隨附之申請專利範圍中所定義之申請標的並不限定於上述具體結構或行為。相反地，上述具體特徵與行為係揭露作為實施申請專利範圍之範例形式。

【圖式簡單說明】

納入本發明說明書並成為說明書之一部分的附加圖式描繪本發明之實施例，並配合說明書的內容描述以說明本發明之原理：

第 1 圖係傳統快閃記憶體之剖面圖；

第 2 圖係描繪依照本發明的多個不同實施例用以避免電荷互相干涉的方法之剖面圖；

第 3A 圖係描繪依照本發明的多個不同實施例以獨立電荷儲存層的製造方法形成閘極絕緣薄膜之剖面圖；

第 3B 圖係描繪依照本發明的多個不同實施例以獨立電荷儲存層的製造方法蝕刻閘極絕緣薄膜之剖面圖；

第 3C 圖係描繪依照本發明的多個不同實施例以獨立電荷儲存層的製造方法形成獨立電荷儲存層之剖面圖；

第 4 圖係描繪依照本發明的多個不同實施例在製造獨立電荷儲存層時可能發生的範例問題之剖面圖；

第 5 圖係依照本發明的多個不同實施例的快閃記憶體之上視圖；

第 6A 圖係依照本發明的多個不同實施例的快閃記憶

體沿著線 A-A 之剖面圖；

第 6B 圖係依照本發明的多個不同實施例的快閃記憶體沿著第 5 圖中線 B-B 之剖面圖；

第 6C 圖係依照本發明的多個不同實施例的快閃記憶體沿著線 C-C 之剖面圖；

第 6D 圖係依照本發明的多個不同實施例的快閃記憶體沿著線 D-D 之剖面圖；

第 7A 圖係描繪依照本發明的多個不同實施例在用以製造快閃記憶體的方法的第一步驟過程中快閃記憶體沿著線 A-A 的剖面圖；

第 7B 圖係描繪依照本發明的多個不同實施例在用以製造快閃記憶體的方法的第一步驟過程中快閃記憶體沿著線 B-B 的剖面圖；

第 7C 圖係描繪依照本發明的多個不同實施例在用以製造快閃記憶體的方法的第一步驟過程中快閃記憶體沿著線 C-C 的剖面圖；

第 8A 圖係描繪依照本發明的多個不同實施例在用以製造快閃記憶體的方法的第二步驟過程中快閃記憶體沿著線 A-A 的剖面圖；

第 8B 圖係描繪依照本發明的多個不同實施例在用以製造快閃記憶體的方法的第二步驟過程中快閃記憶體沿著線 B-B 的剖面圖；

第 8C 圖係描繪依照本發明的多個不同實施例在用以製造快閃記憶體的方法的第二步驟過程中快閃記憶體沿著

線 C-C 的剖面圖；

第 9A 圖係描繪依照本發明的多個不同實施例在用以製造快閃記憶體的方法的第三步驟過程中快閃記憶體沿著線 A-A 的剖面圖；

第 9B 圖係描繪依照本發明的多個不同實施例在用以製造快閃記憶體的方法的第三步驟過程中快閃記憶體沿著線 B-B 的剖面圖；

第 9C 圖係描繪依照本發明的多個不同實施例在用以製造快閃記憶體的方法的第三步驟過程中快閃記憶體沿著線 C-C 的剖面圖；

第 10A 圖係描繪依照本發明的多個不同實施例在用以製造快閃記憶體的方法的第四步驟過程中快閃記憶體沿著線 A-A 的剖面圖；

第 10B 圖係描繪依照本發明的多個不同實施例在用以製造快閃記憶體的方法的第四步驟過程中快閃記憶體沿著線 B-B 的剖面圖；

第 10C 圖係描繪依照本發明的多個不同實施例在用以製造快閃記憶體的方法的第四步驟過程中快閃記憶體沿著線 C-C 的剖面圖；

第 11A 圖係描繪依照本發明的多個不同實施例在用以製造快閃記憶體的方法的第五步驟過程中快閃記憶體沿著線 A-A 的剖面圖；

第 11B 圖係描繪依照本發明的多個不同實施例在用以製造快閃記憶體的方法的第五步驟過程中快閃記憶體沿著

線 B-B 的剖面圖；

第 11C 圖係描繪依照本發明的多個不同實施例在用以製造快閃記憶體的方法的第五步驟過程中快閃記憶體沿著線 C-C 的剖面圖；

第 12A 圖係描繪依照本發明的多個不同實施例在用以製造快閃記憶體的方法的第六步驟過程中快閃記憶體沿著線 A-A 的剖面圖；

第 12B 圖係描繪依照本發明的多個不同實施例在用以製造快閃記憶體的方法的第六步驟過程中快閃記憶體沿著線 B-B 的剖面圖；

第 12C 圖係描繪依照本發明的多個不同實施例在用以製造快閃記憶體的方法的第六步驟過程中快閃記憶體沿著線 C-C 的剖面圖；

第 13A 圖係描繪依照本發明的多個不同實施例在用以製造快閃記憶體的方法的第七步驟過程中快閃記憶體沿著線 A-A 的剖面圖；

第 13B 圖係描繪依照本發明的多個不同實施例在用以製造快閃記憶體的方法的第七步驟過程中快閃記憶體沿著線 B-B 的剖面圖；

第 13C 圖係描繪依照本發明的多個不同實施例在用以製造快閃記憶體的方法的第七步驟過程中快閃記憶體沿著線 C-C 的剖面圖；

第 14A 圖係描繪依照本發明的多個不同實施例在用以製造快閃記憶體的方法的第八步驟過程中快閃記憶體沿著

線 A-A 的剖面圖；

第 14B 圖係描繪依照本發明的多個不同實施例在用以製造快閃記憶體的方法的第八步驟過程中快閃記憶體沿著線 B-B 的剖面圖；

第 14C 圖係描繪依照本發明的多個不同實施例在用以製造快閃記憶體的方法的第八步驟過程中快閃記憶體沿著線 C-C 的剖面圖；

第 15A 圖係描繪依照本發明的多個不同實施例在用以製造快閃記憶體的方法的第九步驟過程中快閃記憶體沿著線 A-A 的剖面圖；

第 15B 圖係描繪依照本發明的多個不同實施例在用以製造快閃記憶體的方法的第九步驟過程中快閃記憶體沿著線 B-B 的剖面圖；

第 15C 圖係描繪依照本發明的多個不同實施例在用以製造快閃記憶體的方法的第九步驟過程中快閃記憶體沿著線 C-C 的剖面圖；

第 15D 圖係描繪依照本發明的多個不同實施例在用以製造快閃記憶體的方法的第九步驟過程中快閃記憶體沿著線 D-D 的剖面圖；

第 16A 圖係描繪依照本發明的多個不同實施例在用以製造快閃記憶體的另一種方法的第一步驟過程中快閃記憶體沿著線 A-A 的剖面圖；

第 16B 圖係描繪依照本發明的多個不同實施例在用以製造快閃記憶體的另一種方法的第一步驟過程中快閃記憶

體沿著線 B-B 的剖面圖；

第 16C 圖係描繪依照本發明的多個不同實施例在用以製造快閃記憶體的另一種方法的第一步驟過程中快閃記憶體沿著線 C-C 的剖面圖；

第 17A 圖係描繪依照本發明的多個不同實施例在用以製造快閃記憶體的另一種方法的第二步驟過程中快閃記憶體沿著線 A-A 的剖面圖；

第 17B 圖係描繪依照本發明的多個不同實施例在用以製造快閃記憶體的另一種方法的第二步驟過程中快閃記憶體沿著線 B-B 的剖面圖；

第 17C 圖係描繪依照本發明的多個不同實施例在用以製造快閃記憶體的另一種方法的第二步驟過程中快閃記憶體沿著線 C-C 的剖面圖；

第 18A 圖係描繪依照本發明的多個不同實施例在用以製造快閃記憶體的另一種方法的第三步驟過程中快閃記憶體沿著線 A-A 的剖面圖；

第 18B 圖係描繪依照本發明的多個不同實施例在用以製造快閃記憶體的另一種方法的第三步驟過程中快閃記憶體沿著線 B-B 的剖面圖；

第 18C 圖係描繪依照本發明的多個不同實施例在用以製造快閃記憶體的另一種方法的第三步驟過程中快閃記憶體沿著線 C-C 的剖面圖；

第 19A 圖係描繪依照本發明的多個不同實施例在用以製造快閃記憶體的另一種方法的第四步驟過程中快閃記憶

體沿著線 A-A 的剖面圖；

第 19B 圖係描繪依照本發明的多個不同實施例在用以製造快閃記憶體的另一種方法的第四步驟過程中快閃記憶體沿著線 B-B 的剖面圖；

第 19C 圖係描繪依照本發明的多個不同實施例在用以製造快閃記憶體的另一種方法的第四步驟過程中快閃記憶體沿著線 C-C 的剖面圖；

【主要元件符號說明】

10	半導體基板	12	穿隧絕緣薄膜
14	電荷儲存層	16	頂部絕緣薄膜
18	位元線	20	字元線
22	閘極絕緣薄膜	24	閘極電極
26	OPO 薄膜	30	第二絕緣薄膜
28	凹槽	32	獨立保護薄膜
34	第一絕緣薄膜	35	隔離區域
36	導電層	38	第一遮罩層
39	第一矽氧化物薄膜	40	第二遮罩層
41	第二矽氧化物薄膜	42	第一開口
45	光阻	46	第二開口
48	底切部分	50	層間絕緣薄膜
52	第三絕緣薄膜	T1	薄膜厚度
T2	薄膜厚度		

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 97138838

※申請日： 97.10.9

※IPC 分類： H01L 21/762 (2006.01)
H01L 21/8247 (2006.01)

一、發明名稱：(中文/英文)

製造具有淺溝渠隔離之半導體記憶體裝置的方法

METHOD OF FABRICATING SEMICONDUCTOR MEMORY DEVICE HAVING
SHALLOW TRENCH ISOLATION

二、中文發明摘要：

一種用以製造半導體裝置的方法，該方法包括：在半導體基板上形成第一絕緣薄膜與導電層；在導電層上形成第一遮罩層；在第一遮罩層之間被隔離之隔離區域中形成第二遮罩層；藉由利用第一與第二遮罩層作為遮罩將導電層與第一絕緣薄膜移除以形成第一開口；在第一開口與隔離區域中形成第二絕緣薄膜；利用第二絕緣薄膜作為遮罩將第一遮罩層、導電層以及第一絕緣薄膜移除，在第二開口之間形成閘極電極；經由第二開口將第一絕緣薄膜移除，在閘極電極下方的中央部分形成閘極絕緣薄膜；以及，在第一絕緣薄膜被移除之範圍形成電荷儲存層。

三、英文發明摘要：

There is provided a method for manufacturing a semiconductor device comprising forming a first insulating film and a conductive layer on a semiconductor substrate; forming a first mask layer on the conductive layer; forming a second mask layer in isolation regions isolated between the first mask layer; forming first openings by removing the conductive layer and the first insulating film by using the first and second mask layer as a mask; forming a second insulating film in the first openings and the isolation regions; removing the first mask layer, the conductive layer and the first insulating film by using the second insulating film as a mask, forming gate electrodes between the second openings; removing, through the second openings, the first insulating film, forming a gate insulating film at center portions below the gate electrodes; and forming a charge storage layer in an area where the first insulating film is removed.

七、申請專利範圍：

1. 一種用以製造半導體裝置的方法，該方法包括：

依序在半導體基板上形成第一絕緣薄膜和導電層；
在該導電層上形成往第一方向延伸的獨立第一遮罩層；

在朝該第一方向被隔離之複數個隔離區域中的該導電層上形成獨立第二遮罩層，以便將該獨立第二遮罩層插入於該獨立第一遮罩層中；

藉由利用該獨立第一遮罩層與該獨立第二遮罩層作為遮罩將該導電層和該第一絕緣薄膜移除以形成複數個第一開口；

在該複數個第一開口和在該獨立導電層上的該複數個隔離區域中形成獨立第二絕緣薄膜；

藉由利用該獨立第二絕緣薄膜作為遮罩將該獨立第一遮罩層、該獨立導電層和該獨立第一絕緣薄膜移除以形成複數個第二開口，以便在該複數個第二開口之間形成複數個由該獨立導電層所組成之閘極電極；

透過該複數個第二開口將形成於該複數個閘極電極下方的該獨立第一絕緣薄膜移除，以便在該等閘極電極下方的中央部份形成由該獨立第一絕緣薄膜所組成的獨立閘極絕緣薄膜；以及

在形成於該等閘極電極下方的該獨立第一絕緣薄膜被移除之範圍形成獨立電荷儲存層。

2. 如申請專利範圍第 1 項之用以製造半導體裝置的方

法，其中，形成該獨立第二絕緣薄膜包括形成該獨立第二絕緣薄膜，以便被嵌入該複數個第一開口中。

3. 如申請專利範圍第 1 項之用以製造半導體裝置的方法，該方法復包括：

在位於該複數個第一開口下方的該半導體基板中形成複數個凹槽；其中

形成該獨立第二絕緣薄膜包括形成該獨立第二絕緣薄膜，以便被嵌入該複數個凹槽中。

4. 如申請專利範圍第 1 項之用以製造半導體裝置的方法，該方法復包括：

在位於該複數個第一開口的底側上的該半導體基板之表面上形成獨立第三絕緣薄膜，其中，形成獨立第三絕緣薄膜包括氧化該半導體基板。

5. 如申請專利範圍第 1 項之用以製造半導體裝置的方法，其中，當形成於該複數個閘極電極下方的該獨立第一絕緣薄膜被移除以形成該獨立閘極絕緣薄膜時，該獨立第二絕緣薄膜的材料包括與該獨立第一絕緣薄膜相比較不易被移除的材料。

6. 如申請專利範圍第 1 項之用以製造半導體裝置的方法，該方法復包括：

在該複數個第一開口的複數個側面上形成獨立保護薄膜，其中，

形成該獨立保護薄膜係在形成該獨立第二絕緣薄膜之前進行；以及

當形成於該複數個閘極電極下方的該獨立第一絕緣薄膜被移除以形成該獨立閘極絕緣薄膜時，該獨立保護薄膜的材料包括與該獨立第一絕緣薄膜相比較不易被移除的材料。

7. 如申請專利範圍第 1 項之用以製造半導體裝置的方法，其中，在形成該複數個第一開口後，該獨立第一遮罩層的薄膜厚度係大於該獨立第二遮罩層的薄膜厚度。

8. 如申請專利範圍第 1 項之用以製造半導體裝置的方法，其中，形成該獨立閘極絕緣薄膜包括藉由利用等向性蝕刻將該獨立第一絕緣薄膜移除以形成該獨立閘極絕緣薄膜。

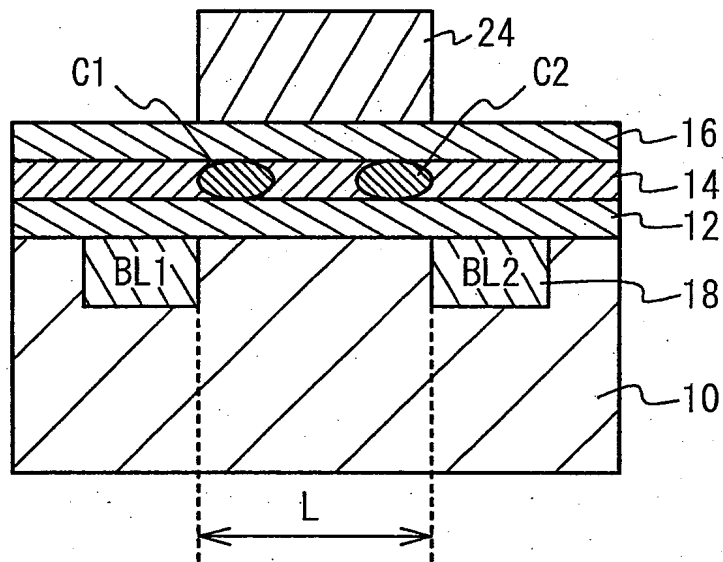
9. 如申請專利範圍第 1 項之用以製造半導體裝置的方法，該方法復包括：

在半導體基板中形成往該第一方向延伸且由該複數個第二開口所定義的複數條位元線。

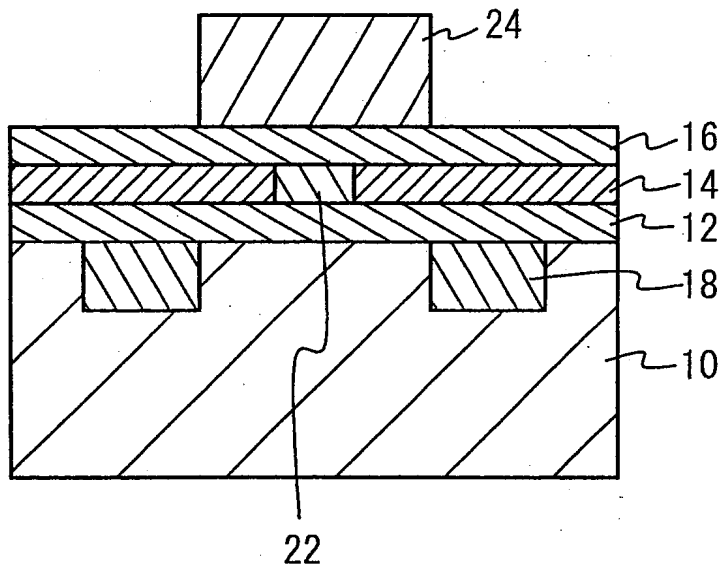
10. 如申請專利範圍第 1 項之用以製造半導體裝置的方法，該方法復包括：

在該複數個閘極電極上形成往第二方向延伸的複數條字元線，該第二方向係與該第一方向交錯之方向。

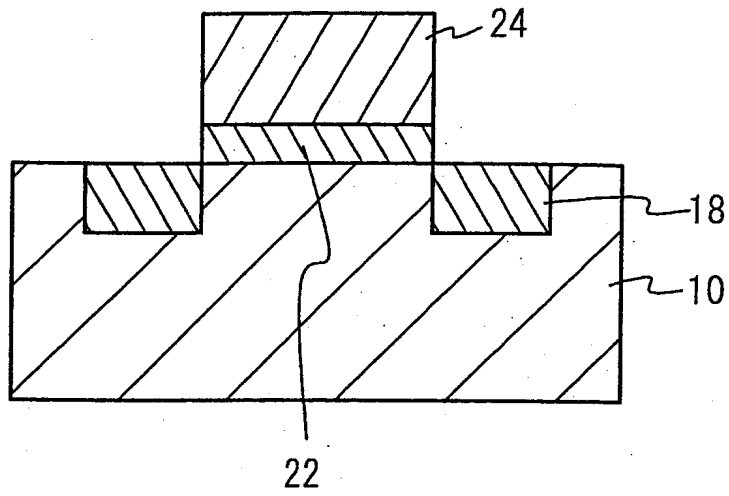
八、圖式：



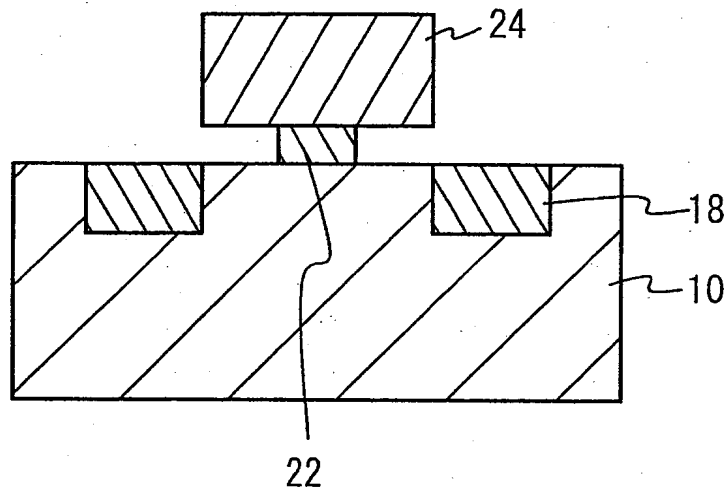
第 1 圖
(先前技術)



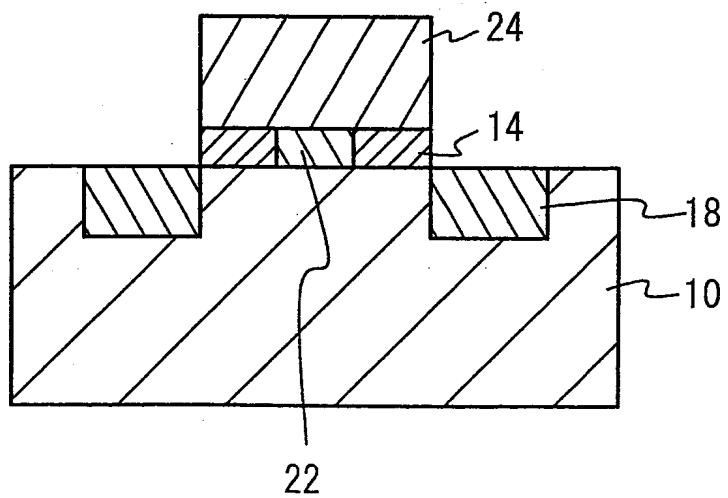
第 2 圖



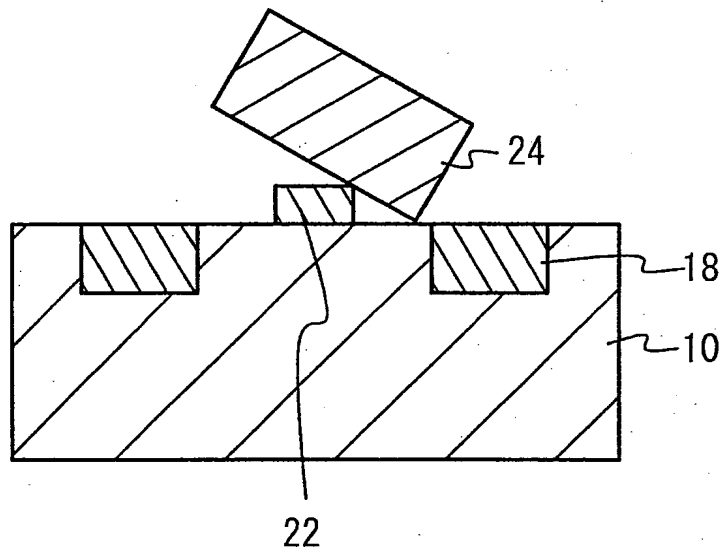
第 3A 圖



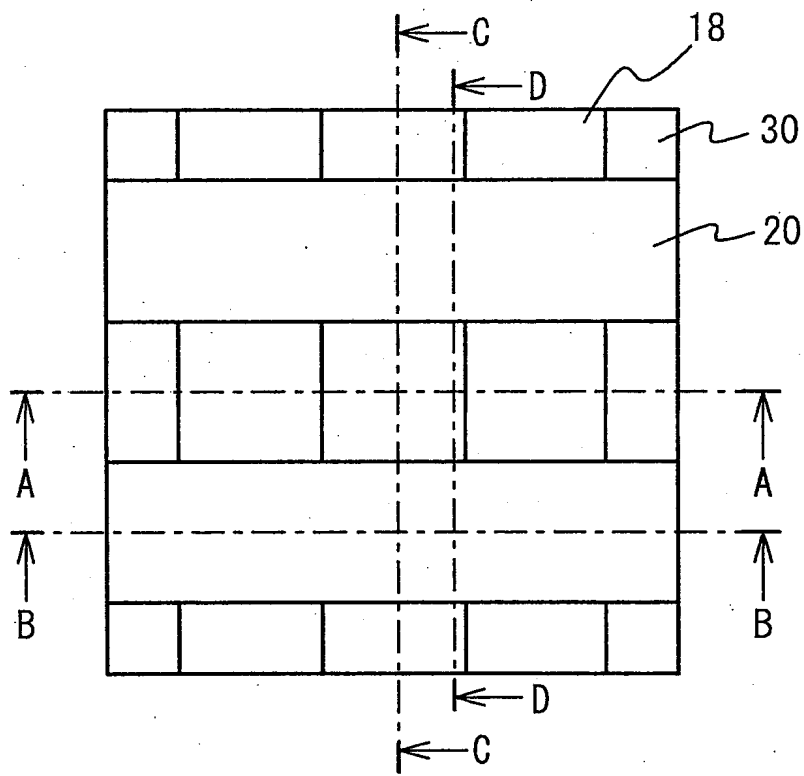
第 3B 圖



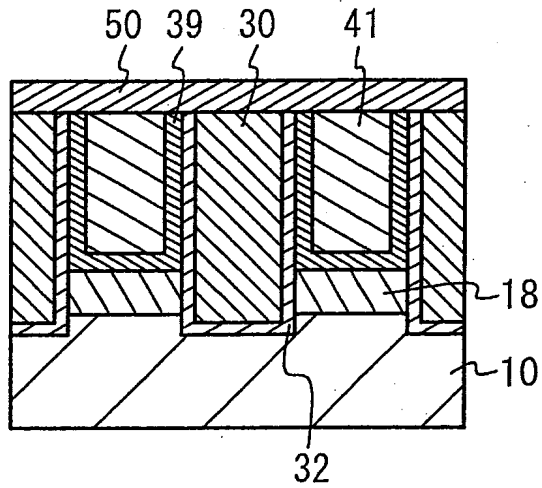
第 3C 圖



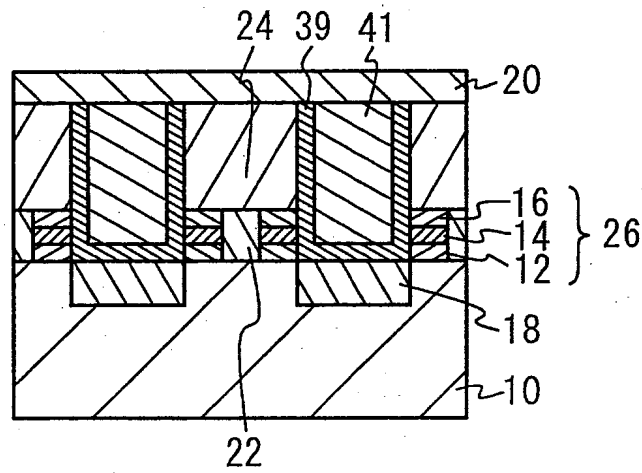
第 4 圖



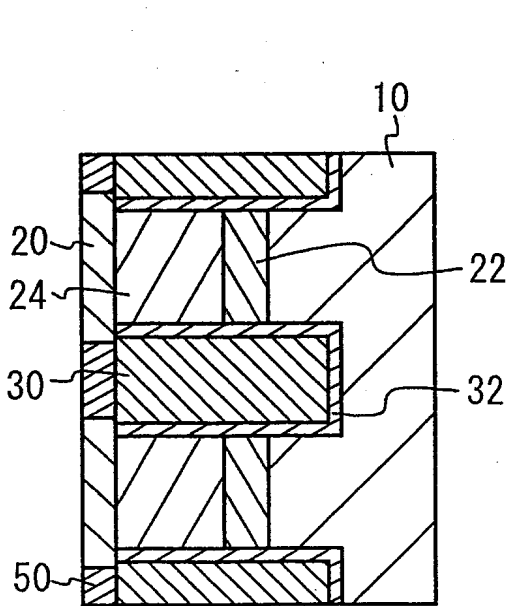
第 5 圖



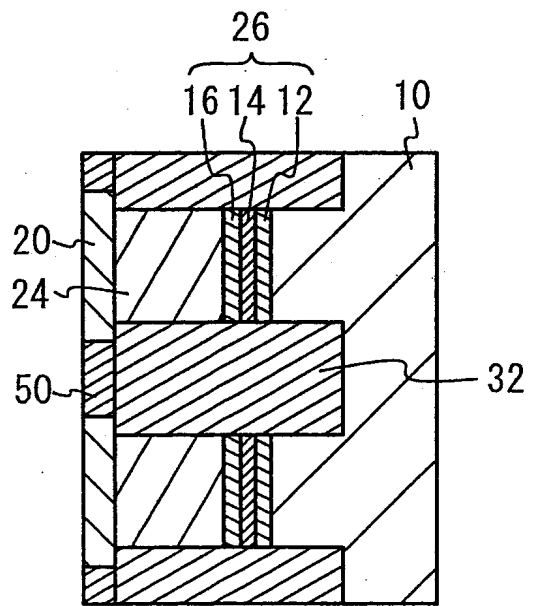
第 6A 圖



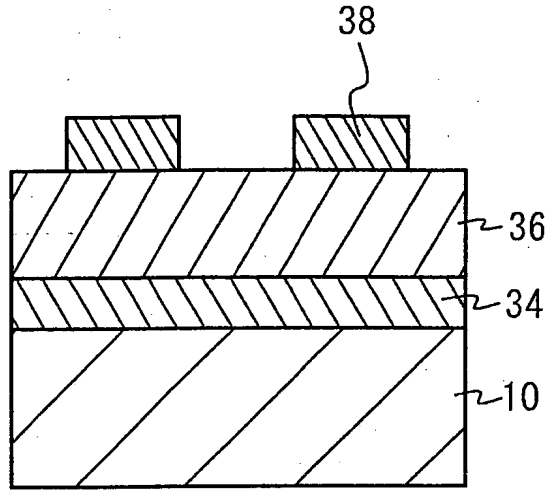
第 6B 圖



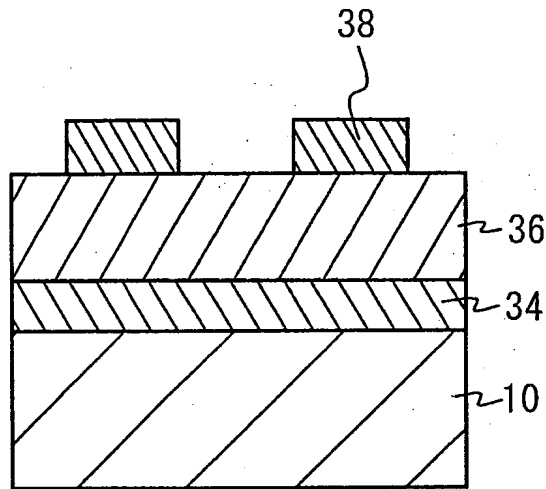
第 6C 圖



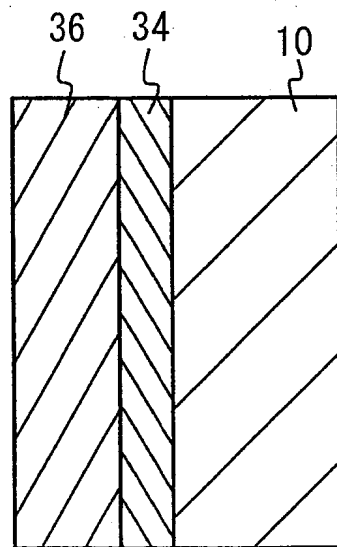
第 6D 圖



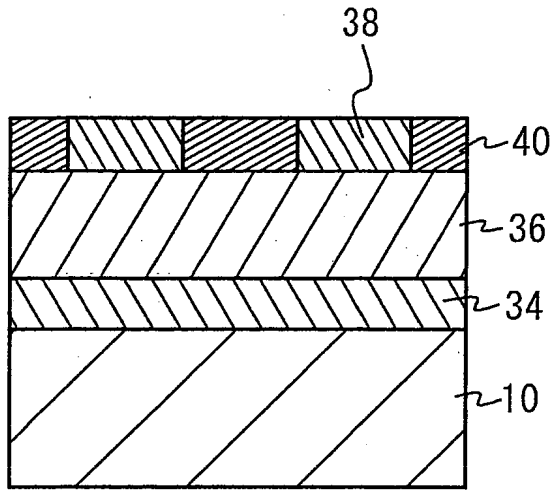
第 7A 圖



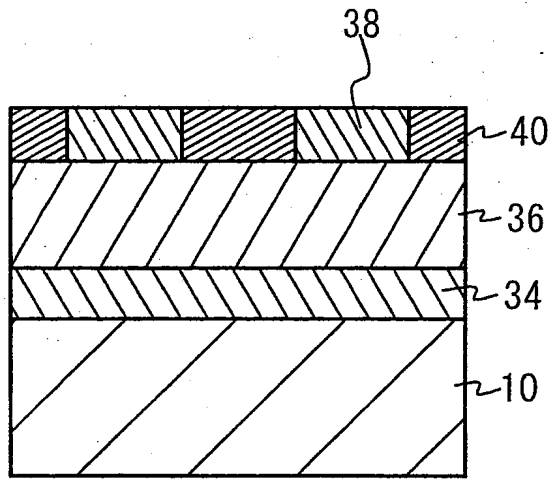
第 7B 圖



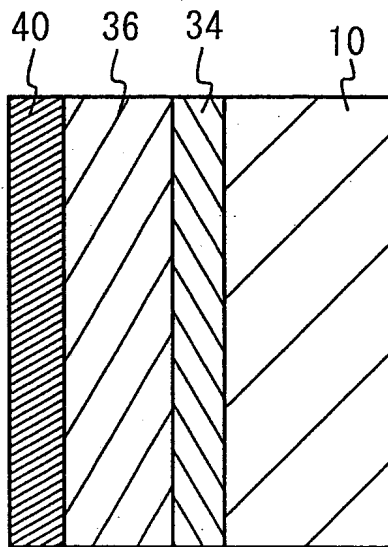
第 7C 圖



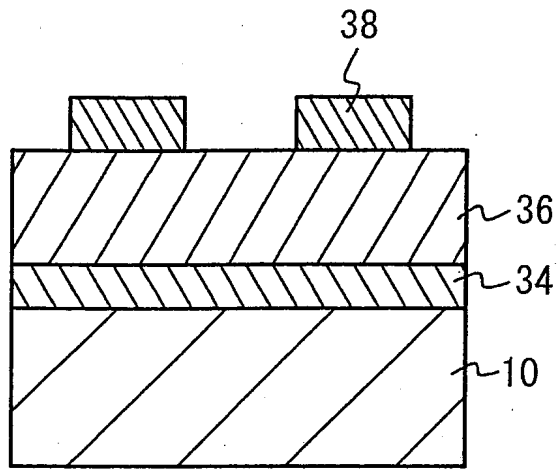
第 8A 圖



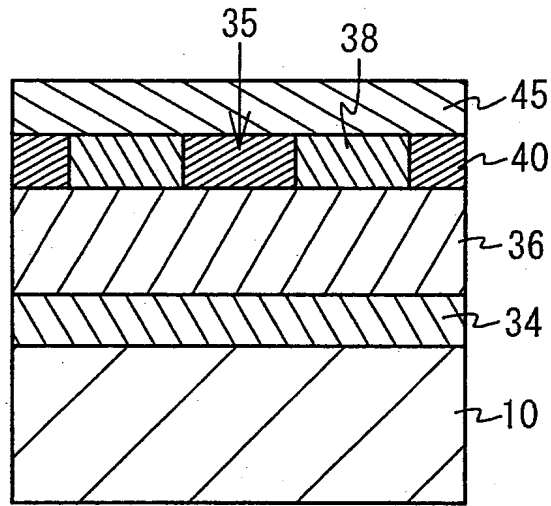
第 8B 圖



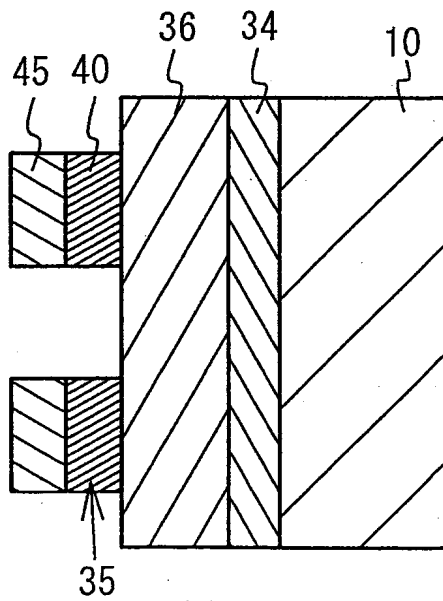
第 8C 圖



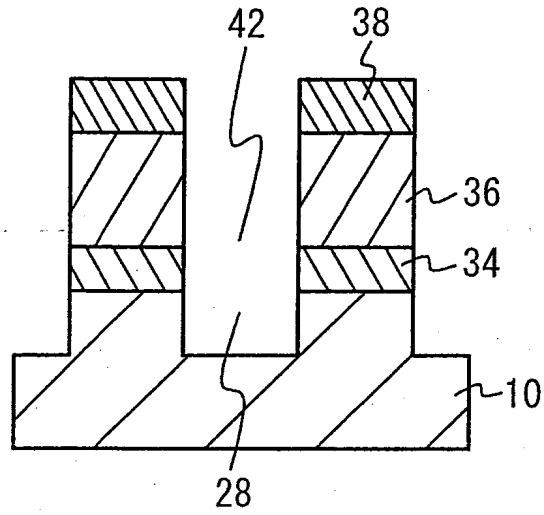
第 9A 圖



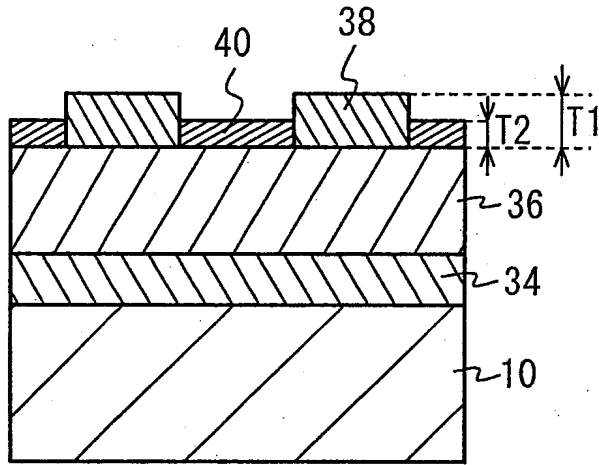
第 9B 圖



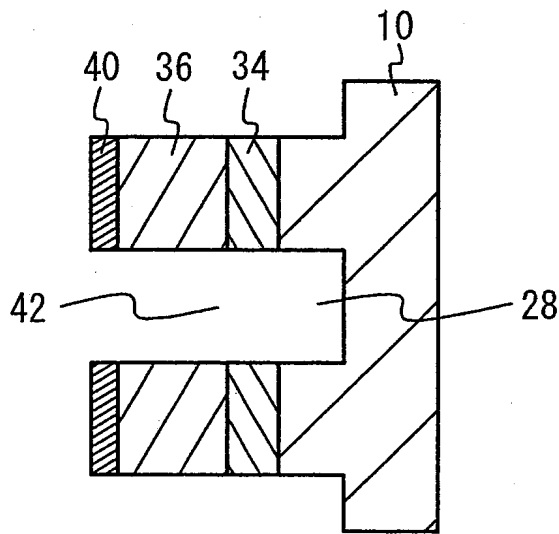
第 9C 圖



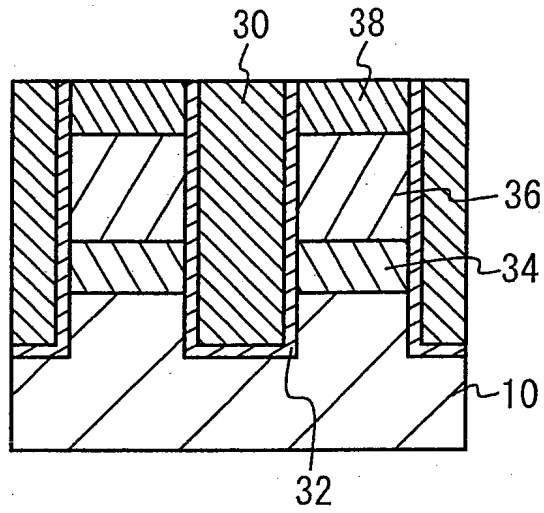
第 10A 圖



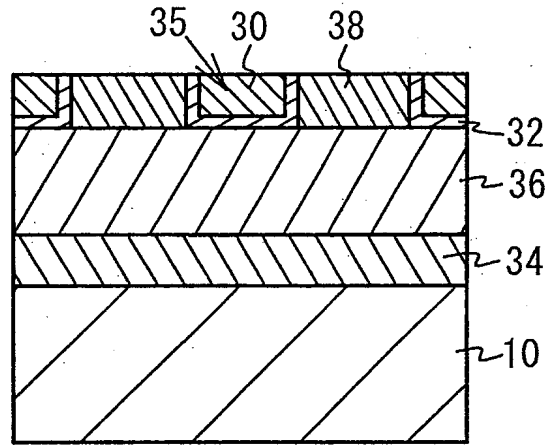
第 10B 圖



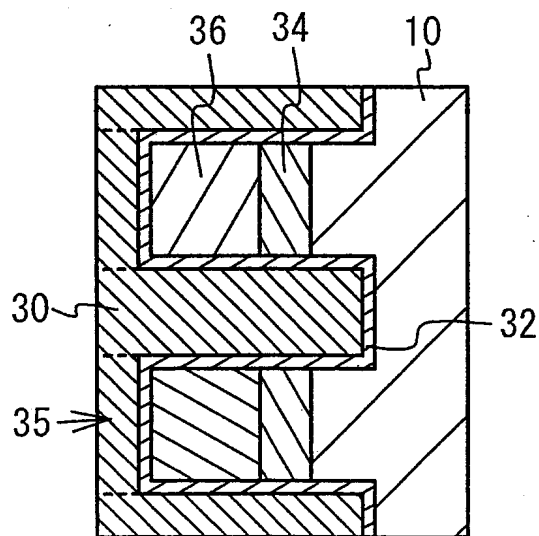
第 10C 圖



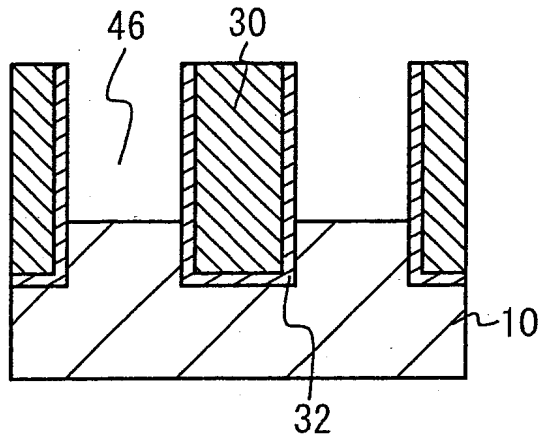
第 11A 圖



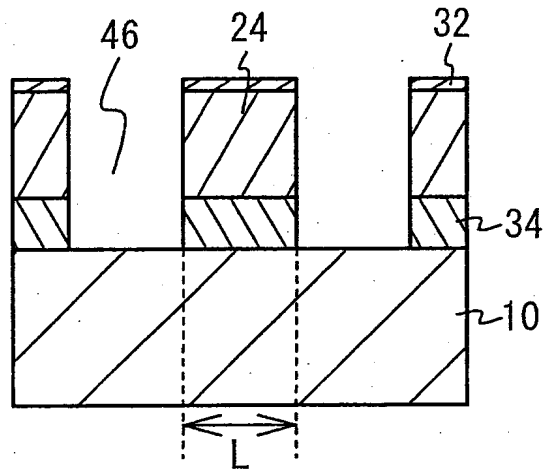
第 11B 圖



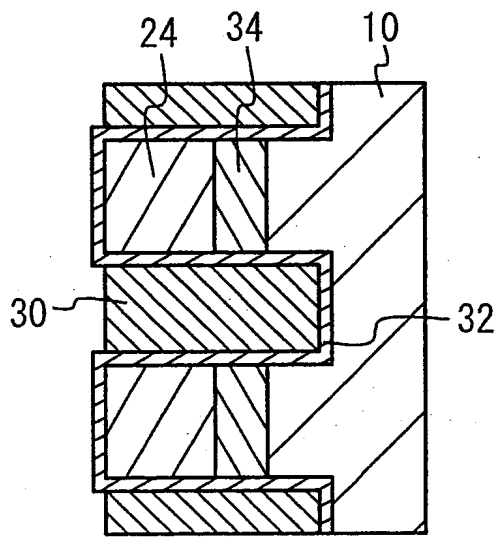
第 11C 圖



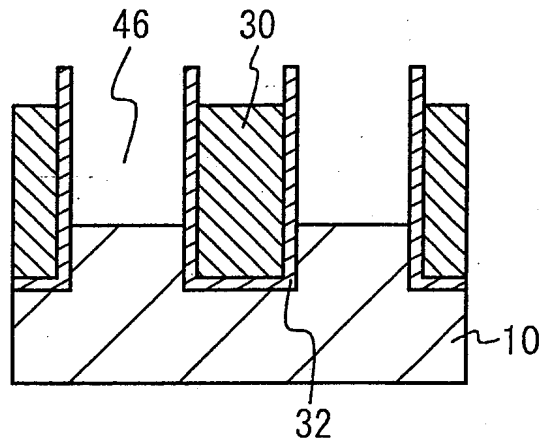
第 12A 圖



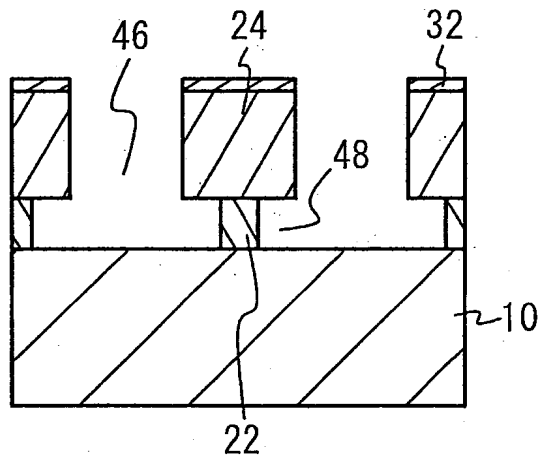
第 12B 圖



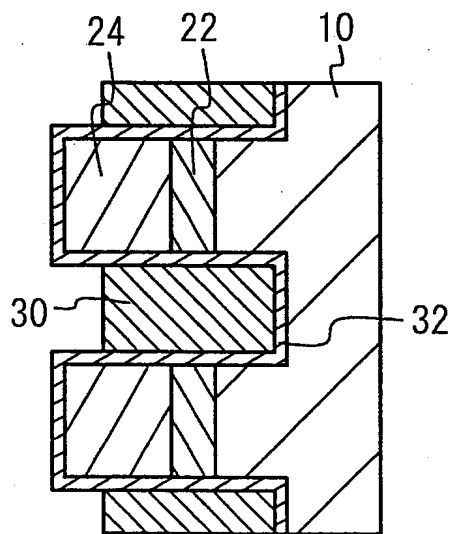
第 12C 圖



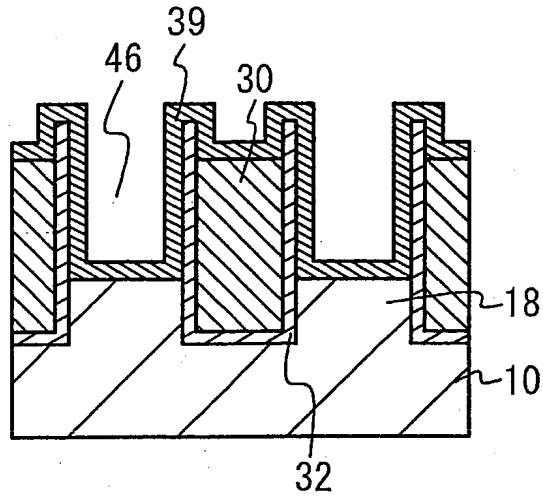
第 13A 圖



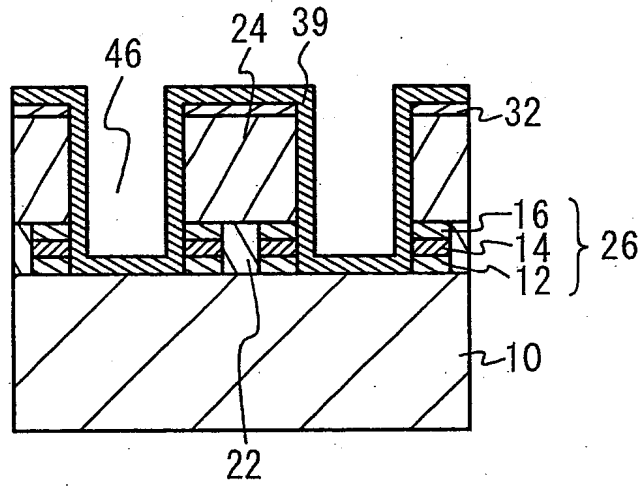
第 13B 圖



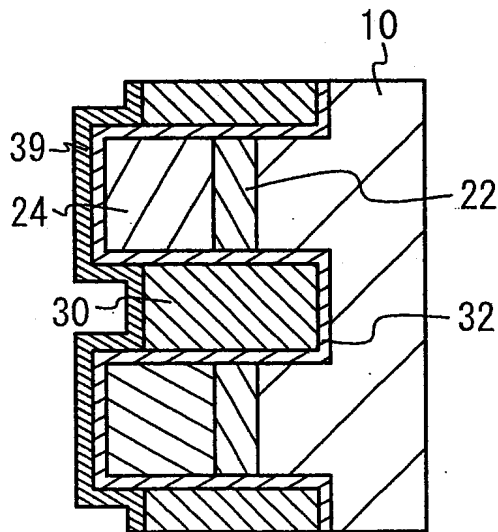
第 13C 圖



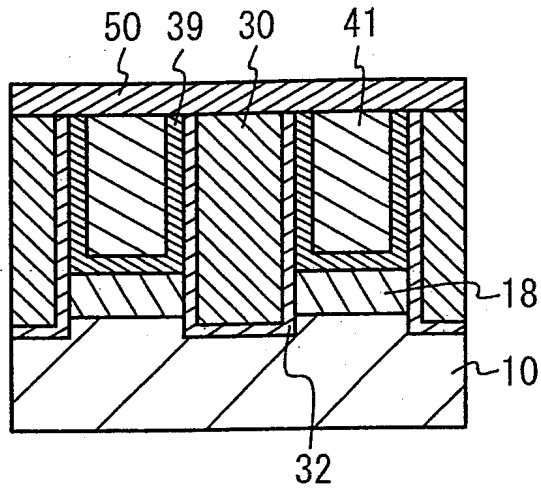
第 14A 圖



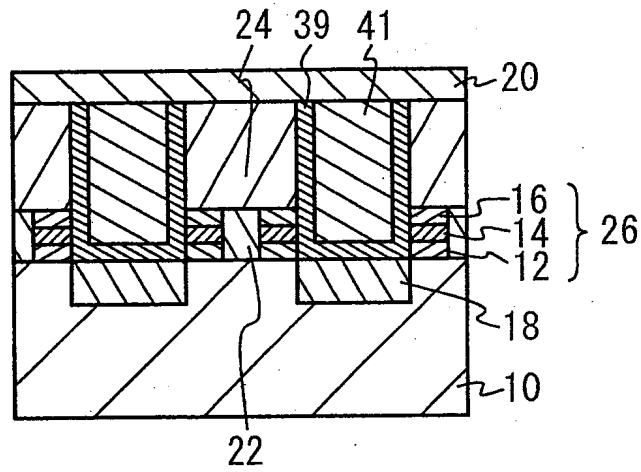
第 14B 圖



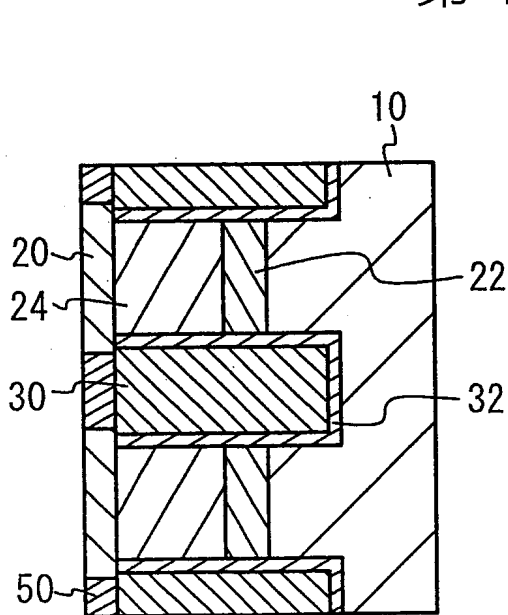
第 14C 圖



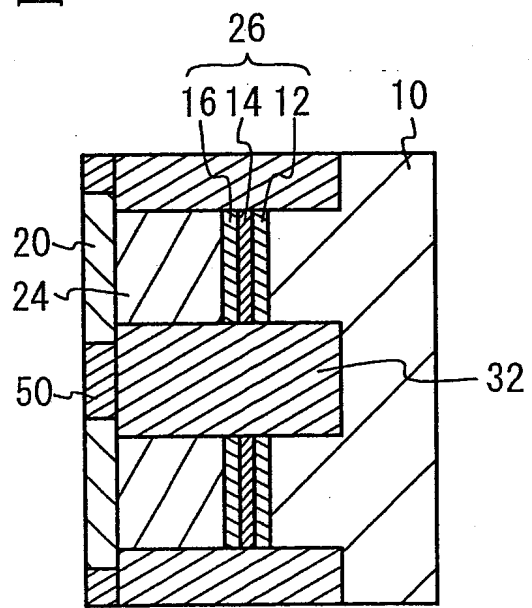
第 15A 圖



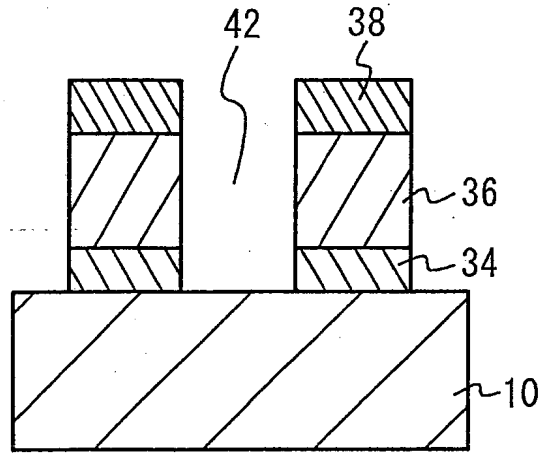
第 15B 圖



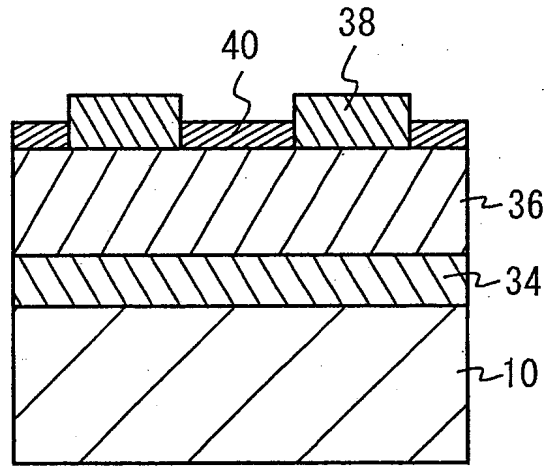
第 15C 圖



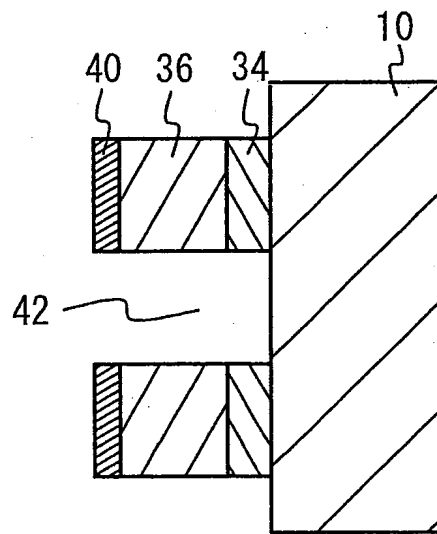
第 15D 圖



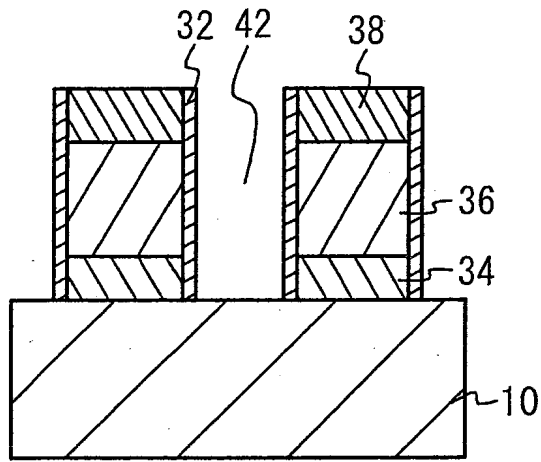
第 16A 圖



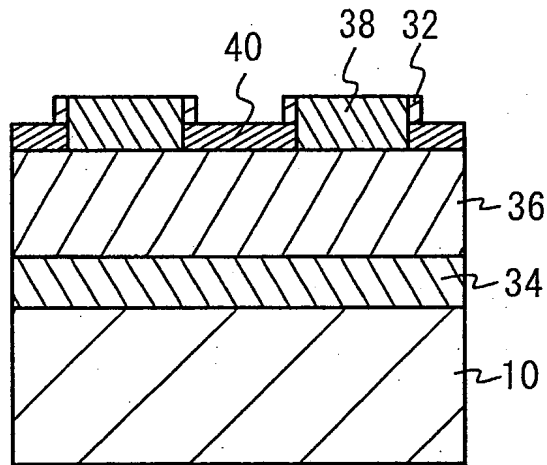
第 16B 圖



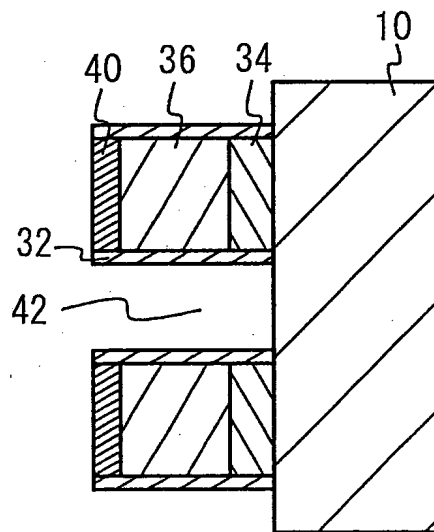
第 16C 圖



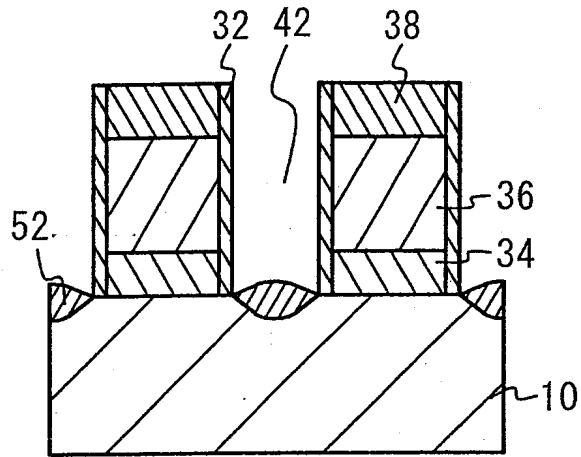
第 17A 圖



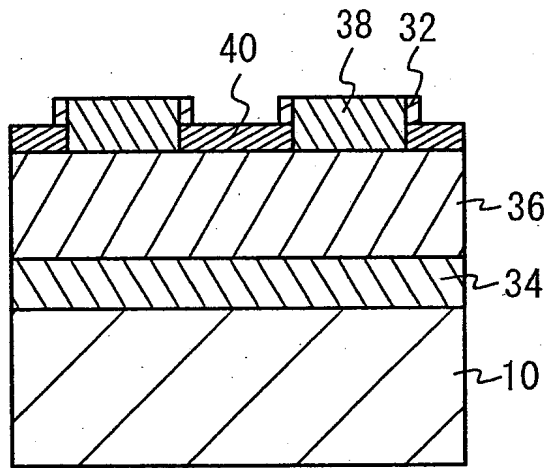
第 17B 圖



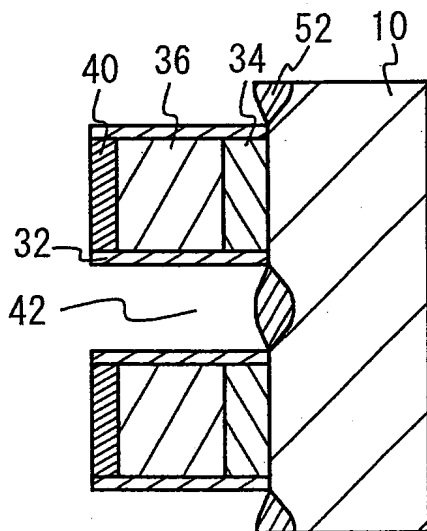
第 17C 圖



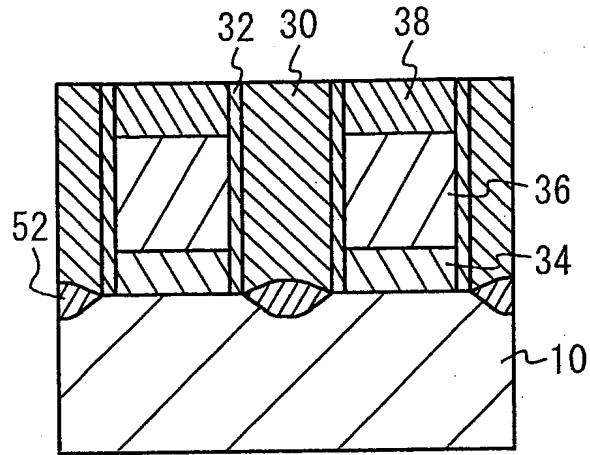
第 18A 圖



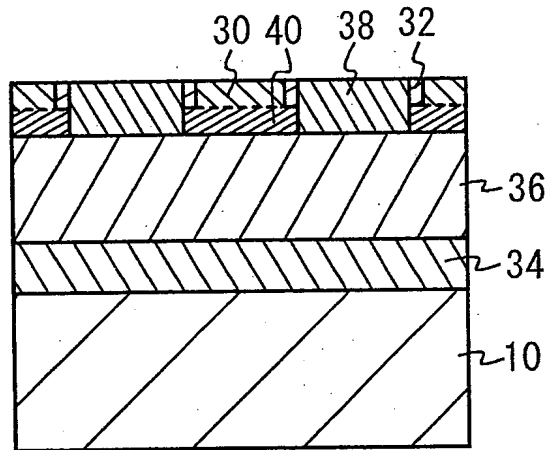
第 18B 圖



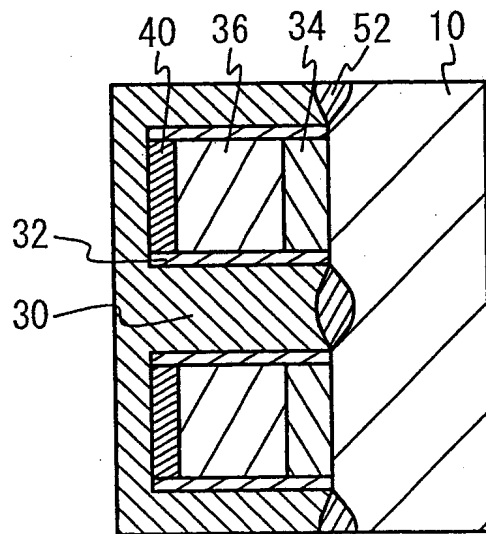
第 18C 圖



第 19A 圖



第 19B 圖



第 19C 圖

四、指定代表圖：

(一)本案指定代表圖為：第 (14B) 圖。

(二)本代表圖之元件符號簡單說明：

10	半導體基板	12	穿隧絕緣薄膜
14	電荷儲存層	16	頂部絕緣薄膜
24	閘極電極	26	OP0 薄膜
32	獨立保護薄膜	39	第一矽氧化物薄膜
46	第二開口	22	閘極絕緣薄膜

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無代表化學式