



(19)  
 Bundesrepublik Deutschland  
 Deutsches Patent- und Markenamt

(10) **DE 10 2004 020 306 A1** 2005.11.17

(12)

## Offenlegungsschrift

(21) Aktenzeichen: **10 2004 020 306.7**

(22) Anmeldetag: **26.04.2004**

(43) Offenlegungstag: **17.11.2005**

(51) Int Cl.7: **G11C 17/12**

(71) Anmelder:  
**Infineon Technologies AG, 81669 München, DE**

(74) Vertreter:  
**Patent- und Rechtsanwälte Kraus & Weisert,  
 80539 München**

(72) Erfinder:  
**Martelloni, Yannick, 85586 Poing, DE; Ostermayr,  
 Martin, 85622 Feldkirchen, DE**

(56) Für die Beurteilung der Patentfähigkeit in Betracht  
 gezogene Druckschriften:

**DE 102 18 272 A1**

**DE 102 16 223 A1**

**US 59 59 877 A**

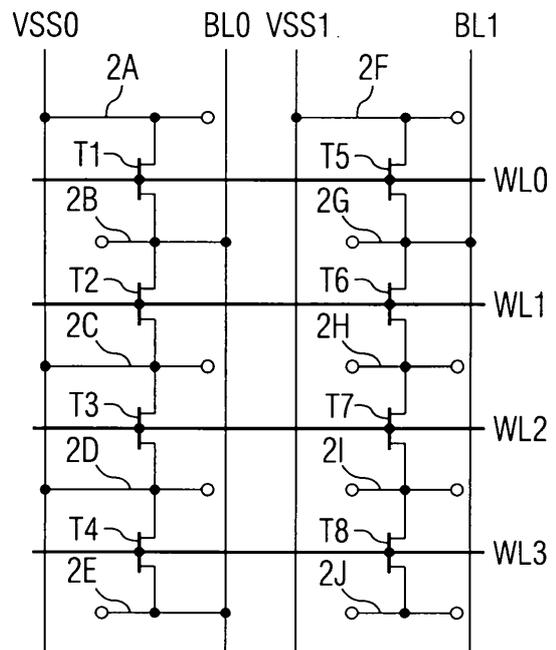
**US 59 17 224 A**

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gemäß § 44 PatG ist gestellt.

(54) Bezeichnung: **Verfahren zum Programmieren einer Speicheranordnung und programmierte Speicheranordnung**

(57) Zusammenfassung: Es wird ein Verfahren zum Programmieren einer Speicheranordnung, insbesondere eines Nur-Lese-Speichers, und ein entsprechender Nur-Lese-Speicher bereitgestellt, wobei der Nur-Lese-Speicher eine Mehrzahl von Speicherzellen umfasst, wobei jede der Speicherzellen einen Transistor (T1-T8) mit zwei Anschlüssen (2A-2J) und einen Steueranschluss umfasst, wobei der Nur-Lese-Speicher Adressleitungen, Bitleitungen und mindestens eine Potenzialleitung umfasst, wobei jeweils eine Kombination aus einer der Adressleitungen und einer der Bitleitungen einer der Speicherzellen eineindeutig zugeordnet ist, wobei der Steueranschluss jedes Transistors mit der der jeweiligen Speicherzelle zugeordneten Adressleitung verschaltet ist. Zur Programmierung einer der Mehrzahl der Speicherzellen in einen ersten Speicherzustand wird einer der zwei Anschlüsse des Transistors (T1, T2, T4, T5) der Speicherzelle mit der zugeordneten Bitleitung (BL0, BL1) und der andere der zwei Anschlüsse des Transistors (T1, T2, T4, T5) mit der mindestens einen Potenzialleitung (VSS0, VSS1) verbunden. Zur Programmierung der übrigen Speicherzellen in einen zweiten Speicherzustand werden keine weiteren Verbindungen hergestellt.



## Beschreibung

**[0001]** Die vorliegende Erfindung betrifft ein Verfahren zum Programmieren einer Speicheranordnung sowie eine entsprechend programmierte Speicheranordnung. Insbesondere betrifft sie ein Verfahren zum Programmieren eines Nur-Lese-Speichers bzw. ROMs („Read-Only Memory“) bevorzugt von so genannten „Mask programmable ROMs“, bei welchen die Programmierung beispielsweise durch selektives Setzen von Metallverbindungen („vias“) zwischen zwei Metalllagen erfolgt. Man spricht hier auch von „via programmable ROM“ oder „metal programmable ROM“. Auch andere Arten der Programmierung mittels einer Maske können in diesem Zusammenhang eingesetzt werden, beispielsweise kann auch eine Diffusionsschicht selektiv kontaktiert werden.

**[0002]** Nur-Lese-Speicher werden generell zur Speicherung von festen Programmen oder Daten für Mikroprozessorsysteme benutzt. Beispielsweise kann das so genannte BIOS von Computersystemen auf einem derartigen Nur-Lese-Speicher gespeichert werden.

### Stand der Technik

**[0003]** Derartige ROMs werden bereits während des Produktionsprozesses programmiert, das heißt mit Daten belegt. Dabei gibt es ROMs, bei welchen die Programmierung durch Unterbrechung von Diffusionsschichten stattfindet (so genanntes „diffusion programmable ROM“). Bei einem anderen Typ von ROM findet die Programmierung durch selektives Setzen von vertikalen Metallverbindungen (so genanntes „via programmable ROM“ oder „metal programmable ROM“, allgemein „Mask programmable ROM“) zwischen Metall- oder anderen leitenden Schichten statt. Letztere Art von ROMs hat dabei den Vorteil, dass die Programmierung erst in einem relativ späten Stadium des Produktionsprozesses stattfindet, so dass die Herstellung bis zu diesem Punkt für verschieden zu programmierende ROMs gemeinsam stattfinden kann. Zudem ist die Berichtigung von Fehlern in der geplanten Programmierung bis zu diesem Produktionsschritt relativ am Ende des Prozesses möglich. Beide Arten von ROMs sind beispielsweise in der US 2002100 39 305 A1 beschrieben.

**[0004]** Eine andere Art eines „via programmable ROMs“ ist in **Fig. 3** und **4** dargestellt, wobei **Fig. 3** schematisch ein Layout eines derartigen ROMs und **Fig. 4** ein Schaltbild des ROMs aus **Fig. 3** zeigt.

**[0005]** Das in **Fig. 3** dargestellte ROM umfasst – wie bei Speicherbausteinen allgemein weit verbreitet – eine Matrix von Speicherzellen, in diesem Fall zwei Spalten mit jeweils vier Speicherzellen. Wie in **Fig. 3** angedeutet, kann in jeder Speicherzelle entweder ein Wert „0“ oder ein Wert „1“ gespeichert werden.

Selbstverständlich umfassen Speicherbausteine in der Praxis wesentlich mehr Speicherzellen als die in **Fig. 3** dargestellten acht Speicherzellen, welche dann entsprechend in wesentlich mehr Spalten und Zeilen und ggf, auch in mehreren Lagen übereinander angeordnet sind.

**[0006]** Zunächst soll nun die Funktionsweise des ROMs anhand des Schaltbilds von **Fig. 4** erläutert werden, bevor auf die layouttechnische Realisierung zurückgekommen wird.

**[0007]** Die einzelnen Speicherzellen sind in dem dargestellten ROM jeweils durch einen Transistor T1, T2, ..., T8 realisiert. Zur Adressierung der Speicherzellen dienen vier Wort- bzw. Adressleitungen WL0, WL1, WL2 und WL3, welche jeweils mit den Gates von zwei der Transistoren T1-T8 verbunden sind. Beispielsweise ist die Adressleitung WL0 mit den Gates des Transistors T1 und des Transistors T5 verbunden.

**[0008]** Das Auslesen der Speicherzellen erfolgt dann über Bitleitungen BL0 und BL1. Beispielsweise wird zum Ansteuern und Auslesen des Transistors T1 die Adressleitung WL0 und die Bitleitung BL0 verwendet, während zum Ansteuern und Auslesen des Transistors T7 die Adressleitung WL2 und die Bitleitung BL1 verwendet wird. Durch eine bestimmte Kombination aus Adress- und Bitleitung wird also die auszulesende Speicherzelle eindeutig festgelegt.

**[0009]** Die Transistoren T1-T8 sind dabei symmetrisch aufgebaut, das heißt, Source- und Drain-Kontakt sind prinzipiell identisch und damit vertauschbar. Die Source- und Drain-Anschlüsse der Transistoren, welche in einer Spalte angeordnet sind (T1-T4 bzw. T5-T8) sind wie dargestellt miteinander verschaltet. Zudem sind Anschlussleitungen **2A**, **2B**, ..., **2J** vorgesehen, welche zwischen den einzelnen Transistoren und am Anfang und am Ende jeder Spalte vorgesehen sind und wie dargestellt verschaltet sind. Die Gesamtheit der Anschlussleitungen **2A-2J** wird im Folgenden einfach mit dem Bezugszeichen **2** bezeichnet. Jede der Anschlussleitungen **2** ist entweder mit einer der Bitleitungen BL0, BL1 oder mit einer Potenzialleitung **6** verschaltet. Bei dem dargestellten Beispiel handelt es sich bei der Potenzialleitung **6** beispielsweise um eine virtuelle negative Potenzialleitung („virtual VSS“). Virtuuell bedeutet in diesem Zusammenhang, dass die Potenzialleitung **6** in einem „Ruhezustand“ auf einer positiven Versorgungsspannung liegt. Wenn eine Speicherzelle in der entsprechenden Spalte des ROMs ausgelesen wird, wird die entsprechende Potenzialleitung **6** auf negative Versorgungsspannung gelegt.

**[0010]** Weiterhin liegen in einem Grundzustand der Schaltung die Bitleitungen BL0 und BL1 beispielsweise auf der negativen Versorgungsspannung. Zum

Auslesen einer Speicherzelle wird die Bitleitung der entsprechenden Schaltung auf die positive Versorgungsspannung, welche den logischen Zustand „1“ repräsentiert, gelegt.

**[0011]** Soll nun beispielsweise die durch den Transistor T1 gebildeten Speicherzelle ausgelesen werden, wird zunächst die in **Fig. 4** linke Potenzialleitung **6** auf die negative Versorgungsspannung und die Bitleitung BL0 auf die positive Versorgungsspannung gelegt. Dann wird die Adressleitung WL0 von negativer auf positive Versorgungsspannung gelegt, wodurch der Transistor T1 leitend wird. Damit kann ein Strom über die Anschlussleitung **2A**, den Transistor T1 und die Anschlussleitung **2B** von der linken Potenzialleitung **6** auf die Bitleitung BL0 fließen. Die Bitleitung BL0 wird dadurch auf negative Versorgungsspannung gezogen, was einer logischen „0“ und somit dem Inhalt der durch den Transistor T1 gebildeten Speicherzelle entspricht.

**[0012]** Wird demgegenüber entsprechend der Transistor T6, welcher eine logische „1“ gespeichert hat, ausgelesen, kann kein Strom von der rechten Potenzialleitung **6** auf die Bitleitung BL1 fließen, da weder die Anschlussleitung **2G** noch die Anschlussleitung **2H** mit der Bitleitung BL1 verbunden ist. Ein Strom über beispielsweise den Transistor T5 kann ebenfalls nicht fließen, da die Adressleitung WL0 weiterhin auf negativer Versorgungsspannung liegt, welche in diesem Fall als Feldeffekttransistoren ausgestaltet sind; lediglich die Adressleitung WL1 wird von negativer auf positive Versorgungsspannung geschaltet, um den Transistor T6 auszulesen.

**[0013]** Selbstverständlich ist es prinzipiell möglich, die Polaritäten der Transistoren T1-T8 zu vertauschen und gleichzeitig das zum Auslesen verwendete Potenzial der Adressleitungen WL0-WL3 zu ändern. In gleicher Weise ist es prinzipiell denkbar, vor dem Auslesen die entsprechende Bitleitung auf negative Versorgungsspannung und die entsprechende Potenzialleitung **6** auf positive Versorgungsspannung zu legen, was für die jeweiligen Transistoren den jeweils entgegengesetzten Speicherzustand bedeuten würde.

**[0014]** In dem dem Schaltplan von **Fig. 4** entsprechenden Layout von **Fig. 3** wird die unterste Lage durch zwei Diffusionsschichten **1A**, **1B** gebildet, das heißt, durch dotierte Halbleiterschichten, bevorzugt aus Silizium, um einen Halbleiterteil der Transistoren T1-T8 aus **Fig. 4** zu bilden, welche in diesem Fall als Feldeffekttransistoren ausgestaltet sind. Darüber verlaufen die Adressleitungen WL0-WL3, welche beispielsweise aus Poly-Silizium, vorzugsweise aus hochdotiertem polykristallinem Silizium, gebildet sind und als Gate für die Transistoren T1-T8 dienen. Beispielsweise ist, wenn eine Adressleitung auf negativer Versorgungsspannung VSS liegt, der unter der je-

weiligen Adressleitung liegende Abschnitt der Diffusionsschicht **1A** bzw. **1B** nichtleitend. Wenn die entsprechende Adressleitung WL0-WL3 auf positiver Versorgungsspannung VDD liegt, wird der unter der jeweiligen Adressleitung liegende Abschnitt der Diffusionsschicht **1A** bzw. **1B** leitend.

**[0015]** Eine erste Metalllage umfasst die Anschlussleitungen **2** in Form von Metallabschnitten. Diese sind durch Metallkontakte **3A-3J** mit der Diffusionsschicht elektrisch leitend verbunden und bilden Source- bzw. Drain-Anschlüsse der Transistoren T1-T8. Die Transistoren sind dabei wie bereits angesprochen symmetrisch aufgebaut, das heißt, es existiert kein festgelegter Source- oder Drain-Anschluss. Zudem teilen sich bei dem Layout von **Fig. 3** Transistoren Source- und Drain-Anschlüsse. So stellen die Anschlussleitungen **2A** und **2B** Source- und Drain-Anschlüsse des Transistors T1 dar, die Anschlussleitungen **2B** und **2C** sind die Source- und Drain-Anschlüsse des Transistors T2. Die Anschlussleitung **2B** ist also ein Anschluss sowohl des Transistors T1 als auch des Transistors T2.

**[0016]** Eine zweite Metalllage beinhaltet die Bitleitungen BL0 und BL1 sowie die Potenzialleitungen **6**. Die erste Metalllage ist von der zweiten Metalllage durch eine geeignete Isolierung, beispielsweise aus Siliziumdioxid, getrennt. Metallverbindungen **7** („vias“) verbinden die Leitungen **2** an gewünschten Punkten mit der Potenzialleitung **6**, Metallverbindungen **8** („vias“) verbinden die Bitleitungen BL0 und BL1 mit den Leitungen **2**. Die Metallverbindungen **7** und **8** werden so gesetzt, dass die entsprechende Programmierung des ROMs erreicht wird. Wie insbesondere bei der rechten der Potenzialleitungen **6** zu sehen, sind die Metallabschnitte **2G-2J**, welche Anschlüsse der auf „1“ programmierten Transistoren T6-T8 darstellen, mit der Potenzialleitung **6** verbunden, so dass diese Metallabschnitte auf einem definierten Potenzial liegen.

**[0017]** Ein derartiges Layout wird auch als „wide cell“-Architektur bezeichnet, da hier – unter anderem durch Verwendung von gemeinsamen Anschlussleitungen **2** für jeweils zwei Transistoren – relativ kurze Bitleitungen BL0 und BL1 realisiert werden, also in der Ansicht von **Fig. 3** eine relativ breite Zelle vorliegt. Diese Realisierung eignet sich insbesondere für ROMs, welche mit geringer Spannung betrieben werden sollen. Layouts, bei welchen die Bitleitungen hingegen länger als die Adressleitungen sind, bezeichnet man als „tall cells“.

**[0018]** Das in **Fig. 3** und **4** dargestellte ROM hat den Nachteil, dass Kopplungen zwischen einzelnen Speicherzellen bzw. den Bitleitungen auftreten können, so dass, wenn eine „1“ ausgelesen wird, eine benachbart programmierte „0“ das Ausleseergebnis beeinflussen kann. Diese Kopplung rührt von parasitä-

ren Kapazitäten beispielsweise der Bitleitungen her.

#### Aufgabenstellung

**[0019]** Es ist daher eine Aufgabe der vorliegenden Erfindung, ein Verfahren zur Programmierung einer Speicheranordnung und eine entsprechend programmierte Speicheranordnung bereitzustellen, wodurch derartige Kopplungseffekte verringert werden können oder ganz ausgeschaltet werden können.

**[0020]** Diese Aufgabe wird gelöst durch eine Vorrichtung nach Anspruch 1 bzw. ein Verfahren nach Anspruch 11. Die abhängigen Ansprüche definieren vorteilhafte oder bevorzugte Ausführungsformen der Vorrichtung bzw. des Verfahrens.

**[0021]** Erfindungsgemäß wird eine Speicheranordnung bereitgestellt, wobei die Speicheranordnung eine Mehrzahl von Speicherzellen umfasst, wobei jede der Speicherzellen einen Transistor mit zwei Anschlüssen und einem Steueranschluss umfasst, wobei die Speicheranordnung Adressleitungen, Bitleitungen und mindestens eine Potenzialleitung umfasst, wobei jeder Speicherzelle eine Kombination aus einer der Adressleitungen und einer der Bitleitungen zugeordnet ist und wobei der Steueranschluss jedes Transistors mit der jeweilig zugeordneten Adressleitung verschaltet ist. Bei einer gemäß einem ersten Speicherzustand programmierten Speicherzelle ist einer der zwei Anschlüsse des Transistors mit der jeweiligen zugeordneten Bitleitung und der andere der zwei Anschlüsse des Transistors mit der Potenzialleitung verbunden ist, während bei mindestens einer gemäß einem zweiten Speicherzustand programmierten Speicherzelle keine Verbindungen der Anschlüsse des jeweiligen Transistors mit einer Bitleitung oder der Potenzialleitung vorgesehen sind. Die Speicheranordnung kann insbesondere ein Nur-Lese-Speicher bzw. ROM sein.

**[0022]** Der erste Speicherzustand kann dabei beispielsweise einer logischen „0“ und der zweite Speicherzustand einer logischen „1“ entsprechen. Die Anschlüsse von Transistoren, deren Speicherzellen gemäß dem zweiten Speicherzustand programmiert wurden, sind demnach im Allgemeinen weder mit einer der Bitleitungen noch mit der mindestens einen Potenzialleitung verbunden, „schweben“ also. Es hat sich gezeigt, dass dieses Schweben keine Beeinträchtigung der Funktionsweise des Speichers mit sich bringt und im Gegenteil eine Kapazität der Bitleitungen verringern hilft, so dass die Gefahr von Übersprechen zwischen verschiedenen Speicherzellen verringert wird.

**[0023]** Um eine kompaktere Anordnung mit kürzeren Bitleitungen zu erreichen, weisen bevorzugt Transistoren von mindestens zwei der Speicherzellen einen gemeinsamen Anschluss auf.

**[0024]** Die Verbindungen, welche eine Programmierung einer der Speicherzellen gemäß dem ersten Speicherzustand bewerkstelligen, sind bevorzugt Metallverbindungen, welche während einer Herstellung der Speicheranordnung gelegt werden.

**[0025]** Die Mehrzahl von Speicherzellen ist bevorzugt in einer Matrix angeordnet, wobei die Adressleitungen in einer Richtung und die Bitleitungen in eine dazu senkrechte Richtung verlaufen. In einer derartigen Anordnung sind bevorzugt mehrere Potenzialleitungen vorgesehen, welche parallel zu den Bitleitungen verlaufen und mit diesen alternierend angeordnet sind. Somit werden jeweils zwei benachbarte Bitleitungen durch eine dazwischen liegende Potenzialleitung voneinander abgeschirmt, wodurch ein Übersprechen zwischen den Bitleitungen vermieden werden kann.

**[0026]** Die mindestens eine Potenzialleitung kann beispielsweise auf einer negativen Versorgungsspannung bzw. einem Massepotenzial liegen, es kann sich aber auch um eine so genannte virtuelle Leitung handeln, welche lediglich unmittelbar vor einem Lesevorgang auf das gewünschte Potenzial gebracht wird.

**[0027]** Bei dem erfindungsgemäßen Verfahren wird entsprechend der beschriebenen Vorrichtung zur Programmierung einer der Speicherzellen gemäß dem ersten Speicherzustand einer der zwei Anschlüsse des Transistors mit einer der Bitleitungen und der andere der zwei Anschlüsse des Transistors mit der mindestens einen Potenzialleitung verbunden, während zur Programmierung der mindestens einen Speicherzelle gemäß dem zweiten Speicherzustand keine zusätzlichen Verbindungen hergestellt werden.

#### Ausführungsbeispiel

**[0028]** Die Erfindung wird nachfolgend anhand eines bevorzugten Ausführungsbeispiels unter Bezugnahme auf die beigefügte Zeichnung näher erläutert. Es zeigen:

**[0029]** [Fig. 1](#) ein schematisches Layout einer erfindungsgemäßen Speicheranordnung,

**[0030]** [Fig. 2](#) einem dem Layout von [Fig. 1](#) entsprechenden Schaltplan,

**[0031]** [Fig. 3](#) ein Layout eines ROMs gemäß dem Stand der Technik, und

**[0032]** [Fig. 4](#) ein dem Layout von [Fig. 3](#) entsprechender Schaltplan.

**[0033]** In [Fig. 1](#) ist ein Layout eines Nur-Lese-Speichers bzw. ROMs („Read Only Memory“; Festwert-

speicher) Ausführungsbeispiels der vorliegenden Erfindung dargestellt. [Fig. 2](#) zeigt einen entsprechenden Schaltplan.

**[0034]** Da die vorliegende Erfindung insbesondere eine Verbesserung der in der Beschreibungseinleitung unter Bezugnahme auf [Fig. 3](#) und [Fig. 4](#) beschriebenen Speicheranordnung zum Gegenstand hat, stimmt der grundsätzliche Aufbau des dargestellten Ausführungsbeispiels einer Speicheranordnung mit dem in der Beschreibungseinleitung beschriebenen ROM überein. In beiden ROMs im Wesentlichen gleiche Elemente sind mit den gleichen Bezugszeichen gekennzeichnet. Bezüglich der Funktion und Ausgestaltung dieser Elemente treffen dementsprechend die Ausführungen in der Beschreibungseinleitung gleichfalls zu.

**[0035]** Wie bei dem in der Beschreibungseinleitung dargestellten ROM umfasst das ROM gemäß dem dargestellten Ausführungsbeispiel acht Speicherzellen, welche in zwei Spalten zu je vier Speicherzellen angeordnet sind und durch Transistoren T1-T8 wie im Schaltplan von [Fig. 2](#) dargestellt gebildet werden. Selbstverständlich umfassen in der Praxis verwendete ROMs wesentlich mehr derartiger Speicherzellen, welche in mehr Spalten und Zeilen und ggf. auch übereinander in mehreren Lagen angeordnet sein können.

**[0036]** Die Transistoren T1-T8 aus [Fig. 2](#) sind bei dem dargestellten Ausführungsbeispiel Feldeffekttransistoren, prinzipiell ist jedoch auch die Verwendung von anderen Transistortypen denkbar. Die Gate-Anschlüsse der Transistoren T1-T8 sind mit Adressleitungen WL0-WL3 wie in [Fig. 2](#) dargestellt verbunden, das heißt, jeweils zwei Transistoren sind einer Adressleitung zugeordnet. Die Source- und Drain-Anschlüsse der Transistoren T1-T8 sind mit Anschlussleitungen **2A-2J** verbunden. Die Gesamtheit dieser Anschlussleitungen **2A-2J** wird im Folgenden als „Anschlussleitungen **2**“ bezeichnet, falls keine spezifische Anschlussleitung gemeint ist.

**[0037]** Die Transistoren T1-T8 sind symmetrisch aufgebaut, das heißt, Source- und Drain-Anschluss sind vertauschbar. Die Anschlussleitungen **2B-2D** sowie **2G-2I** sind jeweils zwei Transistoren zugeordnet, von denen jeweils ein Anschluss mit der jeweiligen Anschlussleitung wie in [Fig. 2](#) gezeigt verschaltet ist.

**[0038]** Des Weiteren sind zwei Bitleitungen BL0 und BL1 sowie zwei Potenzialleitungen VSS0 und VSS1 vorgesehen. Im Gegensatz zu dem in der Beschreibungseinleitung dargestellten ROM handelt es sich bei diesen Leitungen um Potenzialleitungen, welche ständig auf negativer Versorgungsspannung VSS liegen. Prinzipiell sind jedoch auch virtuelle Potenzialleitungen wie bei dem bekannten ROM aus [Fig. 3](#)

und [Fig. 4](#) möglich.

**[0039]** Die Anschlussleitungen **2** sind entweder mit einer der Potenzialleitungen VSS0, VSS1, mit einer der Bitleitungen BL0 und BL1 oder mit keiner der beiden Leitungen verbunden. Im vorliegenden Ausführungsbeispiel sind die Anschlussleitungen **2H**, **2I** und **2J** weder mit der Potenzialleitung VSS1 noch mit der Bitleitung BL1 verbunden, schweben also im Gegensatz zu den entsprechenden in [Fig. 4](#) dargestellten Leitungen. Hierdurch wird eine parasitäre Kapazität der Bitleitungen verringert, wodurch eine Gefahr eines Übersprechens zwischen benachbarten Speicherzellen verringert wird.

**[0040]** In dem vorliegenden Ausführungsbeispiel sind die Speicherzellen, welche die Transistoren T1, T2, T4 und T5 umfassen, auf den logischen Zustand „0“ programmiert, die übrigen Speicherzellen sind auf den logischen Zustand „1“ programmiert.

**[0041]** Um beispielsweise die den Transistor T1 umfassende Speicherzelle auszulesen, wird die Bitleitung BL0 auf eine positive Versorgungsspannung VDD (entsprechend logisch „1“) gesetzt.

**[0042]** Dann wird die Adressleitung WL0 von ihrem Ruhezustand, in dem sie auf einer negativen Versorgungsspannung VSS liegt, auf die positive Versorgungsspannung VDD umgeschaltet. Hierdurch wird der Transistor T1 (und der Transistor T5) leitend, wodurch über die Anschlussleitung **2A**, den Transistor T1 und die Anschlussleitung **2B** ein Strom zwischen der Versorgungsspannung VSS0 und der Bitleitung BL0 fließen kann. Die Bitleitung BL0 wird somit auf die negative Versorgungsspannung entsprechend logisch „0“ gezogen, was dem programmierten Zustand der den Transistor T1 umfassenden Speicherzelle entspricht.

**[0043]** Soll hingegen beispielsweise die den Transistor T7 umfassende Speicherzelle ausgelesen werden, wird entsprechend die Bitleitung BL1 auf VDD gesetzt. Dann wird die Adressleitung WL2 von negativer Versorgungsspannung VSS auf positive Versorgungsspannung VDD umgeschaltet, wodurch der Transistor T7 leitend wird. Dennoch kann kein Strom zwischen der Versorgungsspannung VSS1 und der Bitleitung BL1 fließen, da die Anschlussleitungen **2H** und **2I** schwebend sind. Die Bitleitung BL1 bleibt demnach auf dem Potenzial VDD entsprechend logisch „1“, was dem programmierten Zustand der den Transistor T7 umfassenden Speicherzelle entspricht.

**[0044]** In [Fig. 1](#) ist ein dem Schaltplan von [Fig. 2](#) entsprechendes schematisches Layout gezeigt. Das Layout umfasst Diffusionsschichten **1A**, **1B**, eine erste Metalllage, in welcher die Anschlussleitungen **2** in Form von Metallabschnitten ausgebildet sind, und die bevorzugt aus polykristallinem Silizium gefertigten

Adressleitungen WL0-WL3. Die Anschlussleitungen **2** sind mit Metallverbindungen („vias“) **3 (3A-3J)** mit der Diffusionsschicht **1A** bzw. **1B** verbunden. Diese Elemente entsprechen den unter Bezugnahme auf [Fig. 3](#) in der Beschreibungseinleitung bereits genau beschriebenen Elementen, die dortige Beschreibung trifft ebenso auf das erfindungsgemäße Ausführungsbeispiel zu.

**[0045]** In einer zweiten Metalllage sind die Potenzialleitungen VSS0 und VSS1 sowie die Bitleitungen BL0 und BL1 angeordnet, so dass sie senkrecht zu den Adressleitungen WL0-WL3 verlaufen. Im Gegensatz zu den in [Fig. 3](#) dargestellten herkömmlichen ROM sind die Potenzialleitungen VSS0, VSS1 und die Bitleitungen BL0, BL1 alternierend angeordnet. Dies hat den Vorteil, dass die Bitleitungen BL0 und BL1 weiter voneinander entfernt sind und die dazwischen liegende Potenzialleitung VSS1 eine Abschirmung der Bitleitungen BL0 und BL1 voneinander bewirkt. Hierdurch wird die Gefahr eines Übersprechens zwischen den Bitleitungen wesentlich reduziert.

**[0046]** Die Potenzialleitungen VSS0 und VSS1 sind mit Metallverbindungen **4A, 4C, 4D** und **4F** mit den Anschlussleitungen **2A, 2C, 2D** bzw. **2F** elektrisch leitend verbunden. Zudem sind die Bitleitungen BL0 und BL1 mit Metallverbindungen **5B, 5E** und **5G** elektrisch leitend mit den Anschlussleitungen **2B, 2E** und **2G** verbunden. Somit wird durch das Layout von [Fig. 1](#) der in [Fig. 2](#) dargestellte Schaltplan realisiert. Insbesondere sind die Anschlussleitungen **2H, 2I** und **2J** im Gegensatz zum Stand der Technik schwebend, d. h. sie sind weder mit der Potenzialleitung VSS1 noch mit der Bitleitung BL1 verbunden. Dies hat eine geringere parasitäre Kapazität der Bitleitung BL1 zur Folge, was ein Übersprechen zwischen den benachbarten Speicherzellen verringert.

**[0047]** Selbstverständlich ist das dargestellte ROM lediglich als Beispiel zu sehen, welches in vielfältiger Weise modifiziert oder abgewandelt werden kann. Beispielsweise ist es möglich, den Speicherbaustein statt auf Siliziumbasis auf Basis eines anderen Halbleiters zu realisieren. Die Adressleitungen WL0-WL3 können statt aus polykristallinem Silizium prinzipiell auch aus Metall gefertigt sein. Die Polaritäten können – wie bereits in der Beschreibungseinleitung unter Bezugnahme auf [Fig. 3](#) und [Fig. 4](#) erläutert – vertauscht werden, so dass die auf logisch „0“ programmierten Speicherzellen auf logisch „1“ programmiert sind und umgekehrt. Schließlich ist prinzipiell auch eine Übertragung des erfindungsgemäßen Konzeptes auf andere Speicheranordnungen als ROMs denkbar, für wiederholt programmierbare Bausteine müssen die festen Metallverbindungen **4A-4F** sowie **5B-5G** durch schaltbare oder veränderbare Verbindungen ersetzt werden.

## Patentansprüche

1. Speicheranordnung, wobei die Speicheranordnung eine Mehrzahl von Speicherzellen umfasst, wobei jede der Speicherzellen einen Transistor (T1-T8) mit zwei Anschlüssen (**2A-2J**) und einen Steueranschluss umfasst, wobei die Speicheranordnung Adressleitungen, Bitleitungen und mindestens eine Potenzialleitung umfasst, wobei jeweils eine Kombination aus einer der Adressleitungen und einer der Bitleitungen einer der Speicherzellen zugeordnet ist, wobei der Steueranschluss jedes Transistors mit der der jeweiligen Speicherzelle zugeordneten Adressleitung verschaltet ist, wobei bei Speicherzellen, welche in einem ersten Speicherzustand sind, einer der zwei Anschlüsse des Transistors (T1, T2, T4, T5) mit der der Speicherzelle zugeordneten Bitleitung (BL0, BL1) und der andere der zwei Anschlüsse des Transistors (T1, T2, T4, T5) mit der mindestens einen Potenzialleitung (VSS0, VSS1) verbunden ist, **dadurch gekennzeichnet**, dass bei mindestens einer Speicherzelle, welche in einem zweiten Speicherzustand ist, keine Verbindung der zwei Anschlüsse des Transistors (T7, T8) mit einer der Bitleitungen (BL0, BL1) oder der mindestens einen Potenzialleitung (VSS0, VSS1) besteht.

2. Speicheranordnung nach Anspruch 1, dadurch gekennzeichnet, dass der erste Speicherzustand einer logischen „0“ und der zweite Speicherzustand einer logischen „1“ entspricht.

3. Speicheranordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die Mehrzahl von Speicherzellen in einer Matrix angeordnet sind, dass eine Anzahl der Adressleitungen einer Anzahl der Zeilen der Matrix entspricht, wobei die Adressleitungen (WL0, WL1, WL2, WL3) in Richtung der Zeilen der Matrix laufen, und dass eine Anzahl der Bitleitungen (BL0, BL1) einer Anzahl der Spalten der Matrix entspricht und die Bitleitungen (BL0, BL1) in Richtung der Spalten der Matrix verlaufen.

4. Speicheranordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Bitleitungen (BL0, BL1) und die mindestens eine Potenzialleitung (VSS0, VSS1) derart angeordnet sind, dass zwischen jeweils zwei der Bitleitungen (BL0, BL1) die mindestens eine Potenzialleitung (VSS0, VSS1) verläuft.

5. Speicheranordnung nach Anspruch 3 und 4, dadurch gekennzeichnet, dass eine Anzahl der mindestens einen Potenzialleitung (VSS0, VSS1) gleich der Anzahl der Bitleitungen (BL0, BL1) ist, und dass

die Potenzialleitungen (VSS0, VSS1) und die Bitleitungen (BL0, BL1) parallel verlaufend und alternierend angeordnet sind.

6. Speicheranordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Speicheranordnung zwei benachbarte Speicherzellen umfasst, deren Transistoren einen gemeinsamen Anschluss aufweisen.

7. Speicheranordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Anschlüsse der Transistoren (T1-T8) Metallabschnitte (**2A-2J**) umfassen.

8. Speicheranordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Bitleitungen (BL1, BL0) und/oder die mindestens eine Potenzialleitung (VSS0, VSS1) als Metallleitung ausgebildet ist.

9. Speicheranordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Verbindungen der zwei Anschlüsse der Transistoren (T1, T2, T4, T5) der Speicherzellen mit dem ersten Speicherzustand mit der zugeordneten Bitleitung (BL0, BL1) und der mindestens einen Potenzialleitung (VSS0, VSS1) Metallverbindungen sind.

10. Speicheranordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Speicheranordnung ein Nur-Lese-Speicher ist.

11. Verfahren zum Programmieren einer Speicheranordnung, wobei die Speicheranordnung eine Mehrzahl von Speicherzellen umfasst, wobei jede der Speicherzellen einen Transistor (T1-T8) mit zwei Anschlüssen (**2A-2J**) und einen Steueranschluss umfasst, wobei der Nur-Lesespeicher Adressleitungen, Bitleitungen und mindestens eine Potenzialleitung umfasst, wobei jeweils eine Kombination aus einer der Adressleitungen und einer der Bitleitungen einer der Speicherzellen zugeordnet ist, wobei der Steueranschluss jedes Transistors mit der der jeweiligen Speicherzelle zugeordneten Adressleitung verschaltet ist, wobei zur Programmierung einer der Speicherzellen in einen ersten Speicherzustand einer der zwei Anschlüsse des Transistors (T1, T2, T4, T5) der Speicherzelle einer der zwei Anschlüsse des Transistors mit der zugeordneten Bitleitung (BL0, BL1) und der andere der zwei Anschlüsse des Transistors (T1, T2, T4, T5) der Speicherzelle mit der mindestens einen Potenzialleitung (VSS0, VSS1) verbunden wird, dadurch gekennzeichnet, dass zur Programmierung einer weiteren der Speicherzellen in einen zweiten Speicherzustand keine Verbindungen zwischen den Anschlüssen des Tran-

sistors der Speicherzelle und der zugeordneten Bitleitung (BL0, BL1) oder der mindestens einen Potenzialleitung (VSS0, VSS1) hergestellt wird.

12. Verfahren nach Anspruch 11, dadurch gekennzeichnet, dass die Verbindungen zur Programmierung einer Speicherzelle in den ersten Speicherzustand Metallverbindungen sind.

13. Verfahren nach Anspruch 10 oder 11, dadurch gekennzeichnet, dass die Speicheranordnung ein Nur-Lese-Speicher ist.

14. Verfahren nach einem der Ansprüche 10 bis 13, dadurch gekennzeichnet, dass die Programmierung bei der Herstellung der Speicheranordnung durchgeführt wird.

15. Verfahren nach einem der Ansprüche 11 bis 14, dadurch gekennzeichnet, dass das Verfahren zur Programmierung eines Nur-Lesespeichers nach einem der Ansprüche 1-10 durchgeführt wird.

Es folgen 2 Blatt Zeichnungen

Anhängende Zeichnungen

