

200812017

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96115066

※申請日期：96.4.27

※IPC 分類：H01L ²³/₂₈
(2006.01)

一、發明名稱：(中文/英文)

具有強化焊料柱之模化系統級封裝及減低半導體晶粒上於製造中之機械應力的方法

MOLDED SIP PACKAGE WITH REINFORCED SOLDER COLUMNS
AND METHOD OF REDUCING MECHANICAL STRESS ON A
SEMICONDUCTOR DIE DURING FABRICATION

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商桑迪士克股份有限公司
SANDISK CORPORATION

代表人：(中文/英文)

麗莎 K 托斯
TOTH, LIZAK.

住居所或營業所地址：(中文/英文)

美國加州謬佩塔斯市麥卡錫大道601號
601 MCCARTHY BOULEVARD, MILPITAS, CA 95035, U.S.A.

國籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 6 人)

姓 名：(中文/英文)

1. 邱錦泰
CHIU, CHIN-TIEN
2. 漢 塔基亞
TAKIAR, HEM
3. 劉輝
LUI, HUI
4. 周賈發
ZHU, JAVA
5. 張簡杰
CHANG-CHIEN, JACK
6. 奇門 育
YU, CHEEMEN

國 籍：(中文/英文)

1. 中華民國 TAIWAN
2. 美國 U.S.A.
3. 中華人民共和國 P.R.C.
4. 中華人民共和國 P.R.C.
5. 中華民國 TAIWAN
6. 美國 U.S.A.

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國；2006年04月28日；11/414,526

2. 美國；2006年04月28日；11/414,780

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明各實施例係關於一種積體電路、及一種自該積體電路形成之半導體晶粒封裝，其包含用於在製造期間將結構支撐添加至封裝之焊料柱。

【先前技術】

對可攜式消費者電子裝置之需求之強勁增長正推動著對大容量儲存裝置之需要。諸如快閃記憶體儲存卡之非易失性半導體記憶體裝置正廣泛用於滿足對數位資訊儲存及交換之日益增長之需求。其可攜性、通用性及堅固設計連同其高可靠性及大容量已使此類記憶體裝置理想地用於種類繁多之電子裝置中，包括，例如數位相機、數位音樂播放器、視訊遊戲控制臺、PDA及蜂巢式電話。

半導體封裝的一個分支牽扯使用一引線框架，該引線框架係一上面可安裝一個或多個半導體晶粒之金屬薄層。該引線框架包含用於將電信號自一個或多個半導體傳遞至一印刷電路板或其他外部電裝置之電引線。常見的基於引線框架之封裝包含塑膠小外型封裝(PSOP)、薄小外型封裝(TSOP)、及收縮小外型封裝(SSOP)。習用引線框架封裝中之組件顯示於圖1中。例如，所示組件可用於一TSOP封裝中。封裝20包含一對安裝於引線框架24上之半導體晶粒22。晶粒22係藉助焊絲30絲焊至引線框架之電引線26及28。於各實施例中，可使電引線26形成角度以提供一下移構造。在絲焊過程後，可以一習知過程將半導體晶粒22、

焊絲30及引線26與28之部分囊封於模化複合物30中以形成半導體晶粒封裝20。

通常TSOP封裝20可作為一系統級封裝(SiP)或多晶片模組(MCM)之部分包含在內，其中複數個晶粒安裝於一諸如印刷電路板之基板上。該基板通常可包含一剛性介電基座，其具有一蝕刻在相應側上通常為銅或銅合金之導電圖案。例如，參見先前技術之圖2，可在一習知表面安裝過程中將TSOP封裝20連同其他電子組件一起表面安裝至一諸如印刷電路板32之基板。一旦在封裝20、其他電子組件與基板32之間形成電連接，則通常在一轉移模化過程(顯示發生於圖2中)中將該總成包封於一模化複合物34中以形成一受保護之SiP半導體封裝。

於轉移模化過程期間，模化機器可輸出一通常約為0.8噸之噴射力以將模化複合物34驅動至模型腔中及表面安裝組件周圍。如圖2中所示，習用轉移模化過程之一問題在於模化複合物34在表面安裝組件(例如，TSOP封裝20)之頂部上面較進入該組件之底表面與印刷電路板32之間的空間內行進得更快。藉助轉移模化過程之高壓，TSOP封裝20上面的模化複合物在該封裝之頂部上產生大的向下力(由箭頭A指示)。對於具有一約為4.5毫米×2.5毫米之佔用面積之晶粒封裝而言，封裝20頂部上的向下力可約為1.2 kgf/mm²之數量級。由於在模化過程期間封裝下方存在一空隙，故此等力在TSOP封裝20內產生大的應力。

過去，封裝內之晶粒較佳能夠承受此等在轉移模化過程

期間所產生之應力。然而，朝更小形式因子封裝方向之不斷推進要求極薄之晶粒。當前已知在半導體製造過程期間採用晶圓背研磨以使晶粒變薄至一約為2密耳至13密耳之範圍。於此等厚度下，晶粒通常不能承受模化過程期間所產生之應力且其可能破裂。晶粒在模化過程之應力下破裂通常將導致必須擯棄之封裝。若此情形出現在TSOP封裝製造過程後及在SiP封裝製造過程結束時，此會成為一尤其在成本上難於負擔之問題。

【發明內容】

本發明各實施例係關於一種積體電路、及一種自該積體電路形成之半導體晶粒封裝，其包含用於在製造期間將結構支撐添加至封裝之焊料柱。該等焊料柱可以各種數量及圖案施加至一諸如印刷電路板之基板以將一安裝至該基板之基於引線框架之封裝在結構上支撐於該等焊料柱之頂部上。可在習知焊料施加過程中以一焊膏形式或以焊錫球形式來施加該等焊料柱。

在將該等焊料柱施加至該基板後，即可於一習知SMT或其他安裝過程中將一基於引線框架之半導體封裝表面安裝至該基板。例如，該基於引線框架之半導體封裝可係一TSOP半導體封裝，但本發明亦涵蓋其他封裝及電子組件。然後，可加熱該基板以使該等焊料柱中之焊料回熔並硬化，且將該基於引線框架之半導體封裝牢固地附加至該基板。

該等焊料柱之高度經設置以在該表面安裝過程後可與該

基於引線框架之半導體封裝之底表面接觸。在施加時，該等焊料柱之高度可略大於該基於引線框架之半導體封裝與該基板之間的空間，以便在該封裝表面安裝至該基板時該封裝略壓縮該等柱。此確保該封裝與焊料柱之間的良好接觸及該等焊料柱之良好結構支撐。

在該等組件表面安裝至該基板後，由此所形成之積體電路可囊封於一模化複合物中以形成一成品 SiP 半導體封裝。在囊封過程期間，該等焊料柱用於顯著地減低該基於引線框架之半導體封裝內之機械應力。特定而言，在與該基於引線框架之封裝之底表面接觸後，該等焊料柱提供一相等而方向相反之力以抵消囊封過程期間模化複合物施加於該基於引線框架之半導體封裝上之力。

【實施方式】

現將參照圖 3 至 10 來闡述本發明各實施例，本發明各實施例係關於包含用於在製造期間將結構支撐添加至封裝之焊料柱的一積體電路、及一自該積體電路形成之半導體晶粒封裝。應瞭解，本發明可以諸多不同之形式實施而不應視為僅限於本文所述各實施例。而是，提供此等實施例旨在使本揭示內容透徹且完整並將本發明全面傳達給熟習此項技術者。當然，本發明意欲涵蓋此等實施例之替代形式、修改及等效形式，此等替代形式、修改及等效形式包含於由隨附申請專利範圍所界定之本發明範疇及精神內。此外，於下文對本發明之詳細說明中，列出眾多具體細節以提供對本發明之一透徹瞭解。然而，熟習此項技術者將

易知，無需此等具體細節亦可實施本發明。

首先參照圖3之流程圖及圖3至6之剖面側視圖闡述本發明各實施例。圖4顯示一上面可形成一SiP半導體封裝之基板100。基板100可係一用於批量處理複數個半導體封裝之基板面板之部分。應瞭解，本發明並非侷限於SiP半導體封裝，而是本發明可用於製造複數種不同之半導體封裝構造。

基板100可係各種不同之晶片載體媒介，其中包含一PCB、一引線框架或一捲帶式自動接合(TAB)捲帶。若基板100係PCB，則該基板可由一芯106形成，芯106具有一形成於芯106之頂表面上之頂導電層108及一形成於該芯之底表面上之底導電層110。芯106可由各種介電材料形成，例如(舉例而言)聚醯亞胺、層壓板、包含FR4及FR5之環氧樹脂、雙馬來醯亞胺三嗪(BT)、及類似物。雖然對本發明並非決定性，但芯106可具有一在40微米至200微米之間的厚度，但在替代實施例中芯厚度可變化超出彼範圍。於替代實施例中，芯106可係陶瓷或有機物。

導電層108及110可由以下材料形成：銅或銅合金、鍍銅或鍍銅合金、合金42 (42Fe/58Ni)、鍍銅鋼、或其他已知供在基板上使用之金屬及材料。層108及110可具有一約為10微米至24微米之厚度，但於替代實施例中層108及110之厚度可變化超出彼範圍。

現在參見圖3之流程圖，可藉由下述方式來製造基板100：首先於步驟180中鑽製穿過基板之通孔或通路，並於

步驟182中鍍敷該等孔以允許導電層108與110之間電聯通。接下來，可於步驟184中清理層108及110，且隨後以一導電圖案蝕刻該等層以在層108及110中形成一用於信號及電壓(電力/接地)傳遞之電跡線網路。一用於在基板100上形成導電圖案之過程包含在層108及110表面上施加一光阻劑膜之步驟186。然後，可於步驟188中在該光阻劑膜上置放一包含導電圖案輪廓之圖案遮罩。光阻劑膜經曝光(步驟190)及顯影(步驟192)以自導電層上被蝕刻之區域移除光阻劑。接下來，於步驟194中使用諸如氯化鐵之蝕刻劑蝕刻掉已暴露之區域以在芯上界定導電圖案。接下來，於步驟196中移除光阻劑。本發明亦涵蓋其他用於在基板100上形成導電圖案之已知方法。一旦經圖案化，即在步驟198中藉助一焊料遮罩112層壓頂及底導電層108、110以提供圖4中所示之結構。

於步驟200中，如圖5中所示，可使焊料遮罩112顯影以暴露導電圖案上之區域116、118及120。區域116可形成焊墊，如下文所解釋，諸如TSOP半導體封裝之電子組件可表面安裝至該等焊墊。區域118可形成用於在成品SiP半導體封裝與一外部主機裝置之間建立電連接之接觸指。且如下文所解釋，根據本發明之實施例，區域120可用於接納焊料柱。區域120可約為300平方微米，但應瞭解，於本發明之替代實施例中區域120可大於或小於該面積。可存在遠多於圖式中所示之區域116、118及120。

為方便組件之表面安裝並保護接觸指，可在步驟202中

以一習知電鍍過程給區域116、118及120鍍敷一電阻金屬層。可給導電圖案之區域116、118及120鍍敷一諸如(舉例而言)金之金屬膜，但於替代實施例中，可將其他金屬(包含錫、錫-鉛及鎳)鍍敷於導電圖案上。如圖6中所示，鍍敷區域116可形成焊墊126而鍍敷區域118可形成接觸指128。

於步驟204中，如圖6中所示，可將焊料柱130施加至鍍敷區域120。在如下文所解釋表面安裝一基於引線框架之半導體封裝後，焊料柱將為該基於引線框架之封裝提供結構支撐以在後續囊封過程期間減低該基於引線框架之封裝上之機械應力。移除區域120中之焊料遮罩112以提供一金屬表面，焊料柱130可黏附至該金屬表面。然而，應瞭解，實際上並不需要在形成於導電層108內之電導圖案與焊料柱130之間建立電連接。

可在一習知焊料印刷過程中將焊料以一焊膏形式施加至區域120。作為一以焊料印刷過程所施加之焊膏之替代，應瞭解，焊料柱可由習知結構之焊錫球形成並以一焊錫球置放過程來施加。本發明進一步涵蓋可替代焊膏或焊錫球用以在該囊封過程期間支撐基於引線框架之封裝之其他結構剛性材料。此等結構剛性材料可在施加至基板100時即為結構剛性，或可在一加熱或固化過程後變為結構剛性。

現在參照圖7之俯視圖中的圖6之剖視圖，如下文所解釋，可將焊料柱設置在適當位置處以相對於一其上所安裝之基於引線框架之半導體封裝之底表面相對均勻地分佈。於圖6及7中所示之實施例中，存在五個定位成一十字形圖

案的此類焊料柱130。如下文之更詳細解釋，應瞭解，於本發明之替代實施例中，可在基板100上設置少於五個或遠多於五個之焊料柱130，且在本發明之替代實施例中焊料柱可在基板100上佈置成各種其他圖案。

圖8係一顯示根據本發明用於連續製造一半導體封裝之步驟之流程圖。於步驟206中，可在一習知SMT或其他安裝過程中藉由將封裝140之引線纖焊至焊墊126將一基於引線框架之半導體封裝140(圖9)表面安裝至基板100。基於引線框架之半導體封裝140可係各種基於引線框架之半導體封裝中之任一種，例如，其中包含一如本發明先前技術中所述之TSOP封裝。基於引線框架之封裝140可包含一個或多個半導體晶粒，例如，該半導體晶粒可係快閃記憶體晶片(NOR/NAND)、SRAM或DDT、及/或一諸如ASIC之控制器晶片。然而，應瞭解，基於引線框架之半導體封裝140之構造對本發明並非係決定性且本發明涵蓋其他半導體晶片封裝。除基於引線框架之半導體封裝140外，於本發明之實施例中，可在步驟180中將其他電子組件表面安裝至基板100。

可在將焊料施加至焊墊126之同時施加焊料柱130以表面安裝封裝140。於替代實施例中，可在將焊料施加至焊墊126之前或之後施加焊料柱130。於步驟208中，加熱基板以使焊料柱中之焊料回熔並硬化且將經表面安裝之組件牢固地附加在焊墊處。應瞭解，可以一不同於用於將經表面安裝之組件固定至基板100之加熱過程使焊料柱回熔。

於實施例中，焊料柱130之高度經設置以在表面安裝過程後與基於引線框架之半導體封裝140之底表面接觸。於實施例中，基於引線框架之半導體封裝140之底表面在基板以上之高度可在50微米與150微米之間，但應瞭解，於替代實施例中封裝140與基板100之間的空間可小於或大於該高度。在施加時焊料柱130之高度可略大於基於引線框架之半導體封裝140與該板之間的空間，以便在將封裝140表面安裝至基板100時封裝140略壓縮柱130。此確保封裝140與焊料柱之間的良好接觸、及焊料柱之良好結構支撐。應瞭解，於替代實施例中，柱130可與封裝140與基板100之間的空間為同一高度，或者焊料柱130可略短於封裝140與基板100之間的空間。焊料柱可具有一約為150微米之直徑(於一通常平行於基板100表面之平面內)，但應瞭解，於替代實施例中柱130之直徑可小於或大於該直徑。

由於焊料柱130並不形成一電路之分部，因此可將接納焊料柱130之鍍敷區域120電耦合至基板100上之其他電端子(例如，焊墊116)，或者可使區域120與其他電端子電隔離。於本發明之其他實施例中，可將接納焊料柱130之鍍敷區域120電連接至接地。

經安裝之基於引線框架之半導體封裝140及任何其他電子組件可在基板100上界定一積體電路。現在參見圖10，在基板100上形成積體電路後，可於步驟210(圖8)中將積體電路囊封於一模化複合物144中以形成一成品SiP半導體封裝150。值得注意的是，在囊封過程期間，焊料柱130用於

顯著減低基於引線框架之半導體封裝 140 內之機械應力，機械應力係模化複合物 144 在基於引線框架之半導體封裝 140 頂部上比在封裝 140 下方流動得快之一結果。特定而言，在與基於引線框架之封裝 140 之底表面接觸後，焊料柱提供一相等而方向相反之力來抵消模化複合物 144 在囊封過程期間施加至基於引線框架之半導體封裝 140 上之力。因此，焊料柱 130 有效地減低機械應力並防止半導體晶粒在基於引線框架之封裝 140 內破裂，而在習用 SiP 封裝中此破裂通常出現在囊封過程期間。

雖然上文已關於為經表面安裝之半導體封裝提供支撐闡述了本發明，但應瞭解，本發明可用於為表面安裝在基板 100 上之其他電子組件提供支撐。特定而言，可將焊料柱設置在各種經表面安裝之電子組件下方以在囊封過程期間為該等電子組件提供支撐。

如上文所示，雖然圖式中顯示五個焊料柱，但應瞭解，本發明之替代實施例中可提供少於五個及遠多於五個之焊料柱。例如，若基於引線框架之半導體封裝 140 係一習用 44 引腳 TSOP 封裝，則可存在介於 40 個與 70 個之間的焊料柱，且更特定而言，介於 50 個與 60 個之間的焊料柱，該等焊料柱佈置成一均勻地分佈在封裝 140 下表面以下之柵格形式。此外，於其他實施例中，可僅存在一個具有相對大直徑之單個焊料柱以在封裝 140 下方提供支撐。本發明進一步涵蓋替代個別焊料柱，可在封裝 150 下方施加呈各種幾何形狀(例如環形、正方形、矩形等)之焊料或其他結構

材料以達成本發明之支撐及應力減低特性。

SiP封裝150可用於各種應用中之任一種應用，例如，其中包含用作一快閃記憶體卡，例如，一由加利福尼亞Sunnyvale的SanDisk公司製造之SD-USB快閃記憶體裝置。本發明涵蓋其他快閃記憶體裝置，例如(舉例而言)一SD卡、一緊密型快閃、一智慧媒體、一小型SD卡、一MMC、一xD卡、一Transflash或一記憶體棒。應瞭解，SiP封裝150可用於各種其他半導體裝置應用中。

出於例證及說明之目的，上文已對本發明進行了詳細說明。本說明並非意欲包羅無遺或將本發明限制於所揭示的具體形式。根據上文之教示亦可作出許多種修改及改變。所述各實施例之選擇旨在最佳地解釋本發明之原理及其實際應用，藉以使其他熟習此項技術者能夠以適合於所構想具體應用之各種實施例形式及使用各種修改來最佳地利用本發明。本發明之範疇意欲由隨附申請專利範圍來界定。

【圖式簡單說明】

圖1係一習用TSOP半導體封裝之剖面側視圖。

圖2係一在囊封過程期間安裝於一基板上之TSOP封裝之側視圖。

圖3係一根據本發明用於構造一積體電路及半導體封裝之流程圖。

圖4係一供在本發明中使用之基板之剖面側視圖。

圖5係一如圖4中之基板之剖面側視圖，其中焊料遮罩經顯影以暴露導電圖案之區域。

圖6係一如圖5中之基板之剖面側視圖，且根據本發明一實施例其進一步包含設置於基板上之焊料柱。

圖7係一根據本發明一實施例包含焊料柱之基板之俯視圖。

圖8係一流程圖，其圖解說明一根據本發明各實施例用於完成半導體封裝之製造之步驟。

圖9係一如圖6中之基板之剖面側視圖，且其進一步包含一表面安裝至基板之半導體封裝以形成一積體電路。

圖10圖解說明一根據本發明各實施例包含焊料柱之整套半導體封裝。

【主要元件符號說明】

20	半導體晶粒封裝
22	半導體晶粒
24	引線框架
26	引線
28	引線
30	焊絲(模化複合物)
32	印刷電路板
34	模化複合物
100	基板
106	芯
108	頂導電層
110	底導電層
112	焊料遮罩

116	焊墊
118	區域
120	區域
126	焊墊
128	接觸指
130	焊料柱
140	封裝
144	模化複合物

五、中文發明摘要：

本發明揭示一種積體電路及一種自該積體電路形成之半導體晶粒封裝，其包含用於在製造過程期間將結構支撐添加至封裝之焊料柱。

六、英文發明摘要：

An integrated circuit, and a semiconductor die package formed therefrom, are disclosed including solder columns for adding structural support to the package during the fabrication process.

十、申請專利範圍：

1. 一種包含一基板及一電子組件之積體電路，該電子組件具有用於將該電子組件安裝於該基板上之引線以使該電子組件之一表面與該基板之一毗鄰表面間隔開，該積體電路包括：

一個或多個結構剛性材料柱，該等柱定位於該基板上，延伸於該電子組件之該表面與該基板之該毗鄰表面之間並與該電子組件之該表面接觸。

2. 如請求項1之積體電路，其中該結構剛性材料係經回熔之焊膏。

3. 如請求項1之積體電路，其中該結構剛性材料係經回熔之焊錫球。

4. 如請求項1之積體電路，其中該結構剛性材料係在一加熱過程中接合至該基板之一金屬表面。

5. 如請求項1之積體電路，其中該一個或多個結構剛性材料柱包括複數個柱，該複數個柱延伸於該電子組件之該表面與該基板之該毗鄰表面之間並與該電子組件之該表面接觸。

6. 如請求項5之積體電路，其中該複數個柱佈置成一均勻分佈於該基板之表面上之柵格。

7. 如請求項1之積體電路，其中該一個或多個柱中之一個柱具有一約為50微米至150微米之高度。

8. 如請求項1之積體電路，其中該一個或多個柱中之一個柱具有一約為50微米至150微米之直徑。

9. 一種半導體封裝，其包括：

一基板；

一電子組件，其具有引線以用於將該電子組件安裝於該基板上，使該電子組件之一表面與該基板之一毗鄰表面間隔開；

一個或多個焊料柱，其定位於該基板上，延伸於該電子組件之該表面與該基板之該毗鄰表面之間並與該電子組件之該表面接觸；及

一模化複合物，其用於在一模化過程中囊封該電子組件，該一個或多個焊料柱在該模化過程期間減低該電子組件上之一機械應力。

10. 如請求項9之半導體封裝，其中該一個或多個焊料柱係由沈積於該基板上並於一加熱過程中硬化之焊膏所形成。

11. 如請求項9之半導體封裝，其中該一個或多個焊料柱係由沈積於該基板上並於一加熱過程中硬化之焊錫球所形成。

12. 如請求項9之半導體封裝，其中該電子組件係一表面安裝於該基板上之基於引線框架之半導體封裝。

13. 如請求項9之半導體封裝，其中該電子組件係一表面安裝於該基板上之TSOP半導體封裝。

14. 如請求項9之半導體封裝，其中該一個或多個焊料柱施加至該基板之一金屬區域並於一加熱過程中硬化。

15. 如請求項14之半導體封裝，其中該電子組件係在該加熱

過程中藉由焊料附加至該基板。

16. 如請求項9之半導體封裝，其中該一個或多個焊料柱包括複數個佈置成一均勻分佈於該基板表面上之柵格之焊料柱。
17. 如請求項9之半導體封裝，其中該一個或多個焊料柱中之一焊料柱具有一約為50微米至150微米之高度。
18. 如請求項9之半導體封裝，其中該一個或多個焊料柱中之一焊料柱具有一約為50微米至150微米之直徑。
19. 如請求項9之半導體封裝，其中該半導體封裝係一SiP封裝。
20. 一種用於在一轉移模化過程期間減低一基於引線框架之電子組件上之機械應力之方法，該基於引線框架之電子組件安裝至一基板以使該基於引線框架之電子組件之一表面與該基板之一毗鄰表面間隔開，該方法包括如下步驟：
 - (a) 將一支撐結構施加至該基板，該支撐結構具有一高於該基板之高度，該高度至少約等於該基於引線框架之電子組件高於該基板的該表面之一高度；及
 - (b) 在該轉移模化過程期間將該基於引線框架之電子組件支撐於該支撐結構上。
21. 如請求項20之方法，將一支撐結構施加至該基板之該步驟(a)包括將焊料施加至該基板之金屬部分之步驟。
22. 如請求項21之方法，將一支撐結構施加至該基板之該步驟(a)包括在一回熔過程中加熱該焊料以硬化該焊料之步

驟。

23. 如請求項21之方法，在該轉移模化過程期間將該基於引線框架之電子組件支撐於該支撐結構上之該步驟(b)包括該支撐結構防止該基於引線框架之電子組件因該基於引線框架之電子組件上該模化複合物之一力而彎曲之步驟。

24. 如請求項21之方法，在該轉移模化過程期間將該基於引線框架之電子組件支撐於該支撐結構上之該步驟(b)包括該支撐結構施加一力之步驟，該力與該基於引線框架之電子複合物上該模化複合物之一力相對抗。

25. 一種用於在一轉移模化過程期間減低一基於引線框架之電子組件上之機械應力之方法，該基於引線框架之電子組件安裝至一基板以使該基於引線框架之電子組件之一表面與該基板之一毗鄰表面間隔開，該方法包括如下步驟：

(a) 暴露該基板之一金屬部分；

(b) 將一材料施加至該步驟(a)中所暴露之該金屬部分；

(c) 將該基於引線框架之電子組件表面安裝至該基板以使該基於引線框架之電子組件毗鄰該基板之該表面支撐於該材料上；及

(d) 在該轉移模化過程中將該基於引線框架之電子組件囊封於模化複合物中，該材料與由該模化複合物施加至該基於引線框架之電子組件上之一力相對抗。

26. 如請求項25之方法，其進一步包括在囊封該基於引線框

架之電子組件之該步驟(d)前加熱該材料以使該材料硬化之步驟。

27. 如請求項25之方法，其進一步包括在囊封該基於引線框架之電子組件之該步驟(d)前加熱該基板及材料以將該基於引線框架之電子組件牢固地附加至該基板並使該材料硬化之步驟。

28. 如請求項25之方法，其中將一材料施加至該金屬部分之該步驟(b)包括將一焊膏印刷於該基板之該金屬部分上之步驟。

29. 如請求項25之方法，其中將一材料施加至該金屬部分之該步驟(b)包括在一焊錫球施加過程中將一焊錫球施加至該金屬部分之步驟。

十一、圖式：

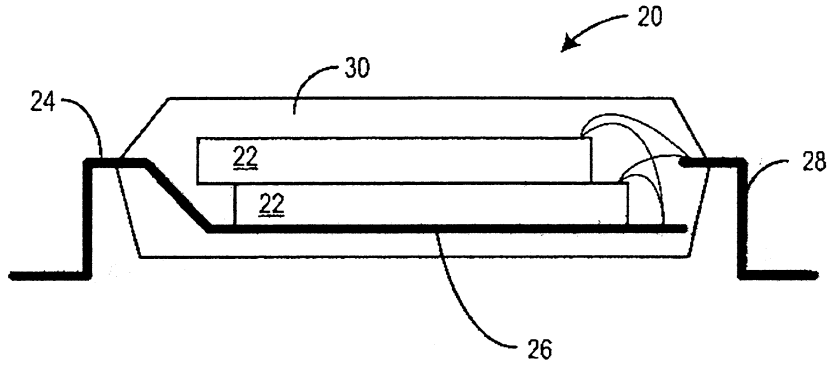


圖 1
(先前技術)

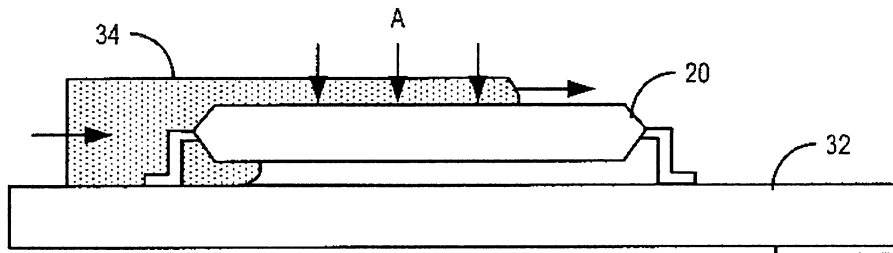


圖 2
(先前技術)

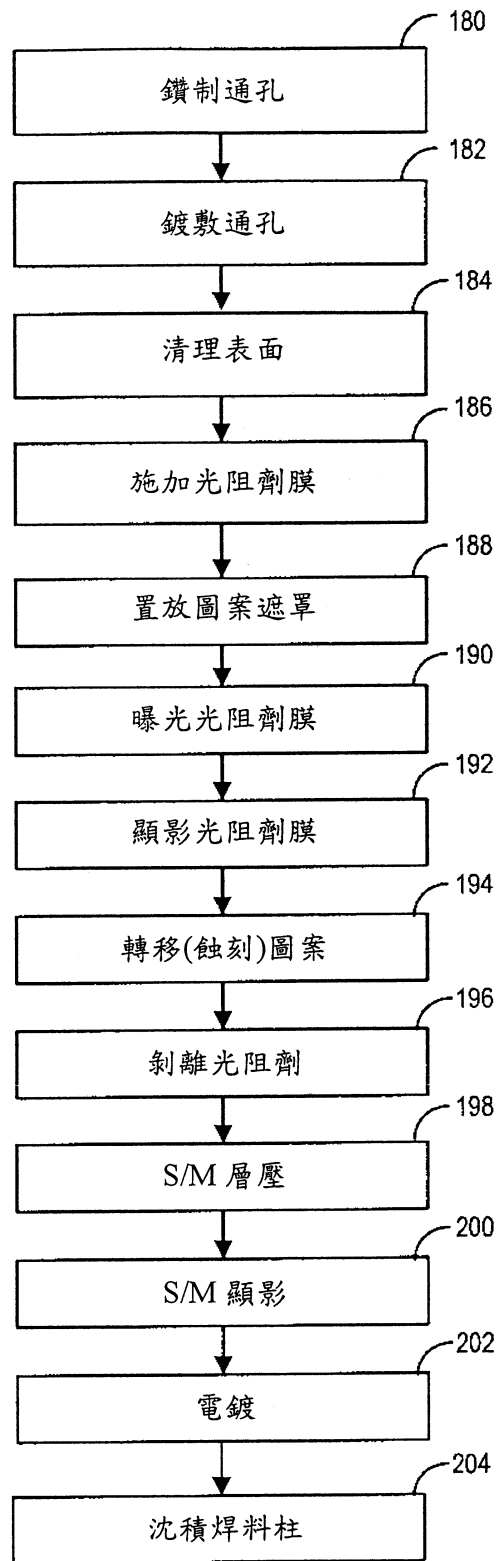


圖3

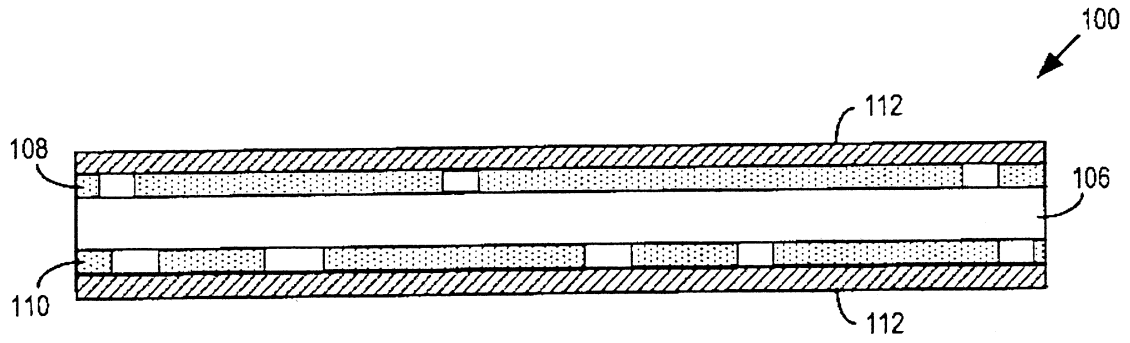


圖 4

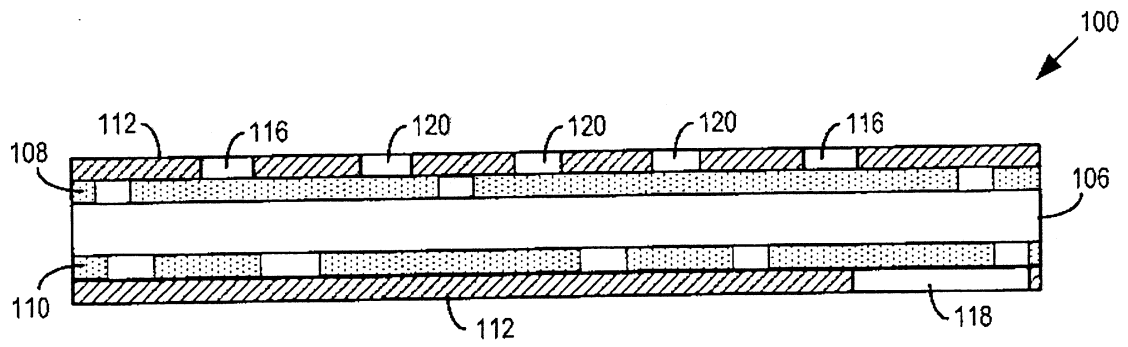


圖 5

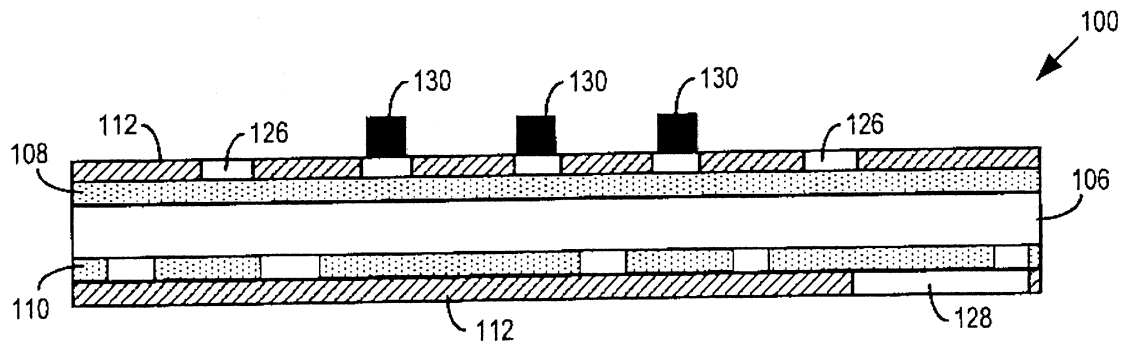


圖 6

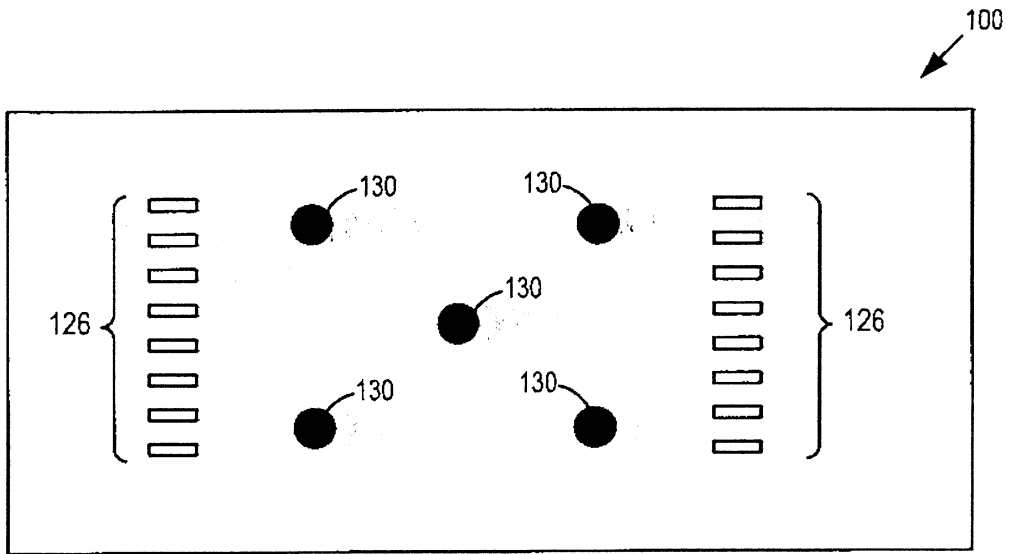


圖 7

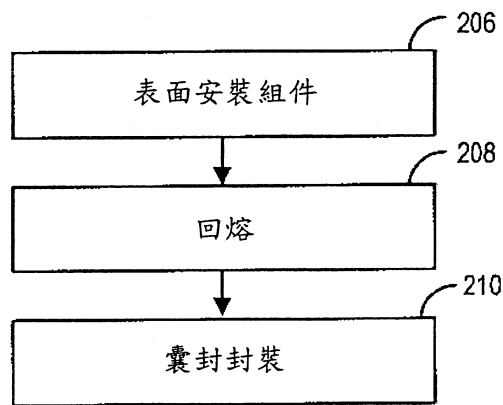


圖 8

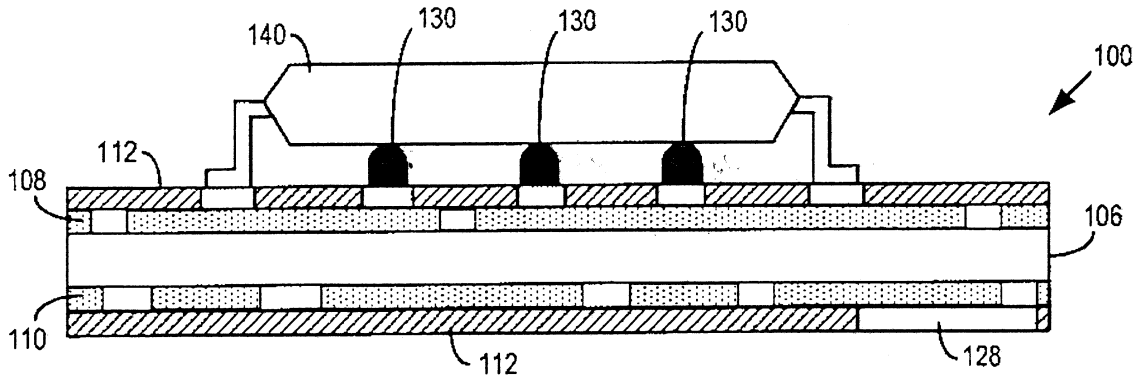


圖 9

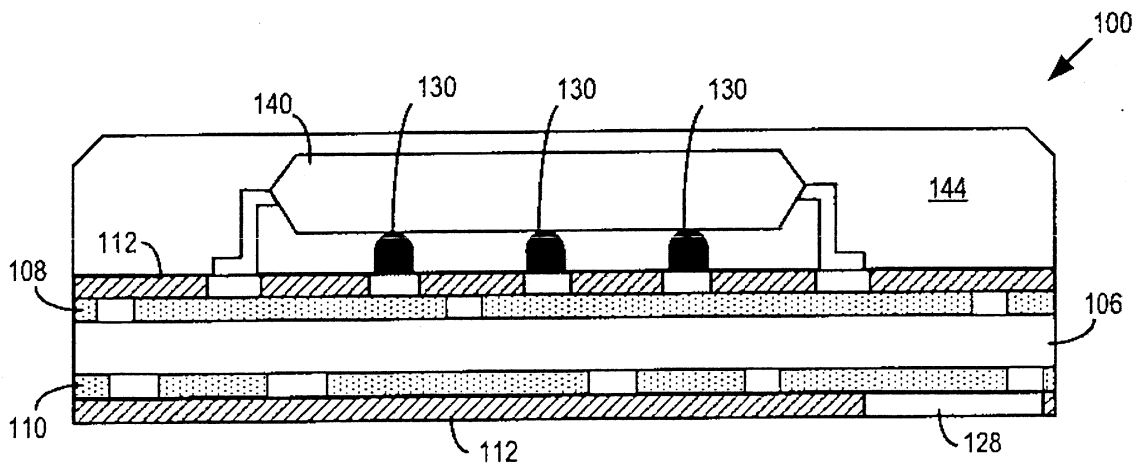


圖 10

七、指定代表圖：

(一)本案指定代表圖為：第 (10) 圖。

(二)本代表圖之元件符號簡單說明：

100	基板
106	芯
108	頂導電層
110	底導電層
112	焊料遮罩
128	接觸指
130	焊料柱
140	半導體封裝
144	模化複合物

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)