

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 24.03.98.

30 Priorité :

43 Date de mise à la disposition du public de la
demande : 01.10.99 Bulletin 99/39.

56 Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

60 Références à d'autres documents nationaux
apparentés :

71 Demandeur(s) : SGS THOMSON MICROELECTRO-
NICS SA Société anonyme — FR.

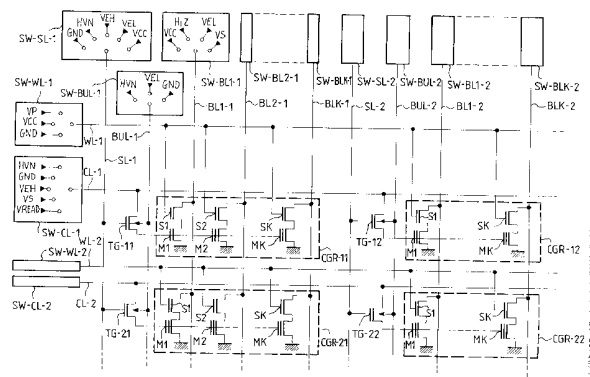
72 Inventeur(s) : GUEDJ MARC.

73 Titulaire(s) :

74 Mandataire(s) : CABINET BALLOT SCHMIT.

54 MEMOIRE A GRILLE FLOTTANTE ELECTRIQUEMENT EFFACABLE ORGANISEE EN MOTS.

57 L'invention propose une mémoire de type à grille flottante organisée en mots utilisant des tensions faibles en valeurs absolue avec un dispositif de sélection de mot fiable et peu encombrant. Le dispositif de l'invention est compatible avec les mémoires de type Flash-EEPROM. L'invention concerne un transistor TG-11 à TG-22 de type N à caisson comme transistor de sélection de mot.



Mémoire à grille flottante électriquement effaçable
organisée en mots.

L'invention concerne les mémoires mortes électriquement programmables et effaçables, dites EEPROM. Plus particulièrement, elle concerne une architecture de mémoire à grille flottante électriquement effaçable organisée en mots.

Les cellules de mémorisation des mémoires EEPROM sont généralement formées d'un transistor de mémorisation à grille flottante et d'un transistor de sélection permettant de relier le transistor de mémorisation à une ligne de mot et une ligne de bit. Les mémoires EEPROM utilisent le principe du stockage non volatil de charges sur la grille flottante du transistor à grille flottante. Classiquement, l'écriture (on parle également de programmation) se fait par injection par effet tunnel d'électrons du drain ou de la source vers la grille flottante (ou de la grille flottante vers le drain ou la source), et l'effacement se fait par injection par effet tunnel d'électrons de la grille flottante vers le drain ou la source (ou du drain ou de la source vers la grille flottante). On connaît également des mémoires EEPROM dites flash. Dans ces mémoires il n'y a pas de transistor de sélection, et les transistors de mémorisation sont directement reliés aux lignes de mot et de bit. On procède dans ce cas à un effacement global des cellules de mémorisation. Ce type de mémoire permet de diminuer la taille de la mémoire à capacité de mémorisation équivalente.

L'injection d'électrons du drain (ou de la source) vers la grille de commande d'un transistor de mémorisation se fait classiquement par mise à la masse du drain (ou de la source) de ce transistor, application d'une tension positive relativement élevée sur sa grille de commande (de l'ordre de + 15 volts) pour créer un

champ attractif, et application d'une tension positive modérée (de 6 à 9 volts) sur la source (ou le drain) pour générer des électrons chauds. Quand un nombre suffisamment important de charges négatives s'est accumulé sur la grille flottante le potentiel de la grille flottante atteint le potentiel de seuil du transistor et empêche le passage de courant dans un mode de lecture.

L'injection d'électrons de la grille flottante vers le drain (ou la source) se fait par application d'une tension positive relativement élevée (+ 15 volts) sur le drain (ou la source), la grille de commande des transistors de mémorisation étant mise à la masse, et la source (ou le drain) étant flottant. Les charges négatives sont alors extraites de la grille flottante et dirigées vers le drain (ou la source) par effet Fowler-Nordheim. L'épaisseur de l'oxyde entre la grille flottante et le drain (ou la source) doit être suffisamment faible (de l'ordre de 100 Angströms ou moins) pour permettre l'injection par effet Fowler-Nordheim.

Ce type de mémoire présente des inconvénients, notamment dans la mise en oeuvre de l'éjection des électrons des grilles flottantes :

- 25 - le courant drain-substrat (ou source-substrat) pendant l'éjection est relativement important et impose en pratique, pour des mémoires de grandes capacités, de disposer d'une source de tension positive élevée qui soit externe au circuit,
- 30 - une tension inverse relativement importante est générée entre le drains (ou les sources) et le substrat pendant l'éjection. En pratique cela impose d'utiliser des drains (ou sources) à double diffusion, ce qui diminue la densité d'implantation des cellules,
- 35 - l'application d'une tension positive relativement élevée durant l'effacement sur les drains (ou les

sources) augmente la probabilité de création de trous chauds, par effet d'avalanche à la surface de la jonction drain-substrat (ou source-substrat), ceux-ci étant piégés dans l'oxyde mince situé sous la grille flottante.

5 Pour plus de précisions sur ces phénomènes, on se reportera au brevet US-5 077 691 (par la suite D1) de Advanced Micro Devices Inc.

Dans D1, il est proposé d'effacer les cellules par application d'une tension négative relativement élevée (-
10 12 à - 17 volts) sur les grilles de commande, une tension positive relativement faible (+ 0.5 à + 5 volts) étant imposée sur les sources, le substrat étant relié à la masse, et les drains étant laissés en haute impédance. Ainsi, on peut induire un effet Fowler-Nordheim tout en
15 gardant une tension inverse source-substrat inférieur à + 5 volts. Le courant de fuite de la source vers le substrat est réduit, permettant d'alimenter la mémoire avec une seule source de tension positive externe (+ 5 volts). D'autre part cela permet d'utiliser des sources
20 comprenant une seule diffusion, ce qui limite la surface des cellules. Enfin, on peut éliminer la création de trous chauds, ce qui augmente la fiabilité de la mémoire.

Afin de réduire en valeur absolue les tensions nécessaires à la programmation et à l'effacement, la
25 demande EP-A-0 750 313 (par la suite D2) propose une mémoire organisée en mots avec duplication de la ligne de mot. Ainsi dans D2, un transistor de type P est associé à chaque mot pour commander la grille du transistor à grille flottante. Mais, il apparaît nécessaire de
30 rajouter un deuxième transistor de sélection pour polariser la grille des transistors à grille flottante lorsqu'ils ne sont pas commandés pour obtenir une mémoire plus fiable.

Un but de l'invention est de proposer une mémoire
35 de type à grille flottante organisée en mots utilisant des tensions faibles en valeurs absolue. Un deuxième but

de l'invention est de proposer un dispositif de sélection fiable et moins encombrant que le dispositif dévoilé dans D2. Un troisième but de l'invention est de proposer un système compatible avec les mémoires de type Flash-EEPROM.

L'invention propose d'utiliser un transistor de type N à caisson comme transistor de sélection. Différentes polarisations du transistor de sélection permettent d'adapter l'invention aussi bien aux mémoires EEPROM classiques qu'aux mémoires Flash-EEPROM.

L'invention a pour objet une mémoire à grille flottante électriquement programmable et effaçable, organisée en N lignes de mots et en $M * K$ lignes de bits, N, M et K étant des entiers supérieurs à 1, ladite mémoire comprenant: des cellules de mémorisation placées aux intersections des lignes de mots et des lignes de bits, chaque cellule de mémorisation comportant un transistor à grille flottante de type N pour mémoriser des états électriques, les cellules de mémorisation étant regroupées en groupe de K cellules, les K cellules d'un même groupe étant associées à une même ligne de mot et à K lignes de bits distinctes; M lignes de sélection associées aux groupes qui partagent les mêmes K lignes de bits; un transistor de groupe, associé à chaque groupe, de type N à caisson relié à la ligne de sélection associées au groupe afin de polariser les grilles des transistors à grille flottante à des potentiels déterminés en fonction de la sélection ou de la non sélection du groupe auquel le transistor de groupe est associé et dépendant du mode de fonctionnement, lecture ou écriture ou effacement, de la mémoire.

Préférentiellement la mémoire comporte au moins une ligne de caisson connectée aux caissons de tout ou partie des transistors de groupe pour polariser les caissons à des potentiel différents qui sont fonction du mode de fonctionnement, lecture ou écriture ou effacement.

Selon un mode de réalisation, la mémoire comporte au moins une ligne de référence connectée aux sources de tout ou partie des transistors à grille flottante soit pour polariser lesdites sources soit à un potentiel défini soit pour mettre lesdites sources dans un état de haute impédance.

L'invention s'applique notamment aux mémoires de type EEPROM comprenant des transistors de sélection. Dans une variante permettant d'utiliser de faibles tensions en valeur absolue, la mémoire comporte N lignes de commande parallèles aux lignes de mot pour véhiculer des potentiels différents des potentiels véhiculés par les lignes de mots, chaque ligne de commande étant associée à une ligne de mot différente.

L'invention sera mieux comprise et d'autres particularités et avantages apparaîtront à la lecture de la description qui va suivre, la description faisant référence aux dessins annexés parmi lesquels:

les figures 1 à 3 représentent des modes de réalisation de l'invention.

La figure 1 présente schématiquement un premier exemple de mise en oeuvre de l'invention.

Cette figure 1 représente une partie d'une mémoire EEPROM effaçable par groupes de K cellules de mémorisation, K nombre entier, et réalisée selon l'invention. Typiquement, K sera égal à une puissance de deux, par exemple 8 ou 16.

Cette mémoire est organisée matriciellement en N lignes de mot WL-1 et WL-2 et $M * K$ lignes de bit BL1-1, BL2-1, BLK-1, BL1-2 et BLK-2, N, M et K étant des nombres entiers (pour ne pas surcharger la description, l'exemple est représenté pour $M = N = 2$).

Cette mémoire comprend des cellules de mémorisation placées aux intersections des lignes de mots et des lignes de bits, chacune des cellules étant dans un état électrique représentatif d'un état logique binaire. Les

cellules d'un même groupe sont reliées à une même ligne de mot et à K lignes de bit distinctes.

Sur la figure 1, on a représenté une première ligne de mot WL-1 et des premier et deuxième groupes CGR-11 et CGR-12 de K cellules de mémorisation reliées à cette première ligne de mot WL-1. On a également représenté une deuxième ligne de mot WL-2 et des troisième et quatrième groupes CGR-21 et CGR-22 de K cellules de mémorisation reliées à cette deuxième ligne de mot WL-2. Chacune des K cellules (non toutes représentées) de chaque groupe est respectivement reliée à une ligne de bit parmi K lignes de bit associées au groupe, portant les références BL1-1 à BLK-1 pour les lignes de bits associées aux premier et troisième groupes CGR-11 et CGR-21 et les références BL1-2 à BLK-2 pour les lignes de bits associées aux deuxième et quatrième groupes CGR-12 et CGR-22. On comprendra bien sûr qu'une mémoire réalisée conformément à l'invention pourra contenir un nombre de plusieurs dizaines ou plusieurs centaines de milliers de groupes de cellules de mémorisation.

Les K cellules de chaque groupe CGR-11 à CGR-22 comprennent chacune un transistor de sélection, référencé respectivement S1 à SK, et un transistor de mémorisation à grille flottante, référencé respectivement M1 à MK. Dans l'exemple décrit, on suppose que la mémoire est réalisée de manière classique, en technologie MOS, à partir d'un substrat de type P. Les transistors de sélection S1 à SK et de mémorisation M1 à MK sont des transistors de type N. Les transistors de sélection S1 à SK ont leurs drains reliés respectivement aux lignes de bit BL1 à BLK associées à leur groupe. Leurs grilles de commande sont reliées à la ligne de mot WL associée à leur groupe. Enfin, chacun des transistors de sélection S1 à SK a sa source reliée respectivement au drain des transistors M1 à MK. Les transistors de sélection S1 à SK permettent de relier ou d'isoler les drains des

transistors de mémorisation M1 à MK des lignes de bit BL1 à BLK.

Les grilles de commande des transistors à grille flottante M1 à MK de chaque groupe CGR sont reliées entre elles et à la source d'un transistor de groupe TG. A
5 chacun des groupes CGR-11, CGR-12, CGR-21 et CGR-22 est associé un transistor de groupe, respectivement TG-11, TG-12, TG-21 et TG-22. Dans l'invention, le transistor de groupe TG est un transistor de type N à caisson.

10 L'homme du métier connaît ce type de transistor disponible classiquement dans les technologie CMOS double caisson (ou tripple-well) ou BiCMOS. Le substrat utilisé étant de type P, les transistors à canal de type N sont réalisés à même le substrat, les transistors à canal de
15 type P sont réalisés dans des caissons dopés N, et les transistors à canal de type N à caisson sont réalisés dans des caissons dopés P placés à l'intérieur de caissons dopés N. La particularité des transistors de type N à caisson est qu'il est possible de polariser le
20 caisson à une tension différente de celle du substrat.

Les sources des transistors à grille flottante M1 à MK des cellules de mémorisation de la mémoire sont toutes reliées à la masse.

Les transistors de groupe TG-11 et TG-12 associés
25 aux premier et deuxième groupes CGR-11 et CGR-12 ont leurs drains reliés à une première ligne de commande CL-1. Les transistors de groupe TG-21 et TG-22 associés aux troisième et quatrième groupes CGR-21 et CGR-22 ont leurs sources reliées à une deuxième ligne de commande CL-2.

30 Les grilles des transistors de groupe TG-11 et TG-21 associés aux premier et troisième groupes CGR-11 et CGR-21 sont reliées à une première ligne de sélection SL-1. Les grilles des transistors de groupe TG-12 et TG-22 associés aux deuxième et quatrième groupes CGR-12 et CGR-
35 22 sont reliées à une deuxième ligne de sélection SL-2. Les transistors de sélection TG ont leurs caissons reliés

à au moins une ligne de caisson BUL-1 et BUL-2.

Les lignes de commande CL-1 et CL-2 et de sélection SL-1 et SL-2 sont des lignes conductrices permettant de porter les grilles de commande des transistors de mémorisation M1 à MK à différents potentiels par l'intermédiaire du transistor de groupe TG, selon que l'on sélectionne ou non les cellules comprenant ces transistors, pour lire, programmer ou effacer leur contenu.

La mémoire comprend en outre:

- N circuits SW-WL-1 et SW-WL-2 de commutation de ligne de mot, reliés chacun à une des N lignes de mot WL-1 et WL-2, pour commander les potentiels desdites lignes de mot,
- N circuits SW-CL-1 et SW-CL-2 de commutation de ligne de commande, reliés chacun à une des N lignes de commande CL-1 et CL-2, pour commander les potentiels desdites lignes de commande,
- M * K circuits SW-BL1-1 à SW-BLK-1 et SW-BL1-2 à SW-BLK-2 de commutation de ligne de bit, reliés chacun à une des M * K lignes de bit BL1-1 à BLK-1 et BL1-2 à BLK-2, pour commander les potentiels desdites lignes de bit,
- M circuits SW-SL-1 et SW-SL-2 de commutation de ligne de sélection, reliés respectivement aux première et deuxième lignes de sélection SL-1 et SL-2, pour commander les potentiels desdites lignes de sélection,
- au moins un circuit SW-BUL-1 et SW-BUL-2 de commutation de caisson, relié à la au moins une ligne de caisson BUL-1 et BUL-2 pour commander le potentiel de ladite ligne de caisson.

Comme on l'a dit, le contenu des cellules se détermine au travers des caractéristiques électriques des transistors à grille flottante. Plus précisément, on qualifie le contenu des cellules par rapport à la présence ou l'absence d'électrons au niveau des grilles

flottantes. Pour effectuer la lecture d'une cellule, on impose une tension positive de lecture sur le drain de son transistor à grille flottante, le transistor de sélection de la cellule étant passant, et la source du transistor à grille flottante étant reliée à la masse. Selon la présence d'électrons ou non sur la grille flottante du transistor de mémorisation, sa grille de commande étant polarisée positivement de manière adéquate, le courant parcourant le canal de ce transistor est plus ou moins important. Par comparaison de ce courant, qui parcourt la ligne de bit associée, avec un courant de référence on détermine l'état électrique de la cellule et donc son contenu informationnel.

Dans l'exemple décrit on considère par exemple que la présence d'électrons représente un état effacé et que l'absence d'électrons représente un état programmé. On pourrait tout aussi bien convenir de la convention inverse. On ne décrira pas ici les dispositifs (amplificateurs de lecture, décodeurs de lignes de mot et de ligne de bit, etc) qui constituent classiquement une mémoire, l'invention se rapportant spécifiquement à la structure du plan mémoire.

On distingue trois types d'opération sur les cellules.

Dans un premier mode, dit de programmation, on injecte des électrons des grilles flottantes des transistors de mémorisation vers leurs drains.

Dans un deuxième mode, dit d'effacement, on injecte des électrons des drains des transistors de mémorisation vers leurs grilles flottantes.

Dans un troisième mode, dit de lecture, on polarise les transistors de mémorisation de manière à les rendre passants, la valeur du courant parcourant leur canal dépendant de l'état électrique de leur grille flottante.

Dans ces différents modes les lignes de sélection SL-1 et SL-2, de commande CL-1 et CL-2, de caisson BUL-1

et BUL-2, de mot WL-1 et WL-2 et de bit BL1-1 à BLK-1 et BL1-2 à BLK-2 sont portées à différents potentiels dépendant du mode de fonctionnement et de la sélection ou de la non-sélection desdites lignes.

5 Dans l'exemple illustré on utilise les potentiels suivants :

- un potentiel de masse GND = 0 V et un potentiel d'alimentation VCC = + 5 V (fournis par l'extérieur),

10 - un potentiel d'effacement haut VEH = + 15 V et un potentiel d'effacement bas VEL = 0 V,

- un potentiel de programmation HVN = - 8 V,

- un potentiel de sélection de ligne de mot en programmation VP = + 7 V,

15 - un potentiel de sélection de ligne de bit en lecture VS = + 2 V,

- un potentiel de commande de lecture VREAD= 2,3 V.

On note HiZ un état de haute impédance.

Typiquement les potentiels GND et VCC sont disponibles sur des broches de connexion de la mémoire.

20 Les autres potentiels sont de préférence produits de manière interne à la mémoire, ce qui permet de limiter le nombre de broches de connexion de la mémoire. Les potentiels de valeur absolue plus grande que celle de VCC sont produits par exemple à partir de circuits élévateurs de tension, appelés communément pompes de charge, dont la réalisation est bien connue de l'homme du métier.

25 Les N circuits SW-WL-1 et SW-WL-2 de commutation de ligne de mot permettent de porter le potentiel des lignes de mot WL-1 et WL-2 à l'un des potentiels VCC, VEH, HVN, VP ou GND.

30 Les N circuits SW-CL-1 et SW-CL-2 de commutation de ligne de commande permettent de porter le potentiel des lignes de commande CL-1 et CL-2 à l'un des potentiels VS, VEH, HVN, VREAD ou GND.

35 Les M * K circuits SW-BL1-1 à SW-BLK-2 de commutation de ligne de bit permettent de porter le

potentiel des lignes de bit BL1-1 à BLK-2 à l'un des potentiels VCC, VS ou VEL, ou de mettre ces lignes en état de haute impédance HiZ.

Les circuits SW-SL-1 et SW-SL-2 de commutation de
5 ligne de sélection permettent de porter le potentiel des lignes de sélection SL-1 à l'un des potentiels VCC, VEH, VEL, HVN ou GND.

Le au moins un circuits SW-BUL-1 et SW-BUL-2 de commutation de caisson permet de porter le potentiel de
10 la au moins une ligne de caisson BUL-1 et BUL-2 à l'un des potentiels HVN, VEL ou GND.

On ne décrira pas en détail ces circuits de commutation. En effet, la réalisation de circuit de commutation est connue de l'homme de métier.

15 La mémoire comprend N lignes de commande CL-1 et CL-2, de telle sorte que tous les groupes de cellules reliés à une même ligne de mot WL-1 ou WL-2 ont leurs transistors de sélection de groupe TG-11 à TG-22 reliés à une même ligne de commande CL-1 ou CL-2.

20 Avantageusement, on commande les circuits de commutation SW-CL-1, SW-CL-2, SW-SL-1 et SW-SL-2 de telle manière qu'un seul groupe de cellules reliées à une même ligne de mot WL-1 ou WL-2 soit relié simultanément à la ligne de commande CL-1 ou CL-2 associée à cette ligne de
25 mot. En procédant ainsi, on limite à K le nombre de grilles de commande de transistors de mémorisation M1 à MK reliées simultanément à une ligne de commande CL-1 ou CL-2. De ce fait on limite la capacité équivalente induite vue par cette ligne de commande CL-1 ou CL-2. On
30 limite donc le temps de montée au potentiel des grilles de commandes reliées ainsi sélectionnées.

Pour savoir quel potentiels doivent être fournis par les différents circuits de commutation aux différentes lignes suivant le mode de fonctionnement et
35 la sélection des différentes lignes, l'homme du métier se reportera au tableau suivant:

	Mode d'écriture		Mode d'effacement		Mode de lecture	
	sélection	non sélection	sélection	non sélection	sélection	non sélection
CL	HVN	GND	VEH	VS	VREAD	GND
SL	GND	HVN	VEH	VEL	VCC	GND
BUL	HVN	HVN	VEL	VEL	GND	GND
BL	VCC	HiZ	VEL	HiZ	VS	HiZ
WL	VP	GND	VCC	GND	VCC	GND

A titre d'exemple, on traite le cas où l'on désire écrire les cellules de mémorisation du premier groupe CGR-11. Pour cela, on considère que le premier groupe a été préalablement effacé, que le mot à écrire a été préalablement enregistré dans un registre tampon (non représenté) de la mémoire et que l'adresse du mot correspondant au premier groupe CGR-11 a été préalablement mémorisée dans un registre d'adresse (non représenté). L'homme du métier sait que les contenus des registres tampon et d'adresse servent à déterminer quelles lignes doivent être sélectionnées ou non sélectionnées pour mener à bien l'écriture.

Ainsi, la première ligne de sélection SL-1 est sélectionnée et est au potentiel GND. Les autres lignes de sélection SL-2 sont non-sélectionnées et sont au potentiel HVN. La première ligne de commande CL-1 est sélectionnée et est au potentiel HVN. Les autres lignes de commande CL-2 sont non-sélectionnées et sont au potentiel GND. Les lignes de caisson BUL-1 et BUL-2 sont au potentiel HVN. La première ligne de mot WL-1 est sélectionnée et est au potentiel VP. Les autres lignes de mot WL-2 sont non-sélectionnées et sont au potentiel GND.

Les lignes de bit BL1-1 à BLK-1 associées au premier groupe CGR-11 sont sélectionnées ou non-sélectionnées suivant le bit à écrire. Si dans le registre tampon un bit à écrire est un "0" alors la ligne

de bit associée à ce bit est non-sélectionnée et est en haute impédance HiZ. Si dans le registre tampon un bit à écrire est un "1" alors la ligne de bit associée à ce bit est sélectionnée et est au potentiel VCC. Les autres
5 lignes de bits BL1-2 à BLK-2 peuvent être indifféremment sélectionnées ou non-sélectionnées.

Pour effectuer un effacement ou une lecture, il suffit de déterminer quelles lignes doivent être sélectionnées ou non sélectionnées et de se reporter au
10 tableau précédent. Pour plus de détails sur les différents modes de fonctionnement, on peut également se reporter à D2.

Tel que décrit précédemment, l'invention présente comme avantage par rapport au document D2 d'utiliser un
15 unique transistor de sélection par groupe de cellule de mémorisation. Bien qu'il s'agisse d'un transistor de type N à caisson il est de taille inférieur à un transistor de type P car à conductivité équivalente, les transistors de type P doivent avoir un canal environ 2 à 2,5 fois plus
20 large qu'un transistor de type N ce qui compense la taille du caisson qui correspond à deux caissons l'un dans l'autre.

Par ailleurs, on peut remarquer que les lignes de caisson sont toujours au même potentiel et que de ce fait
25 elle peuvent être toutes reliées ensemble. Si on utilise des symétries d'axes vertical et horizontal entre groupes de cellules de mémorisation, on peut regrouper les transistors de sélection de groupes voisins dans un même caisson ce qui a pour effet de réduire encore
30 l'encombrement du double caisson.

On peut également remarquer qu'il est possible de n'utiliser qu'un unique circuit SW-BUL de commutation de caisson mais cela peut avoir pour effet de demander un temps d'établissement de la tension de caisson plus long.
35 Un compromis est à définir en fonction des performances temporelles et de la surface de la mémoire. Les lignes de

caisson ont été représentées parallèlement aux lignes de bit, mais il est tout à fait possible de les réaliser parallèlement aux lignes de mot.

On peut remarquer que les tensions utilisées sont du même ordre de grandeur que dans le document D2. Il est toutefois possible de réaliser l'invention en utilisant un potentiel d'effacement haut $VEH = + 7 V$ et un potentiel d'effacement bas $VEL = - 8 V$. Cela permet de ne plus générer de tension de 15 V et ne nécessite pas l'ajout de pompe de charge supplémentaire.

La figure 2 présente une variante de l'invention qui permet d'obtenir une mémoire de taille plus compacte. La figure 2 représente un exemple similaire à l'exemple donné sur la figure 1. Différentes indications d'ordre général ayant été indiquées précédemment ne seront pas répétées par la suite mais s'applique de la même manière à la mémoire de la figure 2.

Sur la figure 2, le plan mémoire comporte des première et deuxième lignes de mot WL-1 et WL-2 et des premier à quatrième groupes CGR-11 à CGR-22 de K cellules de mémorisation reliées à ces première et deuxième lignes de mot WL-1 et WL-2 comme indiqué pour la figure 1. Chacune des K cellules de chaque groupe est respectivement reliée à une ligne de bit parmi K lignes de bit associées au groupe, portant les références BL1-1 à BLK-2 comme précédemment indiqué sur la figure 1.

Les K cellules chaque groupe de cellules CGR-11 à CGR-22 comprennent chacune un transistor de sélection, référencé respectivement S1 à SK, et un transistor de mémorisation à grille flottante, référencé respectivement M1 à MK. Les K cellules de la figure 2 diffèrent de la figure 1 par la connexion des sources des transistors à grille flottante M1 à MK à une ligne de référence SREF.

Quatre transistors de groupe TG-11 à TG-22 sont associés respectivement aux premier à quatrième groupes CGR-11 à CGR-22. Les grilles des K transistors de

mémorisation M1 à MK d'un même groupe sont reliées ensemble à la source du transistor de groupe TG associé au groupe CGR.

5 Les transistors de groupe TG-11 et TG-12 associés aux premier et deuxième groupes CGR-11 et CGR-12 ont leurs grilles reliées à la première ligne de mot WL-1. Les transistors de groupe TG-21 et TG-22 associés aux troisième et quatrième groupes CGR-21 et CGR-22 ont leurs grilles reliées à la deuxième ligne de mot WL-2.

10 Les drains des transistors de groupe TG-11 et TG-21 associés aux premier et troisième groupes CGR-11 et CGR-21 sont reliés à une première ligne de sélection SL-1. Les drains des transistors de groupe TG-12 et TG-22 associés aux deuxième et quatrième groupes CGR-12 et CGR-15 22 sont reliés à une deuxième ligne de sélection SL-2. Les transistors de sélection TG ont leurs caissons reliés à une ligne de caisson BUL.

La mémoire comprend en outre:

20 - N circuits SW-WL-1 et SW-WL-2 de commutation de ligne de mot, reliés chacun à une des N lignes de mot WL-1 et WL-2, pour commander les potentiels desdites lignes de mot,

25 - M * K circuits SW-BL1-1 à SW-BLK-1 et SW-BL1-2 à SW-BLK-2 de commutation de ligne de bit, reliés chacun à une des M * K lignes de bit BL1-1 à BLK-1 et BL1-2 à BLK-2, pour commander les potentiels desdites lignes de bit,

30 - M circuits SW-SL-1 et SW-SL-2 de commutation de ligne de sélection, reliés respectivement aux première et deuxième lignes de sélection SL-1 et SL-2, pour commander les potentiels desdites lignes de sélection,

- un circuit SW-BUL de commutation de caisson, relié à la ligne de caisson BUL pour commander le potentiel de ladite ligne de caisson,

35 - un circuit SW-SREF de commutation de référence, relié à la ligne de référence SREF pour commander le

potentiel de ladite ligne de référence.

Dans ces différents modes les lignes de sélection SL-1 et SL-2, de référence SREF, de caisson BUL, de mot WL-1 et WL-2 et de bit BL1-1 à BLK-1 et BL1-2 à BLK-2
5 sont portées à différents potentiels dépendant du mode de fonctionnement et de la sélection ou de la non-sélection desdites lignes.

Dans l'exemple illustré sur la figure 2 on utilise les potentiels suivants :

- 10 - un potentiel de masse GND = 0 V et un potentiel d'alimentation VCC = + 5 V (fournis par l'extérieur),
- un potentiel d'effacement haut VEH = + 15 V,
- un potentiel de programmation HVN = - 8 V,
- un potentiel de sélection de ligne de mot en
15 programmation VP = + 7 V,
- un potentiel de sélection de ligne de bit en lecture VS = + 2 V,
- un potentiel de commande de lecture VREAD= 2,3 V.

On note HiZ un état de haute impédance.

20 Les N circuits SW-WL-1 et SW-WL-2 de commutation de ligne de mot permettent de porter le potentiel des lignes de mot WL-1 et WL-2 à l'un des potentiels VCC, VEH, HVN, VP ou GND.

25 Les M * K circuits SW-BL1-1 à SW-BLK-2 de commutation de ligne de bit permettent de porter le potentiel des lignes de bit BL1-1 à BLK-2 à l'un des potentiels VCC, VS ou GND, ou de mettre ces lignes en état de haute impédance HiZ.

30 Les circuits SW-SL-1 et SW-SL-2 de commutation de ligne de sélection permettent de porter le potentiel des lignes de sélection SL-1 à l'un des potentiels VREAD, VEH, HVN ou GND.

35 Le circuit SW-BUL de commutation de caisson permet de porter le potentiel de la ligne de caisson BUL à l'un des potentiels HVN ou GND.

Le circuit SW-SREF de commutation de référence

permet de porter le potentiel de la ligne de référence SREF au potentiel GND ou mettre la ligne de référence en haute impédance HiZ.

5 Pour savoir quel potentiels doivent être fournis par les différents circuits de commutation aux différentes lignes suivant le mode de fonctionnement et la sélection des différentes lignes, l'homme du métier se reportera au tableau suivant:

	Mode d'écriture		Mode d'effacement		Mode de lecture	
	sélection	non sélection	sélection	non sélection	sélection	non sélection
SREF	HiZ	HiZ	GND	GND	GND	GND
SL	HVN	GND	VEH	GND	VREAD	VREAD
BUL	HVN	HVN	GND	GND	GND	GND
BL	VCC	HiZ	GND	HiZ	VS	HiZ
WL	VP	HVN	VEH	GND	VCC	GND

10 On procède de manière analogue à la mémoire de la figure 1 pour écrire, effacer ou lire un groupe de cellule de mémorisation.

15 Le schéma de la figure 2 présente comme avantage par rapport au schéma de la figure 1 de ne pas utiliser de ligne de commande ce qui permet d'obtenir une mémoire plus compacte. En effet, la ligne de référence SREF ne constitue pas l'ajout d'une ligne conductrice supplémentaire car sur la figure 1, la ligne de référence correspond à une ligne de masse.

20 Sur la figure 2, on utilise un unique circuit SW-BUL de commutation de caisson et un unique circuit SW-SREF de commutation de référence. Il va de soit que l'on peut utiliser plusieurs circuits de commutation si l'on désire améliorer les caractéristiques de vitesse de
25 commutation desdits circuits.

La figure 3 représente une mémoire réalisée avec des cellules de mémorisation de type Flash-EEPROM c'est à

dire avec des cellules de mémorisation constituées d'un unique transistor de mémorisation. L'organisation en mot de la mémoire de la figure 3 permet d'avoir une mémoire de type Flash-EEPROM programmable ou effaçable mot par mot. Une telle mémoire de type Flash-EEPROM peut donc être compatible avec les mémoires EEPROM classiques en ayant pour avantage d'occuper une surface inférieure à capacité de mémorisation égale.

Comme pour les mémoires EEPROM précédemment décrites, le contenu des cellules se détermine au travers des caractéristiques électriques des transistors à grille flottante. Plus précisément, on qualifiera le contenu des cellules par rapport à une concentration plus ou moins importante d'électrons (on parle couramment de présence ou d'absence d'électrons sur la grille) au niveau des grilles flottantes. Pour effectuer la lecture d'une cellule, on impose une tension positive de lecture sur le drain de son transistor à grille flottante, le transistor de sélection de la cellule étant passant, et la source du transistor à grille flottante étant reliée à la masse. Selon la présence importante ou faible d'électrons sur la grille flottante du transistor de mémorisation, sa grille de commande étant polarisée positivement de manière adéquate, le courant parcourant le canal de ce transistor est plus ou moins important. Par comparaison de ce courant, qui parcourt la ligne de bit associée, avec un courant de référence on détermine l'état électrique de la cellule et donc son contenu informationnel.

Les mémoires de type Flash-EEPROM diffèrent des EEPROM classiques par un contrôle plus précis des niveaux de charges électriques lors des programmation et effacement. Le fait de ne pas utiliser de transistor de sélection associé avec chaque transistor de mémorisation impose que le transistor ne doit pas se trouver dans un état passant lorsqu'il n'est pas sélectionné.

Dans l'exemple décrit on considère par exemple que

la présence d'électrons représente un état effacé et que l'absence d'électrons représente un état programmé. On pourrait tout aussi bien convenir de la convention inverse.

5 La mémoire de la figure 3 est organisée matriciellement en N lignes de mot WL-1 et WL-2 et M * K lignes de bit BL1-1, BL2-1, BLK-1, BL1-2 et BLK-2, N, M et K étant des nombres entiers (Dans l'exemple, M = N = 2).

10 Cette mémoire comprend des cellules de mémorisation placées aux intersections des lignes de mots et des lignes de bits, chacune des cellules étant dans un état électrique représentatif d'un état logique binaire. Les cellules reliées à une même ligne de mot et à K lignes de
15 bit distinctes sont regroupées dans un même groupe CGR-11 à CGR-22.

 Sur la figure 3, on a représenté une première ligne de mot WL-1 et des premier et deuxième groupes CGR-11 et CGR-12 de K cellules de mémorisation associés à cette
20 première ligne de mot WL-1. On a également représenté une deuxième ligne de mot WL-2 et des troisième et quatrième groupes CGR-21 et CGR-22 de K cellules de mémorisation associés à cette deuxième ligne de mot WL-2. Chacune des K cellules (non toutes représentées) de chaque groupe est
25 respectivement reliée à une ligne de bit parmi K lignes de bit associées au groupe, portant les références BL1-1 à BLK-1 pour les lignes de bits associées aux premier et troisième groupes CGR-11 et CGR-21 et les références BL1-2 à BLK-2 pour les lignes de bits associées aux deuxième
30 et quatrième groupes CGR-12 et CGR-22. On comprendra bien sûr qu'une mémoire réalisée conformément à l'invention pourra contenir un nombre de plusieurs dizaines ou plusieurs centaines de milliers de groupes de cellules de mémorisation.

35 Les K cellules de chaque groupe CGR-11 à CGR-22 comprennent chacune un transistor de mémorisation à

grille flottante, référencé respectivement M1 à MK. Les transistors de mémorisation M1 à MK sont des transistors de type N. Les transistors de mémorisation M1 à MK ont leurs drains reliés respectivement aux lignes de bit BL1 à BLK associées à leur groupe. Les sources des transistors M1 à MK sont connectées ensembles à une ligne de référence SREF.

A chacun des groupes CGR-11, CGR-12, CGR-21 et CGR-22 est associé un transistor de groupe, respectivement TG-11, TG-12, TG-21 et TG-22. Le transistor de groupe est un transistor de type N à caisson. Les grilles de commande des transistors à grille flottante M1 à MK de chaque groupe CGR sont reliées entre elles et à la source d'un transistor de groupe TG.

Les transistors de groupe TG-11 et TG-12 associés aux premier et deuxième groupes CGR-11 et CGR-12 ont leurs drains reliés à la première ligne de mot WL-1. Les transistors de groupe TG-21 et TG-22 associés aux troisième et quatrième groupes CGR-21 et CGR-22 ont leurs drains reliés à la deuxième ligne de mot WL-2.

Les grilles des transistors de groupe TG-11 et TG-21 associés aux premier et troisième groupes CGR-11 et CGR-21 sont reliées à une première ligne de sélection SL-1. Les grilles des transistors de groupe TG-12 et TG-22 associés aux deuxième et quatrième groupes CGR-12 et CGR-22 sont reliées à une deuxième ligne de sélection SL-2. Les transistors de sélection TG-11 à TG-22 ont leurs caissons reliés à une ligne de caisson BUL.

Les lignes de sélection SL-1 et SL-2 sont des lignes conductrices permettant de porter les grilles de commande des transistors de mémorisation M1 à MK à différents potentiels, selon que l'on sélectionne ou non les cellules comprenant ces transistors, pour lire, programmer ou effacer leur contenu.

La mémoire comprend en outre:

- N circuits SW-WL-1 et SW-WL-2 de commutation de

ligne de mot, reliés chacun à une des N lignes de mot WL-1 et WL-2, pour commander les potentiels desdites lignes de mot,

5 - M * K circuits SW-BL1-1 à SW-BLK-1 et SW-BL1-2 à SW-BLK-2 de commutation de ligne de bit, reliés chacun à une des M * K lignes de bit BL1-1 à BLK-1 et BL1-2 à BLK-2, pour commander les potentiels desdites lignes de bit,

10 - M circuits SW-SL-1 et SW-SL-2 de commutation de ligne de sélection, reliés respectivement aux premières et deuxièmes lignes de sélection SL-1 et SL-2, pour commander les potentiels desdites lignes de sélection,

15 - un circuit SW-BUL de commutation de caisson, relié à la ligne de caisson BUL pour commander le potentiel de ladite ligne de caisson,

- un circuit SW-SREF de commutation de référence, relié à la ligne de référence SREF pour commander le potentiel de ladite ligne de référence.

20 Dans ces différents modes les lignes de sélection SL-1 et SL-2, de référence SREF, de caisson BUL, de mot WL-1 et WL-2 et de bit BL1-1 à BLK-1 et BL1-2 à BLK-2 sont portées à différents potentiels dépendant du mode de fonctionnement et de la sélection ou de la non-sélection desdites lignes.

25 Dans l'exemple illustré sur la figure 2 on utilise les potentiels suivants :

- un potentiel de masse GND = 0 V et un potentiel d'alimentation VCC = + 5 V (fournis par l'extérieur),

30 - un potentiel d'effacement haut VEH = + 15 V et un potentiel d'effacement bas VEL = 0 V,

- un potentiel de programmation HVN = - 8 V,

- un potentiel de sélection de ligne de bit en lecture VS = + 2 V,

- un potentiel de commande de lecture VREAD= 2,3 V.

35 On note HiZ un état de haute impédance.

Les N circuits SW-WL-1 et SW-WL-2 de commutation de

ligne de mot permettent de porter le potentiel des lignes de mot WL-1 et WL-2 à l'un des potentiels VREAD, VEH, HVN, VS ou GND.

5 Les M * K circuits SW-BL1-1 à SW-BLK-2 de commutation de ligne de bit permettent de porter le potentiel des lignes de bit BL1-1 à BLK-2 à l'un des potentiels VCC, VS ou VEL, ou de mettre ces lignes en état de haute impédance HiZ.

10 Les circuits SW-SL-1 et SW-SL-2 de commutation de ligne de sélection permettent de porter le potentiel des lignes de sélection SL-1 à l'un des potentiels VCC, VEH, HVN ou GND.

15 Le circuit SW-BUL de commutation de caisson permet de porter le potentiel de la ligne de caisson BUL à l'un des potentiels HVN, VEL ou GND.

20 Le circuit SW-SREF de commutation de référence permet de porter le potentiel de la ligne de référence SREF au potentiel GND ou mettre la ligne de référence en haute impédance HiZ.

Pour savoir quel potentiels doivent être fournis par les différents circuits de commutation aux différentes lignes suivant le mode de fonctionnement et la sélection des différentes lignes, l'homme du métier se reportera au tableau suivant:

25

	Mode d'écriture		Mode d'effacement		Mode de lecture	
	sélection	non sélection	sélection	non sélection	sélection	non sélection
SREF	HiZ	HiZ	GND	GND	GND	GND
SL	GND	HVN	VEH	GND	VCC	GND
BUL	HVN	HVN	VEL	VEL	GND	GND
BL	VCC	HiZ	VEL	HiZ	VS	HiZ
WL	HVN	GND	VEH	VS	VREAD	GND

On procède de manière analogue à la mémoire de la figure 1 pour effectuer une opération élémentaire

d'écriture, d'effacement ou de lecture sur un groupe de cellule de mémorisation. Cependant, l'homme du métier sait que pour contrôler les effacements (respectivement les écritures) des mémoires de type Flash-EEPROM, on
5 procède par une alternance d'opérations élémentaires d'effacement (respectivement d'écriture) et d'opérations élémentaires de lecture pour vérifier que l'effacement (respectivement l'écriture) a bien abouti.

Il est également connu d'avoir des mémoires de type
10 Flash EEPROM utilisant des tensions d'écriture et/ou d'effacement variables. Il faut dans ce cas utiliser des potentiels VEH et/ou VEL et/ou HVN qui évoluent dans une gamme de fréquence déterminée.

Une amélioration du circuit de la figure 3 consiste
15 à utiliser un potentiel d'effacement haut VEH = + 7 V et un potentiel d'effacement bas VEL = - 8 V. Cela permet de ne plus générer de tension de 15 V et ne nécessite pas l'ajout de pompe de charge supplémentaire.

De nombreuses variantes de l'invention décrite dans
20 la présente demande sont possibles en utilisant les différentes indications données tout au long de la description.

Il est notamment possible de jouer sur différents axes de symétrie horizontaux et verticaux pour obtenir
25 une mémoire compacte.

De plus, l'homme du métier peut utiliser des conventions de cellule programmée ou effacée différentes. Dans ce cas, les tensions utilisées pour l'effacement sont à appliquer pour les écritures et réciproquement.

30 Il est également possible que les tensions différentielles à appliquer sur les transistors de mémorisation puissent être différentes de celles utilisées dans la présente demande. L'homme du métier devra donc les adapter en fonction de ses besoins.

35 Une adaptation de fonctionnement pour obtenir des écritures par page et des effacements par page ou bloc

est également possible. En effet, si l'on dispose d'autant de registres faisant tampon de données que l'on dispose de lignes de bits, il est possible de faire une écriture par page en sélectionnant une ligne de mot et
5 toutes les lignes de sélection. Pour l'effacement par page on procédera de même. Par contre, il est également, possible de sélectionner plusieurs lignes de mots afin de permettre un effacement de bloc comportant plusieurs lignes de mot.

REVENDEICATIONS

1. Mémoire à grille flottante électriquement programmable et effaçable, organisée en N lignes de mots (WL-1, WL-2) et en $M * K$ lignes de bits (BL1-1 à BLK-1, BL1-2 à BLK-2), N, M et K étant des entiers supérieurs à 1, ladite mémoire comprenant:

5 - des cellules de mémorisation placées aux intersections des lignes de mots (WL-1, WL-2) et des lignes de bits (BL1-1 à BLK-1, BL1-2 à BLK-2), chaque cellule de mémorisation comportant un transistor à grille flottante (M1 à MK) de type N pour mémoriser des états électriques, les cellules de mémorisation étant regroupées en groupe (CGR-11 à CGR-22) de K cellules, les K cellules d'un même groupe étant associées à une même ligne de mot et à K lignes de bits distinctes;

15 - M lignes de sélection (SL-1, SL-2) associées aux groupes qui partagent les mêmes K lignes de bits;

caractérisée en ce que la mémoire comporte, associé à chaque groupe (CGR-11 à CGR-22), un transistor de groupe (TG-11 à TG-22) de type N à caisson relié à la ligne de sélection (SL-1, SL-2) associées au groupe afin de polariser les grilles des transistors à grille flottante (M1 à MK) à des potentiels déterminés en fonction de la sélection ou de la non sélection du groupe auquel le transistor de groupe est associé et dépendant du mode de fonctionnement, lecture ou écriture ou effacement, de la mémoire.

2. Mémoire selon la revendication 1, caractérisée en ce que la source d'un transistor de groupe (TG-11 à TG-22) est connectée aux grilles de tous les transistors à grille flottante (M1 à MK) du groupe (CGR-11 à CGR-22) auquel il est associé.

3. Mémoire selon l'une des revendications 1 ou 2, caractérisée en ce que la mémoire comporte au moins une ligne de caisson (BUL, BUL-1, BUL-2) connectée aux

caissons de tout ou partie des transistors de groupe (TG-11 à TG-22) pour polariser les caissons à des potentiel différents qui sont fonction du mode de fonctionnement, lecture ou écriture ou effacement.

5 4. Mémoire selon l'une des revendications 1 à 3, caractérisée en ce qu'elle comporte au moins une ligne de référence (SREF) connectée aux sources de tout ou partie des transistors à grille flottante (M1 à MK) soit pour polariser lesdites sources soit à un potentiel défini
10 soit pour mettre lesdites sources dans un état de haute impédance.

 5. Mémoire selon l'une des revendications 1 à 4, caractérisée en ce que chaque cellule de mémorisation comporte en outre un transistor de sélection (S1 à SK)
15 pour connecter par l'intermédiaire de son canal le drain du transistor à grille flottante (M1 à MK) de ladite cellule à la ligne de bit (BL1-1 à BLK-2) qui est associée à ladite cellule, la grille du transistor de sélection (S1 à SK) étant connectée à la ligne de mot
20 (WL-1 ou WL-2) associée à ladite cellule.

 6. Mémoire selon la revendication 5, caractérisée en ce que le drain du transistor de groupe (TG-11 à TG-22) est connecté à la ligne de sélection (SL-1, SL-2) associée au groupe (CGR-11 à CGR-22) auquel le transistor
25 de groupe (TG-11 à TG-22) est associé, et en ce que la grille du transistor de groupe (TG-11 à TG-22) est connecté à la ligne de mot (WL-1, WL-2) associée au groupe (CGR-11 à CGR-22) auquel le transistor de groupe (TG-11 à TG-22) est associé.

30 7. Mémoire selon la revendication 5, caractérisée en ce qu'elle comporte N lignes de commande (CL-1, CL-2) parallèles aux lignes de mot (WL-1, WL-2) pour véhiculer des potentiels différents des potentiels véhiculés par les lignes de mots (WL-1, WL-2), chaque ligne de commande
35 étant associée à une ligne de mot différente.

 8. Mémoire selon la revendication 7, caractérisée

en ce que le drain d'un transistor de groupe (TG-11 à TG-22) associé à une ligne de mot (WL-1, WL-2) est connecté à la ligne de commande (CL-1, CL-2) associée.

5 9. Mémoire selon l'une des revendications 1 à 4, caractérisée en ce que le drain du transistor à grille flottante (M1 à MK) de chaque cellule de mémorisation est connecté à la ligne de bit (BL1-1 à BLK-2) associée à ladite cellule de mémorisation.

10 10. Mémoire selon la revendication 9, caractérisée en ce que le drain du transistor de groupe (TG-11 à TG-22) associé à une ligne de mot (WL-1, WL-2) est connecté à ladite ligne de mot (WL-1, WL-2).

15 11. Mémoire selon l'une des revendications 7 à 10, caractérisée en ce que la grille du transistor de groupe (TG-11 à TG-22) associé à un groupe (CGR-11 à CGR-22) est connectée à la ligne de sélection (SL-1 à SL-2) associée audit groupe.

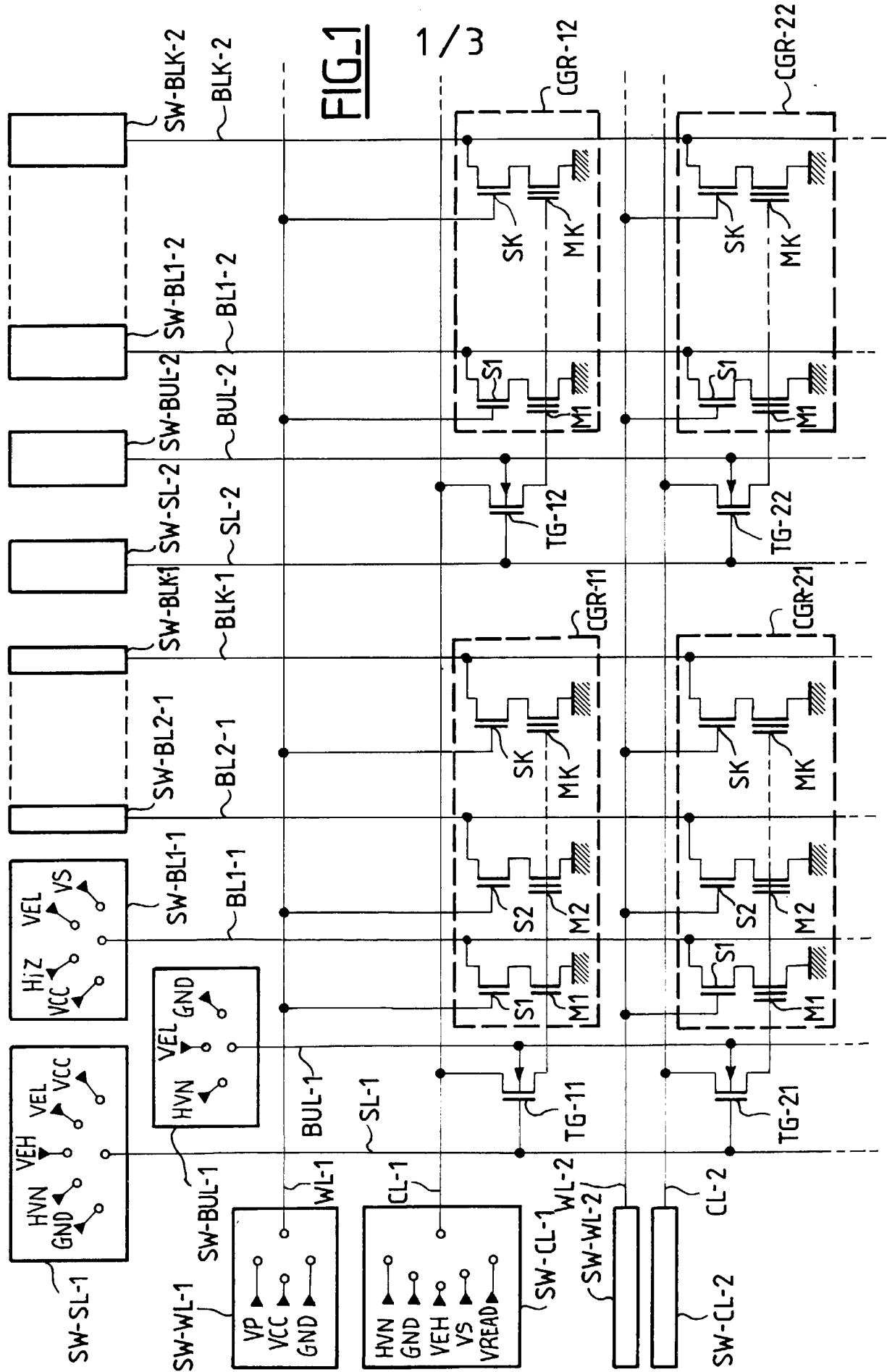
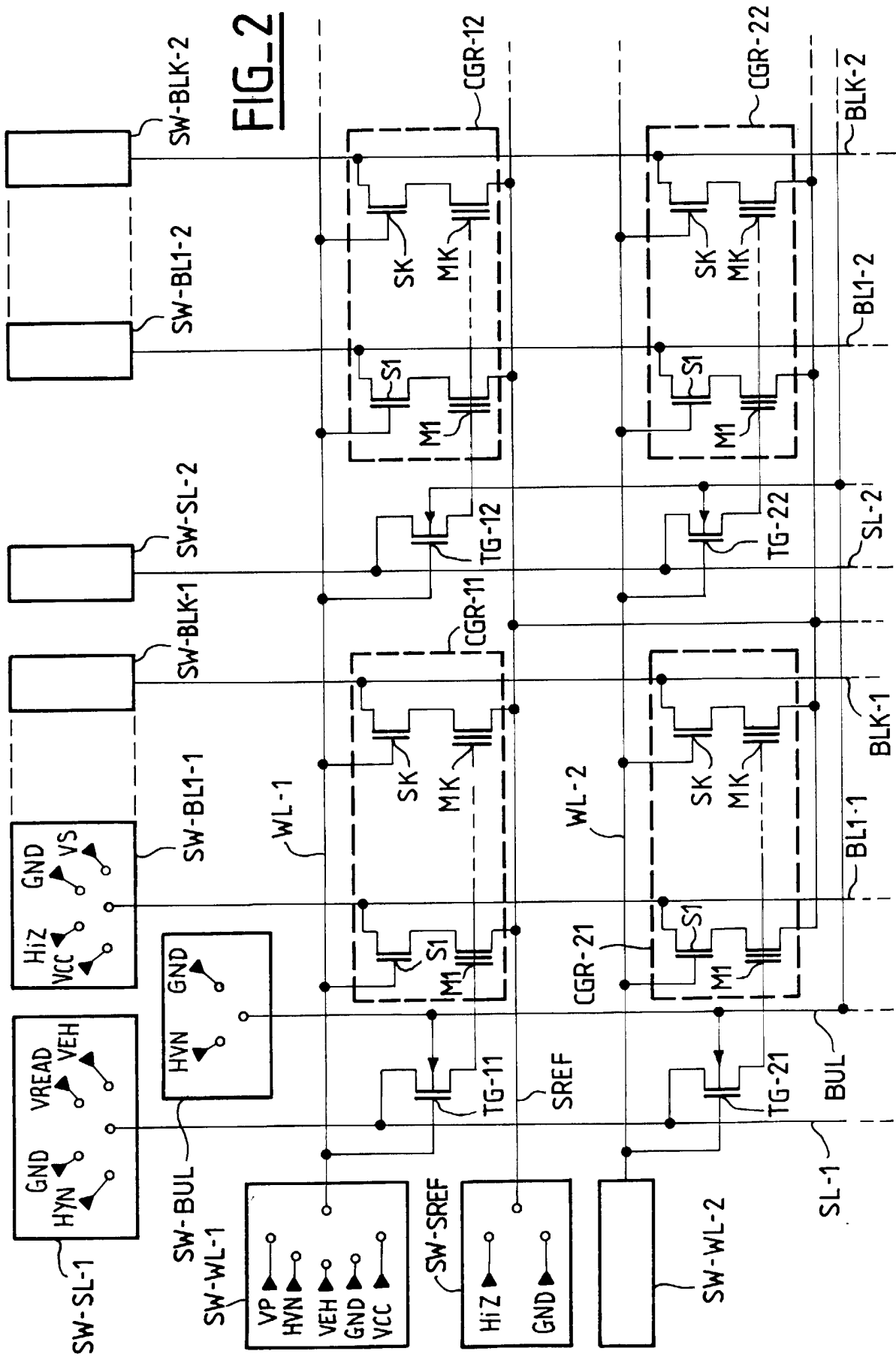


FIG. 1
1/3

FIG-2



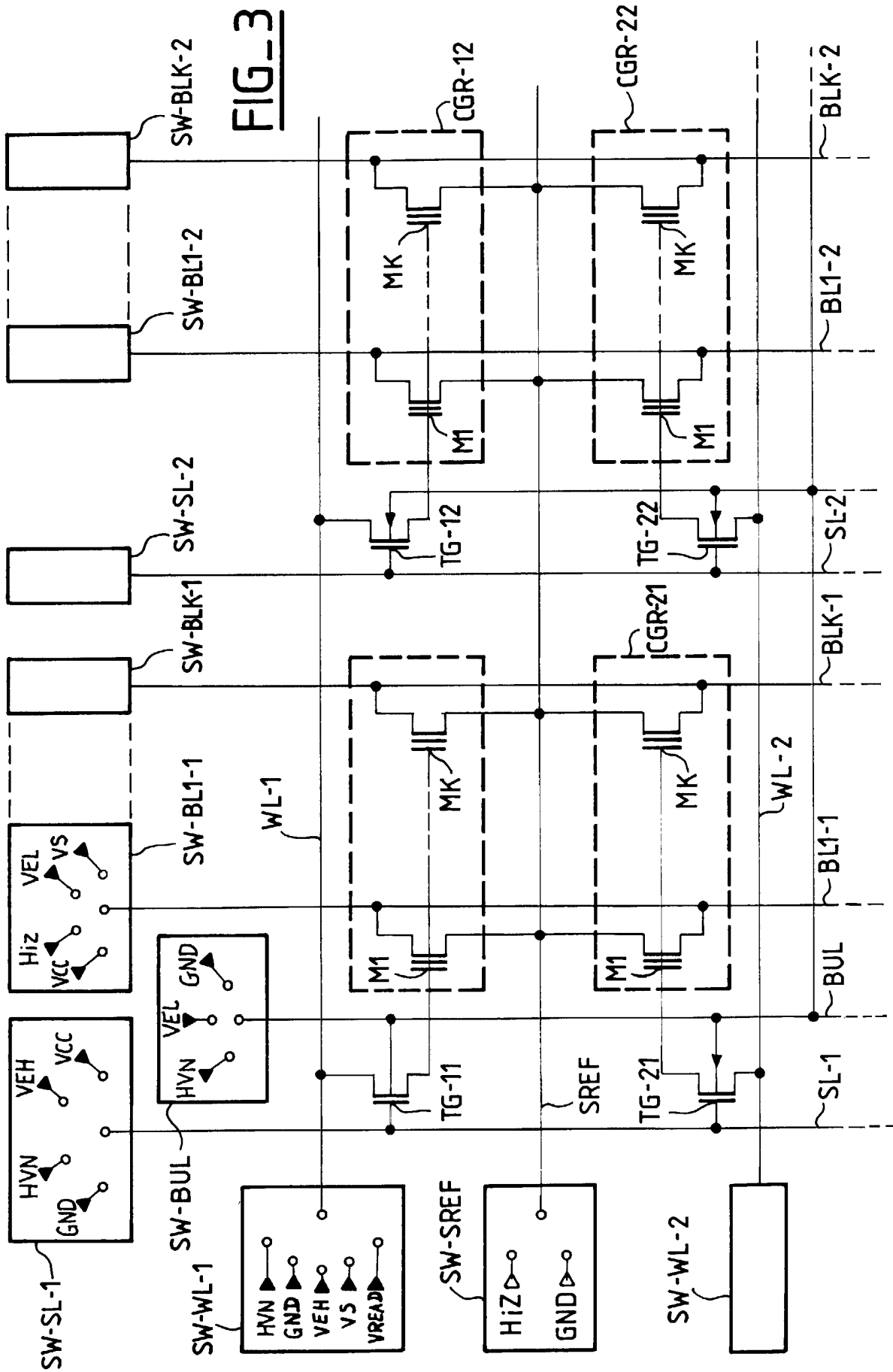


FIG-3

RAPPORT DE RECHERCHE
PRELIMINAIRE

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FA 556284
FR 9803786

DOCUMENTS CONSIDERES COMME PERTINENTS		Revendications concernées de la demande examinée
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	
A	EP 0 741 415 A (SGS THOMSON MICROELECTRONICS) 6 novembre 1996 * colonne 10, ligne 16 - ligne 48; figure 9 * * colonne 11, ligne 13 - ligne 37; figure 10 *	1-4,9-11
D,A	EP 0 750 313 A (SGS THOMSON MICROELECTRONICS) 27 décembre 1996 * colonne 3, ligne 42 - colonne 13, ligne 40; figures *	1-5,7,8, 11
A	WO 96 34391 A (INTEL CORP) 31 octobre 1996 * page 6, ligne 24 - page 8, ligne 11; figure 4 * * page 12, ligne 30 - page 13, ligne 14 *	1,2,4, 9-11
A	MIYAMOTO ET AL: "An experimental 5V-only 256kbit CMOS EEPROM with a high-performance single-polysilicon cell" IEEE JOURNAL OF SOLID-STATE CIRCUITS., vol. 21, no. 5, octobre 1986, pages 852-860, XP002086271 NEW YORK US * figure 2 *	1,2,6
		DOMAINES TECHNIQUES RECHERCHES (Int.CL.6)
		G11C
Date d'achèvement de la recherche		Examineur
30 novembre 1998		Cummings, A
<p>CATEGORIE DES DOCUMENTS CITES</p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : pertinent à l'encontre d'au moins une revendication ou arrière-plan technologique général O : divulgation non-écrite P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant</p>		

1