



(10) **DE 10 2023 108 078 A1 2023.11.09**

(12) **Offenlegungsschrift**

(21) Aktenzeichen: **10 2023 108 078.4**
(22) Anmeldetag: **30.03.2023**
(43) Offenlegungstag: **09.11.2023**

(51) Int Cl.: **H01L 23/60 (2006.01)**
H01L 27/02 (2006.01)
H01L 29/06 (2006.01)
H01L 21/328 (2006.01)
H02M 1/00 (2007.01)

(30) Unionspriorität:
17/737,272 05.05.2022 US

(71) Anmelder:
GlobalFoundries U.S. Inc., Malta, NY, US

(74) Vertreter:
v. Fünér Ebbinghaus Finck Hano, 81541 München, DE

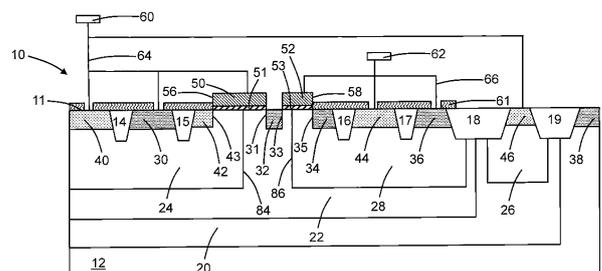
(72) Erfinder:
Karalkar, Sagar Premnath, Essex Junction, VT, US; Zeng, Jie, Singapur, SG; Paul, Milova, Singapur, SG; Mitra, Souvick, Essex Junction, VT, US

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

(54) Bezeichnung: **SILIZIUMGESTEUERTE GLEICHRICHTER FÜR EINE VORRICHTUNG ZUM SCHUTZ VOR ELEKTROSTATISCHER ENTLADUNG**

(57) Zusammenfassung: Strukturen für einen siliziumgesteuerten Gleichrichter und Verfahren zum Bilden einer Struktur für einen siliziumgesteuerten Gleichrichter. Die Struktur umfasst erste und zweite Wannen in dem Halbleitersubstrat, einen ersten Anschluss umfassend eine erste dotierte Region in der ersten Wanne, und einen zweiten Anschluss umfassend eine zweite dotierte Region in der zweiten Wanne. Die erste Wanne und die zweite dotierte Region weisen einen ersten Leitfähigkeitstyp auf, und die zweite Wanne und die erste dotierte Region weisen einen zweiten Leitfähigkeitstyp auf, der entgegengesetzt zu dem ersten Leitfähigkeitstyp ist. Erste und zweite Leiterschichten sind an dem Halbleitersubstrat positioniert. Die erste Leiterschicht überlappt teilweise mit der ersten Wanne, und die zweite Leiterschicht überlappt teilweise mit der zweiten Wanne. Eine dritte dotierte Region, die den zweiten Leitfähigkeitstyp aufweist, ist lateral in dem Halbleitersubstrat zwischen den ersten und zweiten Leiterschichten positioniert.



Beschreibung

HINTERGRUND

[0001] Die Offenbarung betrifft allgemein Halbleitervorrichtungen und die Fertigung eines integrierten Schaltkreises und insbesondere Strukturen für einen siliziumgesteuerten Gleichrichter und Verfahren zum Bilden einer Struktur für einen siliziumgesteuerten Gleichrichter.

[0002] Ein integrierter Schaltkreis kann zufälligen elektrostatischen Entladungen (electrostatic discharge; ESD)-Ereignissen ausgesetzt sein, die potentiell große und schädigende ESD-Ströme zu den sensiblen Vorrichtungen des integrierten Schaltkreises richten können. Ein ESD-Ereignis bezieht sich auf eine unvorhersagbare elektrische Entladung eines positiven oder negativen Stroms über eine kurze Dauer und während welcher eine große Menge an Strom zu dem integrierten Schaltkreis gerichtet wird. Ein ESD-Ereignis kann sich während einer Handhabung eines Chips nach Fertigung oder nach einer Chipinstallation an einer Leiterplatte oder einem anderen Träger ereignen. Der hohe Strom kann aus einer Vielfalt von Quellen, wie etwa dem menschlichen Körper, einer Maschinenkomponente oder einem Chipträger, stammen.

[0003] Vorsichtsmaßnahmen können ergriffen werden, um den integrierten Schaltkreis vor einem ESD-Ereignis zu schützen. Eine derartige Vorsichtsmaßnahme ist es, eine On-Chip-Schutzschaltung einzubauen, die dazu ausgelegt ist, eine Beschädigung der sensiblen Vorrichtungen des integrierten Schaltkreises während eines ESD-Ereignisses abzuwenden. Falls ein ESD-Ereignis auftritt, wird eine Schutzvorrichtung der Schutzschaltung dazu getriggert, in einen Niedrigimpedanzzustand einzutreten, der den ESD-Strom zu einer Masse leitet und den ESD-Strom weg von dem integrierten Schaltkreis shuntet. Die Schutzvorrichtung bleibt in ihrem Niedrigimpedanzzustand geklemmt, bis der ESD-Strom abgefließen ist und die ESD-Spannung bis zu einem akzeptablen Niveau entladen ist.

[0004] Ein gebräuchlicher Typ einer Schutzvorrichtung, der üblicherweise in einer ESD-Schutzschaltung eingesetzt wird, ist ein siliziumgesteuerter Gleichrichter (silicon-controlled rectifier; SCR). In seinem Ruhezustand beschränkt der SCR eine Stromleitung auf einen Leckagestrom. Jedoch initiiert ein Spannungspuls, der einen ausgelegten Schwellenwert, bekannt als die Triggerspannung, überschreitet, die Leitung eines Vorwärtsstroms zwischen der Anode und der Kathode des SCR. Auch nachdem die Triggerspannung entfernt ist, bleibt der SCR geklemmt, um den Vorwärtsstrom zu leiten, solange der Vorwärtsstrom über einem ausgelegten Haltestrom bleibt. Wenn der Vorwärtsstrom von dem

ESD-Ereignis unter den Haltestrom fällt, kehrt der SCR zu seinem Ruhezustand zurück.

[0005] Verbesserte Strukturen für einen siliziumgesteuerten Gleichrichter und Verfahren zum Bilden einer Struktur für einen siliziumgesteuerten Gleichrichter werden benötigt.

KURZER ABRISS

[0006] In einer Ausführungsform wird eine Struktur für einen siliziumgesteuerten Gleichrichter bereitgestellt. Die Struktur umfasst ein Halbleitersubstrat, eine erste Wanne in dem Halbleitersubstrat, eine zweite Wanne in dem Halbleitersubstrat, einen ersten Anschluss umfassend eine erste dotierte Region in der ersten Wanne, und einen zweiten Anschluss umfassend eine zweite dotierte Region in der zweiten Wanne. Die erste Wanne und die zweite dotierte Region weisen einen ersten Leitfähigkeitstyp auf, und die zweite Wanne und die erste dotierte Region weisen einen zweiten Leitfähigkeitstyp auf, der entgegengesetzt zu dem ersten Leitfähigkeitstyp ist. Die Struktur umfasst ferner eine erste Leiterschicht und eine zweite Leiterschicht an dem Halbleitersubstrat. Die erste Leiterschicht umfasst einen Abschnitt, der mit der ersten Wanne überlappt, und die zweite Leiterschicht umfasst einen Abschnitt, der mit der zweiten Wanne überlappt. Die Struktur umfasst ferner eine dritte dotierte Region in dem Halbleitersubstrat. Die dritte dotierte Region, die den zweiten Leitfähigkeitstyp aufweist, ist in einer lateralen Richtung zwischen der ersten Leiterschicht und der zweiten Leiterschicht positioniert.

[0007] In einer Ausführungsform wird Verfahren zum Bilden einer Struktur für einen siliziumgesteuerten Gleichrichter bereitgestellt. Das Verfahren umfasst ein Bilden einer ersten Wanne in einem Halbleitersubstrat, ein Bilden einer zweiten Wanne in dem Halbleitersubstrat, ein Bilden eines ersten Anschlusses umfassend eine erste dotierte Region in der ersten Wanne, und ein Bilden eines zweiten Anschlusses umfassend eine zweite dotierte Region in der zweiten Wanne. Die erste Wanne und die zweite dotierte Region weisen einen ersten Leitfähigkeitstyp auf, und die zweite Wanne und die erste dotierte Region weisen einen zweiten Leitfähigkeitstyp auf, der entgegengesetzt zu dem ersten Leitfähigkeitstyp ist. Das Verfahren umfasst ferner ein Bilden einer ersten Leiterschicht und einer zweiten Leiterschicht an dem Halbleitersubstrat. Die erste Leiterschicht umfasst einen Abschnitt, der mit der ersten Wanne überlappt, und die zweite Leiterschicht umfasst einen Abschnitt, der mit der zweiten Wanne überlappt. Das Verfahren umfasst ferner ein Bilden einer dritten dotierten Region in dem Halbleitersubstrat. Die dritte dotierte Region weist den zweiten Leitfähigkeitstyp auf, und die dritte dotierte Region ist in

einer lateralen Richtung zwischen der ersten Leiterschicht und der zweiten Leiterschicht positioniert.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0008] Die beigefügten Zeichnungen, die in diese Beschreibung einbezogen sind und einen Teil von ihr darstellen, veranschaulichen verschiedene Ausführungsformen der Erfindung und dienen, zusammen mit einer oben gegebenen allgemeinen Beschreibung der Erfindung und der nachstehend gegebenen detaillierten Beschreibung der Ausführungsformen, dazu, die Ausführungsformen der Erfindung zu erläutern. In den Zeichnungen werden gleiche Bezugszeichen verwendet, um gleiche Merkmale in den verschiedenen Ansichten anzugeben.

Fig. 1 ist eine Querschnittsansicht einer Struktur gemäß Ausführungsformen der Erfindung.

Fig. 2 ist eine Querschnittsansicht einer Struktur gemäß alternativen Ausführungsformen der Erfindung.

Fig. 3 ist eine Querschnittsansicht einer Struktur gemäß alternativen Ausführungsformen der Erfindung.

DETAILLIERTE BESCHREIBUNG

[0009] Unter Bezugnahme auf **Fig. 1** und gemäß Ausführungsformen der Erfindung umfasst eine Struktur 10 für einen siliziumgesteuerten Gleichrichter ein Halbleitersubstrat 12, das aus einem Halbleitermaterial, wie etwa einkristallinem Silizium, bestehen kann. In einer Ausführungsform kann das Halbleitersubstrat 12 dazu dotiert sein, eine p-Typ-Leitfähigkeit aufzuweisen. Flachgrabenisoliationsregionen 14, 15, Flachgrabenisoliationsregionen 16, 17 und Flachgrabenisoliationsregionen 18, 19 sind in dem Halbleitersubstrat 12 angeordnet. Die Flachgrabenisoliationsregion 14 ist angrenzend an die Flachgrabenisoliationsregion 15 positioniert, die Flachgrabenisoliationsregion 16 ist angrenzend an die Flachgrabenisoliationsregion 17 positioniert, und die Flachgrabenisoliationsregion 18 ist angrenzend an die Flachgrabenisoliationsregion 19 positioniert. Die Flachgrabenisoliationsregionen 14, 15, Flachgrabenisoliationsregionen 16, 17 und Flachgrabenisoliationsregionen 18, 19 können durch Strukturieren von Flachgräben in dem Halbleitersubstrat 12 mit Lithografie- und Ätzprozessen, Abscheiden eines dielektrischen Materials, wie etwa Siliziumdioxid, um die Flachgräben zu füllen, und Planarisieren und/oder Aussparen des abgeschiedenen dielektrischen Materials gebildet werden.

[0010] Eine tiefe Wanne 20 ist innerhalb des Halbleitersubstrats 12 gebildet. Die tiefe Wanne 20 ist dazu dotiert, einen zu dem Halbleitersubstrat 12 entgegengesetzten Leitfähigkeitstyp aufzuweisen. Die tiefe Wanne 20 kann durch Einführen eines Dotier-

stoffs beispielsweise durch Ionenimplantation in das Halbleitersubstrat 12 gebildet werden. Eine strukturierte Implantationsmaske kann gebildet werden, um einen ausgewählten Bereich an der oberen Oberfläche 11 des Halbleitersubstrats 12 zu definieren, der für eine Implantation exponiert ist. Die Implantationsmaske kann eine Schicht eines organischen Fotolacks umfassen, der aufgebracht und strukturiert wird, um eine Öffnung zu bilden, welche den ausgewählten Bereich an der oberen Oberfläche 11 des Halbleitersubstrats 12 exponiert und wenigstens teilweise den Ort und die horizontalen Dimensionen der tiefen Wanne 20 bestimmt. Die Implantationsmaske weist eine Dicke und Stoppkraft auf, die ausreichend ist, um eine Implantation in maskierten Bereichen zu blockieren. Implantationsbedingungen (z.B. Ionenart, Dosis, kinetische Energie) können ausgewählt werden, um die elektrischen und physikalischen Charakteristika der tiefen Wanne 20 abzustimmen. In einer Ausführungsform kann die tiefe Wanne 20 mit einer Konzentration eines n-Typ-Dotierstoffs (z.B. Arsen oder Phosphor) dotiert sein, um eine n-Typ-Leitfähigkeit bereitzustellen. In einer Ausführungsform kann die tiefe Wanne 20 eine n-Typ-Dotierstoffkonzentration in einem Bereich von etwa $5 \times 10^{15} \text{ cm}^{-3}$ bis etwa $5 \times 10^{16} \text{ cm}^{-3}$ enthalten.

[0011] In dem Halbleitersubstrat 12 ist eine Wanne 22 gebildet. Die Wanne 22 ist in einer vertikalen Richtung zwischen der oberen Oberfläche 11 des Halbleitersubstrats 12 und einem Abschnitt der tiefen Wanne 20 positioniert. Die Wanne 22 ist dazu dotiert, einen Leitfähigkeitstyp aufzuweisen, der entgegengesetzt zu dem Leitfähigkeitstyp der tiefen Wanne 20 und der gleiche Leitfähigkeitstyp wie das Halbleitersubstrat 12 ist. In einer Ausführungsform kann die Wanne 22 mit einer Konzentration eines p-Typ-Dotierstoffs (z.B. Bor) dotiert sein, um eine p-Typ-Leitfähigkeit bereitzustellen. In einer Ausführungsform kann die Wanne 22 eine p-Typ-Dotierstoffkonzentration in einem Bereich von etwa $1 \times 10^{16} \text{ cm}^{-3}$ bis etwa $1 \times 10^{17} \text{ cm}^{-3}$ enthalten.

[0012] Die Wanne 22 kann durch Einführen eines Dotierstoffs durch beispielsweise eine Ionenimplantation in das Halbleitersubstrat 12 dotiert werden. Eine strukturierte Implantationsmaske kann gebildet werden, um einen ausgewählten Bereich an der oberen Oberfläche 11 des Halbleitersubstrats 12 zu definieren, der für eine Implantation exponiert ist. Die Implantationsmaske kann eine Schicht eines organischen Fotolacks umfassen, der aufgebracht und strukturiert wird, um eine Öffnung zu bilden, die den ausgewählten Bereich an der oberen Oberfläche 11 des Halbleitersubstrats 12 exponiert, und wenigstens teilweise den Ort und die horizontalen Dimensionen der Wanne 22 bestimmt. Die Implantationsmaske weist eine Dicke und Stoppkraft auf, die ausreichend ist, um eine Implantation in maskierten Bereichen zu blockieren. Die Implantationsbedingungen (z.B.

Ionenspezies, Dosis, kinetische Energie) können ausgewählt werden, um die elektrischen und physikalischen Charakteristika der Wanne 22 abzustimmen.

[0013] In dem Halbleitersubstrat 12 sind Wannen 24, 26 gebildet. Die Wanne 24 ist in einer vertikalen Richtung zwischen einem Abschnitt der Wanne 22 und der oberen Oberfläche 11 des Halbleitersubstrats 12 positioniert. Die Wanne 24 ist dazu dotiert, einen zu der Wanne 22 entgegengesetzten Leitfähigkeitstyp aufzuweisen. Die Wanne 26, die in einem Abschnitt der tiefen Wanne 20 positioniert ist, ist dazu dotiert, den gleichen Leitfähigkeitstyp wie die tiefe Wanne 20 aufzuweisen.

[0014] Die Wannen 24, 26 können durch Einführen eines Dotierstoffs eines gegebenen Leitfähigkeitstyps durch beispielsweise eine Ionenimplantation in das Halbleitersubstrat 12 gebildet werden. Eine strukturierte Implantationsmaske kann gebildet werden, um ausgewählte Bereiche an der oberen Oberfläche 11 des Halbleitersubstrats 12 zu definieren, die für eine Implantation exponiert sind. Die Implantationsmaske kann eine Schicht eines organischen Fotolacks umfassen, der aufgebracht und strukturiert wird, um Öffnungen zu bilden, welche die ausgewählten Bereiche an der oberen Oberfläche 11 des Halbleitersubstrats 12 exponieren und wenigstens teilweise den Ort und die horizontalen Dimensionen der Wannen 24, 26 bestimmen. Die Implantationsmaske weist eine Dicke und Stoppkraft auf, die ausreichend ist, um eine Implantation in maskierten Bereichen zu blockieren. Die Implantationsbedingungen (z.B. Ionenspezies, Dosis, kinetische Energie) können ausgewählt werden, um die elektrischen und physikalischen Charakteristika der Wannen 24, 26 abzustimmen. In einer Ausführungsform können die Wannen 24, 26 mit einer Konzentration eines n-Typ-Dotierstoffs (z.B. Arsen oder Phosphor) dotiert sein, um eine n-Typ-Leitfähigkeit bereitzustellen. In einer Ausführungsform können die Wannen 24, 26 eine n-Typ-Dotierstoffkonzentration in einem Bereich von etwa $1 \times 10^{17} \text{ cm}^{-3}$ bis etwa 5×10^{18} enthalten.

[0015] In dem Halbleitersubstrat 12 ist eine Wanne 28 gebildet. Die Wanne 28 ist in einer vertikalen Richtung zwischen einem Abschnitt der Wanne 22 und der oberen Oberfläche 11 des Halbleitersubstrats 12 positioniert. Die Wanne 28 ist dazu dotiert, den gleichen Leitfähigkeitstyp wie die Wanne 22 aufzuweisen. Die Wanne 28 kann durch Einführen eines Dotierstoffs eines gegebenen Leitfähigkeitstyps durch beispielsweise eine Ionenimplantation in das Halbleitersubstrat 12 gebildet werden. Eine strukturierte Implantationsmaske kann gebildet werden, um einen ausgewählten Bereich an der oberen Oberfläche 11 des Halbleitersubstrats 12 zu definieren, der für eine Implantation exponiert ist. Die Implantationsmaske kann eine Schicht eines organischen

Fotolacks umfassen, der aufgebracht und strukturiert wird, um eine Öffnung zu bilden, die den ausgewählten Bereich an der oberen Oberfläche 11 des Halbleitersubstrats 12 exponiert, und wenigstens teilweise den Ort und die horizontalen Dimensionen der Wanne 28 bestimmt. Die Implantationsmaske weist eine Dicke und Stoppkraft auf, die ausreichend ist, um eine Implantation in maskierten Bereichen zu blockieren. Die Implantationsbedingungen (z.B. Ionenspezies, Dosis, kinetische Energie) können ausgewählt werden, um die elektrischen und physikalischen Charakteristika der Wanne 28 abzustimmen. In einer Ausführungsform kann die Wanne 28 mit einer Konzentration eines p-Typ-Dotierstoffs (z.B. Bor) dotiert sein, um eine p-Typ-Leitfähigkeit bereitzustellen. In einer Ausführungsform kann die Wanne 28 eine p-Typ-Dotierstoffkonzentration in einem Bereich von etwa $1 \times 10^{17} \text{ cm}^{-3}$ bis etwa $5 \times 10^{18} \text{ cm}^{-3}$ enthalten.

[0016] Die Wanne 28 ist in einer lateralen Richtung angrenzend an die Wanne 24 positioniert, und die Wanne 28 ist auch in einer lateralen Richtung zwischen der Wanne 24 und der Wanne 26 positioniert. Ein Abschnitt der Wanne 22 ist in einer lateralen Richtung zwischen der Wanne 24 und der Wanne 28 positioniert, so dass die Wanne 28 sich nicht an die Wanne 24 anfügt. Dieser Abschnitt der Wanne 22, der die Wannen 24, 28 trennt, schneidet die obere Oberfläche 11 des Halbleitersubstrats 12. Die Wanne 28 ist auch in einer lateralen Richtung angrenzend an die Wanne 26 positioniert, wobei Abschnitte von beiden Wannen 20, 22 die Wanne 28 von der Wanne 26 trennen.

[0017] Leitende Schichten 50, 52 sind an der oberen Oberfläche 11 des Halbleitersubstrats 12 gebildet und sind in einer vertikalen Richtung über der oberen Oberfläche 11 positioniert. Die leitende Schicht 50 ist in einem Schichtstapel gebildet, der eine dielektrische Schicht 51 umfasst, die zwischen der leitenden Schicht 50 und der oberen Oberfläche 11 positioniert ist. Die leitende Schicht 52 ist in einem Schichtstapel gebildet, der eine dielektrische Schicht 53 umfasst, die zwischen der leitenden Schicht 52 und der oberen Oberfläche 11 positioniert ist. In einer Ausführungsform können die leitenden Schichten 50, 52 aus dotiertem Polysilizium bestehen, und können die dielektrischen Schichten 51, 53 aus Siliziumdioxid bestehen. Die leitende Schicht 50 und die dielektrische Schicht 51 überlappen mit einem Abschnitt der Wanne 24, einem Abschnitt der Wanne 22 und einer Schnittstelle 84 zwischen der Wanne 24 und der Wanne 22. Die leitende Schicht 52 und die dielektrische Schicht 53 überlappen mit einem Abschnitt der Wanne 28, einem Abschnitt der Wanne 22 und einer Schnittstelle 86 zwischen der Wanne 28 und der Wanne 22. Die leitende Schicht 50 weist eine äußere Seitenwand 56 auf, die sich um ihrem Umfang erstreckt, und die leitende Schicht

52 weist eine äußere Seitenwand 58 auf, die sich um ihrem Umfang erstreckt.

[0018] Dotierte Regionen 30, 32, 34, 36, 38 sind angrenzend an die obere Oberfläche 11 des Halbleitersubstrats 12 gebildet. Die dotierte Region 30 ist in der Wanne 24 zwischen der Flachgrabenisoliationsregion 14 und der Flachgrabenisoliationsregion 15 positioniert, und die dotierte Region 30 ist dazu dotiert, einen zu der Wanne 24 entgegengesetzten Leitfähigkeitstyp aufzuweisen. Die dotierte Region 32 ist in dem Abschnitt der Wanne 22 positioniert, der die Wanne 24 von der Wanne 28 trennt, und die dotierte Region 32 ist dazu dotiert, den gleichen Leitfähigkeitstyp wie die Wanne 22 aufzuweisen, aber mit einer höheren Dotierstoffkonzentration. Die dotierte Region 34 und die dotierte Region 36 sind in der Wanne 28 positioniert, und die dotierten Regionen 34, 36 sind dazu dotiert, den gleichen Leitfähigkeitstyp wie die Wanne 28 aufzuweisen, aber mit einer höheren Dotierstoffkonzentration. Die dotierte Region 38 ist in einem Abschnitt des Halbleitersubstrats 12 positioniert, der an der oberen Oberfläche 11 zugänglich ist, und die dotierte Region 38 ist dazu dotiert, den gleichen Leitfähigkeitstyp aufzuweisen wie das Halbleitersubstrat 12, aber mit einer höheren Dotierstoffkonzentration.

[0019] In einer Ausführungsform können die dotierten Regionen 30, 32, 34, 36, 38 mit einer Konzentration eines p-Typ-Dotierstoffs (z.B. Bor) dotiert (z.B. stark dotiert) sein, um eine p-Typ-Leitfähigkeit bereitzustellen. In einer Ausführungsform können die dotierten Regionen 30, 32, 34, 36, 38 eine p-Typ-Dotierstoffkonzentration in einem Bereich von etwa $1 \times 10^{19} \text{ cm}^{-3}$ bis etwa 5×10^{20} enthalten. Die dotierten Regionen 30, 32, 34, 36, 38 können gleichlaufend durch selektives Implantieren von Ionen, wie etwa Ionen umfassend den p-Typ-Dotierstoff, unter gegebenen Implantationsbedingungen mit einer Implantationsmaske gebildet werden, die Öffnungen aufweist, welche die beabsichtigten Orte für die dotierten Regionen 30, 32, 34, 36, 38 in dem Halbleitersubstrat 12 definieren.

[0020] Dotierte Regionen 40, 42, 44, 46 befinden sich angrenzend an die obere Oberfläche 11 des Halbleitersubstrats 12. Die dotierte Region 40 und die dotierte Region 42 sind in der Wanne 24 positioniert, und die dotierten Regionen 40, 42 sind dazu dotiert, den gleichen Leitfähigkeitstyp wie die Wanne 24 aufzuweisen, aber mit einer höheren Dotierstoffkonzentration. Die dotierte Region 30 ist in einer lateralen Richtung zwischen der dotierten Region 40 und der dotierten Region 42 positioniert. Die Flachgrabenisoliationsregion 14 ist zwischen der dotierten Region 40 und der dotierten Region 30 positioniert, und die Flachgrabenisoliationsregion 15 ist zwischen der dotierten Region 42 und der dotierten Region 30 positioniert. Die dotierte Region 42

kann sich an die Flachgrabenisoliationsregion 15 anfügen. Die dotierte Region 44 ist in der Wanne 28 positioniert, und die dotierte Region 44 ist dazu dotiert, einen zu der Wanne 28 entgegengesetzten Leitfähigkeitstyp aufzuweisen. Die dotierte Region 44 ist in einer lateralen Richtung zwischen der Flachgrabenisoliationsregion 16 und der Flachgrabenisoliationsregion 17 positioniert. Die Flachgrabenisoliationsregion 16 ist in einer lateralen Richtung zwischen der dotierten Region 34 und der dotierten Region 44 positioniert, und die Flachgrabenisoliationsregion 17 ist in einer lateralen Richtung zwischen der dotierten Region 36 und der dotierten Region 44 positioniert. Die dotierte Region 34 kann sich an die Flachgrabenisoliationsregion 16 anfügen. Die dotierte Region 46 ist in der Wanne 26 positioniert, und die dotierte Region 46 ist dazu dotiert, den gleichen Leitfähigkeitstyp wie die Wanne 26 aufzuweisen, aber mit einer höheren Dotierstoffkonzentration.

[0021] In einer Ausführungsform können die dotierten Regionen 40, 42, 44, 46 mit einer Konzentration eines n-Typ-Dotierstoffs (z.B. Arsen oder Phosphor) dotiert (z.B. stark dotiert) sein, um eine n-Typ-Leitfähigkeit bereitzustellen. In einer Ausführungsform können die dotierten Regionen 40, 42, 44, 46 eine n-Typ-Dotierstoffkonzentration in einem Bereich von etwa 1×10^{19} bis etwa 5×10^{20} enthalten. Die dotierten Regionen 40, 42, 44, 46 können gleichlaufend durch selektives Implantieren von Ionen, wie etwa Ionen umfassend den n-Typ-Dotierstoff, unter gegebenen Implantationsbedingungen mit einer Implantationsmaske gebildet werden, die Öffnungen aufweist, welche die beabsichtigten Orte für die dotierten Regionen 40, 42, 44, 46 in dem Halbleitersubstrat 12 definieren.

[0022] Die leitenden Schichten 50, 52 können an der oberen Oberfläche 11 des Halbleitersubstrats 12 während der Bildung der dotierten Regionen 30, 32, 34, 36, 38 und auch während der Bildung der dotierten Regionen 40, 42, 44, 46 vorhanden sein. Die dotierte Region 42 ist angrenzend an die leitende Schicht 50 positioniert. In einer Ausführungsform umfasst die dotierte Region 42 eine Seitenkante 43, die zu einem Abschnitt der Seitenwand 56 der leitenden Schicht 50 ausgerichtet sein kann. Die dotierte Region 34 ist angrenzend an die leitende Schicht 52 positioniert. In einer Ausführungsform umfasst die dotierte Region 34 eine Seitenkante 35, die zu der Seitenwand 58 der leitenden Schicht 52 ausgerichtet ist. Die dotierte Region 32 ist in einer lateralen Richtung zwischen der Seitenwand 56 und der Seitenwand 58 positioniert. In einer Ausführungsform umfasst die dotierte Region 32 eine Seitenkante 31, die zu der Seitenwand 56 der leitenden Schicht 50 ausgerichtet sein kann, und eine Seitenkante 33, die zu der Seitenwand 58 der leitenden Schicht 52 ausgerichtet sein kann.

[0023] Eine Middle-of-Line-Prozessierung und eine Back-End-of-Line-Prozessierung folgen, was die Bildung einer Interconnect-Struktur mit elektrischen Verbindungen umfasst, die mit der Struktur 10 gekoppelt sind. An der oberen Oberfläche 11 des Halbleitersubstrats 12 kann eine selbstausgerichtete Silizidschicht gebildet werden, und eine Salizidblockierschicht 61 kann die Bildung des Silizids an bestimmten Bereichen der oberen Oberfläche 11 blockieren. Die dotierten Regionen 30, 40 können einen Anschluss 60 der Struktur 10 bereitstellen, und die dotierten Regionen 36, 44 können einen anderen Anschluss 62 der Struktur 10 bereitstellen. Die Interconnect-Struktur umfasst eine elektrische Verbindung 64 mit den dotierten Regionen 30, 40 und eine separate elektrische Verbindung 66 mit den dotierten Regionen 36, 44. In einer Ausführungsform kann der Anschluss 60 die Anode der Struktur 10 sein, und der Anschluss 62 kann die Kathode der Struktur 10 sein. In einer Ausführungsform kann eine Vorspannung an die Anode angelegt sein, und die Kathode kann geerdet sein. Die elektrische Verbindung 64 koppelt auch den Anschluss 60 mit der dotierten Region 46 und koppelt dadurch den Anschluss 60 an die Wanne 26 und die tiefe Wanne 20.

[0024] Die Leiterschicht 50 ist mit dem Anschluss 60 durch die elektrische Verbindung 64 verknüpft. In ähnlicher Weise ist die Leiterschicht 52 mit dem Anschluss 62 durch die elektrische Verbindung 66 verknüpft. Somit ist, wenn ein Vorspannen vorhanden ist, die Leiterschicht 50 auf demselben Potential wie der Anschluss 60 vorgespannt, und ist die Leiterschicht 52 auf demselben Potential wie der Anschluss 62 vorgespannt. Die dotierte Region 42 in der Wanne 24, die dotierte Region 32 in der Wanne 22, und die dotierte Region 34 in der Wanne 28 sind nicht durch die elektrischen Verbindungen 64, 66 mit irgendeinem der Anschlüsse 60, 62 verbunden, und sind während einer Verwendung floatend.

[0025] Die Struktur 10 kann eine vollständig isolierte unidirektionale Vorrichtungsstruktur für einen siliziumgesteuerten Gleichrichter verkörpern, die geeignet für eine Verwendung als Vorrichtung zum Schutz vor elektrostatischer Entladung ist. Verglichen mit konventionellen siliziumgesteuerten Gleichrichtern kann die Struktur 10 durch eine reduzierte Trigger-Spannung, eine höhere Haltespannung und eine verbesserte Hochstrom-Performance in Ansprechung auf ein elektrostatisches Entladeereignis gekennzeichnet sein. Die Struktur 10 kann beispielsweise entweder zum Schutz eines Eingangs-/Ausgangspads oder zum Schutz eines Leistungspads verwendet werden. Die Struktur 10 kann einen reduzierten On-Widerstand aufweisen, wenn sie getriggert wird, was eine Reduktion des Vorrichtungsfußabdrucks erlauben kann.

[0026] Unter Bezugnahme auf **Fig. 2**, in der sich gleiche Bezugszeichen auf gleiche Merkmale in **Fig. 1** beziehen, und gemäß alternativen Ausführungsformen der Erfindung kann eine Flachgrabenisoliationsregion 70 in dem Halbleitersubstrat 12 gebildet und in einer vertikalen Richtung unter der Leiterschicht 50 positioniert sein. Die Flachgrabenisoliationsregion 70 ist in einer lateralen Richtung angrenzend an die dotierte Region 32 positioniert und kann sich an die dotierte Region 32 anfügen. Die Flachgrabenisoliationsregion 70 kann aus einem dielektrischen Material, wie etwa Siliziumdioxid, bestehen und kann auf dieselbe Weise wie, und gleichlaufend mit, den Flachgrabenisoliationsregionen 14, 15, 16, 17, 18, 19 gebildet sein. Die leitende Schicht 50 ist an der oberen Oberfläche 11 positioniert, um mit der Flachgrabenisoliationsregion 70 zu überlappen. Die Flachgrabenisoliationsregion 70 kann dazu fungieren, die Durchschlagsspannung der Struktur 10 zu erhöhen.

[0027] Unter Bezugnahme auf **Fig. 3**, in der sich gleiche Bezugszeichen auf gleiche Merkmale in **Fig. 2** beziehen, und gemäß alternativen Ausführungsformen der Erfindung können Isoliationsregionen 72, 74 in dem Halbleitersubstrat 12 gebildet sein. Die Isoliationsregionen 72, 74 können aus einem dielektrischen Material, wie etwa Siliziumdioxid, bestehen und können durch eine Lokaloxidation-von-Silizium (local oxidation of silicon; LOCOS)-Technik gebildet sein. Die Isoliationsregionen 72, 74 können zu einer flacheren Tiefe in dem Halbleitersubstrat 12 als die Flachgrabenisoliationsregionen 14, 15, 16, 17, 18, 19 durchdringen. Die leitende Schicht 50 ist an der oberen Oberfläche 11 positioniert, um mit der Isoliationsregion 72 zu überlappen, und die leitende Schicht 52 ist an der oberen Oberfläche 11 positioniert, um mit der Isoliationsregion 74 zu überlappen.

[0028] Die oben beschriebenen Verfahren werden bei der Fertigung von Chips mit integriertem Schaltkreis verwendet. Die resultierenden Chips mit integriertem Schaltkreis können durch den Fertiger in Roh-Wafer-Form (z.B. als einzelner Wafer, der mehrere ungehäute Chips aufweist), als nackter Chip (bare die), oder in einer gehäuten Form vertrieben werden. Der Chip kann mit anderen Chips, diskreten Schaltelementen und/oder anderen Signalverarbeitungsvorrichtungen als Teil von entweder einem Zwischenprodukt oder einem Endprodukt integriert sein. Das Endprodukt kann irgendein Produkt sein, das Chips mit integriertem Schaltkreis umfasst, wie etwa Computerprodukte, die einen zentralen Prozessor aufweisen, oder Smartphones.

[0029] Bezugnahmen hierin auf Ausdrücke, die durch eine Näherungssprache modifiziert sind, wie „etwa“, „ungefähr“, und „im Wesentlichen“, sollen nicht auf den spezifizierten präzisen Wert beschränkt

sein. Die Näherungssprache kann der Präzision eines Instruments entsprechen, das verwendet wird, um den Wert zu messen, und kann, falls nicht anderweitig abhängig von der Präzision des Instruments, einen Bereich von +/- 10% des (der) genannten Werts (Werte) angeben.

[0030] Bezugnahmen hierin auf Ausdrücke wie „vertikal“, „horizontal“, etc. erfolgen beispielhaft und nicht zur Beschränkung, um einen Referenzrahmen festzulegen. Der Ausdruck „horizontal“ wie hierin verwendet, ist als eine Ebene definiert, die parallel zu einer konventionellen Ebene eines Halbleitersubstrats ist, ungeachtet seiner tatsächlichen dreidimensionalen räumlichen Ausrichtung. Die Begriffe „vertikal“ und „normal“ beziehen sich auf eine Richtung, die senkrecht zur Horizontalen, wie gerade definiert, ist. Der Begriff „lateral“ bezieht sich auf eine Richtung innerhalb der horizontalen Ebene.

[0031] Ein Merkmal „verbunden“ oder „gekoppelt“ an ein anderes oder mit einem anderen Merkmal kann an das oder mit dem anderen Merkmal direkt verbunden oder gekoppelt sein oder stattdessen kann eines oder können mehrere dazwischenkommende Merkmale vorhanden sein. Ein Merkmal kann an ein anderes oder mit einem anderen Merkmal „direkt verbunden“ oder „direkt gekoppelt“ sein, falls dazwischenkommende Merkmale nicht vorhanden sind. Ein Merkmal kann an ein anderes oder mit einem anderen Merkmal „indirekt verbunden“ oder „indirekt gekoppelt“ sein, falls wenigstens ein dazwischenkommendes Merkmal vorhanden ist. Ein Merkmal „an“ einem anderen Merkmal oder es „kontaktierend“ kann direkt an oder in direktem Kontakt mit dem anderen Merkmal sein, oder stattdessen kann eines oder können mehrere dazwischenkommende Merkmale vorhanden sein. Ein Merkmal kann „direkt an“ oder in „direktem Kontakt“ mit einem anderen Merkmal sein, falls dazwischenkommende Merkmale nicht vorhanden sind. Ein Merkmal kann „indirekt an“ oder in „indirektem Kontakt“ mit einem anderen Merkmal sein, falls wenigstens ein dazwischenkommendes Merkmal vorhanden ist. Verschiedene Merkmale können „überlappen“, wenn sich ein Merkmal über ein anderes Merkmal erstreckt und einen Teil davon bedeckt.

[0032] Die Beschreibungen der verschiedenen Ausführungsformen der vorliegenden Erfindung wurden zum Zwecke der Veranschaulichung präsentiert, sollen aber nicht erschöpfend oder auf die offenbarten Ausführungsformen beschränkt sein. Viele Modifikationen und Variationen sind für die gewöhnlichen Fachleute offensichtlich, ohne vom Umfang und der Idee der beschriebenen Ausführungsformen abzuweichen. Die hierin verwendete Terminologie wurde gewählt, um die Prinzipien der Ausführungsformen, die praktische Anwendung oder technische Verbesserung gegenüber auf dem Markt erhältlichen Tech-

nologien am besten zu erklären, oder es anderen gewöhnlichen Fachleuten zu ermöglichen, die hierin offenbarten Ausführungsformen zu verstehen.

Patentansprüche

1. Struktur für einen siliziumgesteuerten Gleichrichter, wobei die Struktur umfasst:
 - ein Halbleitersubstrat;
 - eine erste Wanne in dem Halbleitersubstrat, wobei die erste Wanne einen ersten Leitfähigkeitstyp aufweist;
 - eine zweite Wanne in dem Halbleitersubstrat, wobei die zweite Wanne einen zweiten Leitfähigkeitstyp aufweist, der entgegengesetzt zu dem ersten Leitfähigkeitstyp ist;
 - einen ersten Anschluss umfassend eine erste dotierte Region in der ersten Wanne, wobei die erste dotierte Region den zweiten Leitfähigkeitstyp aufweist;
 - einen zweiten Anschluss umfassend eine zweite dotierte Region in der zweiten Wanne, wobei die zweite dotierte Region den ersten Leitfähigkeitstyp aufweist;
 - eine erste Leiterschicht an dem Halbleitersubstrat, wobei die erste Leiterschicht einen ersten Abschnitt umfasst, der mit der ersten Wanne überlappt;
 - eine zweite Leiterschicht an dem Halbleitersubstrat, wobei die zweite Leiterschicht einen ersten Abschnitt umfasst, der mit der zweiten Wanne überlappt; und
 - eine dritte dotierte Region in dem Halbleitersubstrat, wobei die dritte dotierte Region den zweiten Leitfähigkeitstyp aufweist, und die dritte dotierte Region in einer lateralen Richtung zwischen der ersten Leiterschicht und der zweiten Leiterschicht positioniert ist.
2. Struktur nach Anspruch 1, wobei die erste Leiterschicht eine erste Seitenwand aufweist, die zweite Leiterschicht eine zweite Seitenwand aufweist, und die dritte dotierte Region zwischen der ersten Seitenwand und der zweiten Seitenwand positioniert ist.
3. Struktur nach Anspruch 2, wobei die dritte dotierte Region eine erste Seitenkante, die mit der ersten Seitenwand der ersten Leiterschicht ausgerichtet ist, und eine zweite Seitenkante aufweist, die mit der zweiten Seitenwand der zweiten Leiterschicht ausgerichtet ist.
4. Struktur nach einem der Ansprüche 1 bis 3, ferner umfassend:
 - eine dritte Wanne, die den zweiten Leitfähigkeitstyp und eine niedrigere Dotierstoffkonzentration als die zweite Wanne aufweist, wobei die dritte Wanne einen Abschnitt umfasst, der in der lateralen Richtung zwischen der ersten Wanne und der zweiten Wanne positioniert ist,

wobei die dritte dotierte Region in dem Abschnitt der dritten Wanne positioniert ist.

5. Struktur nach Anspruch 4, wobei die dritte dotierte Region eine höhere Dotierstoffkonzentration als die dritte Wanne aufweist.

6. Struktur nach Anspruch 4 oder 5, wobei die erste Leiterschicht einen zweiten Abschnitt umfasst, der mit dem Abschnitt der dritten Wanne überlappt, und die erste Wanne und der Abschnitt der dritten Wanne sich entlang einer Schnittstelle aneinander anfügen, die unter der ersten Leiterschicht positioniert ist.

7. Struktur nach einem der Ansprüche 4 bis 6, wobei die zweite Leiterschicht einen zweiten Abschnitt umfasst, der mit dem Abschnitt der dritten Wanne überlappt, und die zweite Wanne und der Abschnitt der dritten Wanne sich entlang einer Schnittstelle aneinander anfügen, die unter der zweiten Leiterschicht positioniert ist.

8. Struktur nach einem der Ansprüche 1 bis 7, wobei die dritte dotierte Region nicht mit dem ersten Anschluss verbunden ist, und die dritte dotierte Region nicht mit dem zweiten Anschluss verbunden ist.

9. Struktur nach einem der Ansprüche 1 bis 8, wobei die erste Leiterschicht mit dem ersten Anschluss verbunden ist.

10. Struktur nach einem der Ansprüche 1 bis 9, wobei die zweite Leiterschicht mit dem zweiten Anschluss verbunden ist.

11. Struktur nach einem der Ansprüche 1 bis 10, ferner umfassend:
eine erste dielektrische Schicht, die zwischen der ersten Leiterschicht und dem Halbleitersubstrat positioniert ist; und
eine zweite dielektrische Schicht, die zwischen der zweiten Leiterschicht und dem Halbleitersubstrat positioniert ist.

12. Struktur nach einem der Ansprüche 1 bis 11, ferner umfassend:
eine vierte dotierte Region in der ersten Wanne, wobei die vierte dotierte Region angrenzend an die erste Leiterschicht positioniert ist, und die vierte dotierte Region den ersten Leitfähigkeitstyp und eine höhere Dotierstoffkonzentration als die erste Wanne aufweist.

13. Struktur nach Anspruch 12, wobei die vierte dotierte Region nicht mit dem ersten Anschluss verbunden ist, und die vierte dotierte Region nicht mit dem zweiten Anschluss verbunden ist.

14. Struktur nach Anspruch 12 oder 13, wobei die erste Leiterschicht eine Seitenwand aufweist, und die vierte dotierte Region eine Seitenkante aufweist, die mit der Seitenwand der ersten Leiterschicht ausgerichtet ist.

15. Struktur nach einem der Ansprüche 1 bis 14, ferner umfassend:
eine vierte dotierte Region in der zweiten Wanne, wobei die vierte dotierte Region angrenzend an die zweite Leiterschicht positioniert ist, und die vierte dotierte Region den zweiten Leitfähigkeitstyp und eine höhere Dotierstoffkonzentration als die zweite Wanne aufweist.

16. Struktur nach Anspruch 15, wobei die vierte dotierte Region nicht mit dem ersten Anschluss verbunden ist, und die vierte dotierte Region nicht mit dem zweiten Anschluss verbunden ist.

17. Struktur nach Anspruch 15 oder 16, wobei die zweite Leiterschicht eine Seitenwand aufweist, und die vierte dotierte Region eine Kante aufweist, die mit der Seitenwand der zweiten Leiterschicht ausgerichtet ist.

18. Struktur nach einem der Ansprüche 1 bis 17, ferner umfassend:
eine erste Isolationsregion in dem Halbleitersubstrat unter der ersten Leiterschicht, wobei die erste Isolationsregion ein dielektrisches Material umfasst.

19. Struktur nach Anspruch 18, ferner umfassend:
eine zweite Isolationsregion in dem Halbleitersubstrat unter der zweiten Leiterschicht, wobei die zweite Isolationsregion das dielektrische Material umfasst.

20. Verfahren zum Bilden einer Struktur für einen siliziumgesteuerten Gleichrichter, wobei das Verfahren umfasst:

Bilden einer ersten Wanne in einem Halbleitersubstrat, wobei die erste Wanne einen ersten Leitfähigkeitstyp aufweist;

Bilden einer zweiten Wanne in dem Halbleitersubstrat, wobei die zweite Wanne einen zweiten Leitfähigkeitstyp aufweist, der entgegengesetzt zu dem ersten Leitfähigkeitstyp ist;

Bilden eines ersten Anschlusses umfassend eine erste dotierte Region in der ersten Wanne, wobei die erste dotierte Region den zweiten Leitfähigkeitstyp aufweist;

Bilden eines zweiten Anschlusses umfassend eine zweite dotierte Region in der zweiten Wanne, wobei die zweite dotierte Region den ersten Leitfähigkeitstyp aufweist;

Bilden einer ersten Leiterschicht an dem Halbleitersubstrat, wobei die erste Leiterschicht einen Abschnitt umfasst, der mit der ersten Wanne überlappt;

Bilden einer zweiten Leiterschicht an dem Halbleitersubstrat, wobei die zweite Leiterschicht einen Abschnitt umfasst, der mit der zweiten Wanne überlappt; und

Bilden einer dritten dotierten Region in dem Halbleitersubstrat, wobei die dritte dotierte Region den zweiten Leitfähigkeitstyp aufweist, und die dritte dotierte Region in einer lateralen Richtung zwischen der ersten Leiterschicht und der zweiten Leiterschicht positioniert ist.

Es folgen 3 Seiten Zeichnungen

Anhängende Zeichnungen

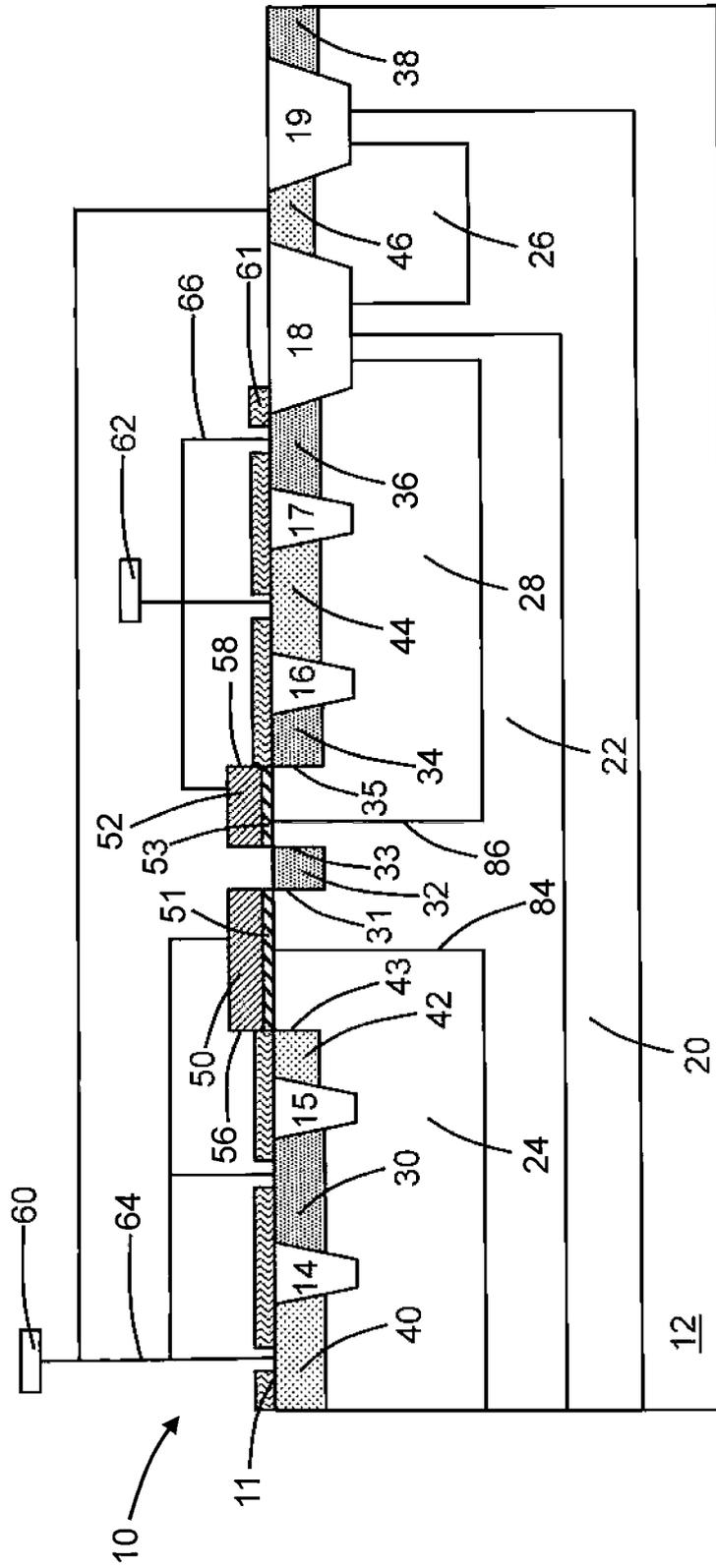


FIG. 1

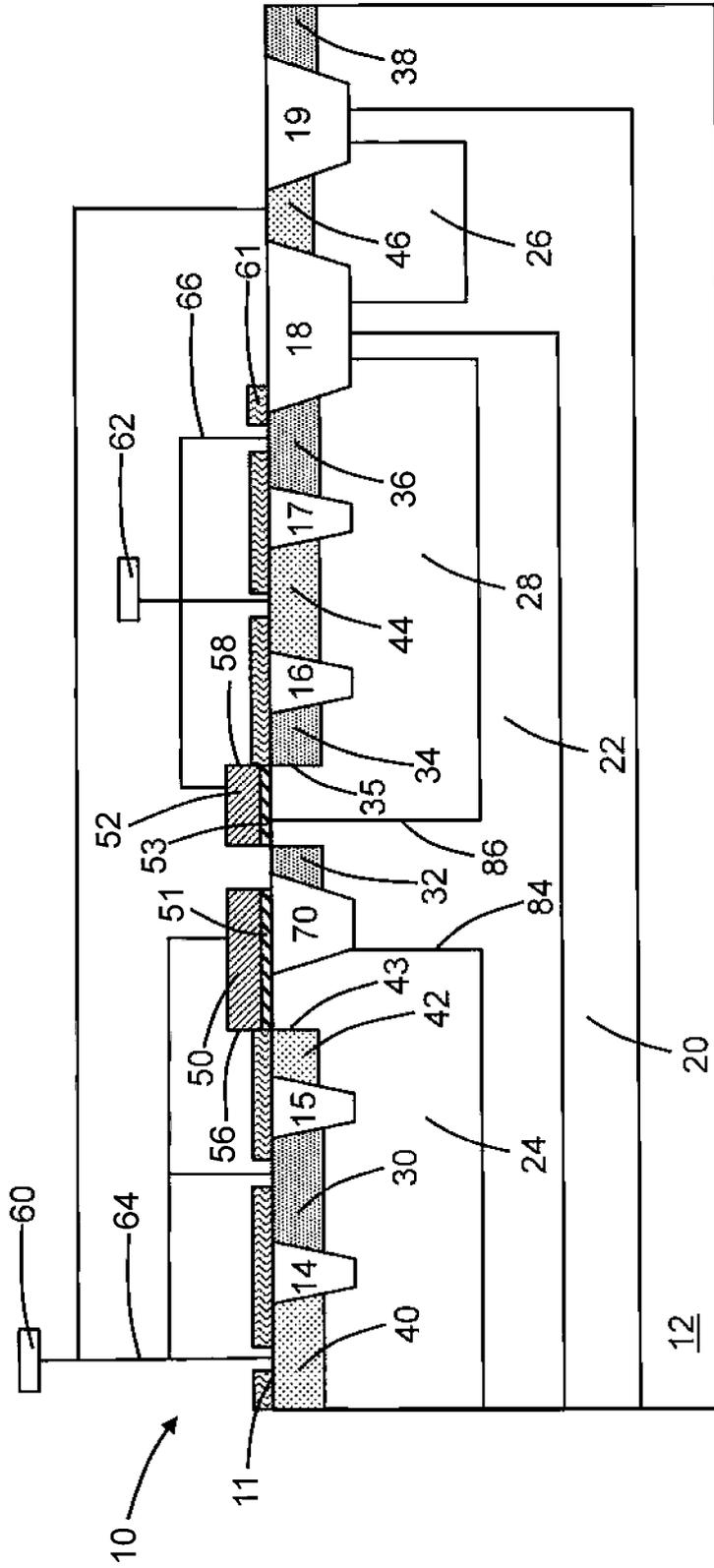


FIG. 2

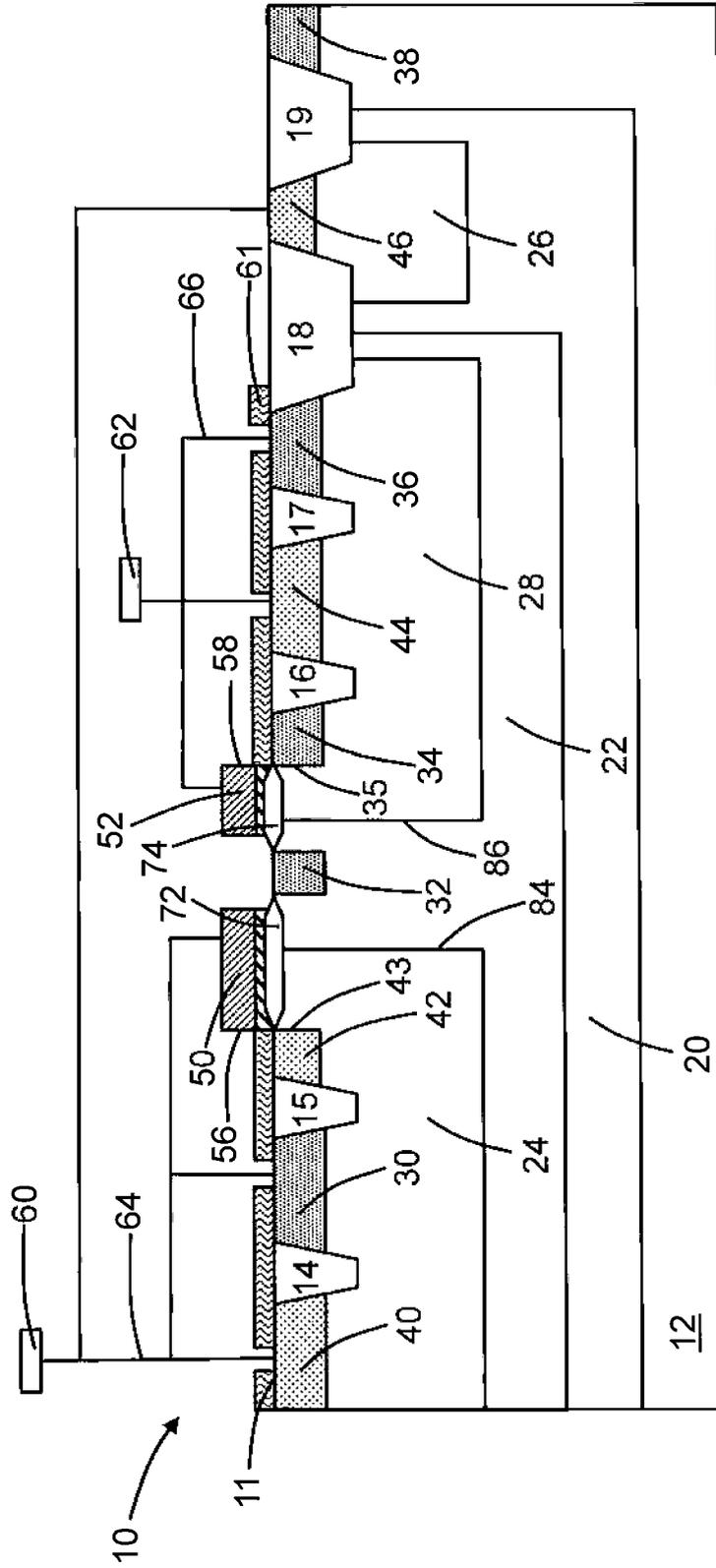


FIG. 3