



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년01월21일
(11) 등록번호 10-0938038
(24) 등록일자 2010년01월13일

(51) Int. Cl.
G01R 1/073 (2006.01) HO1L 21/66 (2006.01)
(21) 출원번호 10-2007-0040844
(22) 출원일자 2007년04월26일
심사청구일자 2007년04월26일
(65) 공개번호 10-2007-0111327
(43) 공개일자 2007년11월21일
(30) 우선권주장
JP-P-2006-00136596 2006년05월16일 일본(JP)
(56) 선행기술조사문헌
JP2003130890 A

(73) 특허권자
가부시끼가이샤 르네사스 테크놀로지
일본국 도쿄도 치요다쿠 오테마치 2초메 6반 2고
(72) 발명자
가스카베 스스무
일본 도쿄도 지요다꾸 마루노우찌 1쵸메 6-1 가부
시끼가이샤히타치세이사쿠쇼 지적재산권본부 내
모리 데루따카
일본 도쿄도 지요다꾸 마루노우찌 1쵸메 6-1 가부
시끼가이샤히타치세이사쿠쇼 지적재산권본부 내
(뒷면에 계속)
(74) 대리인
구영창, 이중희, 장수길

전체 청구항 수 : 총 18 항

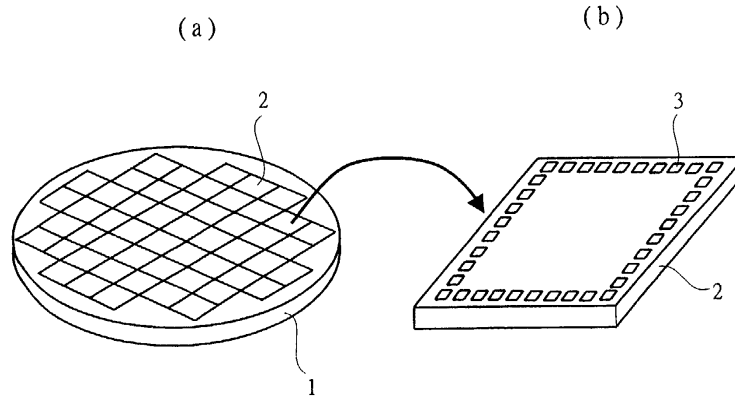
심사관 : 박장환

(54) 전송 회로, 접속용 시트, 프로브 시트, 프로브 카드, 반도체 검사 장치, 및 반도체 장치의 제조 방법

(57) 요약

프로브 시트에서, 이 프로브 시트의 배선은, 절연층(70)을 개재한 신호 배선(71)의 바로 아래의 그라운드 배선(72)을 부분적으로 제거한 배선 구조로서, 신호 배선과 그라운드 배선이 방사 형상의 패턴으로 형성되어 있는 전송 회로로 한다. 또한, 프로브 시트를 이용한 프로브 카드 및 그것을 이용한 반도체 장치의 검사 방법(제조 방법) 및 고주파 특성이 우수한 접속용 시트에 적용한다.

대표도 - 도1



(72) 발명자

나리즈카 야스노리

일본 도쿄도 지요다구 마루노우찌 1쪼메 6-1 가부
시키가이샤히타치세이사쿠쇼 지적재산권본부 내

쥬조 노리오

일본 도쿄도 지요다구 마루노우찌 1쪼메 6-1 가부
시키가이샤히타치세이사쿠쇼 지적재산권본부 내

특허청구의 범위

청구항 1

절연층과,

상기 절연층의 제1 면에 형성된 폭을 갖는 신호 배선과,

상기 절연층의 제1 면에 대향하는 제2 면에 형성된 폭을 갖는 그라운드 배선을 갖고,

상기 제1 면 중, 상기 신호 배선이 형성되어 있는 영역에 대응하는 상기 제2 면의 영역에는, 상기 그라운드 배선이 형성되어 있지 않은 것을 특징으로 하는 전송 회로.

청구항 2

절연층과,

상기 절연층의 제1 면에 형성된 폭을 갖는 신호 배선과,

상기 절연층의 제1 면에 대향하는 제2 면에 형성된 폭을 갖는 그라운드 배선을 갖고,

상기 제1 면 중, 상기 신호 배선이 형성되어 있는 영역에 대응하는 상기 제2 면의 영역에는, 상기 그라운드 배선이 형성되어 있지 않고,

상기 신호 배선과 상기 그라운드 배선은, 한 점으로부터 사방으로 방사 형상의 패턴으로 형성되어 있는 것을 특징으로 하는 전송 회로.

청구항 3

제2항에 있어서,

상기 방사 형상의 패턴의 그라운드 배선의 도중에는, 상호의 그라운드 배선을 도통시키는 1개 혹은 복수개의 배선이 설치되어 있는 것을 특징으로 하는 전송 회로.

청구항 4

제1항에 있어서,

상기 그라운드 배선은, 상기 신호 배선의 폭 이상의 간격을 두고, 상기 신호 배선의 폭의 2배보다 가는 폭의 그라운드 배선이 2개 형성되어 있는 것을 특징으로 하는 전송 회로.

청구항 5

제1항에 있어서,

상기 신호 배선은, 2개 1조의 차동 배선으로 이루어지고,

상기 2개 1조의 차동 배선의 배선 사이의 바로 아래에 1개의 그라운드 배선이 설치되고, 상기 2개 1조의 차동 배선의 외측의 하면의 각각에 그라운드 배선이 설치되어 있는 것을 특징으로 하는 전송 회로.

청구항 6

제5항에 있어서,

상기 2개 1조의 차동 배선의 간격은 상기 차동 배선의 폭 이상 두고, 상기 그라운드 배선은 상기 차동 배선의 폭의 2배보다 가는 폭의 그라운드 배선으로 형성되어 있는 것을 특징으로 하는 전송 회로.

청구항 7

웨이퍼에 형성된 반도체 소자의 전극의 배열에 준하여 배치한 웨이퍼 전극 접속용 접촉 단자와, 상기 웨이퍼 전극 접속용 접촉 단자로부터 가이드된 배선과, 상기 배선에 전기적으로 접속된 기판 접속용 접촉 단자를 갖고,

상기 배선은, 제1항의 전송 회로인 것을 특징으로 하는 프로브 시트.

청구항 8

제7항에 있어서,

상기 웨이퍼 전극 접속용 접촉 단자는, 결정성을 갖는 기판을 이방성 에칭하여 구멍을 형성하고, 상기 구멍을 상기 웨이퍼 전극 접속용 접촉 단자의 형재(型材; cast)로서 이용하여 만들어져 있는 것을 특징으로 하는 프로브 시트.

청구항 9

제7항에 있어서,

상기 웨이퍼 전극 접속용 접촉 단자 및 상기 기판 접속용 접촉 단자의 양자는, 결정성을 갖는 기판을 이방성 에칭하여 구멍을 형성하고, 상기 구멍을 상기 웨이퍼 전극 접속용 접촉 단자 및 상기 기판 접속용 접촉 단자의 형재로서 이용하여 만들어져 있는 것을 특징으로 하는 프로브 시트.

청구항 10

웨이퍼에 설치된 전극과 접촉하는 웨이퍼 전극 접속용 접촉 단자와, 상기 웨이퍼 전극 접속용 접촉 단자로부터 가이드된 배선과, 상기 배선에 전기적으로 접속된 기판 접속용 접촉 단자와, 상기 기판 접속용 접촉 단자와 전기적으로 접속되는 전극을 갖는 다층 배선 기판을 갖고,

상기 배선은, 제1항의 전송 회로인 것을 특징으로 하는 프로브 카드.

청구항 11

제10항에 있어서,

상기 웨이퍼 전극 접속용 접촉 단자는, 결정성을 갖는 기판을 이방성 에칭하여 구멍을 형성하고, 상기 구멍을 상기 웨이퍼 전극 접속용 접촉 단자의 형재로서 이용하여 만들어진 각추 형상 또는 각추대 형상의 단자인 것을 특징으로 하는 프로브 카드.

청구항 12

웨이퍼가 놓이는 시료대와, 상기 웨이퍼에 형성된 반도체 소자의 전극과 접촉하는 웨이퍼 전극 접속용 접촉 단자와, 상기 반도체 소자의 전기적 특성을 검사하는 테스터와 전기적으로 접속된 프로브 카드를 갖고,

상기 프로브 카드는, 상기 웨이퍼에 설치된 전극과 접촉하는 웨이퍼 전극 접속용 접촉 단자와, 상기 웨이퍼 전극 접속용 접촉 단자로부터 가이드된 배선과, 상기 배선에 전기적으로 접속된 기판 접속용 접촉 단자와, 상기 기판 접속용 접촉 단자와 전기적으로 접속되는 전극이 설치된 다층 배선 기판을 갖고,

상기 배선은, 제1항의 전송 회로인 것을 특징으로 하는 반도체 검사 장치.

청구항 13

제12항에 있어서,

상기 웨이퍼 전극 접속용 접촉 단자 및 상기 기판 접속용 접촉 단자의 양방 혹은 일방의 접촉 단자는, 결정성을 갖는 기판을 이방성 에칭하여 구멍을 형성하고, 상기 구멍을 상기 웨이퍼 전극 접속용 접촉 단자 및 상기 기판 접속용 접촉 단자의 양방 혹은 일방의 접촉 단자의 형재로서 이용하여 만들어진 각추 형상 또는 각추대 형상의 단자인 것을 특징으로 하는 반도체 검사 장치.

청구항 14

웨이퍼에 회로를 만들어 넣어 반도체 소자를 형성하는 공정과, 상기 반도체 소자의 전기적 특성을 검사하는 공정과, 상기 웨이퍼를 다이싱하여 상기 반도체 소자마다 분리하는 공정을 갖고,

상기 반도체 소자의 전기적 특성을 검사하는 공정에서는, 상기 반도체 소자의 전극에 접촉하는 웨이퍼 전극 접속용 접촉 단자와, 상기 웨이퍼 전극 접속용 접촉 단자로부터 가이드된 배선과, 상기 배선에 전기적으로 접속된 기판 접속용 접촉 단자를 갖는 프로브 시트와, 상기 기판 접속용 접촉 단자와 전기적으로 접속되는 전극을 갖는 다층 배선 기판을 갖는 프로브 카드를 이용하여, 상기 반도체 소자를 검사하고,

상기 배선은, 제1항의 전송 회로인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 15

웨이퍼에 회로를 만들어 넣어 반도체 소자를 형성하는 공정과, 상기 웨이퍼를 수지로 밀봉하는 공정과, 상기 밀봉된 웨이퍼에 형성된 반도체 소자의 전기적 특성을 검사하는 공정을 갖고,

상기 반도체 소자의 전기적 특성을 검사하는 공정에서는, 상기 반도체 소자의 전극에 접촉하는 웨이퍼 전극 접속용 접촉 단자와, 상기 웨이퍼 전극 접속용 접촉 단자로부터 가이드된 배선과, 상기 배선에 전기적으로 접속된 기관 접속용 접촉 단자를 갖는 프로브 시트와, 상기 기관 접속용 접촉 단자와 전기적으로 접속되는 전극을 갖는 다층 배선 기관을 갖는 프로브 카드를 이용하여, 상기 반도체 소자를 검사하고,

상기 배선은, 제1항의 전송 회로인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 16

제14항에 있어서,

상기 웨이퍼 전극 접속용 접촉 단자 및 상기 기관 접속용 접촉 단자의 양방 혹은 일방의 접촉 단자는, 결정성을 갖는 기관을 이방성 에칭하여 구멍을 형성하고, 상기 구멍을 상기 웨이퍼 전극 접속용 접촉 단자 및 상기 기관 접속용 접촉 단자의 양방 혹은 일방의 접촉 단자의 형체로서 이용하여 만들어진 각추 형상 또는 각추대 형상의 단자인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 17

제1 접촉 대상물에 설치된 전극과 접촉하는 제1 전극 접속용 접촉 단자와, 제2 접촉 대상물에 설치된 전극과 접촉하는 제2 전극 접속용 접촉 단자와, 상기 제1 전극 접속용 접촉 단자로부터 상기 제2 전극 접속용 접촉 단자로 가이드된 배선을 갖고,

상기 배선은, 제1항의 전송 회로인 것을 특징으로 하는 접속용 시트.

청구항 18

제17항에 있어서,

상기 제1 전극 접속용 접촉 단자 및 상기 제2 전극 접속용 접촉 단자의 양방 혹은 일방의 접촉 단자는, 결정성을 갖는 기관을 이방성 에칭하여 구멍을 형성하고, 상기 구멍을 상기 제1 전극 접속용 접촉 단자 및 상기 제2 전극 접속용 접촉 단자의 양방 혹은 일방의 접촉 단자의 형체로서 이용하여 만들어져 있는 것을 특징으로 하는 접속용 시트.

명세서

발명의 상세한 설명

발명의 목적

종래기술의 문헌 정보

- <38> [비특허 문헌 1] 1988년도 ITC(인터내셔널 테스트 컨퍼런스)의 강연 논문집, 601페이지~607페이지
- <39> [비특허 문헌 2] 캐스케이드 마이크로텍사의 팜플렛(PYRAMIDDS-0497-J0997-0502)

발명이 속하는 기술 및 그 분야의 종래기술

- <40> 본 발명은, 전송 회로, 접속용 시트, 프로브 시트, 프로브 카드, 반도체 검사 장치, 및 반도체 장치의 제조 방법에 적용하기에 유효한 기술에 관한 것이다.
- <41> 예를 들면, 반도체 장치의 제조 기술에서, 반도체 소자 회로를 웨이퍼에 형성한 후에 행하는 반도체 장치의 제조 공정 중, 주로 검사 공정의 흐름의 일례를, 대표적인 반도체 장치의 출하 형태인 패키지폼, 베어 칩 및 CSP를 예로 들어, 도 18에 도시하였다.

- <42> 반도체 장치의 제조 공정에서는, 도 18에 도시한 바와 같이 크게 나누어 다음의 3개의 검사가 행하여진다. 우선, 웨이퍼에 반도체 소자 회로 및 전극을 형성한 웨이퍼 상태에서 행하여져, 도통 상태 및 반도체 소자의 전기 신호 동작 상태를 파악하는 웨이퍼 검사, 계속해서 반도체 소자를 고온이나 고인가 전압 등의 상태에서 불안정한 반도체 소자를 적출하는 번인 검사, 그리고 반도체 장치를 출하하기 전에 제품 성능을 파악하는 선별 검사이다.
- <43> 웨이퍼는, 그 면 상에 다수의 반도체 장치(칩)가 설치되고, 개개로 분리하여 사용에 제공된다. 개개로 분리된 반도체 장치에는, 그 표면에 다수의 전극이 열지어 설치되어 있다. 이러한 반도체 장치를 공업적으로 다수 생산하고, 그 전기 특성을 검사하기 위해서는, 프로브 카드로부터 비스듬하게 나온 텅스텐침으로 이루어지는 프로브로 구성되는 접속 장치(이하, 종래 기술 1이라고 함)가 이용되고 있다. 이 접속 장치에 의한 검사에서는, 프로브의 힘을 이용한 접촉압에 의해 전극을 문질러 접촉을 취하여, 그 전기 특성을 검사하는 방법이 이용되고 있다.
- <44> 최근, 반도체 소자의 고밀도화에 수반하여, 반도체 제조 시의 검사 공정에서 검사용의 프로브의 협피치 다핀화가 진행되어, 반도체 소자의 전극과 검사 회로 사이에서 고속 전기 신호를 전송하고, 실동작 검사하는 공정에서, 협피치 다핀의 반도체 소자에의 프로빙을 할 수 있으며, 또한 반도체 소자에의 손상을 방지할 수 있는 접속 장치를 사용한 반도체 소자의 검사 장치의 개발이 기대되고 있다. 따라서, 고속 신호를 전송하기 위한 전송 회로로서, 절연층에 형성한 신호 배선의 대향면에 그라운드층을 형성하여 마이크로스트립 선로를 형성하는 포토리소그래피 기술에 의한 프로브 시트를 이용한 방법이, 일반적으로 이용되고 있다.
- <45> 반도체 소자의 고밀도화, 협피치화가 더욱 진행되어, 고속 신호에 의한 동작 시험이 필요하게 된 경우의 반도체 소자의 특성 검사를 가능하게 하는 검사 방법 및 검사 장치로서, 비특히 문헌1에 기재된 기술이 있다. 도 15는, 그 구조 개략도, 도 16은 동일하게 주요부 확대 사시도이다. 여기서 이용되는 도체 검사용의 프로브는, 플렉시블한 절연막(40)의 상면에 포토리소그래피 기술로 배선(41)을 형성하고, 절연막(40)의 하면에 그라운드층(44)을 형성하며, 피검사 대상의 반도체의 전극에 대응하는 위치에 설치한 절연막(40)의 스루 홀(42)에 도금에 의해, 반구 형상의 범프(43)를 형성한 것을 접촉 단자로서 이용하는 것이다. 이 기술은, 절연막(40)의 표면에 형성한 배선(41) 및 배선 기판(45)을 개재하여 검사 회로(도시 생략)에 접속되어 있는 범프(43)를, 판 스프링(46)에 의해, 검사 대상의 반도체 소자의 전극에 범프(43)를 문질러 접촉하고, 신호의 수수를 행하여 검사하는 방법이다.
- <46> 또한, 비특히 문헌 2에 기재되는 것이 있다. 도 17은, 그 배선 구조의 모식도이다. 이것은, 배선(47)을 형성한 절연층(도면에서는 생략)의 대향면에, 그 배선의 바로 아래의 부분에 선 폭이 넓은 그라운드 배선(48) 및 그 그라운드 배선에 겹치는 격자 형상 패턴의 그라운드층(48a)을 형성하는 방법이다.

발명이 이루고자 하는 기술적 과제

- <47> 그런데, 반도체 장치의 제조 기술에서는, 협피치 다핀의 반도체 소자의 전극과 검사 회로 사이에서 고속 전기 신호를 전송하고, 실동작 검사할 수 있는 접속 장치를 사용한 반도체 소자의 검사 장치의 개발, 혹은, 고속 전기 신호를 전송할 수 있는 접속용 시트(인터포저)가 요망되고 있다. 따라서, 이러한 관점으로부터, 상기한 기술에 대하여 검토한다.
- <48> 종래의 텅스텐침으로 이루어지는 프로브 및 상기한 반구 형상의 범프를 형성한 프로브는, 알루미늄 전극이나 뿔납 전극 등의 재료 표면에 산화물을 생성하는 피접촉 재료에 대해서는, 접촉 단자를 전극에 문지름으로써, 전극 재료 표면의 산화물을 떼어내고, 그 하면의 금속 도체 재료에 접촉함으로써, 접촉을 확보하고 있다. 이 결과, 전극을 접촉 단자로 문지름으로써, 전극 재료의 부스러기가 발생하여, 배선 사이의 쇼트 및 이물 발생의 원인으로 되고, 또한, 전극에 프로브를 몇백mN 이상의 하중을 가하면서 문질러 접촉을 확보함으로써, 전극에 손상을 주는 경우가 많다.
- <49> 이와 같이, 도 15, 도 16, 도 17에 도시한 구리 배선의 일부에 도금에 의해 형성한 범프를 프로브로 하는 방법은, 범프의 선단부가 평탄 혹은 반구 형상으로 되기 때문에, 알루미늄 전극, 혹은, 뿔납 전극 등의 재료 표면에 산화물을 생성하는 피접촉 재료에 대해서는, 접촉 저항이 불안정하게 되어, 접촉 시의 하중을 몇백mN 이상으로 할 필요가 있다. 그러나, 접촉 시의 하중을 너무 크게 하는 것에는 문제가 있다. 즉, 반도체 소자의 고집적화가 진행되어, 고밀도 다핀, 협피치의 전극을 반도체 소자 표면에 형성하기 때문에, 전극 바로 아래에 다수의 능동 소자 혹은 미세한 배선이 형성되어 있는 경우가 많아, 반도체 소자 검사 시의 프로브의 전극에의 접촉압이 너무 크면, 전극 및 그 바로 아래의 능동 소자나 배선에 손상을 줄 우려가 있기 때문에, 프로빙 시에 주의 깊게

동작 제어할 필요가 있어, 스푸트의 저하를 초래할 우려가 있다.

<50> 또한, 범프의 형상 등에 변동이 발생하는 것이 예상되기 때문에, 접촉이 불충분한 돌기를 완전히 접촉시키기 위해서는, 전체적으로 큰 접촉압이 필요로 되고, 부분적으로는, 과도한 접촉압으로 된다고 하는 문제가 있다. 그 때문에, 접촉 대상의 재료 표면의 산화물 등을 관통하여, 안정된 접촉 특성을 확보할 수 있는 접촉 단자의 형상 외에, 프로브 시트를 압압 시에 접촉 대상의 전극과 확실히 접촉하기 위해, 유연성이 있는 프로브 시트가 필요로 되고 있다.

<51> 도 15, 도 16에 도시한 절연층의 하면에 그라운드층을 형성한 마이크로스트립 방식의 시트는, 예를 들면, 절연층의 두께가 12.5 μ m에서는, 임피던스를 50 Ω 으로 정합하기 위한 배선 폭이 25 μ m 정도로 되어, 신호 배선의 표면적이 적어지게 되고, 고속 전송 신호에서의 표피 효과의 영향으로 배선의 표면적이 적을수록, 형상에 의존하여 손실이 커지는 것이나, 절연층의 하면 전체면에 금속의 그라운드층이 형성됨으로써, 프로브 시트의 유연성이 손상되어, 안정된 접촉의 확보가 곤란하게 된다.

<52> 도 17에 도시한 절연층의 한 쪽의 면에 그라운드층을 격자 형상으로 형성한 시트는, 어느 정도 프로브 시트의 유연성을 확보할 수 있지만, 상기한 예와 마찬가지로 임피던스를 정합하기 위한 배선 폭이 가늘어져, 손실이 커지게 된다고 하는 문제가 있다.

발명의 구성 및 작용

<53> 본 발명은, 피접촉 대상의 전극 패드에 손상을 주지 않고, 다점 또한 고밀도로 접촉할 수 있는 접촉 단자를 갖는, 전송 특성이 양호하고 유연성을 가진 프로브 시트 혹은 접속용 시트를 제공하는 것이다.

<54> 또한, 본 발명은, 얇은 두께의 절연막에서도, 임피던스 정합한 신호 배선의 폭을 넓게 설계할 수 있는 고속 전송용 회로를 실현하여, 고속 전송 신호의 손실을 적게 한 프로브 시트 혹은 접속용 시트를 제공하는 것이다.

<55> 본 발명의 신규의 특징은, 본 명세서의 기술 및 첨부 도면으로부터 명확하게 될 것이다.

<56> 본원에서 개시되는 발명 중, 대표적인 것의 개요를 간단히 설명하면, 다음과 같다.

<57> (1) 절연층의 상면에 형성된 신호 배선과, 상기 절연층의 하면에 형성된 그라운드 배선을 갖고, 상기 절연층을 개재한 상기 신호 배선의 바로 아래의 상기 그라운드 배선을 부분적으로 제거한 배선 구조인 것을 특징으로 하는 전송 회로.

<58> (2) 절연층의 상면에 형성된 신호 배선과, 상기 절연층의 하면에 형성된 그라운드 배선을 갖고, 상기 절연층을 개재한 상기 신호 배선의 바로 아래의 상기 그라운드 배선을 부분적으로 제거한 배선 구조이며, 상기 신호 배선과 상기 그라운드 배선은 방사 형상의 패턴으로 형성되어 있는 것을 특징으로 하는 전송 회로.

<59> (3) (2)에 기재된 전송 회로에서, 상기 방사 형상의 패턴의 그라운드 배선의 도중에는, 상호의 그라운드 배선을 도통시키는 1개 혹은 복수개의 배선이 설치되어 있는 것을 특징으로 하는 전송 회로.

<60> (4) (1)~(3) 중 어느 한 항에 기재된 전송 회로에서, 상기 그라운드 배선은, 상기 신호 배선의 폭 이상의 간격을 두고, 상기 신호 배선의 폭의 2배보다 가는 폭의 2개의 그라운드 배선으로 형성되어 있는 것을 특징으로 하는 전송 회로.

<61> (5) (1)~(3) 중 어느 한 항에 기재된 전송 회로에서, 상기 신호 배선은, 2개 1조의 차동 배선으로 이루어지고, 상기 2개 1조의 차동 배선의 배선 사이의 바로 아래에 1개의 그라운드 배선이 설치되고, 상기 2개 1조의 차동 배선의 외측의 하면의 각각에 그라운드 배선이 설치되어 있는 것을 특징으로 하는 전송 회로.

<62> (6) (5)에 기재된 전송 회로에서, 상기 2개 1조의 차동 배선의 간격은 상기 차동 배선의 폭 이상 두고, 상기 그라운드 배선은 상기 차동 배선의 폭의 2배보다 가는 폭의 그라운드 배선으로 형성되어 있는 것을 특징으로 하는 전송 회로.

<63> (7) 웨이퍼에 형성된 반도체 소자의 전극의 배열에 준하여 배치한 웨이퍼 전극 접속용 접촉 단자와, 상기 웨이퍼 전극 접속용 접촉 단자로부터 가이드된 배선과, 상기 배선에 전기적으로 접속된 기관 접속용 접촉 단자를 갖고, 상기 배선은, (1)~(6) 중 어느 한 항에 기재된 전송 회로인 것을 특징으로 하는 프로브 시트.

<64> (8) (7)에 기재된 프로브 시트에서, 상기 웨이퍼 전극 접속용 접촉 단자는, 결정성을 갖는 기관의 이방성 에칭

에 의한 구멍을 형제로 하여 만들어져 있는 것을 특징으로 하는 프로브 시트.

- <65> (9) (7)에 기재된 프로브 시트에서, 상기 웨이퍼 전극 접속용 접촉 단자 및 상기 기관 접속용 접촉 단자의 양자는, 결정성을 갖는 기관의 이방성 에칭에 의한 구멍을 형제로 하여 만들어져 있는 것을 특징으로 하는 프로브 시트.
- <66> (10) 웨이퍼에 설치된 전극과 접촉하는 웨이퍼 전극 접속용 접촉 단자와, 상기 웨이퍼 전극 접속용 접촉 단자로부터 가이드된 배선과, 상기 배선에 전기적으로 접속된 기관 접속용 접촉 단자와, 상기 기관 접속용 접촉 단자와 전기적으로 접속되는 전극을 갖는 다층 배선 기관을 갖고, 상기 배선은, (1)~(6) 중 어느 한 항에 기재된 전송 회로인 것을 특징으로 하는 프로브 카드.
- <67> (11) (10)에 기재된 프로브 카드에서, 상기 웨이퍼 전극 접속용 접촉 단자는, 결정성을 갖는 기관의 이방성 에칭에 의한 구멍을 형제로 하여 만들어진 각추 형상 또는 각추대 형상의 단자인 것을 특징으로 하는 프로브 카드.
- <68> (12) 웨이퍼가 놓이는 시료대와, 상기 웨이퍼에 형성된 반도체 소자의 전극과 접촉하는 웨이퍼 전극 접속용 접촉 단자와, 상기 반도체 소자의 전기적 특성을 검사하는 테스터와 전기적으로 접속된 프로브 카드를 갖고, 상기 프로브 카드는, 상기 웨이퍼에 설치된 전극과 접촉하는 웨이퍼 전극 접속용 접촉 단자와, 상기 웨이퍼 전극 접속용 접촉 단자로부터 가이드된 배선과, 상기 배선에 전기적으로 접속된 기관 접속용 접촉 단자와, 상기 기관 접속용 접촉 단자와 전기적으로 접속되는 전극이 설치된 다층 배선 기관을 갖고, 상기 배선은, (1)~(6) 중 어느 한 항에 기재된 전송 회로인 것을 특징으로 하는 반도체 검사 장치.
- <69> (13) (12)에 기재된 반도체 검사 장치에서, 상기 웨이퍼 전극 접속용 접촉 단자 및 상기 기관 접속용 접촉 단자의 양방 혹은 일방의 접촉 단자는, 결정성을 갖는 기관의 이방성 에칭에 의한 구멍을 형제로 하여 만들어진 각추 형상 또는 각추대 형상의 단자인 것을 특징으로 하는 반도체 검사 장치.
- <70> (14) 웨이퍼에 회로를 만들어 넣어 반도체 소자를 형성하는 공정과, 상기 반도체 소자의 전기적 특성을 검사하는 공정과, 상기 웨이퍼를 다이싱하여 상기 반도체 소자마다 분리하는 공정을 갖고, 상기 반도체 소자의 전기적 특성을 검사하는 공정에서는, 상기 반도체 소자의 전극에 접촉하는 웨이퍼 전극 접속용 접촉 단자와, 상기 웨이퍼 전극 접속용 접촉 단자로부터 가이드된 배선과, 상기 배선에 전기적으로 접속된 기관 접속용 접촉 단자를 갖는 프로브 시트와, 상기 기관 접속용 접촉 단자와 전기적으로 접속되는 전극을 갖는 다층 배선 기관을 갖는 프로브 카드를 이용하여, 상기 반도체 소자를 검사하고, 상기 배선은, (1)~(6) 중 어느 한 항에 기재된 전송 회로인 것을 특징으로 하는 반도체 장치의 제조 방법.
- <71> (15) 웨이퍼에 회로를 만들어 넣어 반도체 소자를 형성하는 공정과, 상기 웨이퍼를 수지로 밀봉하는 공정과, 상기 밀봉된 웨이퍼에 형성된 반도체 소자의 전기적 특성을 검사하는 공정을 갖고, 상기 반도체 소자의 전기적 특성을 검사하는 공정에서는, 상기 반도체 소자의 전극에 접촉하는 웨이퍼 전극 접속용 접촉 단자와, 상기 웨이퍼 전극 접속용 접촉 단자로부터 가이드된 배선과, 상기 배선에 전기적으로 접속된 기관 접속용 접촉 단자를 갖는 프로브 시트와, 상기 기관 접속용 접촉 단자와 전기적으로 접속되는 전극을 갖는 다층 배선 기관을 갖는 프로브 카드를 이용하여, 상기 반도체 소자를 검사하고, 상기 배선은, (1)~(6) 중 어느 한 항에 기재된 전송 회로인 것을 특징으로 하는 반도체 장치의 제조 방법.
- <72> (16) (14) 또는 (15)에 기재된 반도체 장치의 제조 방법에서, 상기 웨이퍼 전극 접속용 접촉 단자 및 상기 기관 접속용 접촉 단자의 양방 혹은 일방의 접촉 단자는, 결정성을 갖는 기관의 이방성 에칭에 의한 구멍을 형제로 하여 만들어진 각추 형상 또는 각추대 형상의 단자인 것을 특징으로 하는 반도체 장치의 제조 방법.
- <73> (17) 제1 접촉 대상물에 설치된 전극과 접촉하는 제1 전극 접속용 접촉 단자와, 제2 접촉 대상물에 설치된 전극과 접촉하는 제2 전극 접속용 접촉 단자와, 상기 제1 전극 접속용 접촉 단자로부터 상기 제2 전극 접속용 접촉 단자로 가이드된 배선을 갖고, 상기 배선은, (1)~(6) 중 어느 한 항에 기재된 전송 회로인 것을 특징으로 하는 접속용 시트.
- <74> (18) (17)에 기재된 접속용 시트에서, 상기 제1 전극 접속용 접촉 단자 및 상기 제2 전극 접속용 접촉 단자의 양방 혹은 일방의 접촉 단자는, 결정성을 갖는 기관의 이방성의 이방성 에칭에 의한 구멍을 형제로 하여 만들어져 있는 것을 특징으로 하는 접속용 시트.
- <75> 본원 발명의 상기 목적 및 그 외의 목적, 특징 및 장점은 첨부 도면과 결부하여 후술된 바람직한 실시예의 상세한 설명의 관점에서 더욱 명확해질 것이다.

- <76> 이하, 본 발명의 실시예를 도면에 기초하여 상세하게 설명한다. 또한, 실시예를 설명하기 위한 전체 도면에서, 동일한 기능을 갖는 부재에는 원칙적으로 동일한 부호를 붙이고, 그 반복되는 설명은 생략한다.
- <77> 본 명세서 중에서는, 주된 용어를 다음과 같이 정의한다. 반도체 장치란, 그 형태에 상관없이, 회로가 형성된 웨이퍼 상태의 것이어도, 반도체 소자이어도, 그 후 패키징된 것(QFP, BGA, CSP 등)이어도 상관없다. 프로브 시트란, 검사 대상과 접촉하는 접촉 단자와 그곳으로부터 가이드된 배선이 설치되고, 그 배선에 외부 접속용의 전극이 형성된 박막을 말하며, 두께 10 μ m~100 μ m 정도의 것을 대상으로 하고 있다. 프로브 카드란, 검사 대상과 접촉하는 단자, 다층 배선 기판 등을 갖는 구조체(예를 들면, 도 7의 (j)에 도시하는 구조체)를 나타낸다. 반도체 검사 장치란, 프로브 카드와 검사 대상이 놓이는 시료 지지계를 갖는 검사 장치를 나타낸다.
- <78> 피검사 대상의 일례인 LSI용의 반도체 소자(칩)(2)는, 도 1에 도시하는 바와 같이 웨이퍼(1)에 다수개 형성되고, 그 후 분리되어 사용에 제공된다. 도 1의 (a)는 LSI용의 반도체 소자(2)가 다수 병렬된 웨이퍼(1)를 도시하는 사시도이고, 도 1의 (b)는 1개의 반도체 소자(2)를 확대하여 도시한 사시도이다. 반도체 소자(2)의 표면에는, 주변을 따라 다수의 전극(3)이 배열되어 있다.
- <79> 그런데, 반도체 소자는 고집적화에 수반하여 상기 전극(3)이 고밀도화 및 협피치화가 더욱 진행되는 상황에 있다. 전극의 협피치화로서는, 0.1mm 정도 이하로, 예를 들면, 0.08mm, 0.04mm, 그 이하로 되어 가고 있으며, 전극의 고밀도화로서는, 주변을 따라, 1열로부터 2열로, 또한 전체면에 배열되는 경향으로 되어 가고 있다.
- <80> 또한, 반도체 소자를 고온에서 동작 시험함으로써, 반도체 소자의 특성 및 신뢰성을 보다 명확하게 파악하는 고온 동작 시험(85 $^{\circ}$ C~150 $^{\circ}$ C)이 실시되는 경향으로 되고 있다.
- <81> 본 발명에 따른 반도체 검사 장치는, 상기 전극의 고밀도화 및 협피치화에 대응할 수 있고, 또한, 다수개 칩 동시 프로빙에 의한 검사, 고속 전기 신호(100MHz~20GHz)에 의한 검사를 가능하게 하는 것이다.
- <82> 또한, 반도체 검사 장치에서의 프로브 카드의 일부의 구성 재료로서, 150 $^{\circ}$ C의 내열성이 있고, 또한 선 팽창률이 피검사 대상과 동일 정도의 재료를 이용함으로써, 분위기 온도에 의한 프로브 선단부의 위치 어긋남을 방지하는 것이다.
- <83> 본 발명에 따른 고속 전송용 회로의 패턴에 대하여, 도 2, 도 3 및 도 4를 이용하여 설명한다.
- <84> 도 2에, 싱글 신호 배선 방식에서의 그라운드 배선 및 그라운드층의 대표예의 주요부의 사시도를 도시하였다. 도 2의 (a1)은, 본 발명에 따른 싱글 신호 배선 방식의 전송 회로 패턴의 기본 구성도, 도 2의 (a2)는, 도 2의 (a1)의 전기력선의 모식도이다. 본 발명의 전송 회로 패턴의 구성과의 비교를 위해, 도 2의 (b1)에, 신호 배선(71)의 바로 아래에 그라운드 배선(72a)을 형성한 기본 구성도, 도 2의 (b2)에, 도 2의 (b1)의 전기력선의 모식도를 도시하고, 도 2의 (c1)에, 신호 배선(71)을 형성한 절연층(70)의 대향면에 그라운드층(73)을 형성하는 종래의 마이크로스트립의 기본 구성도, 도 2의 (c2)에, 도 2의 (c1)의 전기력선의 모식도를 도시하였다.
- <85> 도 2의 (a1)에 도시한 전송 회로는, 절연층(70)에 형성된 신호 배선(71)과, 그 신호 배선(71)의 대향면의 절연층(70)의 바로 아래의 대향면에, 그라운드 배선(72)으로서, 그 신호 배선(71)의 폭 A 이상의 간격 C를 두고, 그 신호 배선(71)의 폭 A의 2배보다 가는 폭 B의 2개의 그라운드 배선(72)을 형성한 배선 구조로 한다.
- <86> 즉, 도 2의 (a1)에 도시한 전송 회로는, 절연층(70)의 상면에 신호 배선(71)이 형성되고, 절연층(70)의 하면에 그라운드 배선(72)이 형성되며, 절연층(70)을 개재한 신호 배선(71)의 바로 아래의 그라운드 배선(72)을 부분적으로 제거한 배선 구조로서, 특히, 그라운드 배선(72)은, 신호 배선(71)의 폭 A 이상의 간격을 두고, 신호 배선(71)의 폭 A의 2배보다 가는 2개의 그라운드 배선으로 형성되어 있다($C>A$, $B<2\times A$).
- <87> 도 3에, 차동 신호 배선 방식에서의 그라운드 배선 및 그라운드층의 대표예의 주요부의 사시도를 도시하였다. 도 3의 (a1)은, 본 발명에 따른 차동 신호 배선 방식의 전송 회로 패턴의 기본 구성도, 도 3의 (a2)는, 도 3의 (a1)의 전기력선의 모식도이다. 본 발명의 전송 회로 패턴의 구성과의 비교를 위해, 도 3의 (b1)에, 종래의 그라운드층(77)을 형성한 마이크로스트립의 차동 신호 배선의 기본 구성도, 도 3의 (b2)에, 도 3의 (b1)의 전기력선의 모식도를 도시하였다.
- <88> 도 3의 (a1)에 도시한 전송 회로는, 절연층(70)에 형성된 2개 1조의 차동 배선(74 및 75)의 배선 사이의 바로 아래에 1개의 그라운드 배선(76a)과, 그 차동 배선(74 및 75)의 외측의 절연층(70)의 하면의 각각에 그라운드 배선(76b)을 형성한 배선 구조로 한다. 예를 들면, 그 2개 1조의 차동 배선(74 및 75)의 배선 간격 E를 그 차동 배선의 폭 D 이상 두고, 그 차동 배선의 폭 D의 2배보다 가는 폭 F의 그라운드 배선(76a 및 76b)을 형성하면 된다($E>D$, $F<2\times D$). 이 구조에서도, 그라운드 배선(76a와 76b)은, 신호 배선(74)(75)의 폭 D 이상의 간격 G를

두는 것이 바람직하다(G>D).

- <89> 본 발명에 따른 프로브 시트의 구조에 대하여 도 4를 이용하여 설명한다.
- <90> 도 4의 (a)는, 본 발명에 따른 프로브 시트의 실시예의 일례를 도시하는 평면 개략도이다. 싱글 배선 방식의 각 그라운드 배선(72)은, 동심원 형상으로 배치된 그라운드선(78a)으로 도통시킨 구성으로 한다.
- <91> 또한, 도 4의 (a)는, 도 2에서 도시한 싱글 배선 방식의 프로브 시트를 도시한 도면이지만, 도 3에서 도시한 차동 배선 방식 혹은 양자의 방식이 혼재하는 프로브 시트이어도, 각 그라운드 배선을 동심원 형상으로 배치된 그라운드선(78a) 혹은 그라운드 배선군(72) 혹은, 그라운드 배선군(76a, 76b)을 그라운드 배선(78b 혹은 78a)으로 도통시킨 구성으로 해도 되는 것은 물론이다.
- <92> 도 4의 (b)는, 상기 도 2의 (a1)의 싱글 배선 방식의 프로브 시트 구조의 주요부 사시도이다. 절연층(70)에 접촉 단자(4)를 형성한 신호 배선(71) 및 그라운드 배선(72) 및 그라운드 배선군(72) 사이를 도통하는 그라운드선(78b)을 형성한 프로브 시트 구조로 한다.
- <93> 도 4의 (c)는, 상기 도 3의 (a1)의 차동 배선 방식의 프로브 시트 구조의 주요부 사시도이다. 절연층(70)에 접촉 단자(4)를 형성한 신호 배선(74, 75) 및 그라운드 배선(76a, 76b) 및 그 그라운드 배선군(76a, 76b) 사이를 도통하는 그라운드선(78b)을 형성한 프로브 시트 구조로 한다.
- <94> 또한, 싱글 배선 방식 혹은 차동 배선 방식에 관계없이, 각각의 그라운드 배선을 도통시키기 위한 그라운드선은, 동심원 형상 배치에 한하지 않고, 직선이어도, 곡선이어도 되며, 그라운드 배선 사이를 도통하기 위한 자유로운 형상이어도 되는 것은 물론이다.
- <95> (제1 실시예)
- <96> 다음으로, 상기 프로브 카드에서 이용되는 프로브 시트(구조체)의 일례에 대하여, 그 제조 방법을 도 6, 도 7을 참조하여 설명한다.
- <97> 도 6은, 도 13에 도시하는 프로브 카드를 형성하기 위한 제조 프로세스 중, 특히, 형재인 실리콘 웨이퍼(80)에 이방성 에칭으로 형성한 각추대 형상의 구멍을 형체로서 이용하여, 각추대 형상의 접촉 단자(4)를 형성한 접촉 단자부(8) 및 인출 배선용의 배선 재료(88)를 폴리이미드막(84)에 일체로 형성하고, 또한 그 표면에 폴리이미드막(89) 및 배선 재료(91)를 형성하고, 또한 금속막(93)을 접착층(92)으로 접합하고, 그 금속막(93)에 틀(21) 및 주변 전극 고정판(9)을 고착한 프로브 시트(6)를 형성하는 제조 프로세스를 공정순으로 도시한 것이다.
- <98> 우선, 도 6의 (a)에 도시하는 공정이 실행된다. 이 공정은, 두께 0.2~0.6mm의 실리콘 웨이퍼(80)의 (100)면의 양면에 열산화에 의해 이산화실리콘막(81)을 0.5 μ m 정도 형성하고, 포토레지스트를 도포하고, 포토리소그래피 공정에 의해 각추대 형상의 구멍을 뚫는 위치의 포토레지스트를 제거한 패턴을 형성한 후, 그 포토레지스트를 마스크로 하여, 이산화실리콘막(81)을 불산과 불화암모늄의 혼합액에 의해 에칭 제거하고, 상기 이산화실리콘막(81)을 마스크로 하여, 실리콘 웨이퍼(80)를 강알칼리액(예를 들면, 수산화칼륨)에 의해 이방성 에칭하여, (111)면에 둘러싸인 각추대 형상의 에칭 구멍(80a)을 형성하는 공정이 실행된다.
- <99> 여기서, 본 실시예에서는 실리콘 웨이퍼(80)를 형체로 하였지만, 형체로서는, 결정성을 갖는 것이면 되고, 그 범위에서 다양하게 변경 가능한 것은 물론이다. 또한, 본 실시예에서는 이방성 에칭에 의한 구멍을 각추대 형상으로 하였지만, 그 형상은, 각추 형상이어도 되고, 작은 침압으로 안정된 접촉 저항을 확보할 수 있을 정도의 접촉 단자(4)를 형성할 수 있는 형상의 범위에서, 다양하게 변경 가능하다. 또한, 접촉 대상으로 하는 전극에, 복수의 접촉 단자에서 접촉하도록 해도 되는 것은 물론이다.
- <100> 다음으로, 도 6의 (b)에 도시하는 공정이 실행된다. 이 공정은 마스크로서 이용한 이산화실리콘막(81)을 불산과 불화 암모늄의 혼합액에 의해 에칭 제거하고, 재차, 실리콘 웨이퍼(80)의 전체면을, 액화 산소 중에서의 열산화에 의해, 이산화실리콘막(82)을 0.5 μ m 정도 형성하고, 그 표면에 도전성 피복(83)을 형성하고, 다음으로 그 도전성 피복(83)의 표면에, 접촉 단자부(8)를 개구하도록 포토레지스트 마스크(85)를 형성하는 공정이 실행된다.
- <101> 다음으로, 도 6의 (c)에 도시하는 상기 포토레지스트 마스크(85)를 마스크로 하고, 상기 도전성 피복(83)을 금 전층으로 하며, 경도가 높은 재료를 주성분으로 하여 전기 도금하여, 접촉 단자(4) 및 접속 전극부(4b)를 일체로서 형성하고, 그 포토레지스트 마스크(85)를 제거하는 공정이 실행된다.
- <102> 경도가 높은 도금 재료로서, 예를 들면, 니켈(8a), 로듐(8b), 니켈(8c)을 순차적으로 도금하여 접촉 단자(4) 및

접속 전극부(4b)를 일체로 하여 접속 단자부(8)를 형성하면 된다.

- <103> 다음으로, 도 6의 (d)에 도시하는 공정이 실행된다. 이 공정은, 상기 접속 단자부(8) 및 도전성 피복(83)을 피복하도록 폴리이미드막(84)을 형성하고, 상기 접속 단자부(8)로부터의 인출 배선 접속용 구멍을 형성할 위치에 있는 그 폴리이미드막(84)을, 상기 접속 단자부(8)의 표면에 이를 때까지 제거하고, 그 폴리이미드막(84)에 도전성 피복(86)을 형성하고, 포토레지스트 마스크(87)를 형성한 후, 배선 재료(88)를 도금하는 것이다.
- <104> 상기 폴리이미드막(84)의 일부를 제거하기 위해서는, 예를 들면, 레이저 천공 가공 혹은 폴리이미드막(84)의 표면에 알루미늄 마스크를 형성하여 드라이 에칭을 이용하면 된다.
- <105> 상기 도전성 피복(86)으로서, 예를 들면, 크롬을 스퍼터링법 혹은 증착법에 의해 성막함으로써, 두께 0.1 μ m 정도의 크롬막을 형성하고, 그 크롬막을 형성한 표면에 구리를 스퍼터링법 혹은 증착법에 의해 성막함으로써, 두께 1 μ m 정도의 구리막을 형성하면 된다. 또한, 배선 재료로서는, 구리 도금 혹은, 구리 도금에 니켈 도금을 한 재료를 이용하면 된다.
- <106> 다음으로, 도 6의 (e)에 도시하는 공정이 실행된다. 이 공정은, 상기 포토레지스트 마스크(87)를 제거하고, 배선 재료(88)를 마스크로 하여 도전성 피복(86)을 소프트 에칭 제거한 후, 폴리이미드막(89)을 형성하고, 배선 재료(88)로부터 상부의 배선 재료(91)에 접속용의 구멍을 형성할 위치에 있는 그 폴리이미드막(89)을, 상기 배선 재료(88)의 표면에 이를 때까지 제거하고, 폴리이미드막(89)에 도전성 피복(90)을 형성하고, 포토레지스트 마스크(99)를 형성한 후, 배선 재료(91)를 도금하는 것이다.
- <107> 상기 폴리이미드막(89)의 일부를 제거하기 위해서는, 예를 들면, 레이저 천공 가공 혹은 폴리이미드막(89)의 표면에 알루미늄 마스크를 형성하여 드라이 에칭을 이용하면 된다.
- <108> 상기 도전성 피복(90)으로서, 예를 들면, 크롬을 스퍼터링법 혹은 증착법에 의해 성막함으로써, 두께 0.1 μ m 정도의 크롬막을 형성하고, 그 크롬막을 형성한 표면에 구리를 스퍼터링법 혹은 증착법에 의해 성막함으로써, 두께 1 μ m 정도의 구리막을 형성하면 된다. 또한, 배선 재료로서는, 구리 도금 혹은, 구리 도금에 니켈 도금을 한 재료를 이용하면 된다.
- <109> 다음으로, 도 6의 (f)에 도시하는 공정이 실행된다. 이 공정은, 상기 포토레지스트 마스크(99)를 제거하고, 배선 재료(91)를 마스크로 하여 도전성 피복(90)을 소프트 에칭 제거한 후, 접착층(92) 및 금속막(93)을 접착하고, 포토레지스트 마스크로 그 금속막(93)을 에칭하여 원하는 금속막의 패턴을 형성하는 것이다.
- <110> 여기서, 접착층(92)으로서, 예를 들면, 폴리이미드계 접착 시트 혹은, 에폭시계 접착 시트를 이용하면 된다. 또한, 금속막(93)으로서, 42알로이(니켈 42% 및 철 58%의 합금으로 선 팽창률 4ppm/°C) 혹은 인버(예를 들면, 니켈 36% 및 철 64%의 합금으로 선 팽창률 1.5ppm/°C)와 같은 저선 팽창률이며, 또한 실리콘 웨이퍼(실리콘 형재)(80)의 선 팽창률에 가까운 금속 시트를, 접착층(92)에 의해 배선 재료(91)를 형성한 폴리이미드막(89)에 접합하여 구성함으로써, 형성되는 프로브 시트(6)의 강도 향상, 대면적화가 도모되는 것 외에, 검사 시의 온도에 의한 위치 어긋남 방지 등, 다양한 상황 하에서의 위치 정밀도 확보가 가능하다. 이 주지에서, 금속막(93)으로서, 번인 검사 시의 위치 정밀도 확보를 목표로 하여, 검사 대상의 반도체 소자의 선 팽창률에 가까운 선 팽창률의 재료를 이용해도 된다.
- <111> 상기 접착 공정은, 예를 들면, 접속 단자부(8) 및 배선 재료(88)를 형성한 폴리이미드막(89)을 형성한 실리콘 웨이퍼(80)와, 접착층(92) 및 금속막(93)을 서로 겹쳐, 10~200Kgf/cm²로 가압하면서 접착층(92)의 글래스 전이 점 온도(Tg) 이상의 온도를 가하여, 진공 중에서 가열 가압 접착하면 된다.
- <112> 다음으로, 도 6의 (g)에 도시하는 공정이 실행된다. 이 공정은, 프로세스 링(95)을 상기 접착층(92)에 접착제(96)로 고착하고, 그 프로세스 링(95)에 보호 필름(97)을 접착한 후, 중앙을 도려낸 보호 필름(98)을 마스크로 하여 이산화실리콘막(82)을 불산과 불화 암모늄의 혼합액에 의해 에칭 제거하는 것이다.
- <113> 금속막(93)으로서, 42알로이 시트 혹은 인버 시트를 이용한 경우에는, 염화 제2철 용액으로 스프레이 에칭하면 된다. 또한, 금속막(93)의 패턴용의 포토레지스트 마스크로서는, 액상 레지스트이어도 필름 상태 레지스트(드라이 필름)이어도 된다.
- <114> 다음으로, 도 7의 (h)에 도시하는 공정이 실행된다. 이 공정은 상기 보호 필름(97 및 98)을 박리하고, 실리콘 에칭용 보호 지그(100)를 부착하여, 실리콘을 에칭 제거하는 것이다.
- <115> 예를 들면, 중간 고정판(100d)에, 상기 프로세스 링(95)을 나사 고정하고, 스테인레스제의 고정 조정 기구

(100a)와 스테인레스제의 뚜껑(100b) 사이에 0링(100c)을 개재하여 장착하고, 형제인 실리콘 웨이퍼(80)를 강 알칼리액(예를 들면, 수산화 칼륨)에 의해 에칭 제거하면 된다.

- <116> 다음으로, 도 7의 (i)에 도시하는 공정이 실행된다. 이 공정은 상기 실리콘 에칭용 보호 지그(100)를 떼어내고, 도 6의 (g)와 마찬가지로 프로세스 링(95)에 보호 필름을 편면을 피복하도록 접착하고, 이산화실리콘막(82) 및 도전성 피복(83)(크롬 및 구리) 및 니켈(8a)을 에칭 제거하고, 그 보호 필름을 제거한 후, 금속막(93)과 프로브 시트의 틀(21) 사이, 및 금속막(93)과 주변 전극 고정판(9) 사이에 접착제(96b)를 도포하여, 금속막(93)의 소정의 위치에 고착하는 것이다.
- <117> 이산화실리콘막(82)은, 불산과 불화 암모늄의 혼합액에 의해 에칭 제거하고, 크롬막을 과망간산 칼륨액에 의해 에칭 제거하고, 구리 및 니켈(8a)의 막을 알칼리성 구리 에칭액에 의해 에칭 제거하면 된다.
- <118> 또한, 이 일련의 에칭 처리의 결과, 접촉 단자 표면에 노출되는 로듐(8b)의 도금을 이용하는 것은, 전극(3)의 재료인 뿔납이나 알루미늄 등이 부착되기 어렵고, 니켈보다 경도가 높아, 산화되기 어려워 접촉 저항이 안정되기 때문이다.
- <119> 다음으로, 도 7의 (j)에 도시하는 공정이 실행된다. 상기의 프로브 시트의 틀(21) 및 주변 전극 고정판(9)의 외주부를 따라, 폴리이미드막(84, 89) 및 접착층(92)을 잘라내어, 프로브 시트 구조체(105)를 제작하는 것이다.
- <120> (제2 실시예)
- <121> 다음으로, 상기 프로브 시트와는 제조 공정이 약간 다른 제2 실시예의 프로브 시트의 제조 방법에 대하여, 도 8을 참조하여, 그 제조 공정을 설명한다.
- <122> 도 8의 (a)~(e)는, 프로브 시트를 형성하는 다른 제조 프로세스를 공정순으로 도시한 것이다.
- <123> 우선, 도 8의 (a)에 도시한 실리콘 웨이퍼(80)에 각추 형상의 에칭 구멍(80a)을 형성하고, 그 표면에 이산화실리콘막(82)을 형성하고, 그 위에 형성한 도전성 피복(83)의 표면에, 폴리이미드막(84b)을 형성하고, 계속해서, 접촉 단자(4)를 형성할 위치에 있는 폴리이미드막(84b)을, 상기 도전성 피복(83)의 표면에 이를 때까지 제거하는 공정이 실행된다.
- <124> 상기 도전성 피복(83)으로서는, 예를 들면, 크롬을 스퍼터링법 혹은 증착법에 의해 성막함으로써, 두께 0.1 μ m 정도의 크롬막을 형성하고, 그 크롬막을 형성한 표면에 구리를 스퍼터링법 혹은 증착법에 의해 성막함으로써, 두께 1 μ m 정도의 구리막을 형성하면 된다. 그 구리막에 수 μ m 두께의 구리를 도금으로 형성하여, 레이저 가공의 내성을 증가시켜도 된다.
- <125> 상기 폴리이미드막(84b)을 제거하기 위해서는, 예를 들면, 레이저 천공 가공 혹은 폴리이미드막(84b)의 표면에 알루미늄 마스크를 형성하여 드라이 에칭을 이용하면 된다.
- <126> 다음으로, 도 8의 (b)에 도시하는 공정이 실행된다. 우선, 그 폴리이미드막(84b)의 개구부에 노출된 도전성 피복(83)에, 그 도전성 피복(83)을 전극으로 하고, 경도가 높은 재료를 주성분으로 하여 전기 도금하여, 접촉 단자(4) 및 접속 전극부(4b)를 일체로서 형성한다. 경도가 높은 도금 재료로서, 예를 들면, 니켈(8a), 로듐(8b), 니켈(8c)을 순차적으로 도금하여 접촉 단자(4) 및 접속 전극부(4b)를 일체로 하여 접촉 단자부(8)를 형성하면 된다.
- <127> 다음으로, 도 8의 (c)에 도시하는 공정이 실행된다. 상기의 접촉 단자부(8) 및 폴리이미드막(84b)에 도전성 피복(86b)을 형성하고, 포토레지스트 마스크(87b)를 형성한 후, 배선 재료(88b)를 도금한다.
- <128> 상기 도전성 피복(86b)으로서는, 예를 들면, 크롬을 스퍼터링법 혹은 증착법에 의해 성막함으로써, 두께 0.1 μ m 정도의 크롬막을 형성하고, 그 크롬막을 형성한 표면에 구리를 스퍼터링법 혹은 증착법에 의해 성막함으로써, 두께 1 μ m 정도의 구리막을 형성하면 된다. 또한, 배선 재료로서는, 구리를 이용하면 된다.
- <129> 다음으로, 도 8의 (d)에 도시하는 공정이 실행된다. 이 공정은, 상기 포토레지스트 마스크(87b)를 제거하고, 배선 재료(88b)를 마스크로 하여 도전성 피복(86b)을 소프트 에칭 제거한 후, 폴리이미드막(89b)을 형성하고, 배선 재료(88b)로부터 상부의 배선 재료(91b)에 접속용의 구멍을 형성할 위치에 있는 그 폴리이미드막(89b)을, 상기 배선 재료(88b)의 표면에 이를 때까지 제거하고, 폴리이미드막(89b)에 도전성 피복(90b)을 형성하고, 포토레지스트 마스크를 형성한 후, 배선 재료(91b)를 도금한다. 계속해서, 상기 포토레지스트 마스크를 제거하고, 배선 재료(91b)를 마스크로 하여 도전성 피복(90b)을 소프트 에칭 제거한 후, 접착층(92) 및 금속막(93)을 접착

하고, 포토레지스트 마스크로 그 금속막(93)을 에칭하여 원하는 금속막의 패턴을 형성하는 것이다.

- <130> 상기 폴리이미드막(89b)의 일부를 제거하기 위해서는, 예를 들면, 레이저 천공 가공 혹은 폴리이미드막(89b)의 표면에 알루미늄 마스크를 형성하여 드라이 에칭을 이용하면 된다.
- <131> 상기 도전성 피복(90b)으로서, 예를 들면, 크롬을 스퍼터링법 혹은 증착법에 의해 성막함으로써, 두께 0.1 μ m 정도의 크롬막을 형성하고, 그 크롬막을 형성한 표면에 구리를 스퍼터링법 혹은 증착법에 의해 성막함으로써, 두께 1 μ m 정도의 구리막을 형성하면 된다. 또한, 배선 재료로서는, 구리 도금 혹은, 구리 도금에 니켈 도금을 한 재료를 이용하면 된다.
- <132> 다음으로, 도 6의 (g)~도 7의 (i)와 마찬가지로의 공정을 거쳐, 도 8의 (e)에 도시하는 프로브 시트 구조체(105b)를 제작하는 것이다.
- <133> 도 7의 (j) 혹은 도 8의 (e)에 도시한 본 발명에 따른 프로브 카드의 주요부를 도시하는 단면도에 대하여, 도 9를 이용하여 설명한다. 도 9는, 그 주요 부품을 분해하여 도시한 사시도이다.
- <134> 본 프로브 카드의 제1 혹은 제2 실시예는, 지지 부재(상부 고정판)(7)와, 그 지지 부재(7)에 나사 고정되는 중간판(24)의 중앙부에 높이 방향으로 조정 가능하게 고정되며, 하부 선단에 돌기부(12a)를 갖고 센터 피봇의 기능을 하며, 그 돌기부(12a)의 선단을 지점으로 하여 가동하는 압박 피스(22)를 개재하여 프로브 시트(6)에 압압력을 부여하는 스프링(12b)을 장전한 스프링 플런저(12)와, 그 프로브 시트(6)의 다수의 접촉 단자(4)로 이루어지는 접촉 단자군이 형성된 영역을 둘러싸도록 이면에 접촉 고정된 틀(21)과, 프로브 시트(6)의 접촉 단자군이 형성된 영역의 이면과의 사이에 실리콘 시트 등의 완충재(23) 및 압박 피스(22)를 중앙부에 갖고, 그 틀(21)에 나사 고정되는 중간판(24)에 의해 구성한다.
- <135> 여기서, 압박 피스(22)는, 중간판(24)의 중앙부에 설치한 스프링 플런저(12)의 선단의 돌기부(12a)에 의해 미세 경동 가능하게 유지하고, 그 스프링 플런저(12)에 의해, 원하는 거의 일정한 압박력(예를 들면, 500핀 정도의 경우, 밀어 넣음량 150 μ m에서 20N 정도)을 부여하는(압압하는) 구조의 컴플라이언스 기구이다. 또한, 압박 피스(22)의 상면 중앙부에 돌기부(12a)와 걸어 맞추는 원추홈(22a)이 형성되어 있다.
- <136> 상기 프로브 시트(6)는, 시트의 프로빙측의 중앙 영역부에 반도체 소자(2)의 다수의 전극(3)으로 이루어지는 전극군과 접촉하기 위한 다수의 접촉 단자(4)로 이루어지는 접촉 단자군을 형성하고, 그 접촉 단자군의 주위를 2중으로 둘러싸도록 금속막(93a) 및 틀(21)에 대응한 영역에 금속막(93b)을 형성하고, 프로브 시트(6)의 4변의 주변부에 다층 배선 기관(50)과의 신호 수수를 위한 다수의 주변 전극(5)으로 이루어지는 주변 전극군을 형성하고, 그 주변 전극군을 둘러싸도록 주변 전극 고정판(9)에 대응한 영역에 금속막(93c)을 형성하고, 그 접촉 단자군과 주변 전극군 사이에 도 4의 (b) 혹은 도 4의 (c)에 도시한 다수의 인출 배선(20)(71, 72, 74, 75, 76a, 76b)을 형성한 프로브 시트(6)로 형성된다. 또한, 상기 접촉 단자군을 형성한 영역의 프로브 시트(6)의 이면에는, 틀(21)이 접촉 고정되고, 신호 수수를 위한 프로브 시트(6)의 주변 전극군을 형성한 부분의 이면에는, 주변 전극 고정판(9)이 접촉 고정된다. 또한, 상기 틀(21)은, 중간판(24)에 나사 고정된다. 이 중간판(24)에는, 스프링 플런저(12)가 고정되고, 하부 선단의 돌기부(12a)가, 압박 피스(22)의 상면 중앙에 형성된 원추홈(22a)과 걸어 맞추도록 구성된다.
- <137> 또한, 금속막(93c)에는, 위치 결정용의 노크 핀용 구멍 및 나사 삽입용의 구멍을 패턴 형성해 둠으로써, 조립성을 향상시킬 수 있다.
- <138> 프로브 시트(6)에 주변 전극군을 둘러싸도록 고착한 주변 전극 고정판(9)에 완충재(31)를 사이에 두고 주변 측 받이판(32)을 나사 고정함으로써, 완충재(31)를 개재하여 주변 전극군을 다층 배선 기관(50)의 전극(50a)에 접촉한다.
- <139> (제3 실시예)
- <140> 제3 실시예의 프로브 시트의 제조 방법에 대하여, 도 10을 참조하여, 그 제조 공정을 설명한다.
- <141> 본 프로브 시트의 제조 방법은, 다층 배선 기관(51)의 전극(51a)에 프로브 시트의 주변 전극(5a)을 접촉시키기 위해, 주변 전극을 모두 접촉 단자(4)의 형성면의 반대면에 형성하는 공정으로 하는 점 이외에는, 도 6, 도 7에서 기술한 프로브 시트의 제조 방법과 마찬가지로이다.
- <142> 우선, 도 10의 (a)에 도시하는 공정이 실행된다. 이 공정은, 도 6의 (a), 도 6의 (b)와 마찬가지로의 공정에서, 실리콘 웨이퍼(80)에 각추 형상의 에칭 구멍을 형성하고, 그 표면에 이산화실리콘막(82) 및 도전성 피복(83)을

형성하며, 그 도전성 피복(83)의 표면에 접촉 단자부(8)를 개구하도록 포토레지스트 마스크(85)를 형성하는 공정이 실행된다.

- <143> 다음으로, 도 10의 (b)에 도시하는 상기 포토레지스트 마스크(85)를 마스크로 하고, 상기 도전성 피복(83)을 급전층으로 하며, 경도가 높은 재료를 주성분으로 하여 전기 도금하여, 접촉 단자(4) 및 접속 전극부(4b)를 일체로서 형성하고, 그 포토레지스트 마스크(85)를 제거하는 공정이 실행된다.
- <144> 다음으로, 도 10의 (c)에 도시하는 공정이 실행된다. 이 공정은, 상기 접촉 단자부(8) 및 도전성 피복(83)을 덮도록 폴리이미드막(84c)을 형성하고, 상기 접촉 단자부(8)로부터의 인출 배선 접속용 구멍을 형성할 위치에 있는 그 폴리이미드막(84c)을, 상기 접촉 단자부(8)의 표면에 이를 때까지 제거하고, 그 폴리이미드막(84c)에 도전성 피복(86c)을 형성하고, 포토레지스트 마스크(87c)를 형성한 후, 배선 재료(88c)를 도금하는 것이다.
- <145> 다음으로, 도 10의 (d)에 도시하는 공정이 실행된다. 이 공정은, 상기 포토레지스트 마스크(87c)를 제거하고, 배선 재료(88c)를 마스크로 하여 도전성 피복(86c)을 소프트 에칭 제거한 후, 폴리이미드막(89c)을 형성하고, 배선 재료(88c)로부터 상부의 배선 재료(91c)에 접속용의 구멍을 형성할 위치에 있는 그 폴리이미드막(89c)을, 상기 배선 재료(88c)의 표면에 이를 때까지 제거하고, 폴리이미드막(89c)에 도전성 피복(90c)을 형성하고, 포토레지스트 마스크를 형성한 후, 배선 재료(91c)를 도금한 후, 그 포토레지스트 마스크를 제거하고, 배선 재료(91c)를 마스크로 하여 도전성 피복(90c)을 소프트 에칭 제거하는 것이다.
- <146> 다음으로, 도 10의 (e)에 도시하는 공정이 실행된다. 이 공정은, 주변 전극(5a)의 내측의 영역의 배선 재료(91c) 및 폴리이미드막(89c)을 피복하도록 폴리이미드막(55)을 형성하고, 프로세스 링(95)을 그 폴리이미드막(89c)에 접착제(96)로 고착하는 것이다.
- <147> 다음으로, 도 6의 (g)~도 7의 (i)와 마찬가지로의 공정을 거쳐, 도 10의 (f)에 도시하는 프로브 시트 구조체(105c)를 제작하는 것이다.
- <148> 또한, 고속 전송 신호의 안정화를 위해, 필요에 따라, 컨덴서 접속용 전극(56)용의 배선 재료(91c) 및 그라운드 배선용의 배선 재료(91c)의 배선 사이에 컨덴서(94)를 설치해도 된다.
- <149> (제4 실시예)
- <150> 제4 실시예의 프로브 시트의 제조 방법에 대하여, 도 11을 참조하여, 그 제조 공정을 설명한다.
- <151> 본 프로브 시트의 제조 방법은, 다층 배선 기관(51)의 전극(51a)에 프로브 시트의 주변 전극(5a)을 접촉시키기 위해, 주변 전극을 모두 접촉 단자(4)의 형성면의 반대면에 형성하는 공정으로 하는 점 이외에는, 도 8에서 기술한 프로브 시트의 제조 방법과 마찬가지이다.
- <152> 우선, 도 11의 (a)에 도시한 실리콘 웨이퍼(80)에 각추 형상의 에칭 구멍(80a)을 형성하고, 그 표면에 이산화실리콘막(82)을 형성하고, 그 위에 형성한 도전성 피복(83)의 표면에 폴리이미드막(84d)을 형성하고, 계속해서, 접촉 단자(4)를 형성할 위치에 있는 폴리이미드막(84d)을, 상기 도전성 피복(83)의 표면에 이를 때까지 제거하는 공정이 실행된다.
- <153> 다음으로, 도 11의 (b)에 도시하는 공정이 실행된다. 우선, 그 폴리이미드막(84d)의 개구부에 노출된 도전성 피복(83)에, 그 도전성 피복(83)을 전극으로 하고, 경도가 높은 재료를 주성분으로 하여 전기 도금하여, 접촉 단자(4) 및 접속 전극부(4b)를 일체로서 형성한다. 경도가 높은 도금 재료로서, 예를 들면, 니켈(8a), 로듐(8b), 니켈(8c)을 순차적으로 도금하여 접촉 단자(4) 및 접속 전극부(4b)를 일체로 하여 접촉 단자부(8)를 형성하면 된다.
- <154> 다음으로, 도 11의 (c)에 도시하는 공정이 실행된다. 상기의 접촉 단자부(8) 및 폴리이미드막(84d)에 도전성 피복(86d)을 형성하고, 포토레지스트 마스크를 형성한 후, 배선 재료(88d)를 도금한다. 다음으로, 그 포토레지스트 마스크를 제거하고, 배선 재료(88d)를 마스크로 하여 도전성 피복(86d)을 소프트 에칭 제거한 후, 폴리이미드막(89d)을 형성하고, 배선 재료(88d)로부터 상부의 배선 재료(91d)에 접속용의 구멍을 형성할 위치에 있는 그 폴리이미드막(89d)을, 상기 배선 재료(88d)의 표면에 이를 때까지 제거하고, 폴리이미드막(89d)에 도전성 피복(90d)을 형성하고, 포토레지스트 마스크를 형성한 후, 배선 재료(91d)를 도금한다. 계속해서, 상기 포토레지스트 마스크를 제거하고, 배선 재료(91d)를 마스크로 하여 도전성 피복(90d)을 소프트 에칭 제거한 후, 주변 전극(5a)의 내측의 영역의 배선 재료(91d) 및 폴리이미드막(89d)을 피복하도록 폴리이미드막(55)을 형성하고, 프로세스 링(95)을 그 폴리이미드막(89d)에 접착제(96)로 고착하는 것이다.

- <155> 다음으로, 도 6의 (g)~도 7의 (i)와 마찬가지로의 공정을 거쳐, 도 11의 (d)에 도시하는 프로브 시트 구조체(105d)를 제작하는 것이다.
- <156> 도 10의 (f) 혹은 도 11의 (d)에 도시한 본 발명에 따른 프로브 카드의 주요부를 도시하는 단면도에 대하여, 도 12를 이용하여 설명한다. 도 12는, 그 주요 부품을 분해하여 도시한 사시도이다.
- <157> 본 프로브 카드의 제3 혹은 제4 실시예는, 지지 부재(상부 고정판)(7)와, 그 지지 부재(7)에 나사 고정되는 중간판(24b)의 중앙부에 높이 방향으로 조정 가능하게 고정되며, 하부 선단에 돌기부(12a)를 갖고 센터 피봇의 기능을 하며, 그 돌기부(12a)의 선단을 지점으로 하여 가동하는 압박 피스(22)를 통하여 프로브 시트(6)에 압압력을 부여하는 스프링(12b)을 장전한 스프링 플런저(12)와, 그 프로브 시트(6)의 다수의 접촉 단자(4)로 이루어지는 접촉 단자군이 형성된 영역을 둘러싸도록 이면에 접촉 고정된 틀(21b)과, 프로브 시트(6)의 접촉 단자군이 형성된 영역의 이면 사이에 실리콘 시트 등의 완충재(23) 및 압박 피스(22)를 중앙부에 갖고, 그 틀(21b)에 나사 고정되는 중간판(24b)에 의해 구성한다.
- <158> 여기서, 압박 피스(22)는, 중간판(24b)의 중앙부에 설치한 스프링 플런저(12)의 선단의 돌기부(12a)에 의해 미세 틸팅 가능하게 유지하고, 그 스프링 플런저(12)에 의해, 원하는 거의 일정한 압박력(예를 들면, 500핀 정도의 경우, 밀어 넣음량 150 μ m에서 20N 정도)을 부여하는(압압하는) 구조의 컴플라이언스 기구이다. 또한, 압박 피스(22)의 상면 중앙부에 돌기부(12a)와 걸어 맞추는 원추홈(22a)이 형성되어 있다.
- <159> 상기 프로브 시트(6)는, 시트의 프로빙측의 중앙 영역부에 반도체 소자(2)의 다수의 전극(3)으로 이루어지는 전극군과 접촉하기 위한 다수의 접촉 단자(4)로 이루어지는 접촉 단자군을 형성하고, 그 접촉 단자군의 주위를 2중으로 둘러싸도록 금속막(93a) 및 틀(21b)에 대응한 영역에 금속막(93b)을 형성하고, 프로브 시트(6)의 4변의 주변부에 다층 배선 기판(51)과의 신호 수수를 위한 다수의 주변 전극(5a)으로 이루어지는 주변 전극군을 형성하고, 그 접촉 단자군과 주변 전극군 사이에 도 4의 (b) 혹은 도 4의 (c)에 도시한 다수의 인출 배선(20)(71, 72, 74, 75, 76a, 76b)을 형성한 프로브 시트(6)로 형성된다. 또한, 상기 접촉 단자군을 형성한 영역의 외주의 프로브 시트(6)의 이면에는, 틀(21b)이 접촉 고정되고, 그 틀(21b)은, 중간판(24b)에 나사 고정된다. 이 중간판(24b)에는, 스프링 플런저(12)가 고정되고, 하부 선단의 돌기부(12a)가, 압박 피스(22)의 상면 중앙에 형성된 원추홈(22a)과 걸어 맞추도록 구성된다.
- <160> 프로브 시트(6)의 주변 전극군의 이면에 대향하도록 설치된 0링(14)을 사이에 두고, 다층 배선 기판(51)에 0링 축받이(15)를 나사 고정함으로써, 0링(14)을 개재하여 주변 전극군을 다층 배선 기판(51)의 전극(51a)에 접속한다.
- <161> 다음으로, 이상 설명한 본 발명에 따른 프로브 카드(프로빙 장치)를 이용한 반도체 검사 장치에 대하여 도 13을 이용하여 설명한다.
- <162> 도 13은, 본 발명에 따른 반도체 검사 장치를 포함하는 검사 시스템의 전체 구성을 도시하는 도면이다. 도 13은, 원하는 하중을 웨이퍼(1)의 면에 가하여 전기 특성 검사를 실시하는 시험 장치를 도시한다. 이 상태에서는, 스프링 플런저(12)의 하중이 전체 접촉 단자에 가해져, 웨이퍼(1)의 전극(3)에 접촉한 접촉 단자(4), 인출 배선(20), 주변 전극(5), 다층 배선 기판(50)의 전극(50a), 내부 배선(50b), 전극(50c)을 통하여 반도체 소자의 전기적 특성의 검사를 행하는 테스터(170) 사이에서 검사용 전기 신호의 송수신이 실시된다.
- <163> 검사 시스템의 전체 구성에서, 프로브 카드는 웨이퍼 프로버로서 구성되어 있다. 이 검사 시스템은, 피검사 대상인 웨이퍼(1)를 지지하는 시료 지지계(160)와, 웨이퍼(1)의 전극(3)에 접촉하여 전기 신호의 수수를 행하는 프로브 카드(120)와, 시료 지지계(160)의 동작을 제어하는 구동 제어계(150)와, 웨이퍼(1)의 온도 제어를 행하는 온도 제어계(140)와, 반도체 소자(칩)(2)의 전기적 특성의 검사를 행하는 테스터(170)로 구성된다. 이 웨이퍼(1)는, 다수의 반도체 소자(칩)가 배열되고, 각 반도체 소자의 표면에는, 외부 접속 전극으로서의 복수의 전극(3)이 배열되어 있다.
- <164> 시료 지지계(160)는, 웨이퍼(1)를 착탈 가능하게 재치하여 거의 수평으로 설치된 시료대(162)와, 이 시료대(162)를 지지하도록 수직으로 배치되는 승강축(164)과, 이 승강축(164)을 승강 구동하는 승강 구동부(165)와, 이 승강 구동부(165)를 지지하는 X-Y 스테이지(167)로 구성된다. X-Y 스테이지(167)는, 케이스(166) 상에 고정된다. 승강 구동부(165)는, 예를 들면, 스텝핑 모터 등으로 구성된다. 시료대(162)의 수평 및 수직 방향에서의 위치 결정 동작은, X-Y 스테이지(167)의 수평면 내에서의 이동 동작과, 승강 구동부(165)에 의한 상하 이동 등을 조합함으로써 행하여진다. 또한, 시료대(162)에는, 도시하지 않은 회동 기구가 설치되어 있어, 수평면 내에서의 시료대(162)의 회동 변위가 가능하게 되어 있다.

- <165> 시료대(162)의 상방에는, 프로브 카드(120)로 이루어지는 프로브계가 배치된다. 즉, 예를 들면, 도 7의 (j)에 도시하는 프로브 시트 구조체를 이용한 프로브 카드(120) 및 다층 배선 기판(50)은, 해당 시료대(162)에 평행하게 대향하는 자세로 설치된다. 각각의 접촉 단자(4)는, 그 프로브 카드(120)의 프로브 시트(6)에 설치된 인출 배선(20), 주변 전극(5)을 통하여, 다층 배선 기판(50)의 전극(50a) 및 내부 배선(50b)을 통하여, 그 다층 배선 기판(50)에 설치된 전극(50c)에 접속되고, 그 전극(50c)에 접속되는 케이블(171)을 통하여 테스터(170)와 접속된다.
- <166> 구동 제어계(150)는, 케이블(172)을 통하여 테스터(170)와 접속된다. 또한, 구동 제어계(150)는, 시료 지지계(160)의 각 구동부의 액츄에이터에 제어 신호를 보내어, 그 동작을 제어한다. 즉, 구동 제어계(150)는, 내부에 컴퓨터를 구비하고, 케이블(172)을 통하여 전달되는 테스터(170)의 테스트 동작의 진행 정보에 맞추어, 시료 지지계(160)의 동작을 제어한다. 또한, 구동 제어계(150)는, 조작부(151)를 구비하고, 구동 제어에 관한 각종 지시의 입력의 접수, 예를 들면, 수동 조작의 지시를 접수한다.
- <167> 시료대(162)에는, 반도체 소자(2)를 가열시키기 위한 히터(141)가 구비되어 있다. 온도 제어계(140)는, 시료대(162)의 히터(141) 혹은 냉각 지그를 제어함으로써, 시료대(162)에 탑재된 웨이퍼(1)의 온도를 제어한다. 또한, 온도 제어계(140)는, 조작부(151)를 구비하고, 온도 제어에 관한 각종 지시의 입력의 접수, 예를 들면, 수동 조작의 지시를 접수한다. 여기서, 상기 프로브 시트 혹은 프로브 카드의 일부에 설치한 온도 제어가 가능한 발열체와 시료대(162)의 히터(141)를 연동시켜 온도 제어해도 된다.
- <168> 이하, 반도체 검사 장치의 동작에 대하여 설명한다. 우선, 피검사 대상인 웨이퍼(1)는, 시료대(162) 상에 위치 결정하여 채지되고, X-Y 스테이지(167) 및 회동 기구를 구동 제어하여, 웨이퍼(1) 상에 배열된 복수개의 반도체 소자 상에 형성된 다수의 전극(3)으로 이루어지는 전극군을, 프로브 카드(120)에 병설된 다수의 접촉 단자(4)로 이루어지는 접촉 단자군의 바로 아래에 위치 결정한다. 그 후, 구동 제어계(150)는, 승강 구동부(165)를 작동시켜, 다수의 전극(피접촉재)(3)의 전체의 면이 접촉 단자의 선단에 접촉한 시점으로부터 30~100 μ m 정도 밀어 올려지는 상태로 될 때까지 시료대(162)를 상승시킴으로써, 프로브 시트(6)에서 다수의 접촉 단자(4)가 병설된 영역부를 밖으로 내밀음으로써 평탄도가 고정밀도로 확보된 다수의 접촉 단자(4)로 이루어지는 접촉 단자군에서의 각각의 선단을, 컴플라이언스 기구(압압 기구)에 의해 반도체 소자에 배열된 다수의 전극(3)으로 이루어지는 전극군(전체)의 면에 추종하도록 하여 평행 내기함으로써 웨이퍼(1) 상에 배열된 각 피접촉재(전극)(3)에 따라서 균일한 하중(1핀당 3~150mN 정도)에 기초하는 밀어 넣음에 의한 접촉이 행하여져, 각 접촉 단자(4)와 각 전극(3) 사이에서 저저항(0.01 Ω ~0.1 Ω)으로 접속되게 된다.
- <169> 또한, 케이블(171), 다층 배선 기판(50), 및 접촉 단자(4)를 통하여, 웨이퍼(1)에 형성된 반도체 소자와 테스터(170) 사이에서, 동작 전류나 동작 검사 신호 등의 수수를 행하여, 해당 반도체 소자의 동작 특성의 가부 등을 판별한다. 또한, 상기한 일련의 검사 동작이, 웨이퍼(1)에 형성된 복수의 반도체 소자의 각각에 대하여 실시되어, 동작 특성의 가부 등이 판별된다.
- <170> 이상 설명한 본 실시예에서는, 도 7의 (j)의 구성을 갖는 프로브 시트 구조체를 이용한 예를 설명하였지만, 본 발명은 이에 한정되는 것이 아니라, 그 요지를 일탈하지 않는 범위에서 다양하게 변경 가능하며, 예를 들면 도 8의 (e) 혹은 도 10의 (f) 혹은 도 11의 (d)와 같은 프로브 시트 구조체를 이용해도 되는 것은 물론이다.
- <171> 여기서, 상기 반도체 검사 장치를 이용한 검사 공정, 또는 검사 방법을 포함하는 반도체 장치의 제조 방법의 대표예에 대하여, 도 18을 참조하여 설명한다.
- <172> (1) 본 발명에 따른 반도체 장치의 제조 방법은, 웨이퍼에 회로를 만들어 넣어, 반도체 장치를 형성하는 공정(반도체 소자 회로 형성)과, 본 발명에 따른 반도체 검사 장치에 의해 웨이퍼 레벨에서 복수의 반도체 장치의 전기적 특성을 일괄하여 검사하는 공정(웨이퍼 검사)과, 웨이퍼를 절단하여, 반도체 소자마다 분리하는 공정(다이싱)과, 반도체 소자를 수지 등으로 밀봉하는 공정(조립·밀봉)을 갖는다. 그 후, 번인, 선별 검사, 외관 검사를 거쳐, 칩 패키지품으로서 출하된다.
- <173> (2) 본 발명에 따른 반도체 장치의 제조 방법은, 웨이퍼에 회로를 만들어 넣어, 반도체 소자를 형성하는 공정(반도체 소자 회로 형성)과, 본 발명에 따른 반도체 검사 장치에 의해 웨이퍼 레벨에서 복수의 반도체 소자의 전기적 특성을 일괄하여 검사하는 공정(웨이퍼 검사)과, 웨이퍼를 절단하여, 반도체 소자마다 분리하는 공정(다이싱)을 갖는다. 그 후, 칩 검사용 소켓 장착, 번인, 선별 검사, 소켓으로부터 제거(착탈)하고, 외관 검사를 거쳐, 베어 칩 출하품으로서 출하된다.
- <174> (3) 본 발명에 따른 반도체 장치의 제조 방법은, 웨이퍼에 회로를 만들어 넣어, 반도체 장치를 형성하는 공정

(반도체 소자 회로 형성)과, 본 발명에 따른 반도체 검사 장치에 의해 웨이퍼 레벨에서 복수의 반도체 장치의 전기적 특성을 일괄하여 검사하는 공정(웨이퍼 검사)을 갖는다. 그 후, 번인, 선별 검사, 외관 검사를 거쳐, 풀 웨이퍼 출하품으로서 출하된다. 이 번인, 선별 검사에서도, 본 발명에 따른 반도체 검사 장치에 의해 검사가 행하여진다.

<175> (4) 본 발명에 따른 반도체 장치의 제조 방법은, 웨이퍼에 회로를 만들어 넣어, 반도체 장치를 형성하는 공정(반도체 소자 회로 형성)과, 본 발명에 따른 반도체 검사 장치에 의해 웨이퍼 레벨에서 복수의 반도체 장치의 전기적 특성을 일괄하여 검사하는 공정(웨이퍼 검사)을 갖는다. 그 후, 번인, 외관 검사를 거쳐, 웨이퍼를 절단하여, 반도체 소자마다 분리하는 공정(다이싱)과, 외관 검사를 거쳐, 베어 칩 출하품으로서 출하된다. 이 번인, 선별 검사에서도, 본 발명에 따른 반도체 검사 장치에 의해 검사가 행하여진다.

<176> (5) 본 발명에 따른 반도체 장치의 제조 방법은, 웨이퍼에 회로를 만들어 넣어, 반도체 장치를 형성하는 공정(반도체 소자 회로 형성)과, 웨이퍼를 분할하는 공정(웨이퍼 분할)과, 본 발명에 따른 반도체 검사 장치에 의해 분할한 웨이퍼 레벨에서 복수의 반도체 장치의 전기적 특성을 일괄하여 검사하는 공정(분할 웨이퍼 검사)을 갖는다. 그 후, 번인, 선별 검사, 외관 검사를 거쳐, 분할 웨이퍼 출하품으로서 출하된다. 이 번인, 선별 검사에서도, 본 발명에 따른 반도체 검사 장치에 의해 검사가 행하여진다.

<177> (6) 본 발명에 따른 반도체 장치의 제조 방법은, 웨이퍼에 회로를 만들어 넣어, 반도체 장치를 형성하는 공정(반도체 소자 회로 형성)과, 웨이퍼를 분할하는 공정(웨이퍼 분할)과, 본 발명에 따른 반도체 검사 장치에 의해 분할한 웨이퍼 레벨에서 복수의 반도체 장치의 전기적 특성을 일괄하여 검사하는 공정(분할 웨이퍼 검사)을 갖는다. 그 후, 번인, 선별 검사, 분할한 웨이퍼를 절단하여, 반도체 소자마다 분리하는 공정(다이싱)과, 외관 검사를 거쳐, 베어 칩 출하품으로서 출하된다. 이 번인, 선별 검사에서도, 본 발명에 따른 반도체 검사 장치에 의해 검사가 행하여진다.

<178> (7) 본 발명에 따른 반도체 장치의 제조 방법은, 웨이퍼에 회로를 만들어 넣어, 반도체 장치를 형성하는 공정(반도체 소자 회로 형성)과, 웨이퍼에 수지층 등을 형성하는 공정(수지층 형성)과, 수지층 등을 형성한 웨이퍼에 형성된 복수의 반도체 소자의 전기적 특성을 본 발명에 따른 반도체 검사 장치에 의해 일괄하여 검사하는 공정(웨이퍼 검사)을 갖는다. 그 후, 번인, 선별 검사를 거쳐, 웨이퍼를 절단하여, 반도체 소자마다 분리하는 공정(다이싱)과, 외관 검사를 거쳐, CSP 출하품으로서 출하된다. 이 번인, 선별 검사에서도, 본 발명에 따른 반도체 검사 장치에 의해 검사가 행하여진다.

<179> (8) 본 발명에 따른 반도체 장치의 제조 방법은, 웨이퍼에 회로를 만들어 넣어, 반도체 장치를 형성하는 공정(반도체 소자 회로 형성)과, 웨이퍼에 수지층 등을 형성하는 공정(수지층 형성)과, 수지층 등을 형성한 웨이퍼에 형성된 복수의 반도체 소자의 전기적 특성을 본 발명에 따른 반도체 검사 장치에 의해 일괄하여 검사하는 공정(웨이퍼 검사)을 갖는다. 그 후, 번인, 선별 검사, 외관 검사를 거쳐, 풀 웨이퍼 CSP 출하품으로서 출하된다. 이 번인, 선별 검사에서도, 본 발명에 따른 반도체 검사 장치에 의해 검사가 행하여진다.

<180> (9) 본 발명에 따른 반도체 장치의 제조 방법은, 웨이퍼에 회로를 만들어 넣어, 반도체 장치를 형성하는 공정(반도체 소자 회로 형성)과, 웨이퍼에 수지층 등을 형성하는 공정(수지층 형성)과, 수지층 등을 형성한 웨이퍼를 분할하는 공정(웨이퍼 분할)과, 본 발명에 따른 반도체 검사 장치에 의해 분할한 웨이퍼 레벨에서 복수의 반도체 장치의 전기적 특성을 일괄하여 검사하는 공정(분할 웨이퍼 검사)을 갖는다. 그 후, 번인, 선별 검사, 외관 검사를 거쳐, 분할 웨이퍼 CSP 출하품으로서 출하된다. 이 번인, 선별 검사에서도, 본 발명에 따른 반도체 검사 장치에 의해 검사가 행하여진다.

<181> (10) 본 발명에 따른 반도체 장치의 제조 방법은, 웨이퍼에 회로를 만들어 넣어, 반도체 장치를 형성하는 공정(반도체 소자 회로 형성)과, 웨이퍼에 수지층 등을 형성하는 공정(수지층 형성)과, 수지층 등을 형성한 웨이퍼를 분할하는 공정(웨이퍼 분할)과, 본 발명에 따른 반도체 검사 장치에 의해 분할한 웨이퍼 레벨에서 복수의 반도체 장치의 전기적 특성을 일괄하여 검사하는 공정(분할 웨이퍼 검사)을 갖는다. 그 후, 번인, 선별 검사, 웨이퍼를 절단하여, 반도체 소자마다 분리하는 공정(다이싱)과, 외관 검사를 거쳐, CSP 출하품으로서 출하된다. 이 번인, 선별 검사에서도, 본 발명에 따른 반도체 검사 장치에 의해 검사가 행하여진다.

<182> 상기한 반도체 장치의 제조 방법에서의, 반도체 소자의 전기적 특성을 검사하는 공정에서는, 본 발명에 따른 전송 회로를 형성한 프로브 카드를 이용함으로써, 양호한 고속 전송 특성을 가진 검사를 실현할 수 있다.

<183> 즉, 본 발명의 방사 형상 메쉬 패턴의 그라운드층을 형성한 고속 전송용의 배선 시트는, 그라운드 형성용의 금속에 의한 시트의 강성의 증가를 경감할 수 있어, 시트에 유연성을 갖게 할 수 있다.

- <184> 또한, 신호 배선을 형성한 절연 시트 바로 아래의 대향면의 그라운드층을 제거하여 방사 형상 메쉬 패턴의 그라운드 배선 구조로 함으로써, 그 절연 시트의 두께가 얇아도 신호 배선 폭을 넓게 설계할 수 있기 때문에, 표피 효과에 의해 표면 영역의 전송이 증가 되는 고속 전송 신호의 손실을 적게 할 수 있다.
- <185> 또한, 본 발명의 전송 회로 패턴을 채용해도, 신호 배선과 그라운드 배선의 위치 어긋남의 영향이 작기 때문에, 고속 전송 시트의 제조 시에 마스크 정렬 위치 정밀도에 여유가 생기고, 그 결과, 전송 회로 형성 시에 여유가 생겨, 고속 전송 특성을 확보한 시트의 제조가 가능하게 된다.
- <186> (제5 실시예)
- <187> 다음으로, 도 2의 (a1) 혹은 도 3의 (a1)에 도시한 본 발명의 고속 전송용 회로의 다른 응용예를, 도 14를 참조하여, 그 구성을 설명한다.
- <188> 도 14의 (a)~도 14의 (d)의 각각의 실시예는, 복수의 반도체 장치(60, 60a)간의 신호의 수수를 위해 배선 시트(62)에, 도 2의 (a1) 혹은 도 3의 (a1)에 도시한 전송 회로(61)를 형성하는 일례를 도시한 것이다. 필요에 따라서, 도 4의 (b) 및 도 4의 (c)에 도시한 그라운드 전송 배선 사이의 도통용의 그라운드 배선(78b)을 메쉬 형상 그라운드 패턴으로서 형성하고, 그라운드 레벨을 안정적으로 하면 된다. 반도체 장치(60, 60a)간의 접속은, 예를 들면, 도 14의 (a)에 도시한 도금 범프(63) 혹은, 도 14의 (b), 도 14의 (c)에 도시한 사각추대 형상의 접촉 단자(64)를 뿔납 범프(65)에 접속하면 된다. 또한, 도 14의 (d)에 도시한 바와 같이, 도금 범프(63) 및 사각추대 형상의 접촉 단자(64)의 양자를 이용해도 된다.
- <189> 본 실시예에서는, 접속 단자로서, 도금 범프(63) 혹은, 사각추대 형상의 접촉 단자(64)를 뿔납 범프(65)에 접속하는 예를 도시하였지만, 도 2의 (a1) 혹은 도 3의 (a1)에 도시한 본 발명의 고속 전송용 회로를 형성하는 한, 뿔납 범프만의 접속이든, 금속간의 초음파 접속이든, 접속 방식은 무엇이든 되는 것은 물론이다.
- <190> 마지막으로, 본 발명에 기초하여 제작한 도 12의 방식의 프로브 카드의 측정 결과를, 도 5의 (a), (b), (c)에 도시하였다.
- <191> 도 5의 (a)는, 본 발명의 싱글 신호 배선 방식의 통과 특성 및 동일한 프로브 시트의 사이즈로 마이크로스트립 구조의 통과 특성을 도시한 도면이다. 모두 임피던스를 $50 \pm 2 \Omega$ 으로 정합한 경우로서, 본 발명의 전송 방식이 양호한 것을 나타내고 있다.
- <192> 도 5의 (b)는, 본 발명의 싱글 신호 배선 방식의 10Gbps의 전송 파형이며, 도 5의 (c)는, 본 발명의 차동 신호 배선 방식의 10Gbps의 전송 파형이다. 양자의 전송 파형(아이패턴)은, 고속 전송 특성(5~10Gbps)이 우수한 것을 나타내고 있다.
- <193> 이와 같이, 본 발명에 기초하여 제작한 프로브 카드의 측정 결과에 의해, 전송 특성이 양호하고, 고속 전송 특성이 우수한 고속 전송용 회로를 실현할 수 있는 것을 알 수 있었다.
- <194> 이상, 본 발명자에 의해 이루어진 발명을 실시예에 기초하여 구체적으로 설명하였지만, 본 발명은 상기 실시예에 한정되는 것이 아니라, 그 요지를 이탈하지 않는 범위에서 다양하게 변경 가능한 것은 물론이다.
- <195> 본원에서 개시되는 발명 중, 대표적인 것에 의해 언어지는 효과를 간단히 설명하면, 이하와 같다.
- <196> 본 발명의 방사 형상 메쉬 패턴의 그라운드를 형성한 고속 전송용의 배선 시트는, 이면 전체면에 그라운드층을 형성하여 마이크로스트립 선로를 형성한 시트와 비교하여, 이하의 효과를 갖는다.
- <197> (1) 방사 형상 메쉬 패턴 형상의 그라운드 배선 구조로 함으로써, 그라운드 형성용의 금속에 의한 시트의 강성의 증가를 경감할 수 있어, 시트에 유연성을 갖게 할 수 있다.
- <198> (2) 절연 시트 두께가 동일하고, 동일한 임피던스로 정합하는 경우, 신호 배선을 형성한 절연 시트 바로 아래의 대향면의 그라운드층을 제거하여 방사 형상 메쉬 패턴의 그라운드 배선 구조로 함으로써, 마이크로스트립 선로의 신호 배선 폭과 비교하여, 신호 배선 폭을 넓게 설계할 수 있다. 그 결과, 표피 효과에 의해 표면 영역의 전송이 증가 되는 고속 전송 신호의 손실을 적게 할 수 있다.
- <199> 당 분야의 업자라면 부가적인 장점 및 변경들을 용이하게 생각해 낼 것이다. 따라서, 광의의 관점에서의 본 발명은 본 명세서에 예시되고 기술된 상세한 설명 및 대표 실시예들에 한정되는 것은 아니다. 따라서, 첨부된 청구 범위들 및 그 등가물들에 의해 정의된 바와 같은 일반적인 발명적 개념의 정신 또는 범위로 부터 벗어나지 않고 다양한 변경이 가능하다.

발명의 효과

<200> 본 발명에 따르면, 피접촉 대상의 전극 패드에 손상을 주지 않고, 다점 또한 고밀도로 접촉할 수 있는 접촉 단자를 갖는, 전송 특성이 양호하고 유연성을 가진 프로브 시트 혹은 접속용 시트를 제공할 수 있다.

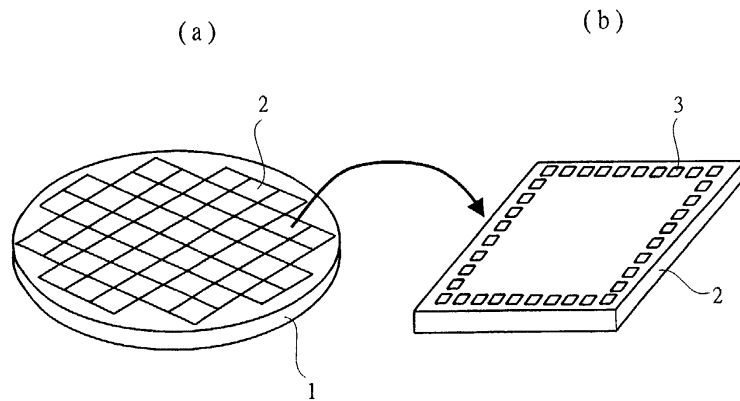
도면의 간단한 설명

- <1> 도 1은, 본 발명의 실시예에서, (a)는 반도체 소자(칩)가 배열된 피접촉 대상인 웨이퍼를 도시하는 사시도, (b)는 반도체 소자(칩)를 도시하는 사시도.
- <2> 도 2는, 본 발명의 실시예에서, (a1)은 본 발명에 따른 싱글 배선 방식의 전송 회로 패턴의 기본 구성도, (a2)는 (a1)의 전기력선의 모식도, (b1)은 신호 배선의 바로 아래에 그라운드 배선을 형성한 기본 구성도, (b2)는 (b1)의 전기력선의 모식도, (c1)은 마이크로스트립의 기본 구성도, (c2)는 (c1)의 전기력선의 모식도.
- <3> 도 3은, 본 발명의 실시예에서, (a1)은 본 발명에 따른 차동 신호 배선 방식의 전송 회로 패턴의 기본 구성도, (a2)는 (a1)의 전기력선의 모식도, (b1)은 마이크로스트립의 차동 신호 배선의 기본 구성도, (b2)는 (b1)의 전기력선의 모식도.
- <4> 도 4는, 본 발명의 실시예에서, (a)는 본 발명에 따른 프로브 시트의 일례를 도시하는 평면 개략도, (b)는 접촉 단자를 형성한 도 2의 (a1)의 싱글 배선 방식의 프로브 시트 구조의 일례를 도시하는 주요부 사시도, (c)는 접촉 단자를 형성한 도 3의 (a1)의 차동 배선 방식의 프로브 시트 구조의 일례를 도시하는 주요부 사시도.
- <5> 도 5는, 본 발명의 실시예에서, (a)는 본 발명에 따른 싱글 신호 배선 방식의 전송 회로 패턴과, 종래의 마이크로스트립 방식의 통과 특성의 측정 결과의 일례를 도시한 도면, (b)는 본 발명에 따른 싱글 신호 배선 방식의 전송 회로 패턴을 이용한 프로브 시트의 전송 파형의 측정 결과의 일례, (c)는 본 발명에 따른 차동 신호 배선 방식의 전송 회로 패턴을 이용한 프로브 시트의 전송 파형의 측정 결과의 일례.
- <6> 도 6은, 본 발명의 제1 실시예에서, (a)~(g)는 본 발명에 따른 프로브 카드에서의 프로브 시트(구조체) 부분을 형성하는 제조 프로세스의 일부를 도시한 도면.
- <7> 도 7은, 본 발명의 제1 실시예에서, (h)~(j)는 도 6의 (a)~(g)의 계속되는 제조 프로세스를 도시한 도면.
- <8> 도 8은, 본 발명의 제2 실시예에서, (a)~(e)는 본 발명에 따른 프로브 카드에서의 프로브 시트(구조체) 부분을 형성하는 다른 제조 프로세스를 도시한 도면.
- <9> 도 9은, 본 발명의 실시예에서, 도 7의 (j) 및 도 8의 (e)의 주요 부품을 분해하여 도시한 사시도.
- <10> 도 10은, 본 발명의 제3 실시예에서, (a)~(f)는 본 발명에 따른 프로브 카드에서의 프로브 시트(구조체) 부분을 형성하는 제조 프로세스의 다른 일례를 도시한 도면.
- <11> 도 11은, 본 발명의 제4 실시예에서, (a)~(d)는 본 발명에 따른 프로브 카드에서의 프로브 시트(구조체) 부분을 형성하는 제조 프로세스의 다른 일례를 도시한 도면.
- <12> 도 12는, 발명의 실시예에서, 도 10의 (f) 및 도 11의 (d)의 주요 부품을 분해하여 도시한 사시도.
- <13> 도 13은, 본 발명의 실시예에서, 본 발명에 따른 검사 시스템의 일례의 전체 개략 구성을 도시하는 도면.
- <14> 도 14는, 본 발명의 제5 실시예에서, (a)~(d)는 본 발명에 따른 접속용 시트의 구성 개략 단면도의 일례를 각각 도시한 도면.
- <15> 도 15는, 종래의 도금에 의한 범프를 이용한 반도체 소자 검사 장치의 주요부 단면도.
- <16> 도 16은, 도 15의 도금에 의한 범프 부분을 도시하는 사시도.
- <17> 도 17은, 종래의 도금에 의한 범프를 이용한 반도체 소자 검사 장치의 주요부의 배선 구조를 모식적으로 도시하는 사시도.
- <18> 도 18은, 일반적인 반도체 장치의 검사 공정의 일례를 도시하는 공정도.
- <19> <도면의 주요 부분에 대한 부호의 설명>
- <20> 1 : 웨이퍼

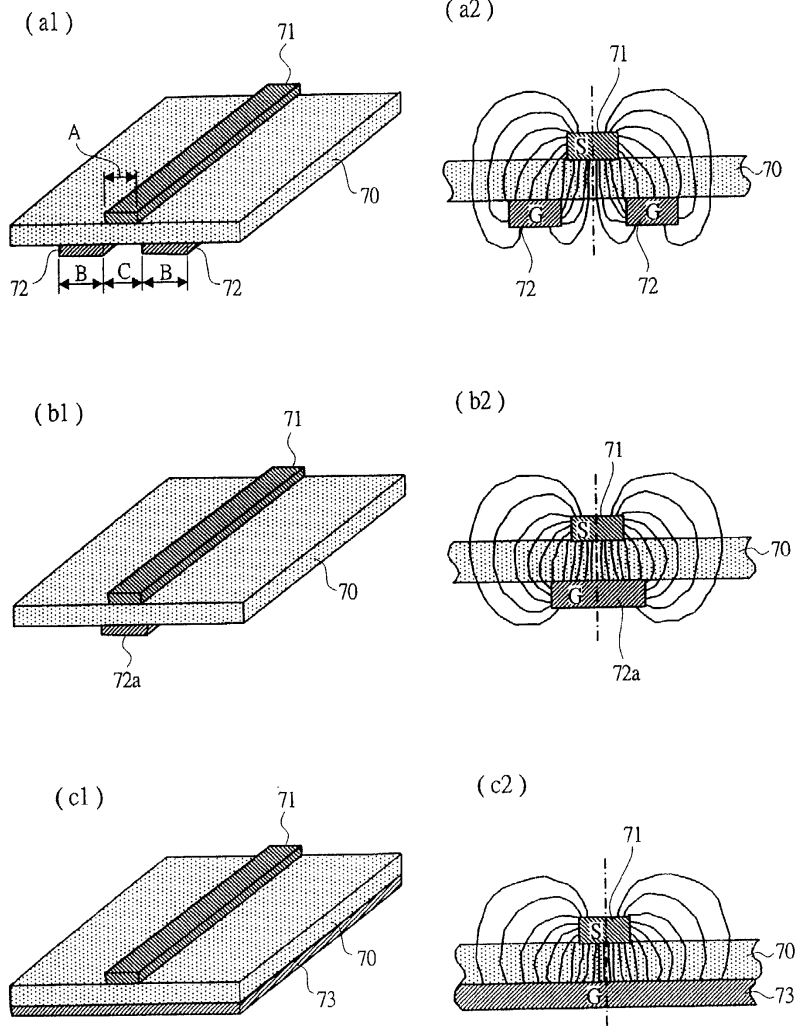
- <21> 2 : 반도체 소자(칩)
- <22> 3: 전극
- <23> 6 : 프로브 시트
- <24> 8 : 접촉 단자부
- <25> 9 : 주변 전극 고정판
- <26> 21 : 틀
- <27> 70 : 절연층
- <28> 71 : 신호 배선
- <29> 72, 72a : 그라운드 배선
- <30> 73 : 그라운드층
- <31> 74, 74 : 차동 배선
- <32> 76a 76b : 그라운드 배선
- <33> 80 : 실리콘 웨이퍼
- <34> 81 : 이산화실리콘막
- <35> 84, 89 : 폴리이미드막
- <36> 88, 91 : 배선 재료
- <37> 93 : 금속막

도면

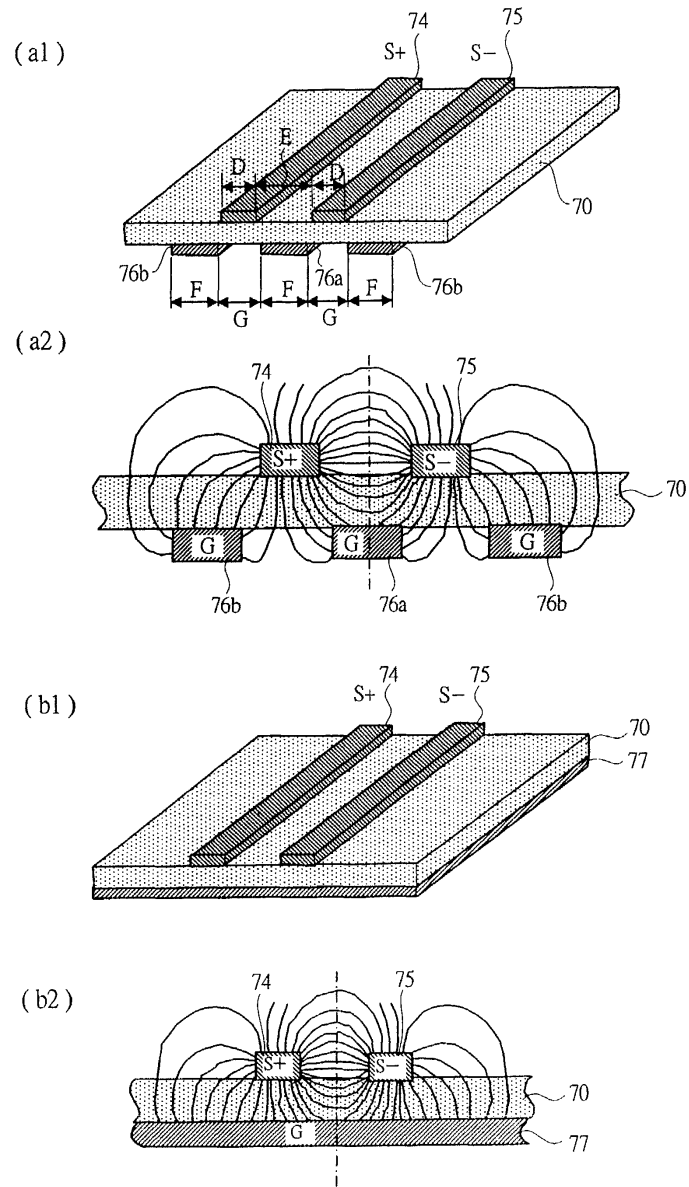
도면1



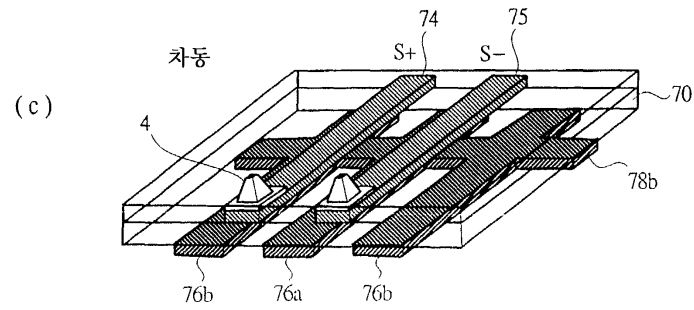
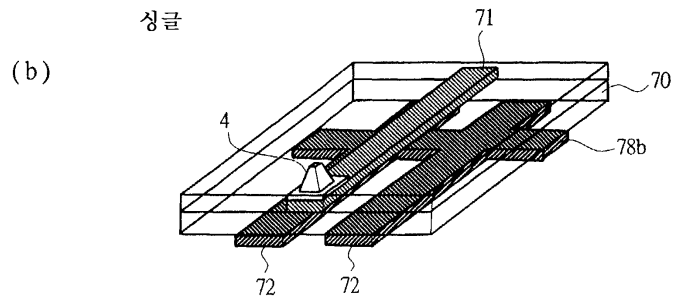
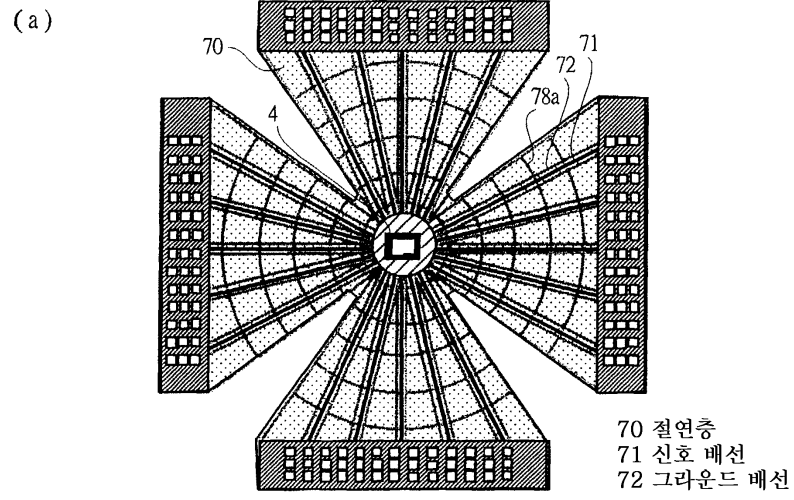
도면2



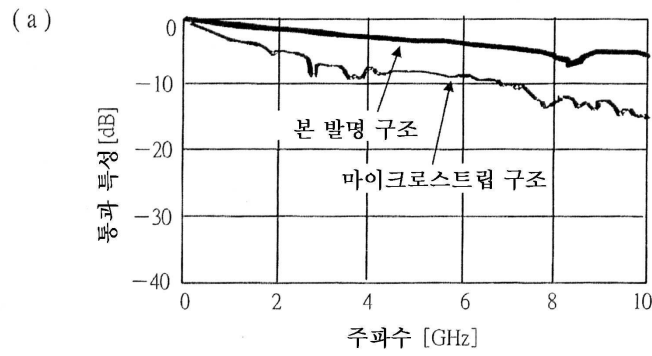
도면3



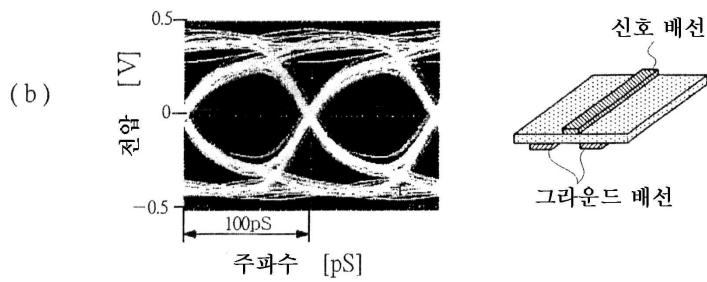
도면4



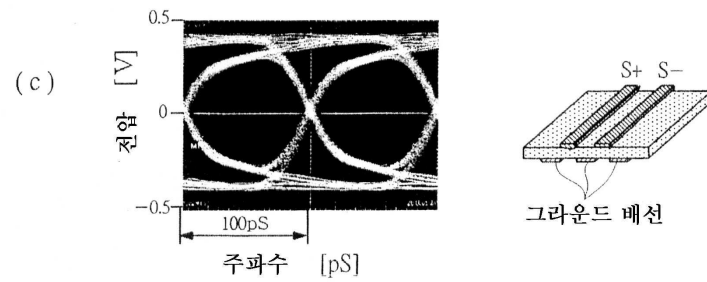
도면5



본 발명의 싱글 신호 배선 방식의 통과 특성

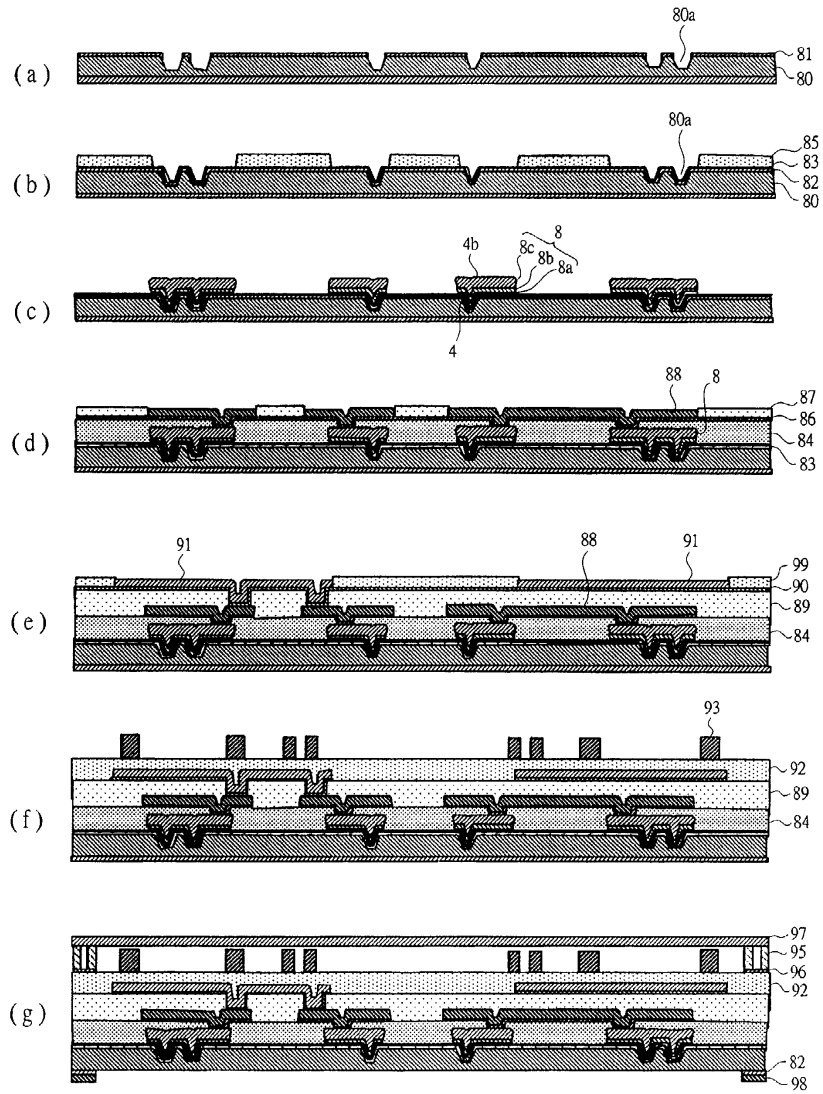


본 발명의 싱글 신호 배선 방식의 전송 파형 (10Gbps)

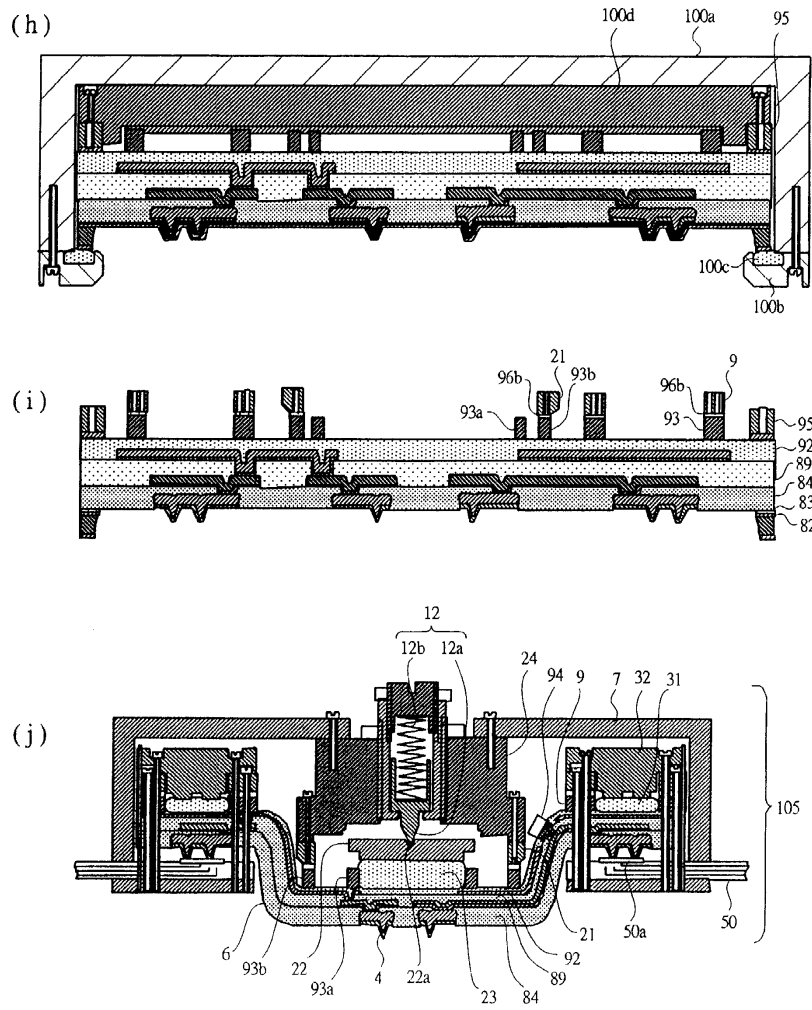


본 발명의 차동 신호 배선 방식의 전송 파형(10Gbps)

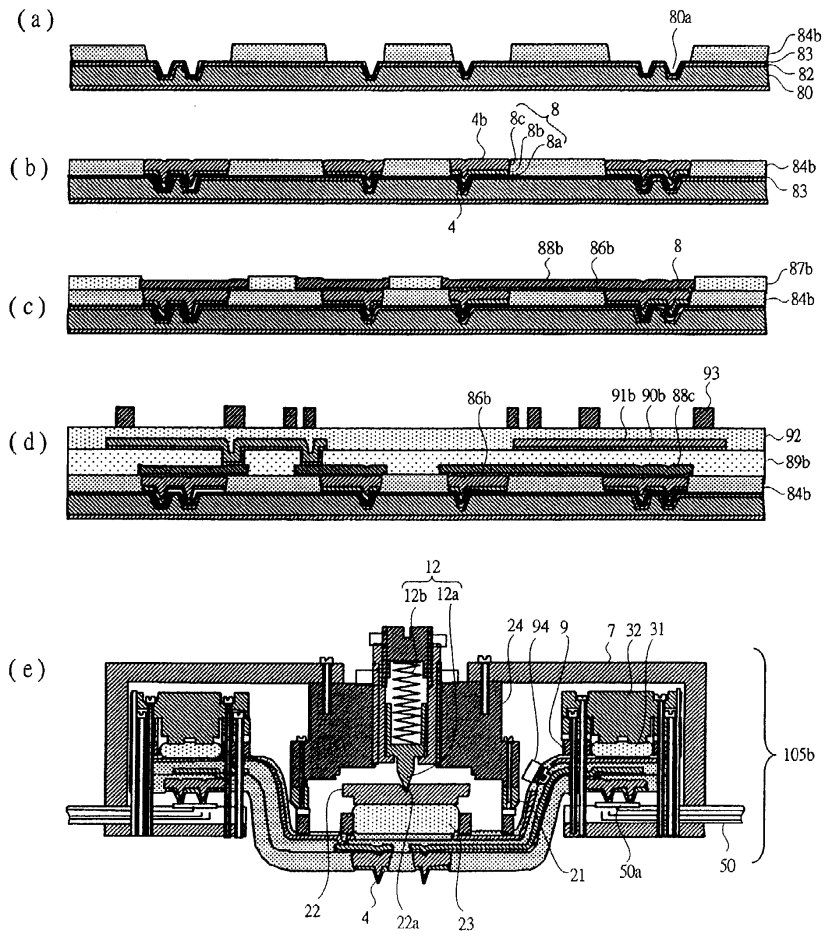
도면6



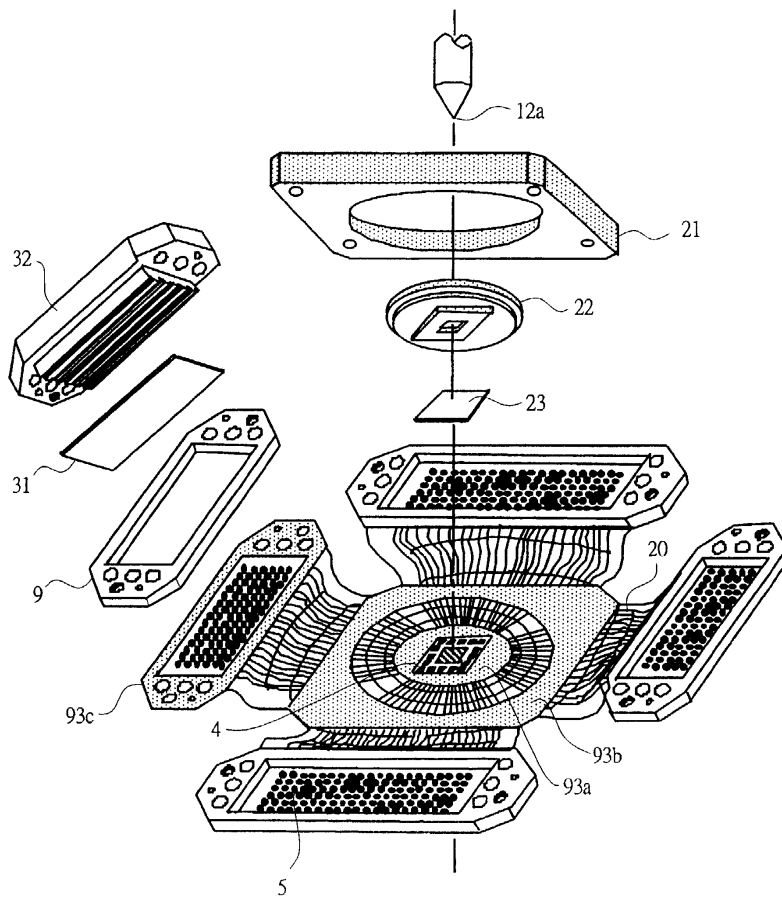
도면7



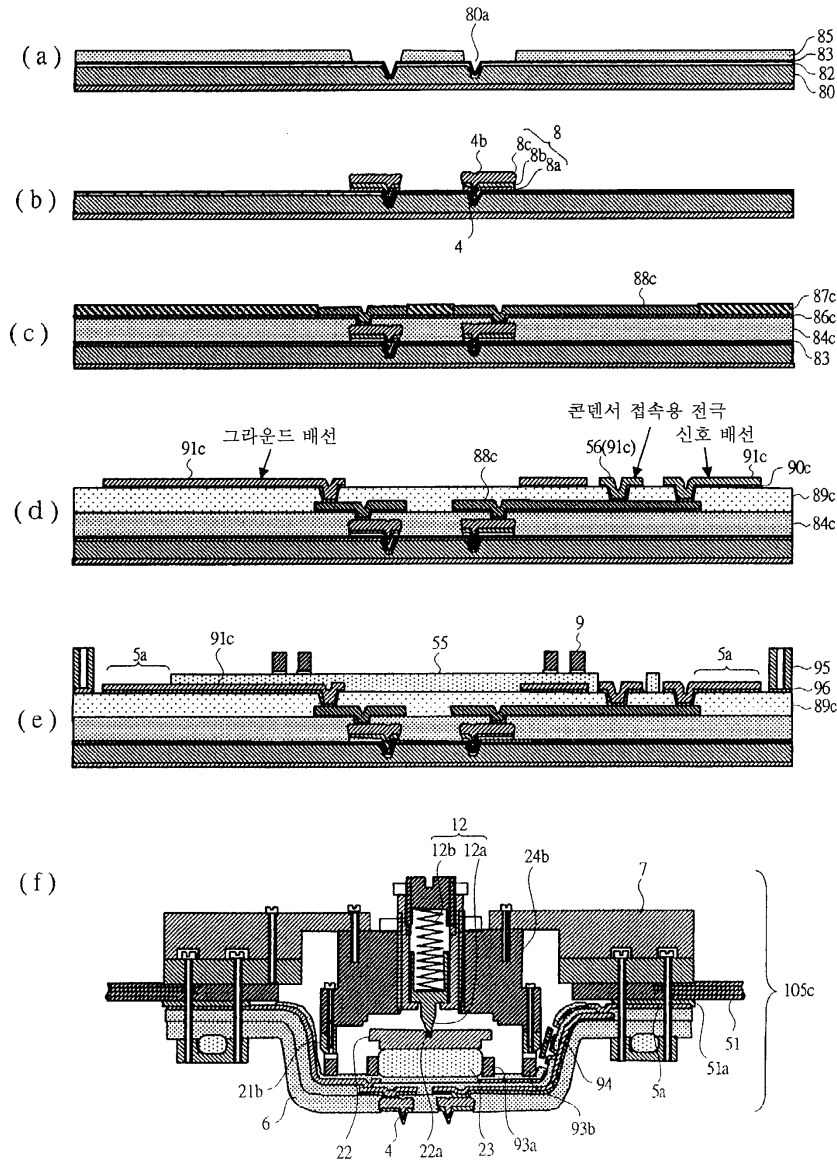
도면8



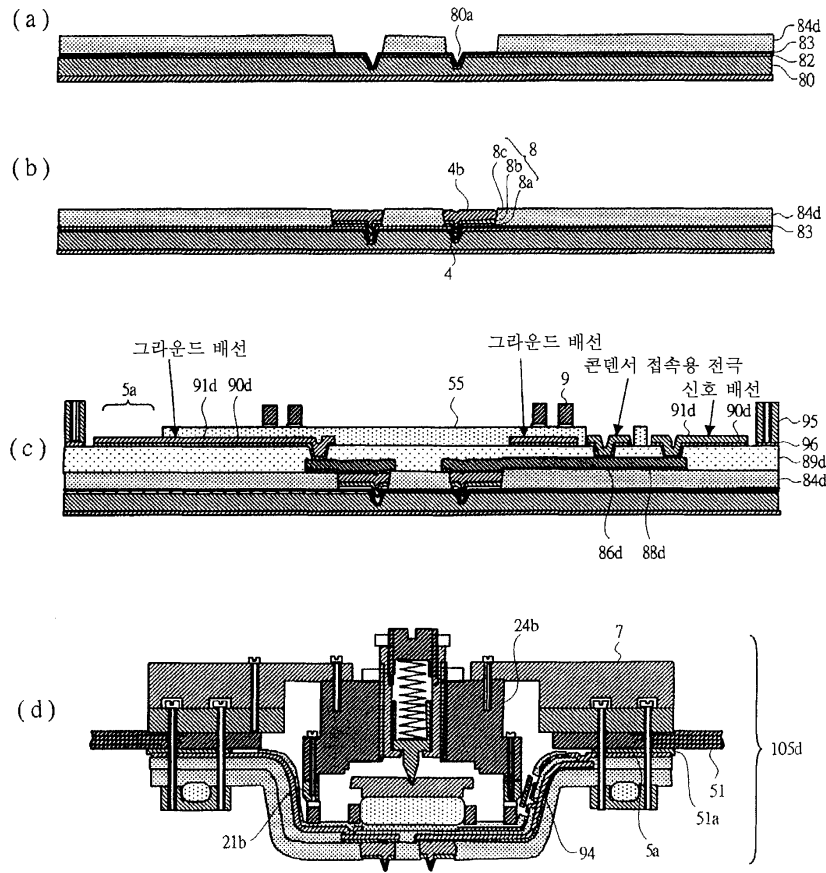
도면9



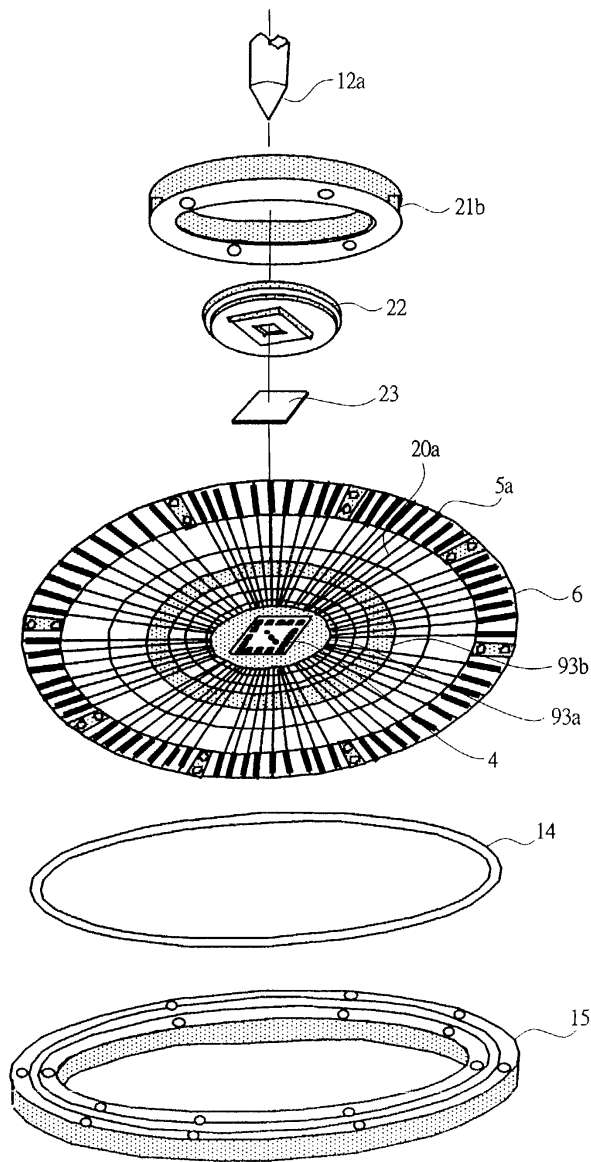
도면10



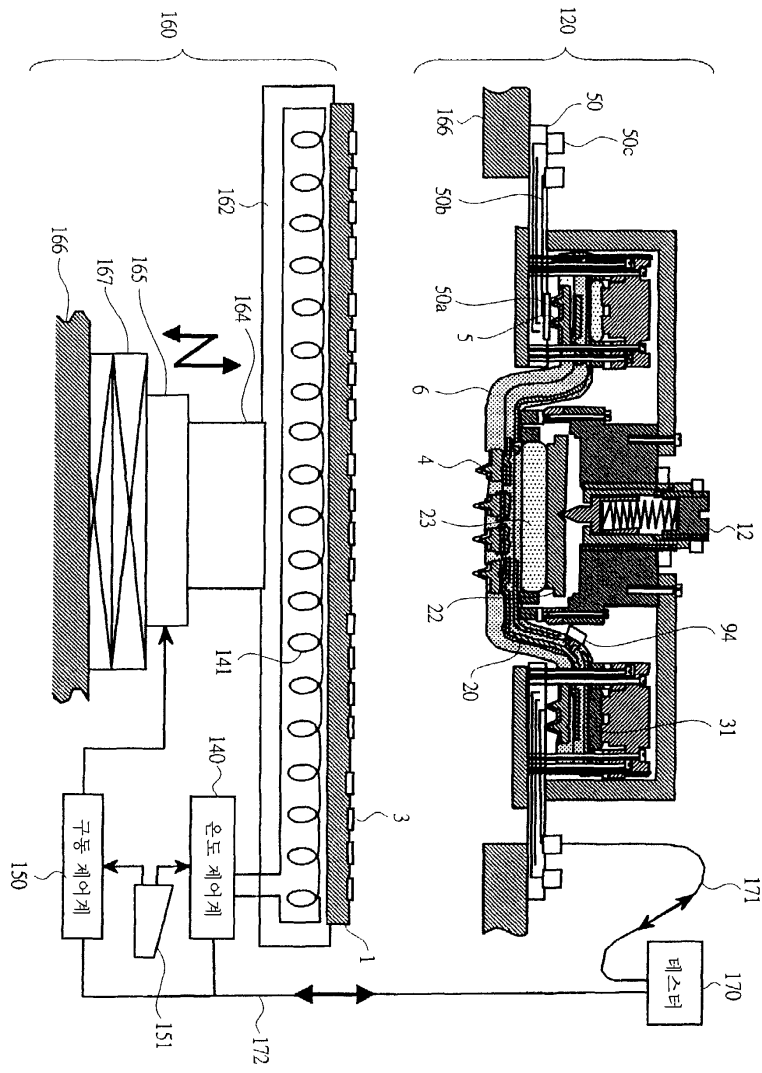
도면11



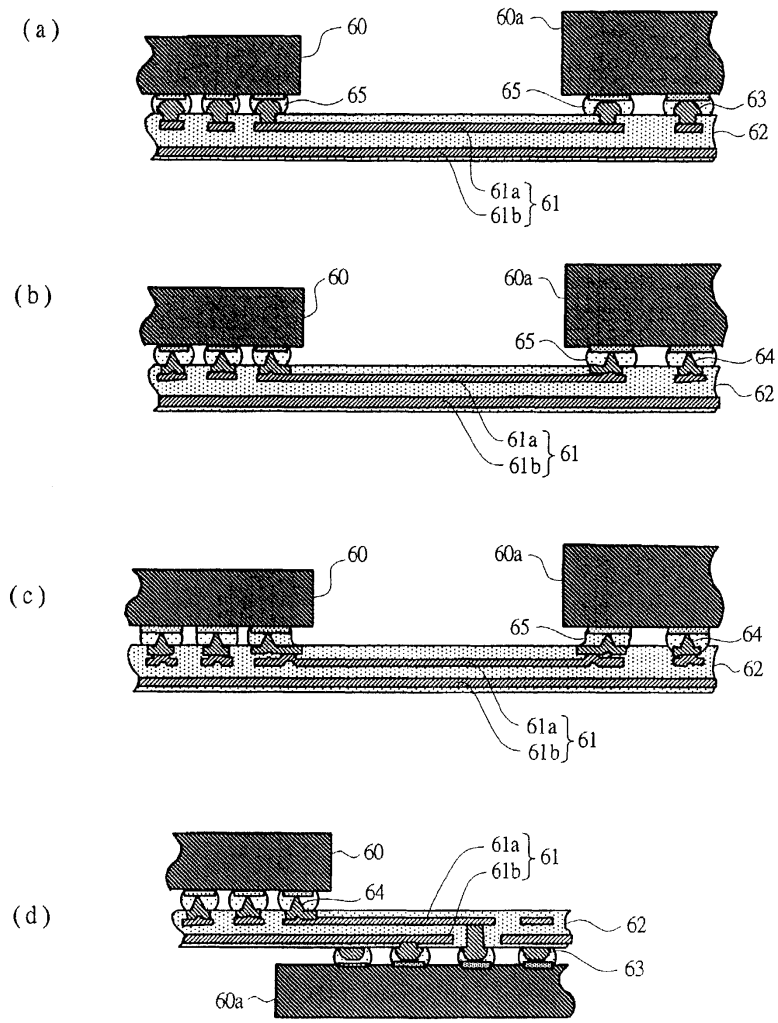
도면12



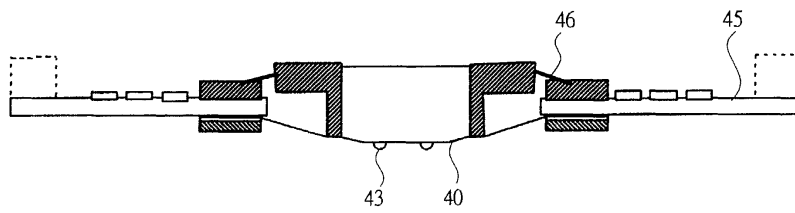
도면13



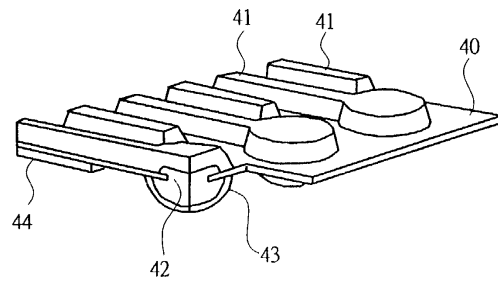
도면14



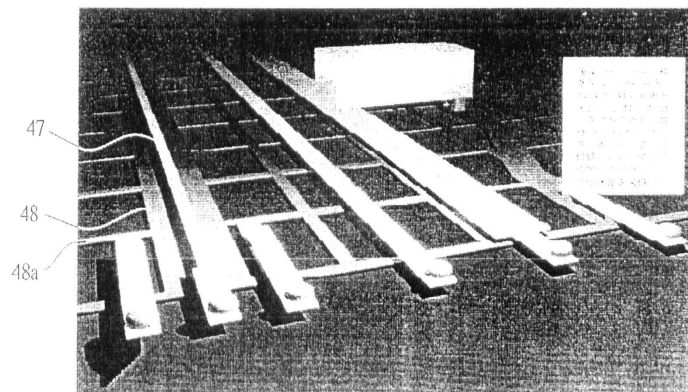
도면15



도면16



도면17



도면18

