

# 公告本

申請日期：90.5.15 案號：90111605

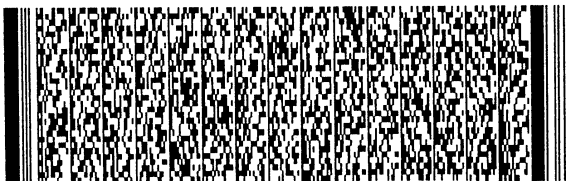
類別：H01L 21/60

(以上各欄由本局填註)

## 發明專利說明書

490776

一、 發明名稱	中文	經由印刷電路板基底路線組態以提供固定內部電壓之球柵陣列封裝
	英文	BALL GRID ARRAY PACKAGE FOR PROVIDING CONSTANT INTERNAL VOLTAGE VIA A PCB SUBSTRATE ROUTING
二、 發明人	姓名 (中文)	1. 宋浩聖
	姓名 (英文)	1. HO-SUNG SONG
	國籍	1. 南韓
	住、居所	1. 大韓民國漢城市松坡區新川洞市營APT. 81棟206號
三、 申請人	姓名 (名稱) (中文)	1. 韓商三星電子股份有限公司
	姓名 (名稱) (英文)	1. SAMSUNG ELECTRONICS CO., LTD.
	國籍	1. 南韓
	住、居所 (事務所)	1. 大韓民國京畿道水原市八達區梅灘洞416番地
	代表人 姓名 (中文)	1. 尹鍾龍
	代表人 姓名 (英文)	1. JONG-YONG YUN



本案已向

國(地區)申請專利	申請日期	案號	主張優先權
南韓 KR	2000/08/17	00-47503	無
南韓 KR	2000/11/13	00-67108	無

有關微生物已寄存於

寄存日期

寄存號碼

無



## 五、發明說明 (1)

發明背景

## 1. 發明領域

本發明係有關於一種晶片級球柵陣列(BGA)封裝，並且特別是關於一種藉由在BGA封裝的印刷電路板(PCB)基板上構成一輔助性路線組態，以提供固定內部電壓的BGA封裝。

## 2. 相關技藝說明

隨著半導體裝置體積益形縮小，相對應之半導體積體電路裝置的整合密度即逐漸增加，而這又會提高輸入/輸出腳針的數目。因此之故，球柵陣列(BGA)封裝即發展成為一種半導體封裝型態。

相較於傳統式塑膠鉛框封裝，當跨置於主機板上時，BGA封裝佔據顯著較小的區域，而同時BGA封裝的電子特徵被視為是相當地優良。

BGA封裝不同於塑膠封裝之處，在於不使用鉛質外框，BGA封裝透過一電路板而電性連接於半導體晶片和該主機板，其中該電路板可為如電路路線組態與複數個焊接球之外部焊接區所構成。

由於這些外部焊接區是構築在對置於該半導體晶片所附接之表面的電路板表面上，因此可相較於傳統式塑膠封裝方式而減少BGA封裝區域。

圖1為一某晶片內的傳統式電力線路佈線方法。在圖1裡，一半導體晶片10（茲繪表為記憶體晶片）包括內部電壓線路16、鍵合焊接區15以及區庫或範圍11、12、13和



## 五、發明說明 (2)

14。該內部電壓線路16可對各個範圍11、12、13和14供應諸內部電壓，亦即字組線路驅動電壓( $V_{pp}$ )、位元線路驅動電壓( $V_{b1}$ )或是向後偏離電壓( $V_{bb}$ )。

當半導體裝置變得更為精密整合時，一記憶體單格或一週邊電路所用的電晶體尺寸也會減小。然而，各個電晶體所需的電流並不會降低。因此，相對於現今的精簡體積之記憶體單格或週邊電路，用以供應電壓的內部電壓線路寬度會顯著增加。

這個問題可由下例所呈示。 $V_{pp}$ 的電位會根據經啟動之字組線路的位置而變動，並且在晶片10上各個部分的 $V_{pp}$ 電壓降並不相同。因此，傳統上為消除 $V_{pp}$ 電位的差異，供應該 $V_{pp}$ 的內部電壓線路寬度會被加寬，藉此減少該內部電壓線路的電阻 $R$ 。不過，假使供應該內部電壓的內部電壓線路寬度增加，那麼晶片大小也會不利地增加，而提高了製造成本。

另一方面，如果供應該內部電壓的內部電壓線路寬度變窄，則晶片大小亦可為之縮減，不過該範圍A/B與範圍C/D裡的內部電壓電位會變動，並因而負面地影響到晶片運作。

圖2為傳統式球柵陣列(BGA)封裝的平面圖。該BGA封裝包括一半導體晶片10，其中具有複數個鍵合焊接區15、用以曝出該等鍵合焊接區15的開孔29、具有複數個基板焊接區22的基板20，以及複數個可將該等基板焊接區22連接到彼等鍵合焊接區15的連接器21。



## 五、發明說明 (3)

前述之用以供應該內部電壓的內部電壓線路寬度變窄而範圍A/B與範圍C/D裡內部電壓電位會變動的問題，無法按照傳統式BGA封裝予以補償。從而確實存在一種可供應固定內部電壓之BGA封裝的需要。

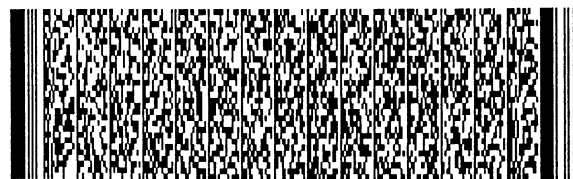
發明概述

為解決上述問題，本發明之目的即在於提供一種球柵陣列(BGA)封裝，用以利用一BGA封裝之印刷電路板(PCB)上之輔助性路線組態來提供固定內部電壓。

因此，為達此目的，根據本發明的一項特點，本發明提供一種球柵陣列(BGA)封裝。該BGA封裝包括：具有一開孔的基板；複數個附接於該基板上層表面的焊接區；一具有複數個鍵合焊接區並附接於該基板下層表面的半導體晶片；一用以將至少一鍵合焊接區透過該開孔而連接到該等複數個焊接區至少一的內部連接機構；以及，用以填充該開孔以保護該鍵合焊接區與該內部連接機構的填充材料。該等複數個焊接區中的至少一個可經由該基板內的輔助性路線組態，以電子方式連接至其他該等複數個焊接區中的至少一個。

最好，該至少某一鍵合焊接區與至少另一鍵合焊接區可為內部電壓轉換器(IVC)、 $V_{pp}$ 、 $V_{bb}$ 與 $V_{bl}$ 焊接區之其中之一者。

在本發明之另一特點裡，該BGA封裝包括在晶片裡的內部路線組態，用以共同地將鍵合焊接區連接至該晶片內的內部電壓，以及一連接於該等鍵合焊接區之PCB的輔助性



#### 五、發明說明 (4)

路線組態。內部路線組態的電阻會大於輔助性路線組態者。

#### 圖式簡單說明

對於熟諳本項技藝之人士而言，經詳閱各較佳具體實施例細部說明並參酌隨附圖式後，可更深悉本發明之上述目的與優點，其中：

圖1為某晶片內的傳統式電力線路佈線方法；

圖2為傳統式球柵陣列(BGA)封裝的平面圖；

圖3為根據本發明較佳具體實施例，某晶片中的內部電壓佈線方法；

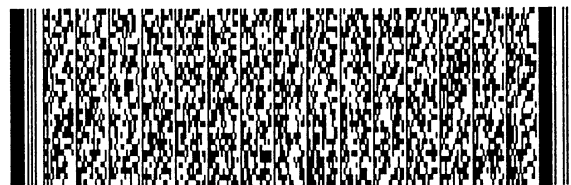
圖4為根據本發明較佳具體實施例，某BGA封裝平面圖；

圖5為晶片裡內部電壓連接到一基板路線組態之範例的細部說明。

#### 較佳具體實施例之詳細說明

現將參酌於隨附諸圖而詳細論述本發明，其中本發明較佳具體實施例細按範例方式表列。全篇諸圖裡相仿之參考編號係指類似元件。

通常，隨著記憶體晶片的容量增加並且記憶體晶片本身日漸高度整合，故為滿足AC和DC電性參數而不致劣化產品的可靠性，無論所施加的外部電壓為何，皆會採用內部電壓轉換器(IVC)以提供一固定電壓。然而，當提供某些穩定性時，該IVC會劣化作業速度並減少低電壓邊區。這是由於內部作業電壓受到了壓降的影響，而該壓降係肇因於按在低電壓範圍裡操作記憶體裝置時耗用電流所造成。



## 五、發明說明 (5)

本發明之球柵陣列(BGA)封裝係經設計以利用輔助性路線組態以容納自該半導體裝置外部所供應的外部電壓，並保持該內部電壓為固定。

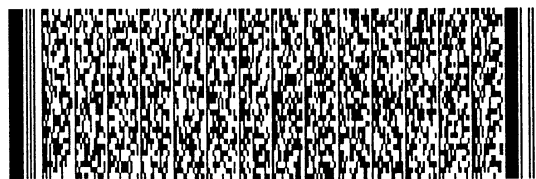
圖3說明根據本發明較佳具體實施例，某半導體記憶體晶片中的內部電壓佈線方法。在圖3中，一半導體記憶體晶片30包括複數個區庫31、32、33和34；具有固定寬度而為供應內部電壓IVC、Vpp、Vbl或Vbb，給各個區庫31、32、33和34的線路36A和36B；以及鍵合焊接區35、37A、37B、39A和39B。

用以供應內部電壓IVC、Vpp、Vbl或Vbb給區庫32的線路36A，可為連接到，或是區隔於，用以供應內部電壓IVC、Vpp、Vbl或Vbb給區庫31的線路36A。同樣地，用以供應內部電壓IVC、Vpp、Vbl或Vbb給區庫33的線路36B，可為連接到，或是區隔於，用以供應內部電壓IVC、Vpp、Vbl或Vbb給區庫34的線路36B。內部電壓是從線路36A或36B其中之一被供應給區庫31、32、33和34。

區庫31、32、33和34各者包括一用以存放資料的記憶體單格，以及一用以輸入/輸出該記憶體單格內之資料的週邊電路(未以圖示)。

一般說來，鍵合焊接區35、37A、37B、39A和39B係沿著半導體晶片30中央的線路所置放，並可運作以輸入/輸出該內部電壓或一預定信號給該半導體晶片30。

根據本較佳具體實施例之該等複數個焊接區37A、37B、39A和39B係各者連接到線路36A或36B的某預定部分。該鍵



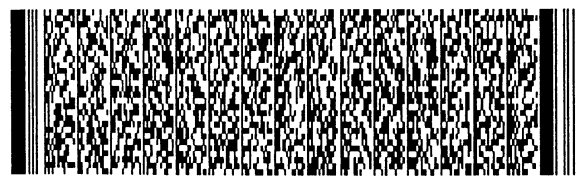
## 五、發明說明 (6)

合焊接區37A和37B供應內部電壓IVC、Vpp、Vbl或Vbb給區庫31和32，而鍵合焊接區39A和39B供應內部電壓IVC、Vpp、Vbl或Vbb給區庫33和34。注意在此非內部電壓，線路36A或36B可為用以傳送某預定信號的信號線路。鍵合焊接區37A與39A各個係藉由後述的BGA封裝而電性連接於鍵合焊接區37B與39B。

圖4為根據本發明較佳具體實施例某BGA封裝平面圖。在圖4中，具有如半導體裝置30大小的基板40係接附於如圖3的半導體裝置30處。該半導體裝置30係藉由一非導體性接附材質，例如像是黏著樹脂或黏著膠帶，而接附於基板40的下層表面。

該鍵合焊接區35(茲稱為「第一組」鍵合焊接區)係透過基板40的開孔49與複數個內部連接機構41，而電性連接於跨架在該基板40上層表面處的該等複數個焊接區42。線路綁結或樑框鉛接即為該內部連接機構41的示範性具體實施例。該該等複數個焊接區42可包括外部該等複數個焊接區，像是用以電性或機械性連接於某外部裝置的焊接球(未以圖示)。

其他的鍵合焊接區37A、37B、39A和39B(茲稱為「第二組」鍵合焊接區)係透過基板40的輔助性路線組態43與45而相互電性連接，並不包括外部焊接區42。詳細地說，鍵合焊接區37A、37B係透過輔助性路線組態45而相互電性連接，鍵合焊接區39A和39B則係透過基板40的輔助性路線組態43而相互電性連接。可利用線路綁結、樑框鉛接或其他





## 五、發明說明 (7)

等同架構作為基板40的輔助性路線組態43和45。鍵合焊接區的綁結部分係藉由非導體性材質所包封，以保護該綁結部分不受外部環境影響。該BGA封裝的基板40可為一單層基板(即如圖4)或是多層基板。

因此，在本發明的BGA封裝裡，第一組鍵合焊接區35係連接到該等焊接球，而第二組鍵合焊接區37和37B、或39A和39B則係連接到基板40的輔助性路線組態43與45。

由於內部電壓IVC、Vpp、Vbl或Vbb係同時性地透過第二組鍵合焊接區37A和37B、或39A和39B而輸入，因此和在半導體晶片30內耗電性週邊裝置之位置有關的壓降效應也會減少。

圖5為一結構圖，其中該晶片的內部電壓連接到一輔助性路線組態。在此，為簡化與便於說明起見，僅表述諸內部電壓IVC、Vpp、Vbl或Vbb之Vpp具體實施例。

現參考圖5，茲假定對於各個區庫31、32、33和34僅一個Vpp產生器501、503、505與507，並且各個區庫31、32、33和34的Vpp電位皆屬互異。

為消除各個區庫的Vpp電位差異，一內部路線組態Rint連連接於該晶片內的Vpp產生器501、503、505與507之間。由於該晶片的狹小區域，該內部路線組態Rint的寬度無法增加，並因而會具有很高的電阻值。

由於電阻值很高，故在諸Vpp產生器501、503、505與507所產生之Vpp觸抵到預設的固定電位前，將會耗去很長的時間。然而，在根據本發明之BGA封裝裡，輔助性路線



## 五、發明說明 (8)

組態Raux 43和45係構建於BGA封裝的基板40上，該者可運作以減少電壓差，使得該Vpp可快速地抵達預設之固定電位。

最好，Vpp產生器501、503、505與507之間的內部路線組態Rint的電阻會大於輔助性路線組態Raux 43和45的電阻。

因此，諸內部電壓IVC、Vpp、Vbl或Vbb可經由鍵合焊接區37A、37B、39A和39B以及輔助性路線組態43和45而被保持為固定。

在根據本發明的BGA封裝裡，由於線路36A和36B的寬度既已縮窄，半導體晶片的尺寸亦可為之減小，並且該半導體晶片內的內部電壓電位可被保持為穩定狀態。因此，由於減小該半導體晶片的尺寸，每片晶圓上的淨晶粒(die)數亦隨之增加，從而降低半導體晶片的生產成本。

本發明既已特按其較佳具體實施例所表述與說明，然對於熟諳本項技藝之人士而言，確得由此形式與細節製作出各種變化，而無虞悖離由後附申請專利範圍所定義之本發明精神與範圍。



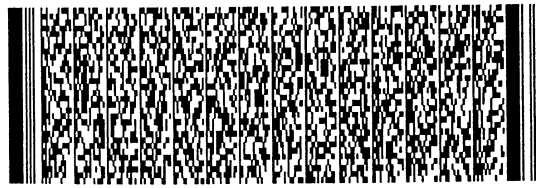
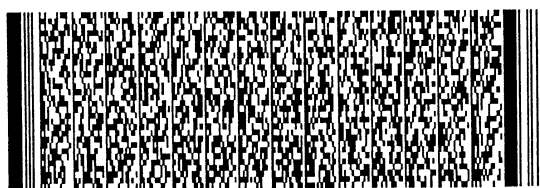
圖式簡單說明

四、中文發明摘要 (發明之名稱：經由印刷電路板基底路線組態以提供固定內部電壓之球柵陣列封裝)

本發明揭示一種經由一印刷電路板(PCB)之輔助性路線組態以提供固定內部電壓之球柵陣列(BGA)封裝。該BGA封裝包括：具有一開孔的基板；複數個附接於該基板上層表面的焊接區；一具有複數個鍵合焊接區並附接於該基板下層表面的半導體晶片；一用以將至少一鍵合焊接區透過該開孔而連接到該等複數個焊接區之至少一個的內部連接機構；以及，一用以填充該開孔的填充材料，以保護該等鍵合焊接區與該內部連接機構。該等複數個焊接區的至少一個可經由該基板內的輔助性路線組態，以電子方式連接至其他該等複數個焊接區中的至少一個。

英文發明摘要 (發明之名稱：BALL GRID ARRAY PACKAGE FOR PROVIDING CONSTANT INTERNAL VOLTAGE VIA A PCB SUBSTRATE ROUTING)

A ball grid array (BGA) package provides a constant internal voltage via an auxiliary routing configuration of a printed circuit board (PCB). The BGA package includes a substrate having an opening, a plurality of pads attached to an upper surface of the substrate, a semiconductor chip which has a plurality of bonding pads and which is attached to a lower surface of the substrate, an internal connection mechanism for connecting at least one of the bonding pads to at least one of



四、中文發明摘要 (發明之名稱：經由印刷電路板基底路線組態以提供固定內部電壓之球柵陣列封裝)

英文發明摘要 (發明之名稱：BALL GRID ARRAY PACKAGE FOR PROVIDING CONSTANT INTERNAL VOLTAGE VIA A PCB SUBSTRATE ROUTING)

the plurality of pads via the opening, and a filling material for filling the opening to protect the bonding pads and the internal connection mechanism. At least one of the plurality of bonding pads is electrically connected to at least one other of the plurality of bonding pads via an auxiliary routing configuration within the substrate.



## 六、申請專利範圍

## 1. 一種球柵陣列(BGA)封裝，包括：

一具有一開孔的基板；

複數個附接於該基板上層表面的焊接區；

一具有附接於該基板下層表面之上層表面的半導體晶片；

位於該半導體晶片上層表面上的複數個鍵合焊接區，以便可經由該基板中的該開口接取；

一內部路線組態，用以將至少一鍵合焊接區經由該基板中的該開口以電子方式連接到該等複數個焊接區的至少一個；

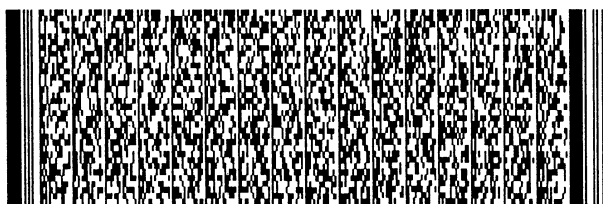
一填充材料，用以填充該開孔以保護該鍵合焊接區與該內部路線組態；以及

一位於基板上的輔助性路線組態，用以將該等複數個焊接區中的至少一個，經由該基板內的輔助性路線組態，以電子方式連接至其他該等複數個焊接區中的至少一個。

2. 如申請專利範圍第1項之球柵陣列封裝，其中藉由該內部路線組態所連接之該等複數個焊接區的至少一個以及其他至少一個均是內部電壓轉換器(IVC)焊接區。

3. 如申請專利範圍第1項之球柵陣列封裝，其中藉由內部路線組態所連接之該等複數個焊接區的至少一個以及其他至少一個均是 $V_{pp}$ 焊接區。

4. 如申請專利範圍第1項之球柵陣列封裝，其中藉由內部路線組態所連接之該等複數個焊接區的至少一個以及其他至少一個均是 $V_{bb}$ 焊接區。



## 六、申請專利範圍

5. 如申請專利範圍第1項之球柵陣列封裝，其中藉由內部路線組態所連接之該等複數個焊接區的至少一個以及其他至少一個均是Vb1焊接區。

6. 如申請專利範圍第1項之球柵陣列封裝，其中該內部路線組態係一樑框鉛接。

7. 如申請專利範圍第1項之球柵陣列封裝，其中該等鍵合焊接區包含：

由複數個第一鍵合焊接區所組成之第一群組，以及

由複數個第二鍵合焊接區所組成之第二群組，

其中該第一群組係連接到該球柵陣列封裝的焊接球，以及其中該第二群組係連接到該輔助性路線組態。

8. 如申請專利範圍第7項之球柵陣列封裝，其中該第二群組的第二鍵合焊接區係屬IVC焊接區。

9. 如申請專利範圍第7項之球柵陣列封裝，其中該第二群組的第二鍵合焊接區係屬Vpp焊接區。

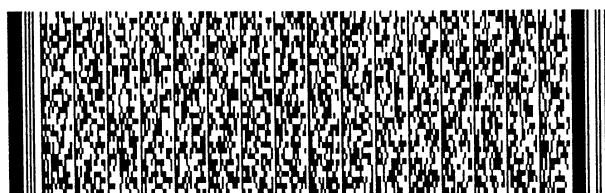
10. 如申請專利範圍第7項之球柵陣列封裝，其中該第二群組的第二鍵合焊接區係屬Vbb焊接區。

11. 如申請專利範圍第7項之球柵陣列封裝，其中該第二群組的第二鍵合焊接區係屬Vb1焊接區。

12. 如申請專利範圍第1項之球柵陣列封裝，其中該內部路線組態的電阻值會高於該輔助性路線組態的電阻值。

13. 一種球柵陣列封裝，包括：

一晶片內的第一路線組態，用以共同地將鍵合焊接區連接至該晶片內的內部電壓，以及



## 六、申請專利範圍

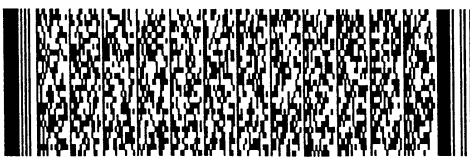
一連接至該等鍵合焊接區之基板上的第二路線組態，其中該第一路線組態的電阻會大於該第二路線組態的電阻。

14. 如申請專利範圍第13項之球柵陣列封裝，其中該內部電壓係一內部電壓轉換器(IVC)電壓。

15. 如申請專利範圍第13項之球柵陣列封裝，其中該內部電壓係一 $V_{pp}$ 電壓。

16. 如申請專利範圍第13項之球柵陣列封裝，其中該內部電壓係一 $V_{b1}$ 電壓。

17. 如申請專利範圍第13項之球柵陣列封裝，其中該內部電壓係一 $V_{bb}$ 電壓。





圖式

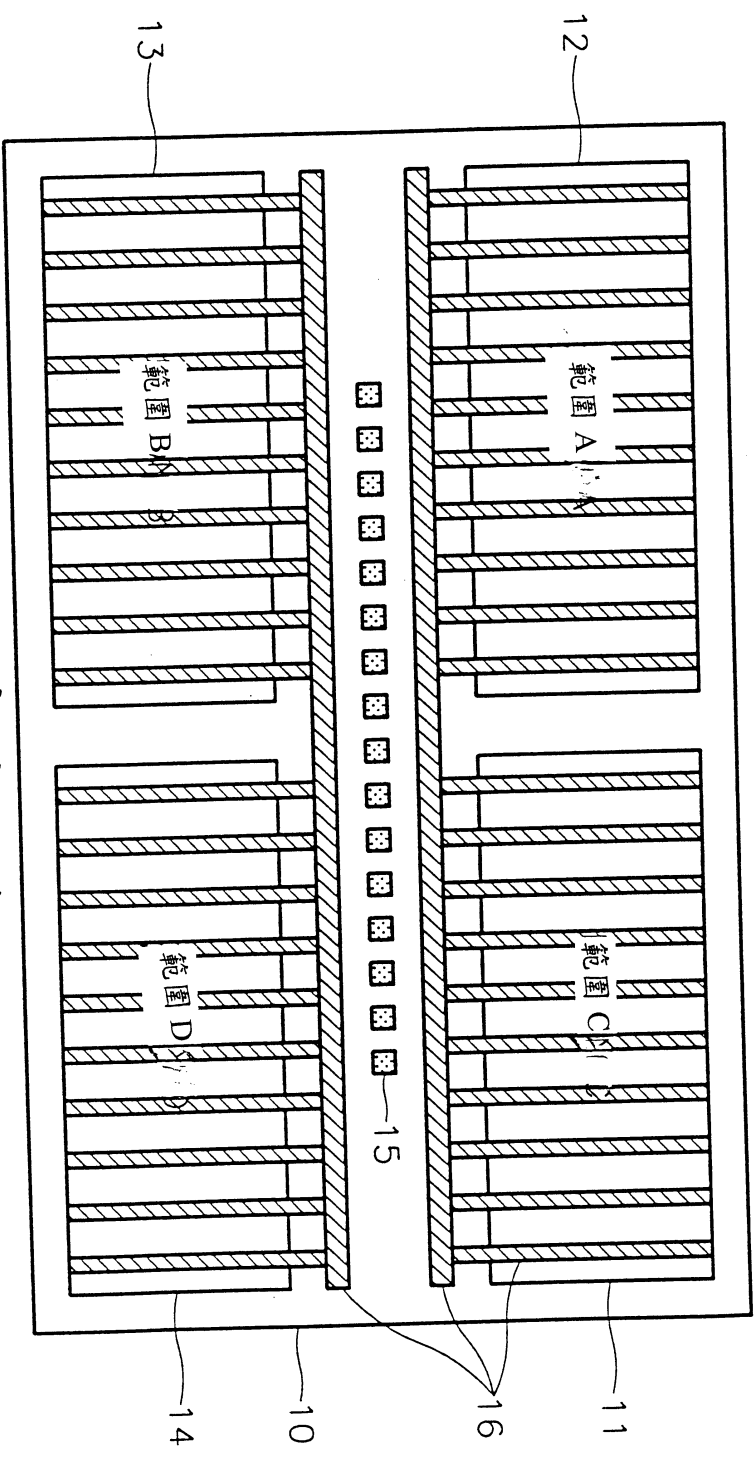


圖 1 (先前技藝)

圖式

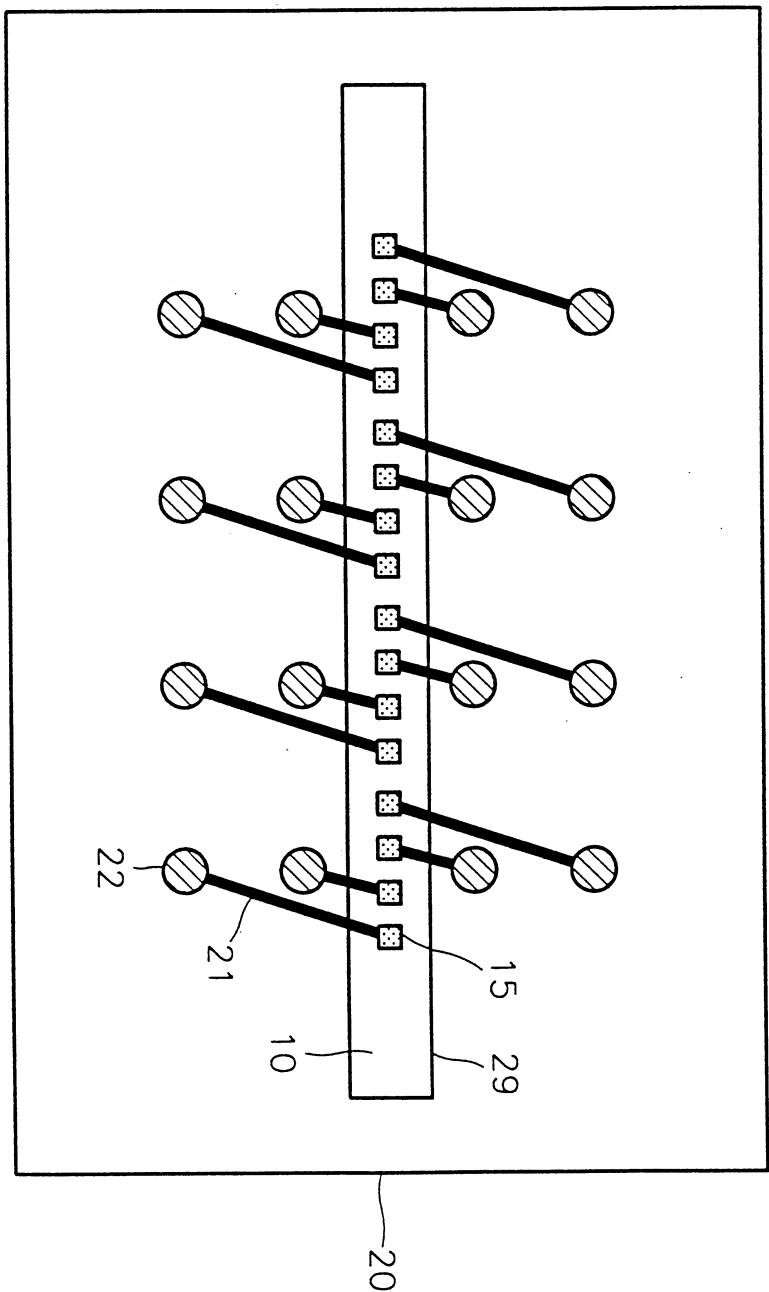


圖 2(先前技藝)

圖式

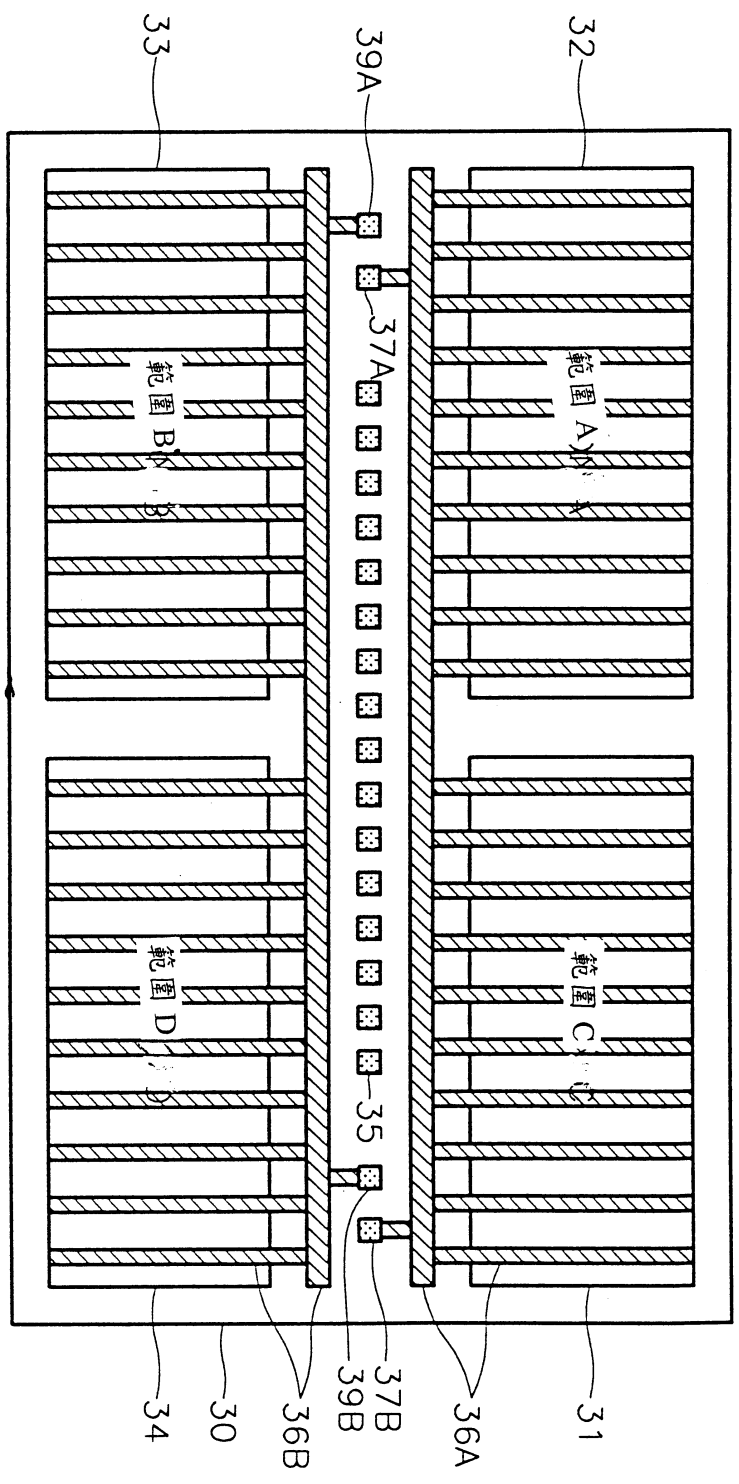


圖 3

圖式

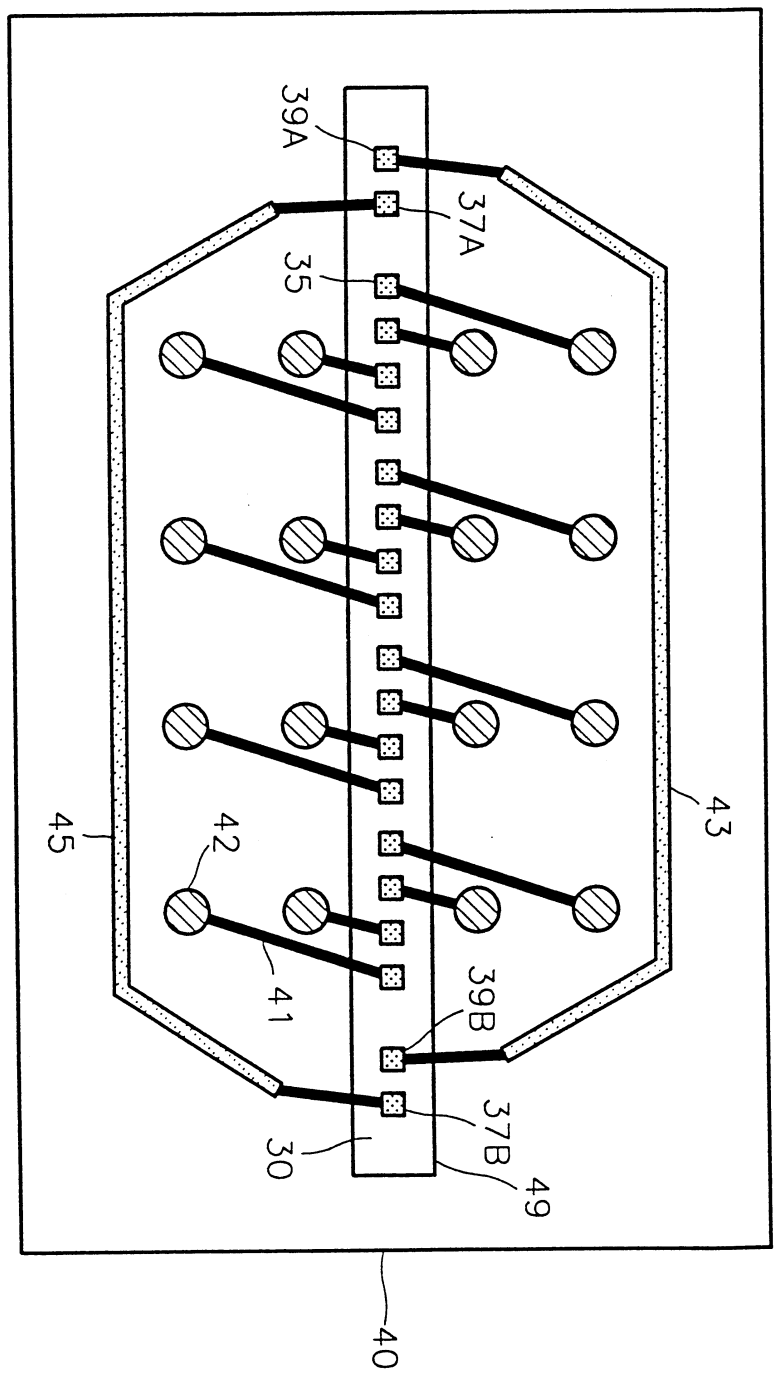


圖 4

圖式

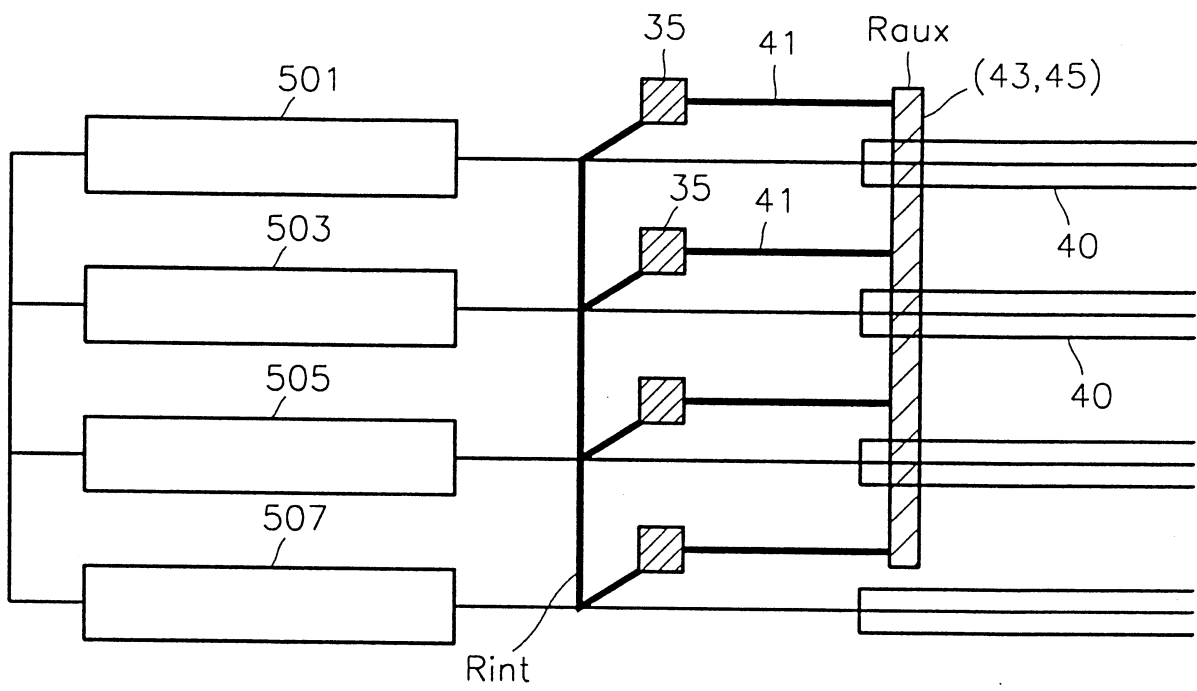


圖 5