

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3984445号
(P3984445)

(45) 発行日 平成19年10月3日(2007.10.3)

(24) 登録日 平成19年7月13日(2007.7.13)

(51) Int. Cl. F I
G 1 1 C 16/02 (2006.01) G 1 1 C 17/00 6 1 2 C
G 1 1 C 16/06 (2006.01) G 1 1 C 17/00 6 1 2 D
 G 1 1 C 17/00 6 3 4 E

請求項の数 1 (全 22 頁)

<p>(21) 出願番号 特願2001-276884 (P2001-276884) (22) 出願日 平成13年9月12日(2001.9.12) (65) 公開番号 特開2003-85985 (P2003-85985A) (43) 公開日 平成15年3月20日(2003.3.20) 審査請求日 平成16年6月18日(2004.6.18)</p>	<p>(73) 特許権者 000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号 (74) 代理人 100062144 弁理士 青山 稔 (74) 代理人 100084146 弁理士 山崎 宏 (72) 発明者 平野 恭章 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内 審査官 滝谷 亮一</p>
---	--

最終頁に続く

(54) 【発明の名称】 不揮発性半導体メモリ装置のオーバーイレースセル検出方法

(57) 【特許請求の範囲】

【請求項1】

制御ゲートとドレインとソースを有すると共に、電氣的に情報の書き込みおよび消去が可能な浮遊ゲート電界効果トランジスタがマトリクス状に配置されたメモリセルアレイと、行方向に配列された上記浮遊ゲート電界効果トランジスタの制御ゲートに接続された複数の行線と、列方向に配列された上記浮遊ゲート電界効果トランジスタのドレインに接続された複数の列線と、ブロックを構成する複数の上記浮遊ゲート電界効果トランジスタのソースに共通に接続された共通配線を有して、書き込み状態の上記浮遊ゲート電界効果トランジスタにおける閾値電圧は消去状態の上記浮遊ゲート電界効果トランジスタにおける閾値電圧よりも高い不揮発性半導体メモリ装置において、

上記行線、列線及び共通配線への印加電圧を制御して、第1に消去前書き込みを行い、第2に消去前書き込みベリファイを行い、第3に消去パルスを印加し、第4に消去パルス印加後ベリファイを行い、第5にオーバーイレースセル検出のための第1ベリファイを行い、第6に上記第1のベリファイによってオーバーイレースセルが検出された場合にオーバーイレースセルを特定するための第2ベリファイを上記第1ベリファイ時の上記行線印加電圧とは異なる行線印加電圧で行い、第7に上記第2ベリファイの結果オーバーイレースセルが特定された場合には当該オーバーイレースセルに対してソフト書き込みを行う消去処理を実行する消去処理手段を備えた

ことを特徴とする不揮発性半導体メモリ装置のオーバーイレースセル検出方法であって、
上記第1ベリファイ時には、ベリファイ対象となる浮遊ゲート電界効果トランジスタで

成る対象セルのドレインに接続された上記列線の電圧値に基づいて、パスあるいはフェイルを判定する一方、

上記第2ベリファイ時には、上記浮遊ゲート電界効果トランジスタと同じ構造を有して上記書き込みおよび消去の対象とはならない浮遊ゲート電界効果トランジスタで成るリファレンスセルのドレインに接続された上記列線の電流値と上記対象セルのドレインに接続された上記列線の電流値とを比較して、パスあるいはフェイルを判定し、

上記第1ベリファイ時における上記対象セルに関する列線の電圧値の検知は第1センスアンプによって行われ、

上記第1ベリファイ時には、上記ブロック内の総ての上記行線に対して上記オーバーイレースセル検出用の所定電圧を印加する一方、上記列線を順次選択して上記第1センスアンプに接続することによって、上記列線単位で上記オーバーイレースセルの検出を行うことを特徴とする不揮発性半導体メモリ装置のオーバーイレースセル検出方法において、

上記第2ベリファイ時における上記リファレンスセルと対象セルとに関する電流値の比較は第2センスアンプで行われ、

上記第2ベリファイ時には、上記行線に、上記第1ベリファイ時に印加された電圧とは異なる電圧を順次印加する一方、上記第1ベリファイ時にオーバーイレースセルが存在すると判定された列線のみを上記第2センスアンプに接続することによって、個々の対象セル単位で上記オーバーイレースセルの特定を行う

ことを特徴とする不揮発性半導体メモリ装置のオーバーイレースセル検出方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、高い閾値と低い閾値とのうちの低い閾値の方をイレース状態として高速イレースを可能にする不揮発性半導体メモリ装置のオーバーイレースセルの検出方法に関する。

【0002】

【従来の技術】

従来、最も一般的に用いられているフラッシュメモリとして、ETOX (EPROM THIN OXIDE: インテル社の商標)がある。このETOX型フラッシュメモリセルの模式的な断面図を図12に示す。図12から分るように、ソース1とドレイン2とソース ドレイン間の基板(ウェル)3との上に、トンネル酸化膜4を介してフローティングゲート5が形成されている。さらに、上記フローティングゲート5の上に、層間絶縁膜6を介してコントロールゲート7が形成されている。

【0003】

上記ETOX型フラッシュメモリの動作原理について述べる。表1に示すように、書き込み時には、上記コントロールゲート7に電圧 V_{pp} (例えば10V)を印加し、ソース1に基準電圧 V_{ss} (例えば0V)を印加し、ドレイン2に6Vの電圧を印加する。これによって、チャンネル層には多くの電流が流れ、ドレイン2側の電界が高い部分でホットエレクトロンが発生し、フローティングゲート5に電子が注入される。その結果、閾値電圧が上昇して当該メモリセルへの書き込みが行われる。図13は、書き込み状態と消去状態とにおける閾値電圧分布を示す。図13に示すように、書き込まれたメモリセルの閾値電圧は5V以上となる。尚、表1中におけるドレイン2のオープン、書き込みを行わないメモリセルのドレイン2に印加する電圧である。

10

20

30

40

表1

	コントロール ゲート7	ドレイン2	ソース1	基板3
書き込み	10V	6V/オープン	0V	0V
消去	-9V	オープン	6V	0V
読み出し	5V	1V	0V	0V

【0004】

10

また、消去時は、上記コントロールゲート7に電圧 V_{nn} (例えば - 9 V)を印加し、ソース1に電圧 V_{pe} (例えば 6 V)を印加し、ドレイン2をオープンにして、ソース1側に電子を引き抜いて閾値電圧を低下させる。その結果、図13に示すように、消去されたメモリセルの閾値電圧は1.5 V ~ 3 Vとなる。

【0005】

また、読み出し時には、上記ドレイン2に電圧1 Vを印加し、コントロールゲート7に電圧5 Vを印加する。そして、当該メモリセルは、閾値電圧が低く消去状態である場合には、電流が流れて状態「1」と判定される。一方、閾値電圧が高く書き込み状態である高い場合には、電流が流れず状態「0」と判定される。

【0006】

20

このような動作原理に従って、書き込み、消去および読み出しが行なわれるのであるが、実際のデバイスにおいては、消去時には、例えば64kBと比較的大きなブロック単位で処理が行われる。さらに、その消去処理が行われるブロック内のメモリセルは、閾値電圧がプログラム状態(高電圧)のものもあればイレース状態(低電圧)のものもあり、図13に示すような2種類の閾値電圧のメモリセルが混在していることになる。

【0007】

その場合に、イレース(消去)状態のメモリセルに更にイレースパルスを印加したり、消去特性のバラツキによって他のメモリセルよりも早く閾値電圧が下降するメモリセルが存在したりすると、そのイレース状態のメモリセルまたは他より早く閾値電圧が下降するメモリセルの閾値電圧は、過消去状態(オーバーイレース)となってしまう。特に問題となるのは、オーバーイレース状態が進んで閾値電圧が負になった場合である。

30

【0008】

図14に示すように、一般に、読出し時や書き込みベリファイ時や消去ベリファイ時には、非選択のメモリセルのコントロールゲートには0 Vを印加している。ところが、非選択メモリセル中に閾値電圧が負のメモリセルが存在すると、そのメモリセルには非選択メモリセルであるにも拘らずセル電流が流れることになる。したがって、選択されているメモリセルM00とオーバーイレースセルM(1023,0)とが同一ビット線BL0に接続されている場合には、選択メモリセルM00に流れるセル電流に非選択のオーバーイレースセルM(1023,0)を流れるセル電流が加算されることになり、ビット線BL0で測定されるセル電流が大きな値を呈する。そのために、プログラムセルの閾値電圧が、見かけ上低い(イレース状態)と判定されてしまうことになる。このように、閾値電圧が負のメモリセルが存在すると、上記読出しや書き込みベリファイや消去ベリファイ時の動作が正確にできなくなり、その結果、正常なデバイス動作ができなくなってしまうのである。

40

【0009】

このようなことを防ぐために、消去時に閾値電圧が負のメモリセルが生じないように複雑な消去アルゴリズムを用いている。その基本的なアルゴリズムを図3に示す。

【0010】

図3において、消去処理動作が開始すると、まず、ステップS1で、全メモリセルに対して消去前プログラムが行われる。その際における印加電圧は、上述した書き込み時と同様である。ステップS2で、消去前プログラムベリファイが行われる。ここでは、詳述は

50

しないが、消去前プログラムベリファイの結果、プログラム状態が不十分なために所定の閾値電圧(図13における5.0V以上)に達していないメモリセルが1個でも存在する場合には、そのメモリセルに対して再度プログラムを行い、当該メモリセルの閾値電圧が所定電圧(5.0V)以上になるまでプログラムとベリファイとが繰り返される。そして、当該メモリセルの閾値電圧が所定電圧(5.0V)以上になると、次のメモリセルのアドレスへ移動する。こうして、全メモリセルの閾値電圧が所定電圧以上になると、消去前プログラムベリファイを終了する。

【0011】

ステップS3で、イレースパルス印加が行われる。このイレースパルス印加の処理はブロック一括で行われる。すなわち、ブロック内の全メモリセルに対して同時に、ドレイン2をオープン状態とし、コントロールゲート7に9Vが印加され、ソース1に6Vが印加されて、イレースが行われる。ステップS4で、上述のようにしてイレースパルス印加が終了すると、ブロック内の全メモリセルが所定の閾値電圧以下(この場合には3V以下)になっているか否かを検出するイレースベリファイが行われる。ここでは、詳述はしないが、閾値電圧が上記所定電圧以下でないメモリセルが発見された時点でイレースベリファイを一旦止め、再度イレースパルス印加を行う。この動作を全メモリセルの閾値電圧が上記所定電圧以下になるまで繰り返されるのである。次に、ステップS5で、後に詳述するようなオーバーイレースセル検出とソフトプログラムとが行われる。そうした後、消去処理動作を終了する。

【0012】

図15は、図3に示す消去処理動作のフローチャートにおけるステップS5において実行されるオーバーイレースセル検出の一般的なアルゴリズムを示す。以下、図15に示すフローチャートと図2に示すフラッシュメモリのアレイ構成に従って、オーバーイレースセル検出とソフトプログラムとの処理動作について説明する。尚、図2において、フラッシュメモリセルアレイは、マトリクス状に配列されたメモリセルMと、各行方向に配列されたメモリセルMのコントロールゲートに接続されたワード線WLと、各列方向に配列されたメモリセルMのドレインに接続されたビット線BLと、ブロックを構成する総てのメモリセルM00~M(1023,511)のソースを接続する共通ソース線SLで構成されている。

【0013】

図15において、ステップS11で、カラムアドレスCA(=ビット線BLの番号)に初期値「0」がセットされる。ステップS12で、ロウアドレスRA(=ワード線WLの番号)に初期値「0」がセットされる。ステップS13で、上記ロウアドレスRAとカラムアドレスCAとの交点に位置するメモリセルM(RA,CA)の閾値電圧Vtが検証される。ステップS14で、上記検証の結果、メモリセルM(RA,CA)の閾値電圧Vtが0.5Vよりも高いか否かが判別される。その結果、0.5Vよりも高い場合にはメモリセルM(RA,CA)はオーバーイレース状態ではないと判断されてステップS15に進む。一方、0.5V以下である場合には、メモリセルM(RA,CA)はオーバーイレース状態であると判断(ベリファイ)されてステップS19に進む。

【0014】

ステップS15で、ロウアドレスRAがインクリメントされる。その結果、上記ステップS12においてワード線WL0が選択されている場合にはワード線WL1が選択される。ステップS16で、ロウアドレスRAは、最終アドレスRA_{MAX}(=1024)以上であるか否かが判別される。その結果、最終アドレスRA_{MAX}以上であればステップS17に進み、最終アドレスRA_{MAX}よりも小さければ上記ステップS13に戻って、次のメモリセルM(RA,CA)の閾値電圧Vt検証に移行する。つまり、上記ステップS15においてワード線WL1が選択された場合には、ワード線WL1とビット線BL0との交点に位置するメモリセルM10の閾値電圧Vtが検証されるのである。

【0015】

ステップS17で、上記カラムアドレスCAは最終アドレスCA_{MAX}(=512)以上であるか否かが判別される。その結果、最終アドレスCA_{MAX}以上であればオーバーイレース

10

20

30

40

50

セル検出処理動作を終了して、図3に示す消去処理動作にリターンする。一方、最終アドレス CA_{MAX} より小さければステップS18に進む。ステップS18で、カラムアドレス CA がインクリメントされる。その結果、上記ステップS11においてビット線 BL_0 が選択されている場合にはビット線 BL_1 が選択される。そうした後、上記ステップS12に戻って、ロウアドレス RA が初期値「0」に戻される。そして、上記ステップS18においてビット線 BL_1 が選択された場合には、ワード線 WL_0 とビット線 BL_1 との交点に位置するメモリセル M_{01} の閾値電圧 V_t 検証に移行するのである。

【0016】

こうして、上記カラムアドレス CA (=ビット線 BL の番号) を1つインクリメントする毎に、ロウアドレス RA (=ワード線 WL の番号) を「0」から「1024」へと順次インクリメントしながら、メモリセル $M(RA, CA)$ の閾値電圧 V_t の確認を行う。そして、上記ブロック内の全メモリセルの閾値電圧 V_t を確認した結果、全メモリセルの閾値電圧 V_t が $0.5V$ よりも高ければ、オーバーイレースセル検出処理動作を終了するのである。一方、上記ステップS14において、メモリセル $M(RA, CA)$ の閾値電圧 V_t が $0.5V$ 以下であり、オーバーイレース状態であると判断されるとステップS19に進む。

【0017】

ステップS19で、ソフトプログラム回数値 N に初期値「0」がセットされる。ステップS20で、レジスタ $Xadd$ に、上記ステップS14においてオーバーイレース状態であると判断された際のロウアドレス RA が格納される。以後、ソフトプログラム処理が開始される。

【0018】

尚、レジスタ $Xadd$ にオーバーイレースメモリセルのロウアドレス RA を格納するのは、次の理由による。すなわち、メモリセル $M(RA, CA)$ がオーバーイレース状態であると判断されるには、消去特性のバラツキによって当該メモリセル $M(RA, CA)$ の閾値電圧の低下が早すぎる場合と、当該メモリセル $M(RA, CA)$ とビット線 BL を共有する他のメモリセル $M(RA+1, CA) \sim M(1023, CA)$ の中に閾値電圧が負のメモリセル M があるため非選択状態でもセル電流が流れ、当該メモリセル $M(RA, CA)$ の閾値電圧が見かけ上低く検出される場合とがある。したがって、ビット線 BL を同一とするメモリセル $M(RA, CA) \sim M(1023, CA)$ に対して閾値電圧が 0.5 以上になるまで順次ソフトプログラムを所定回繰り返す必要がある。その管理のために、レジスタ $Xadd$ に当該メモリセル $M(RA, CA)$ のロウアドレス RA を格納するのである。

【0019】

ステップS21で、上記メモリセル $M(RA, CA)$ に対して、書き込みパルス(プログラムパルス)を印加して閾値電圧 V_t を上昇させるソフトプログラムが実行される。ステップS22で、メモリセル $M(RA, CA)$ の閾値電圧 V_t が検証される。ステップS23で、上記検証の結果メモリセル $M(RA, CA)$ の閾値電圧 V_t が $0.5V$ よりも高いか否かが判別される。その結果、 $0.5V$ よりも高い場合にはメモリセル $M(RA, CA)$ はオーバーイレース状態ではなくなったと判断され、上記ステップS15に戻ってオーバーイレースセルの検出処理が続行される。一方、 $0.5V$ 以下である場合にはステップS24に進む。

【0020】

ステップS24で、上記メモリセル $M(RA, CA)$ に対してソフトプログラムを実行しても閾値電圧 V_t は依然として $0.5V$ 以下であるので、ロウアドレス RA がインクリメントされる。ステップS25で、ロウアドレス RA は、最終アドレス RA_{MAX} 以上であるか否かが判別される。その結果、最終アドレス RA_{MAX} 以上であればステップS26に進み、最終アドレス RA_{MAX} より小さければ上記ステップS21に戻って、次のメモリセル $M(RA, CA)$ に対するソフトプログラム処理に移行する。

【0021】

こうして、上記ロウアドレス RA (=ワード線 WL の番号) を「 RA 」から「1024」へと順次インクリメントしながら、閾値電圧 V_t が $0.5V$ より高くなるまでメモリセル $M(RA, CA)$ に対するソフトプログラム処理を行うのである。例えば、 WL_0 に接続されたメモリセル M_{00} で閾値電圧 V_t が $0.5V$ 以下であると判定され、ソフトプログラムを行っ

10

20

30

40

50

ても閾値電圧 V_t が 0.5 V よりも高く上昇しない場合には、 $WL1$ に対してソフトプログラムを行う。この場合も、閾値電圧 V_t が 0.5 V 以下である場合には、次のロウアドレスへ移動する。この動作を $WL1023$ まで繰り返すのである。

【0022】

ステップ $S26$ で、上記ロウアドレス RA に、レジスタ $Xadd$ の格納内容 $XADD$ がセットされる。ステップ $S27$ で、ソフトプログラム回数値 N がインクリメントされる。ステップ $S28$ で、ソフトプログラム回数値 N が「 10 」以上であるか否かが判別される。その結果、「 10 」以上でなければ上記ステップ $S21$ に戻って、次のソフトプログラム処理に移行する。一方、「 10 」以上であれば、イレースフェイルとして上記消去処理動作を終了する。

10

【0023】

すなわち、例えば、上記ワード線 $WL0$ に接続されたメモリセル $M00$ で閾値電圧 V_t が 0.5 V 以下であると判定された場合には、閾値電圧 V_t が 0.5 V よりも高くなるまで、メモリセル $M00 \sim M(1023,0)$ に対して最大 10 回までソフトプログラム処理を繰り返すのである。

【0024】

次に、上記オーバーイレースセル検出処理動作における上記ステップ $S14$ あるいはステップ $S23$ で実行されるオーバーイレース状態のメモリセル M を検出するためのペリファイの方法について述べる。最も簡単な方法について、図 16 、図 17 および図 18 に従って説明する。

20

【0025】

ここで、図 18 に示すように、実際にデータの書き込み/読み出し等が行われるメモリセルアレイ中のメモリセル(メインセル) M とは別に、これらメインセル M の閾値電圧 V_t を検証するために用いられるメインセル M と同じ特性を有する参照用メモリセル(リファレンスセル) Mr が設けられている。そして、このリファレンスセル) Mr を流れるセル電流 I_r と、メモリセルアレイ中における選択メインセル M を流れるセル電流 I_m とを比較することによって、選択されたメインセル M の閾値電圧 V_t を判定するのである。

【0026】

まず、上記リファレンスセル Mr の閾値電圧 V_t を、予め、例えば 3.0 V に設定しておく。そうすると、このリファレンスセル Mr の $I-V$ 特性は図 17 に示すようになり、リファレンスセル Mr のコントロールゲートに接続されているワード線 WL_{ref} に 4.5 V を印加すると、リファレンスセル Mr にセル電流 I_r が流れることを示している。

30

【0027】

一方、図 16 に示すように、上記閾値電圧 V_t を検証するために選択されたメインセル M のコントロールゲートに接続されているワード線 $WL_{main}(WL0 \sim WL1023$ の内の $1つ$)に 2 V を印加すると、メインセル M にはセル電流として I_m が流れる。

【0028】

ここで、上記メインセル M とリファレンスセル Mr とは同じ $I-V$ 特性を有するメモリセルであるため、メインセル M の閾値電圧 V_t が 0.5 V であれば、閾値電圧 V_t より 1.5 V (=リファレンスセル Mr :ゲート電圧 - 閾値電圧 $V_t = 4.5\text{ V} - 3.0\text{ V}$)だけ高いゲート電圧 2.0 V によって同じセル電流が流れることになる。つまり、 $I_m = I_r$ となる。ところが、メインセル M の閾値電圧 V_t が 0.5 V より高ければ、メインセル M を流れるセル電流 I_m はリファレンスセル Mr に流れるセル電流 I_r と比較して小さくなり($I_m < I_r$)、逆にメインセル M の閾値電圧 V_t が 0.5 V より低ければ、セル電流 I_m はセル電流 I_r と比較して大きくなる($I_m > I_r$)。これを、図 18 に示すようなセンスアンプによって判定することによって、オーバーイレース状態か否かを検証するのである。

40

【0029】

すなわち、各セル電流 I_m, I_r によってメインセル M およびリファレンスセル Mr のドレイン部に発生する電圧によって、センスアンプを構成する差動回路の各々の差動対を流れる電流値が変化する。そこで、その電流値の大小関係を判定することによって、メインセ

50

ルMの閾値電圧 V_t が所定の値(ここでは、 $0.5V$)より高いか否かを判定する。つまり、電流センスによって判定を行うのである。その場合、上記差動対と接地電位間に挿入されているnMOS(金属酸化膜半導体)トランジスタが定電流源となり、そのnMOSトランジスタのゲートに入力される電圧biasによって、上記差動回路の動作点が決められる。

【0030】

上記メモリセルアレイ中のメインセルMを1つずつ選択して上記センスアンプに接続し、リファレンスセルMrのワード線 W_{Lref} に $4.5V$ を印加する一方、選択されたメインセルMのワード線 W_{Lmain} に $2V$ を印加することによって、オーバーイレース状態か否かを順次検証していくのである。

【0031】

【発明が解決しようとする課題】

しかしながら、上記従来のオーバーイレース状態のメモリセルMを検出するベリファイ方法には、以下のような問題がある。すなわち、上述したように、従来のオーバーイレースのベリファイ方法では、メインセルM1個ずつ、実際には1本のワード線にコントロールゲートが接続された8個のメインセルMを並列してベリファイを行っている。その場合における1ブロックのベリファイ時間は、1個のメモリセルMのベリファイに $500ns$ が必要であるとすると、(1メモリセルMのベリファイ時間×ブロック内のメモリセル数)/並列処理数であるから、

$$(500ns \times 512 \times 1024) / 8 = 33ms$$

となる。

【0032】

このベリファイ時間は、図15に示すオーバーイレースセル検出処理動作のアルゴリズムからも分かるように、図15におけるステップS11~ステップS18において行われる通常検出ルーチンに要する時間である。したがって、オーバーイレース状態のメモリセルMが検出されてソフトプログラムが実行されると、上記ベリファイ時間 $33ms$ にソフトプログラム時間とソフトプログラムに伴うベリファイ時間とがさらに加算されることになる。

【0033】

しかしながら、図3に示すように、実際の消去処理動作においては、上記ステップS4において実行されるイレースベリファイで、イレースベリファイとイレースパルス印加とを交互に繰り返しながらブロック内の全メモリセルMの閾値電圧が所定の電圧(図13における $3.0V$)以下になるようにしている。また、各メモリセルMのイレース特性のバラツキも、実際は問題になる程大きくはない。したがって、通常においては、オーバーイレース状態のメモリセルの出現は殆ど無いのである。

【0034】

ところが、使用環境や経時変化等によってオーバーイレース状態のメモリセルが出現すると、デバイスの正常な動作ができなくなる。したがって、デバイスの正常な動作を保障するためには、消去処理動作中におけるオーバーイレースセルの検出と閾値電圧の回復とのアルゴリズムは省略することができないのである。

【0035】

今後、例えば、イレース時間が $10ms$ 以下の高速イレースが要求された場合、上記オーバーイレース検出時間を短縮する必要がある。

【0036】

そこで、この発明の目的は、通常状態ではオーバーイレースセルが殆ど出現しない現状に鑑み、信頼性保障のために欠くことのできないオーバーイレースセルの検出時間を大幅に短縮することが可能な不揮発性半導体メモリ装置のオーバーイレースセル検出方法を提供することにある。

【0037】

【課題を解決するための手段】

上記目的を達成するため、この発明は、

制御ゲートとドレインとソースを有すると共に、電氣的に情報の書き込みおよび消去が

10

20

30

40

50

可能な浮遊ゲート電界効果トランジスタがマトリクス状に配置されたメモリセルアレイと、行方向に配列された上記浮遊ゲート電界効果トランジスタの制御ゲートに接続された複数の行線と、列方向に配列された上記浮遊ゲート電界効果トランジスタのドレインに接続された複数の列線と、ブロックを構成する複数の上記浮遊ゲート電界効果トランジスタのソースに共通に接続された共通配線を有して、書き込み状態の上記浮遊ゲート電界効果トランジスタにおける閾値電圧は消去状態の上記浮遊ゲート電界効果トランジスタにおける閾値電圧よりも高い不揮発性半導体メモリ装置において、

上記行線、列線及び共通配線への印加電圧を制御して、第1に消去前書き込みを行い、第2に消去前書き込みベリファイを行い、第3に消去パルスを印加し、第4に消去パルス印加後ベリファイを行い、第5にオーバーイレースセル検出のための第1ベリファイを行い、第6に上記第1のベリファイによってオーバーイレースセルが検出された場合にオーバーイレースセルを特定するための第2ベリファイを上記第1ベリファイ時の上記行線印加電圧とは異なる行線印加電圧で行い、第7に上記第2ベリファイの結果オーバーイレースセルが特定された場合には当該オーバーイレースセルに対してソフト書き込みを行う消去処理を実行する消去処理手段を備えた

ことを特徴とする不揮発性半導体メモリ装置のオーバーイレースセル検出方法であって、
上記第1ベリファイ時には、ベリファイ対象となる浮遊ゲート電界効果トランジスタで成る対象セルのドレインに接続された上記列線の電圧値に基づいて、パスあるいはフェイルを判定する一方、

上記第2ベリファイ時には、上記浮遊ゲート電界効果トランジスタと同じ構造を有して上記書き込みおよび消去の対象とはならない浮遊ゲート電界効果トランジスタで成るリファレンスセルのドレインに接続された上記列線の電流値と上記対象セルのドレインに接続された上記列線の電流値とを比較して、パスあるいはフェイルを判定し、

上記第1ベリファイ時における上記対象セルに関する列線の電圧値の検知は第1センスアンプによって行われ、

上記第1ベリファイ時には、上記ブロック内の総ての上記行線に対して上記オーバーイレースセル検出用の所定電圧を印加する一方、上記列線を順次選択して上記第1センスアンプに接続することによって、上記列線単位で上記オーバーイレースセルの検出を行うことを特徴とする不揮発性半導体メモリ装置のオーバーイレースセル検出方法において、

上記第2ベリファイ時における上記リファレンスセルと対象セルとに関する電流値の比較は第2センスアンプで行われ、

上記第2ベリファイ時には、上記行線に、上記第1ベリファイ時に印加された電圧とは異なる電圧を順次印加する一方、上記第1ベリファイ時にオーバーイレースセルが存在すると判定された列線のみを上記第2センスアンプに接続することによって、個々の対象セル単位で上記オーバーイレースセルの特定を行う

ことを特徴としている。

【0038】

上記構成によれば、消去処理手段によって消去処理が実行される際に、消去パルス印加後ベリファイが行われた後にオーバーイレースセル検出のための第1ベリファイが行われ、この第1のベリファイによってオーバーイレースセルが検出された場合には、オーバーイレースセルを特定するための第2ベリファイが行われる。その場合、上記第2ベリファイ時には、上記第1ベリファイ時に行線に印加された電圧とは異なる電圧が上記行線に印加される。したがって、上記第1ベリファイ時に行線に印加される電圧を上記オーバーイレースセルとなる浮遊ゲート電界効果トランジスタにおける閾値電圧程度に低めることによって、複数の浮遊ゲート電界効果トランジスタに対する上記第1ベリファイを少ない電流で一括して行うことが可能になる。一方、上記第2ベリファイ時に行線に印加される電圧を上記第1ベリファイ時よりも高めることによって、検出感度を上げて上記オーバーイレースセルの特定スピードを上げることが可能になる。

【0039】

さらに、上記第1ベリファイが電圧センスによって行われる。したがって、感度良く短

10

20

30

40

50

時間にオーバーイレースセル検出を行うことが可能になる。

【0040】

さらに、上記列線単位で上記第1ベリファイが行われる。したがって、個々の浮遊ゲート電界効果トランジスタ単位で上記第1ベリファイを行う場合に比してベリファイ回数が減少されて、上記オーバーイレースセル検出時間が短縮される。

【0041】

さらに、上記第1ベリファイ時にオーバーイレースセルが存在すると判定された列線に関して、個々の対象セル単位で上記オーバーイレースセルの特定が行われる。したがって、上記オーバーイレースセルの特定が正確に行われる。

【0042】

【発明の実施の形態】

以下、この発明を図示の実施の形態により詳細に説明する。

<第1実施の形態>

図1は、本実施の形態における不揮発性半導体メモリ装置の構成を示すブロック図である。この不揮発性半導体メモリ装置は、レジスタ11は、後に詳述するが、消去動作時にソフトプログラムに移行する際におけるロウアドレスを格納するものである。尚、13はメモリセルアレイである。14は、制御回路12からの制御信号を受けて各ビット線に電圧を印加する駆動回路を含むYデコーダと各ビット線に接続されたセンスアンプとが搭載されたソースドライバである。15は、制御回路12からの制御信号を受けて各ワード線に印加する駆動回路を含むXデコーダが搭載されたゲートドライバである。16は、制御回路12からの上記制御信号を、書き込みや消去や読み出し用の電圧にレベル変換して出力するレベルシフタである。17は、共通ソース線を選択するソーススイッチである。また、18は、制御回路12による書き込み処理や消去処理や読み出し処理用のプログラム等が格納されているROM(リード・オンリ・メモリ)である。

【0043】

図2は、図1に示す不揮発性半導体メモリ装置におけるメモリセルアレイ13の構成を示す。尚、このメモリセルアレイ13の構成は、上記従来のメモリセルアレイの構成と同一のフラッシュメモリである。また、図3は、ROM18に格納されている消去処理プログラムによる消去処理動作のアルゴリズムを示すフローチャートである。この消去処理動作は、消去前プログラム、消去前プログラムベリファイ、イレースパルス印加、イレースベリファイ、オーバーイレースセル検出の順に行われる。このうち、消去前プログラムベリファイ、イレースパルス印加、イレースベリファイについては、上述した従来の消去処理動作の場合と同一である。異なる点は、オーバーイレースセル検出処理に関するアルゴリズムである。

【0044】

すなわち、図3に示す消去処理動作におけるステップS1~ステップS5と、上記制御回路12、レベルシフタ16、ソースドライバ14、ゲートドライバ15およびソーススイッチ17とによって、請求項1における消去処理手段を構成するのである。

【0045】

上述したように、図3に示す消去処理動作におけるステップS4のイレースベリファイでは、イレースベリファイとイレースパルス印加とを交互に繰り返し、消去すべきブロック内の全メモリセルの閾値電圧 V_t が所定の電圧(図13における3.0V)以下になるようにする。この時点におけるブロック内の全メモリセルの閾値電圧 V_t の分布状態を図4に示す。横軸は、メモリセルの閾値電圧 V_t (V)であり、縦軸はメモリセルの出現確率(%)である。

【0046】

図4より、全メモリセルの99.99%の閾値電圧 V_t は1.0V以上であり、閾値電圧 V_t が0.5V以下であるメモリセルの出現確率は精々0.005%程度であることが分かる。ここで、図6は、上記ブロック内のメインメモリMのI-V特性を示す。図6から分かるように、メインメモリMのワード線 W_{Lmain} に0.5Vを印加すると、閾値電圧 V_t が

10

20

30

40

50

1.0 VであるメインメモリMに流れるセル電流 I_m は略0となり、閾値電圧 V_t が0.5 VであるメインメモリMのセル電流 I_m は1 μ Aとなる。このような状況を踏まえて、次のステップS5において、オーバーイレースセル検出(閾値電圧 V_t が0.5 V以下)処理動作の実行に移行するのである。

【0047】

図5は、図3に示す消去処理動作のフローチャートにおけるステップS5において実行されるオーバーイレースセル検出処理動作のフローチャートを示す。以下、図5に示すフローチャートと図2に示すメモリアレイの構成に従って、本実施の形態におけるオーバーイレースセル検出処理動作について説明する。

【0048】

まず、ステップS31で、カラムアドレスCA(=ビット線BLの番号)に初期値「0」がセットされる。ステップS32で、上記カラムアドレスCAに位置するメモリセルM(0, CA)~M(1023, CA)の閾値電圧 V_t が一括して検証される。ステップS33において、上記検証の結果、メモリセルM(0, CA)~M(1023, CA)の閾値電圧 V_t が0.5 Vよりも高いか否かが判別される。その結果、0.5 Vよりも高い場合にはメモリセルM(0, CA)~M(1023, CA)はオーバーイレース状態ではないと判断されてステップS34に進む。一方、0.5 V以下である場合には、メモリセルM(0, CA)~M(1023, CA)中にオーバーイレースセルがあると判断されてステップS36に進む。

【0049】

こうして、本実施の形態においては、オーバーイレースベリファイをビット線BL毎に行う。例えば、メモリセルM00~M(1023,0)の1024個のメモリセルに流れるセル電流を、ビット線BL0で検出するのである。この場合、データの書き込みおよび読出し用とは別に設置されているリファレンスセルMrの閾値電圧 V_t は、図7のI-V特性に示すように予め3.0 Vに設定してある。そして、ゲート電極に閾値電圧 V_t を印加した際のセル電流 I_r は1 μ A程度である。

【0050】

そして、上記閾値電圧 V_t の検証時には、図9に示すように、対象となるメインセルM(0, CA)~M(1023, CA)のコントロールゲートに接続されている全ワード線WL(図2におけるWL0~WL1023)に0.5 Vを印加する。一方、リファレンスセルMrのコントロールゲートに接続されているワード線WLrefには3.0 Vを印加する。そして、センスアンプ(図18に示すセンスアンプと同じであるが印加電圧は異なる)によって電流センスを行うのである。

【0051】

その結果、上記リファレンスセルMrに流れるセル電流 I_r =1 μ Aに対して、1ビット単位のメインセルM(1024個のメインセルM)に流れるセル電流(1024個のメインセルMの電流) I_m が1 μ Aより大きければ、この1ビット単位のメインセルMの中にオーバーイレースセルが混在していると判別する。一方、上記セル電流(1024個のメインセルMの電流) I_m が1 μ A以下であれば、この1ビット単位のメインセルMの中にオーバーイレースセルは含まれていないと判別するのである。

【0052】

このように、上記メインセルM(0, CA)~M(1023, CA)に対応するワード線WL0~WL1023への印加電圧を、従来の2 V(図18参照)から0.5 Vに下げて、小さいセル電流 I_m (1 μ A程度)に設定した理由は、図4に示すように、1.0 V以下の閾値電圧 V_t を有するメモリセルMの出現確率を考慮したものである。

【0053】

すなわち、上記閾値電圧 V_t が0.5 V以下のメインセル(ワード線WLmainに0.5 Vを印加した際のセル電流 I_m が1 μ Aより大)Mの出現確率が0.005%以下であるということは、1本のビット線BLに接続された1024個のメインセルMに1個存在するか否かの確率である。また、閾値電圧 V_t が1.0 Vであるメインセル(ワード線WLmainに0.5 Vを印加した際のセル電流 I_m が殆ど0)Mの出現確率が約0.01%であるということ

10

20

30

40

50

は、ビット線BL単位で1024個のメインセルMで0.1個(=1024個×0.01/100)となり、やはり1個存在するか否かの確率である。

【0054】

このように、上記ビット線BL単位(つまり1024個)で1個存在するか否かの確率となる閾値電圧Vtを、オーバーレースセル判定用の電圧とすることによって、上述のようにして1ビット単位のメインセルMの中にオーバーレースセルが混在していると判別されたとしても、1024個のメインセルM中に高々1個とすることができるのである。

【0055】

ステップS34で、上記カラムアドレスCAは最終アドレスCA_{MAX}(=512)以上であるか否かが判別される。その結果、最終アドレスCA_{MAX}以上であればオーバーレースセル検出処理動作を終了して、図3に示す消去処理動作にリターンする。一方、最終アドレスCA_{MAX}より小さければステップS35に進む。ステップS35で、カラムアドレスCAがインクリメントされる。そうした後、上記ステップS32に戻って、次のビット線BLに接続された全メインセルMの閾値電圧Vt検証に移行するのである。

【0056】

その場合、上記ブロック内の全ワード線WL0~WL1023には電圧0.5Vがそのまま印加されており、リファレンスセルMrのワード線W_{Lref}にもそのまま3.0Vが印加されている。そして、例えば、ビット線BL1に流れるセル電流(1024個のメインセルMの電流)I_mとリファレンスセルMrに流れるセル電流I_r(=1μA)とを上記センスアンプによって比較するのである。以下、同様に、ビット線単位のメインセルM中にオーバーレースセルは含まれていないと判定される毎に、カラムアドレスCAをインクリメントしながらビット線BL2, BL3, ..., BL511と順次判定を続けていく。そして、オーバーレースセルが存在しなければ、オーバーレースベリファイを終わり、消去処理動作を終了するのである。

【0057】

すなわち、図5に示すオーバーレースセル検出処理動作におけるステップS31~ステップS35によって、請求項2における第1ベリファイ手段を構成するのである。

【0058】

尚、このような小さい電流(1μA)でオーバーレースベリファイを行うことによって、以下のような利点がある。すなわち、例えば、セル電流(1024個のメインセルMの電流)I_mが1μA近傍以下であるためオーバーレースセルは無いと判定されたが、実際には閾値電圧Vtが0Vに近い状態のメモリセルMが1つあったとする。その場合でも、閾値電圧Vtが0VであるメモリセルMのI-V特性は、図8(図6に示す閾値電圧Vtが0.5Vの場合I-V特性曲線を0.5Vだけ低電圧側に移動させ図)に示すようになる。したがって、通常動作時の書き込みベリファイや消去ベリファイや読出し時において、当該メモリセルMが非選択(ワード線には0Vが印加)である場合におけるリーク電流は、1μA以下に押さえられていることになる。すなわち、非常にリーク電流の少ないデバイスを選別できることにもなるのである。

【0059】

本実施の形態におけるオーバーレースベリファイ方式では、各ビット線BL毎に、1μA程度の低電流を検出して電流値の大小関係を判定しているために、電流を安定させたり、センス感度を上げたりする必要があり、1回のオーバーレースベリファイ時間は、従来の各メモリセルM毎に行う場合(500ns)に比較して1μsと長くなる。しかしながら、本実施の形態はビット線BL単位で一括してベリファイを行うために、全体のオーバーレースベリファイ時間は、

$$1 \mu s \times 512 = 512 \mu s$$

のごとく大幅に短縮されるのである。

【0060】

また、従来の場合と同様に、1ブロックが64kBであって、8個(8ビット)並列にオーバーレースベリファイを行うとし、1回のオーバーレースベリファイ時間は1μs

10

20

30

40

50

とすると、ベリファイ時間は

$$1 \mu\text{s} \times 512 \div 8 = 64 \mu\text{s}$$

となる。したがって、従来のメモリセルM単位でオーバーイレースベリファイを行う場合のベリファイ時間3.3msに比較して、オーバーイレースセルが無い場合、つまり、オーバーイレースセル検出における通常検出ルーチン(ステップS31~ステップS35)の時間が大幅に短縮されることになる。

【0061】

尚、このように、1ブロックが64kBであって、8個(8ビット)並列にオーバーイレースベリファイを行う場合でも、上記オーバーイレースセルの出現個数は $0.005\% \times 1024 \times 8 = 0.4$ 程度であり、やはり1個あるか無いかの確率である。一方、閾値電圧Vtが1.0Vであるメモリセル(ワード線WLに0.5Vを印加した場合のセル電流が殆ど0)の出現する個数は、 $0.01\% \times 1024 \times 8 = 0.8$ であり、やはり1個存在するか否かの確率となる。

10

【0062】

上述のようにして、上記ステップS33において閾値電圧Vtが0.5V以下であると判断された場合は、メモリセルM(0,CA)~M(1023,CA)中にオーバーイレースセルがあると判断されてステップS36に進む。ステップS36で、ロウアドレスRAに初期値「0」がセットされる。ステップS37で、メモリセルM(RA,CA)の閾値電圧Vtが検証される。ステップS38で、上記検証の結果、メモリセルM(RA,CA)の閾値電圧Vtが0.5Vよりも高いか否かが判別される。その結果、0.5Vよりも高い場合にはメモリセルM(RA,CA)はオーバーイレース状態ではないと判断されてステップS39に進む。一方、0.5V以下である場合には、メモリセルM(RA,CA)はオーバーイレース状態であると判断されてステップS41に進む。ステップS39で、ロウアドレスRAがインクリメントされる。ステップS40で、ロウアドレスRAは、最終アドレスRA_{MAX}(=1024)以上であるか否かが判別される。その結果、最終アドレスRA_{MAX}以上であれば上記ステップS34に戻って、次のカラムアドレス(次のビット線BL)に対するオーバーイレースセルの検出処理が続行される。一方、最終アドレスRA_{MAX}より小さければ上記ステップS37に戻って、次のメモリセルM(RA,CA)の閾値電圧Vt検証に移行する。

20

【0063】

ステップS41で、ソフトプログラム回数値Nに初期値「0」がセットされる。ステップS42で、レジスタ(XADD)11に、上記ステップS38においてオーバーイレース状態であると判断された際のロウアドレスRAが格納される。ステップS43で、メモリセルM(RA,CA)に対して上記ソフトプログラムが実行される。ここで、ソフトプログラムの電圧は、ゲート電圧Vgが5Vであり、ドレイン電圧が6Vである。ステップS44で、メモリセルM(RA,CA)の閾値電圧Vtが検証される。ステップS45で、上記検証の結果メモリセルM(RA,CA)の閾値電圧Vtが0.5Vよりも高いか否かが判別される。その結果、0.5Vよりも高い場合には、メモリセルM(RA,CA)は上記ソフトプログラムによって閾値電圧Vtが高くなり、オーバーイレース状態ではなくなったと判断されて、上記ステップS34に戻ってオーバーイレースセルの検出処理が続行される。一方、0.5V以下である場合にはステップS46に進む。

30

40

【0064】

ステップS46で、上記ロウアドレスRAがインクリメントされる。ステップS47で、ロウアドレスRAは最終アドレスRA_{MAX}(=1024)以上であるか否かが判別される。その結果、最終アドレスRA_{MAX}以上であればステップS48に進み、最終アドレスRA_{MAX}より小さければ上記ステップS43に戻って次のメモリセルM(RA,CA)に対するソフトプログラム処理に移行する。こうして、ロウアドレスRA(=ワード線WLの番号)を順次インクリメントしながら、閾値電圧Vtが0.5Vより高くなるまでメモリセルM(RA,CA)に対するソフトプログラム処理を行うのである。

【0065】

ステップS48で、上記ロウアドレスRAに、レジスタ11の格納内容XADDがセットされ

50

る。ステップS 49で、ソフトプログラム回数値Nがインクリメントされる。ステップS 50で、ソフトプログラム回数値Nが「10」以上であるか否かが判別される。その結果、「10」以上でなければ上記ステップS 43に戻って、次のソフトプログラム処理に移行する。一方、「10」以上であれば、イレースフェイルであるとして上記消去処理動作を終了する。

【0066】

ここで、上記イレースフェイルの場合には、レジスタにイレースフェイルである記憶を留めておき、最終的に、このビット単位の小ブロックを他のビット単位の小ブロックに置換して使用するか、デバイスそのものを使用しないか等の判定を別途行う。

【0067】

尚、その場合における上記ステップS 36～ステップS 50において実行されるソフトプログラム処理中におけるペリファイ(ステップS 37, S 38, ステップS 44, S 45)においては、閾値電圧V_tを3.0Vに設定したリファレンスセルM_rのワード線W_Lrefに4.5Vを印加し、選択されたメインセルMのワード線W_Lmainには2.0Vを印加し、非選択のメモリセルMのワード線W_Lには0Vを印加して行う。つまり、ソフトプログラム処理中におけるペリファイにおいては、図18に示す従来のオーバーイレースセル検出処理中におけるペリファイと同じ電圧で行うのである。その場合におけるメインセルMとリファレンスセルM_rとのI-V特性は、図16および図17となる。

【0068】

このように、ソフトプログラム処理中におけるペリファイでの検出電流値を大きくするのは、以下の理由による。すなわち、ステップS 31～ステップS 35において実行されるオーバーイレースセルの検出処理中におけるペリファイ(ステップS 32, S 33)においては、小さい電流(1μA)で検出しているため、ソフトプログラム処理中においては電流値を増やしてセンス感度を上げるのである。また、同一ビット線B_Lにドレインが接続された個々のメインセルMの閾値電圧V_tは0.5Vより高くセル電流I_mが1μAよりも低くても、各メインセルMを流れるセル電流が加算されて1μA以上となり、該当するビット線B_Lにドレインが接続されたメインセルM全体としては閾値電圧V_tが0.5V以下であると判定される場合もあるので、その場合を分離するためである。さらに、電流値を増加させることには、このソフトプログラム処理中におけるペリファイルーチンでのセンス時間を短縮させる意味もある。

【0069】

尚、上記オーバーイレースセル検出処理中において、1μAを基準にしたビット線B_Lを流れる電流の大小によってオーバーイレース状態を判定する本実施の形態の場合には、図8に示すように閾値電圧V_tが0V以下のメモリセルが1個でも存在すれば1μA以上のセル電流I_mが流れるために、オーバーイレースセルの判定は可能である。しかしながら、閾値電圧V_tが0V～0.5Vのメモリセルが1個存在してもセル電流I_mが1μAより小さければ判定漏れとなる。ところが、その場合でも、上述したように、リーク電流は最大1μAに留められるのである。

【0070】

このように、上記ビット線B_L単位でオーバーイレースのペリファイを行う場合におけるペリファイ時間は、例えば、メモリセルアレイ内にオーバーイレースセルが1ビット存在する場合には、

$$512(\text{ビット線数})/8(\text{並列処理}) \times 1\mu\text{s}(\text{センス時間}) \\ + 0.5\mu\text{s}(\text{センス時間}) \times 1024(\text{ワード線数}) = 576\mu\text{s}$$

となる。また、メモリセルアレイ内にオーバーイレースセルが2ビット存在する場合でも、

$$512(\text{ビット線数})/8(\text{並列処理}) \times 1\mu\text{s}(\text{センス時間}) \\ + 0.5\mu\text{s}(\text{センス時間}) \times 1024(\text{ワード線数}) \\ \times 2(\text{オーバーイレースセルビット数}) = 1\text{ms}$$

となる。オーバーイレースセルが2ビット存在する場合においても、上述した従来のオー

10

20

30

40

50

オーバーレースのベリファイ方法に比較して、ベリファイ時間は短縮されている。また、実際のフラッシュメモリのアレイにおいては、オーバーレースセルは殆ど発生しておらず、本実施の形態におけるオーバーレースのベリファイ方法を用いれば、オーバーレースベリファイ(通常検出)の場合において64 μ sのオーバーレースのベリファイ時間を達成することが可能になるのである。尚、オーバーレースのベリファイ時におけるセンス時間が1 μ sであるのに対して、オーバーレース状態の特定およびこの特定されたメモリセルの回復時におけるセンス時間が0.5 μ sと短いのは、センス時の電流値が増大されて高速になっているためである。

【0071】

以上のごとく、本実施の形態においては、消去動作時のオーバーレースベリファイ時において、ビット線BL単位で一括ベリファイを行う。その際に、イレースパルス印加およびイレースベリファイ実施後におけるメモリセルアレイ内の閾値電圧 V_t の分布状態を鑑み、1回のオーバーレースベリファイにおいて所定閾値電圧 V_t (例えば0.5V)以下(オーバーレース状態)のメモリセルMが1個あるか否かにでき、且つ、通常動作において非選択メモリセルMのリーク電流が所定電流値(例えば1 μ A)以下にできるような検出レベルになるように、リファレンスセル M_r のセル電流およびメインセルMのワード線WL印加電圧を設定している。

【0072】

したがって、本実施の形態によれば、オーバーレースベリファイ時におけるベリファイ回数を大幅に減らしてオーバーレースベリファイ時間を短縮し、高速イレースを実現することができる。また、セル電流を小さくして、低消費電力化が可能になる。尚、上記オーバーレースベリファイによって、オーバーレース状態のメモリセルが存在すると判定された場合には、従来と同様に、各ワード線WL毎に再検出を行ってオーバーレース状態の特定とこの特定されたメモリセルの回復とを行う。その際には、判定電流を大きくしてセンス感度を上げ、安定測定に至るスピードを早めるようにしている。

【0073】

<第2実施の形態>

本実施の形態は、上記第1実施の形態の場合と同じ不揮発性半導体メモリ装置におけるメモリセルアレイ構成において、オーバーレースベリファイを電圧センスによって行うものに関する。

【0074】

上記第1実施の形態のように、図9に示すごとく電流検出を電流センスによって行う場合には、ビット線BL上における1 μ A程度の電流を検出するには以下のような問題がある。

(1) 図9に示すセンスアンプによってリファレンスセル M_r 側とメインセルM側との電圧差が安定するまでに時間が掛る。

(2) 電流が少ないためにセンス感度が低い。

【0075】

本実施の形態においては、以上のような問題を解決して1 μ A程度(小さな電流)のビット線BL上の電流を検出するために、オーバーレースベリファイ時における電流検出を電圧センスによって行う方法について説明する。

【0076】

本実施の形態における消去処理動作のアルゴリズムは、上記第1実施の形態における消去処理動作と同じであり、図3に示すフローチャートに従って実行される。また、本実施の形態におけるオーバーレースセル検出処理動作のアルゴリズムは、上記第1実施の形態におけるオーバーレースセル検出処理動作と同じであり、図5に示すフローチャートに従って実行される。

【0077】

さらに、オーバーレースセル検出処理動作におけるオーバーレースベリファイ時において、ビット線BL単位で一括ベリファイを行い、1回のオーバーレースベリファイ

10

20

30

40

50

において所定閾値電圧 V_t (例えば $0.5V$)以下(オーバーイレース状態)のメモリセル M が1個あるか否かにでき、且つ、通常動作時において非選択メモリセル M のリーク電流が所定電流値(例えば $1\mu A$)以下にできるような検出レベルになるように、メインセル M のワード線 WL への印加電圧を設定する点においても、上記第1実施の形態におけるオーバーイレースベリファイ時と同様である。

【0078】

また、上記オーバーイレースベリファイ時においてオーバーイレースセルが存在すると判定された場合に、各ワード線 WL 毎に再検出を行ってオーバーイレースセルの特定とこの特定されたオーバーイレースセルの回復とを行う。その際には、電流センスの判定電流を大きくしてセンス感度を上げ、安定測定に至るスピードを早めるようにしている点において、上記第1実施の形態におけるオーバーイレースベリファイ時と同様である。つまり、図18に示すように、リファレンスセル M_r の閾値電圧 V_t を $3.0V$ に設定すると共に、ワード線 WL_{ref} へは電圧 $4.5V$ を印加する。一方、選択メインセル M のワード線 WL_{main} には電圧 $2.0V$ を印加する一方、非選択メモリセル M のワード線 WL には電圧 $0V$ を印加するのである。

10

【0079】

但し、本実施の形態は、上記オーバーイレースベリファイ(つまり、図5に示すオーバーイレースセル検出処理動作の通常検出ルーチン(ステップ S_{31} ~ステップ S_{35}))時においての電流検出を、図10に示すように、電圧センスによって行う点において、上記第1実施の形態とは異なるのである。

20

【0080】

図10に示す電圧センス用のセンスアンプにおいては、設定されたセンス電流値(但し、リファレンスセル M_r は無い)は $1\mu A$ であり、ブロック内の総てのメインセル M のワード線 WL_{main} には、一括して $0.5V$ を印加する。その場合における電圧センスの動作タイミングは図11に示す通りである。

【0081】

上記センスアンプは、図10に示すように、電源電圧と接地電圧とを電源にする2つのインバータのうち一方の入力を他方の出力に接続すると共に、上記一方の出力を上記他方の入力に接続して構成されたラッチ回路部21と、このラッチ回路部21の1つの出力線(ノードA)と電源とに接続されたnMOSトランジスタ22と、ノードAとメインセル M (ビット線 BL 単位の1024個のメモリセル M)のビット線 BL とに接続されたnMOSトランジスタ23で構成されている。そして、nMOSトランジスタ22のゲートには制御信号 pre が入力され、nMOSトランジスタ23のゲートには制御信号 set が入力される。

30

【0082】

上記構成のセンスアンプは、以下のように動作してメインセル M を流れる電流 I_m を検出する。すなわち、図11に示すように、先ず、最初に制御信号 set のレベルが「H」に設定されて、nMOSトランジスタ23がオンされる。これによって、センス系であるラッチ回路部21と判定の対象となるメインセル M のビット線 BL とが接続される。続いて、制御信号 pre のレベルが「H」に設定されて、nMOSトランジスタ22がオンされる。そして、nMOSトランジスタ22を介して電源から電流が供給されて、ノードAの電圧が立ち上げられる(プリチャージ)。一方、ノードAが立ち上がることによって、ラッチ回路部21はノードAのレベルが「H」に、ノードBのレベルが「L」にラッチされる。

40

【0083】

こうして、所定のプリチャージ電圧に達すると、nMOSトランジスタ22をオフさせる一方、判定の対象となるメインセル M (判定の対象となるビット線 BL にドレインが接続された1024個のメモリセル M)の全ワード線 WL_0 ~ WL_{1023} に、一括して $0.5V$ を印加する。そして、当該ビット線 BL に接続されているメインセル M の中に閾値電圧 V_t が $0.5V$ 以下のメインセル M が含まれていれば、セル電流 I_m が流れることで、ノードAの電圧は低下する。そして、ノードAの電圧が所定の電圧(ラッチ回路部21の反転電

50

圧)を下回ると、ラッチ回路部 2 1 のラッチ電圧は反転し、ノード A の電圧レベルは「L (接地電位)」に、ノード B の電圧レベルは「H (電源電圧)」になってラッチされる。

【 0 0 8 4 】

その場合におけるラッチ回路部 2 1 は、ノード A の電圧が上記反転電圧を下回れば急激に反転するためにスピードが速く、またセンス感度も高いのである。そして、ノード A の電圧が反転すれば、オーバーイレース状態のメモリセルが含まれている(もしくは、総てのメモリセルのセル電流が加算された結果かも知れないが)と判定され、上記ワード線 W L 毎にオーバーイレース状態のメモリセルの特定とこの特定されたメモリセルへのソフトプログラムとが行われる。その場合のベリファイ時は、上述したように、図 1 8 に示すセンスアンプのリファレンスセル M r を用い、リファレンスセル M r のワード線 W L ref には電圧 4 . 5 V を印加し、メインセル M のワード線 W L main に電圧 2 . 0 V を印加するのである。判定は従来例に示すものと同様である。

10

【 0 0 8 5 】

尚、上述の説明においては、上記オーバーイレースセル検出処理動作時(図 5 に示すオーバーイレースセル検出処理動作と同一)におけるオーバーイレース状態のメモリセルの特定とこの特定されたメモリセルへのソフトプログラムとにおいては、図 1 8 に示すセンスアンプによって電流センスを行うようにしている。

【 0 0 8 6 】

例えば、上記オーバーイレースセル検出処理からオーバーイレース状態のメモリセルの特定処理とこの特定されたメモリセルへのソフトプログラム処理とを除いた通常検出ルーチン時における通常センス時間が 0 . 5 μ s であるのに対して、センス時間が 1 μ s となった場合の処理時間を考えてみると(メモリセルアレイ内にオーバーイレースセルが無い場合)、

20

$$512(\text{ビット線数})/8(\text{並列処理}) \times 1 \mu\text{s}(\text{センス時間}) = 64 \mu\text{s}$$

となり、従来の通常検出ルーチン時における処理時間 3 3 ms と比較して、大幅に処理時間が低減されることがわかる。

【 0 0 8 7 】

本実施の形態においては、ラッチ回路部 2 1 と、このラッチ回路部 2 1 のノード A (1 つの出力線)をプリチャージする n M O S トランジスタ 2 2 と、ノード A とメインセル M のビット線 B L とを接続する n M O S トランジスタ 2 3 とで構成されたセンスアンプを有している。そして、上記オーバーイレースセル検出処理の通常検出ルーチンにおいては、ノード A とメインセル M のビット線 B L とを接続した後、制御信号 pre のレベルを「H」にして所定時間だけノード A をプリチャージする。そうした後、総てのメインセル M のワード線 W L 0 ~ W L 1023 に一括して 0 . 5 V を印加する。

30

【 0 0 8 8 】

そして、上記ラッチ回路部 2 1 のラッチ電圧が反転すれば、メインセル M の中に閾値電圧 V t が 0 . 5 V 以下のメインセル M が含まれていると判定するようにしている。したがって、1 μ A 以下の各ビット線 B L のリーク電流を検出することが可能である。また、電圧センスを行うので、1 μ A 程度の電流も正確にチェックすることが可能であり、且つ、電流センスを用いる場合よりもセンス時間が低減されることになる。

40

【 0 0 8 9 】

また、本実施の形態においては、上記第 1 実施の形態の場合と同様に、ビット線 B L 単位で上記オーバーイレース検出ルーチンを行うので、5 1 2 本のビット線 B L に対しては 5 1 2 / 8 回(8 ビット単位で実行) = 6 4 回だけベリファイ処理を行えばよく、ベリファイ時間は大幅に低減される。さらに、上記メモリセルアレイ内にオーバーイレースセルが発生していた場合においても、例えばオーバーイレースセルがメモリセルアレイ内に 1 ビット存在する場合のベリファイ時間は、

$$512(\text{ビット線数})/8(\text{並列処理}) \times 0.5 \mu\text{s}(\text{センス時間}) \\ + 0.5 \mu\text{s}(\text{センス時間}) \times 1024(\text{ワード線数}) = 544 \mu\text{s}$$

となる。また、メモリセルアレイ内にオーバーイレースセルが 2 ビット存在する場合でも

50

$$512 (\text{ビット線数}) / 8 (\text{並列処理}) \times 0.5 \mu\text{s} (\text{センス時間}) \\ + 0.5 \mu\text{s} (\text{センス時間}) \times 1024 (\text{ワード線数}) \\ \times 2 (\text{オーバーイレースセルビット数}) = 1 \text{ ms}$$

となる。この場合においても、上述した従来のオーバーイレースのベリファイ方法に比較して、ベリファイ時間は短縮されている。

【0090】

また、実際のフラッシュメモリのアレイにおいては、オーバーイレースセルが殆ど発生することはなく、本実施の形態におけるオーバーイレースのベリファイ方法を用いれば、オーバーイレースベリファイ(通常検出動作)時の場合において64 μsのオーバーイレース検出のベリファイ時間を達成することが可能になるのである。

10

【0091】

尚、上記各実施の形態においては、上記オーバーイレースベリファイ(通常検出動作)時には、図9および図10に示すように、メインセルMに接続されたワード線WLmainには0.5Vの電圧を印可しているが、この電圧に限定されるものではなく0V~1Vであればよい。こうして、閾値電圧Vtが0V~1VのメモリセルMをオーバーイレースセルとして検出することによって、検出漏れがあった場合における通常動作時のリーク電流の最大値を、閾値電圧が0Vであるオーバーイレースセルのリーク電流に制限できるのである。さらに、図4に示す閾値電圧分布における下限近傍に位置して、1回のオーバーイレースセル検出時に1個出現するか否かのオーバーイレースセルを検出することが可能になる

20

【0092】

【発明の効果】

以上より明らかかなように、この発明の不揮発性半導体メモリ装置のオーバーイレースセル検出方法は、消去処理手段によって行線、列線および共通配線への印加電圧を制御して消去処理を実行する場合に、消去パルス印加後ベリファイを行った後に、オーバーイレースセル検出のための第1ベリファイを行い、次に上記第1のベリファイによってオーバーイレースセルが検出された場合にオーバーイレースセルを特定するための第2ベリファイを行い、その際に、上記第1ベリファイ時の上記行線印加電圧とは異なる行線印加電圧で行うので、上記第1ベリファイ時に行線に印加される電圧を、上記オーバーイレースセルの閾値電圧程度に低めることができる。したがって、複数のメモリセルに対する上記第1ベリファイを少ない電流で一括して行うことができる。

30

【0093】

一方、上記第2ベリファイ時に行線に印加される電圧を、上記第1ベリファイ時よりも高めることができる。こうすることによって、上記第2ベリファイ時の検出感度を上げて、上記オーバーイレースセルの特定処理を高速且つ精度良く行うことができるのである。

【0094】

さらに、上記第1ベリファイを電圧センスによって行うので、感度良く短時間にオーバーイレースセル検出を行うことができる。したがって、オーバーイレースセル検出時のベリファイ時間を短縮できる。

40

【0095】

さらに、上記第1ベリファイを上記列線単位で行うので、個々のメモリセル単位で行う場合に比してベリファイ回数を減少でき、上記オーバーイレースセル検出時間を短縮できる。したがって、高速イレースを実現することが可能になる。

【0096】

さらに、上記第2ベリファイを、上記第1ベリファイ時にオーバーイレースセルが存在すると判定された列線に接続された複数のメモリセルに対して、個々のメモリセル単位で行うので、上記オーバーイレースセルの特定を正確に行うことができる。

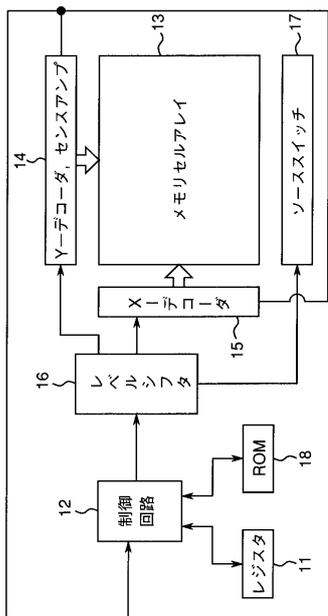
【図面の簡単な説明】

【図1】 この発明の不揮発性半導体メモリ装置の概略ブロック図である。

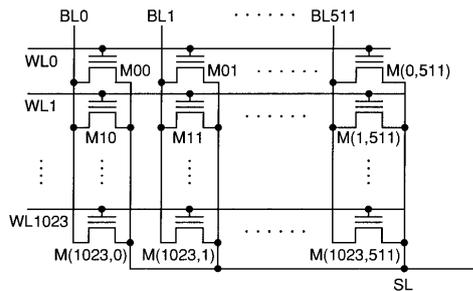
50

- 【図 2】 図 1 におけるメモリセルアレイの具体的構成を示す図である。
- 【図 3】 消去処理動作のフローチャートである。
- 【図 4】 図 3 に示す消去処理動作のイレースベリファイ終了時点における全メモリセルの閾値電圧 V_t の分布を示す図である。
- 【図 5】 オーバーイレースセル検出処理動作のフローチャートである。
- 【図 6】 メインセルの $I-V$ 特性を示す図である。
- 【図 7】 リファレンスセルの $I-V$ 特性を示す図である。
- 【図 8】 閾値電圧 V_t が 0 V であるオーバーイレースセルの $I-V$ 特性を示す図である。
- 【図 9】 電流検出を電流センスで行うセンスアンプの回路図である。 10
- 【図 10】 電流検出を電圧センスで行うセンスアンプの回路図である。
- 【図 11】 図 10 に示すセンスアンプの動作タイミングを示す図である。
- 【図 12】 ETOX 型フラッシュメモリセルの模式的な断面図である。
- 【図 13】 書き込み状態と消去状態とにおける閾値電圧分布を示す図である。
- 【図 14】 オーバーイレースセルの存在によって正確なベリファイ動作ができなくなる理由の説明図である。
- 【図 15】 従来のオーバーイレースセル検出処理動作のフローチャートである。
- 【図 16】 従来のオーバーイレースセル検出時におけるメインセルの $I-V$ 特性を示す図である。
- 【図 17】 従来のオーバーイレースセル検出時におけるリファレンスセルの $I-V$ 特性を示す図である。 20
- 【図 18】 オーバーイレースセル検出時における電流検出を電流センスで行うセンスアンプの回路図である。
- 【符号の説明】
- 1 1 ... レジスタ、
- 1 2 ... 制御回路、
- 1 3 ... メモリセルアレイ、
- 1 4 ... ソースドライバ、
- 1 5 ... ゲートドライバ、
- 1 6 ... レベルシフト、
- 1 7 ... ソーススイッチ、
- 1 8 ... ROM、
- 2 1 ... ラッチ回路部、
- 2 2, 2 3 ... nMOS トランジスタ、
- B L ... ビット線、
- W L ... ワード線、
- M ... メモリセル、
- S L ... 共通ソース線、
- M r ... リファレンスセル。
- 30

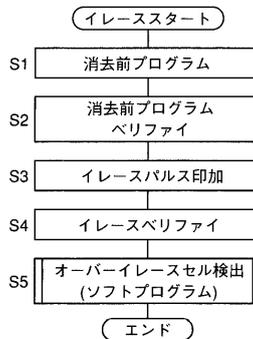
【図1】



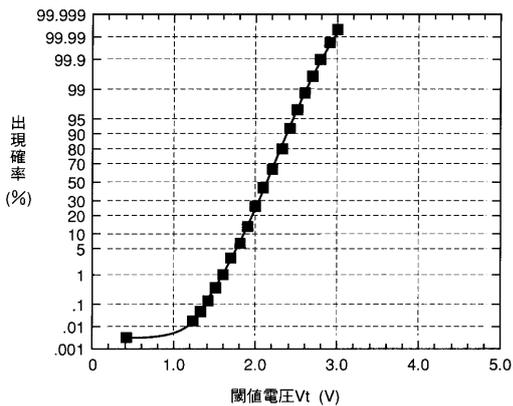
【図2】



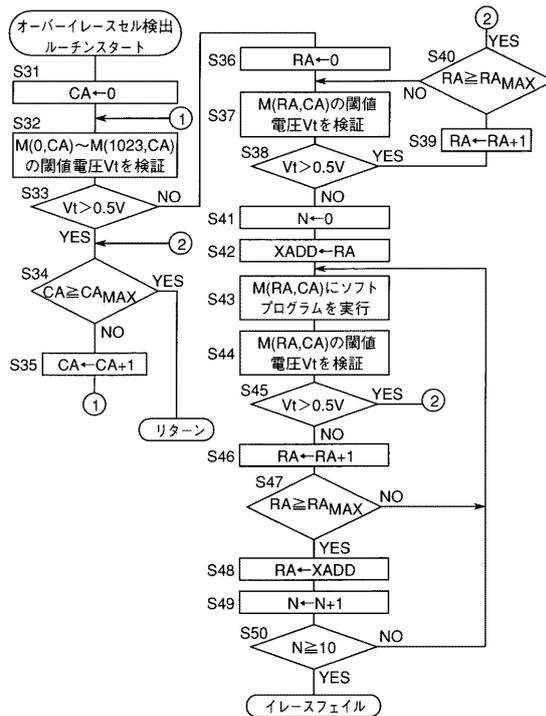
【図3】



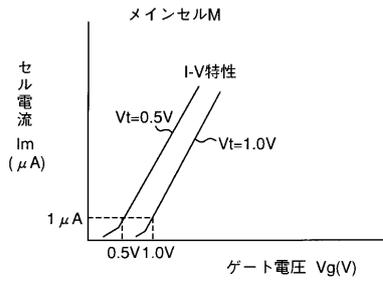
【図4】



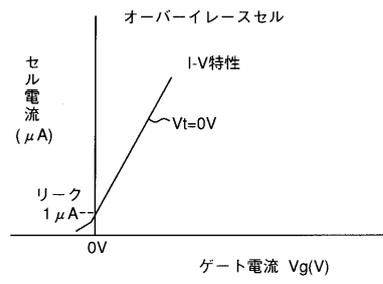
【図5】



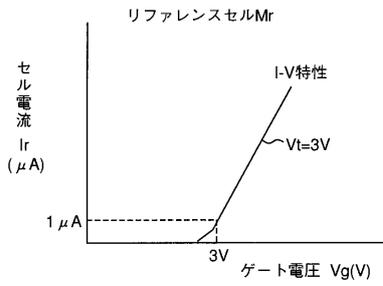
【 図 6 】



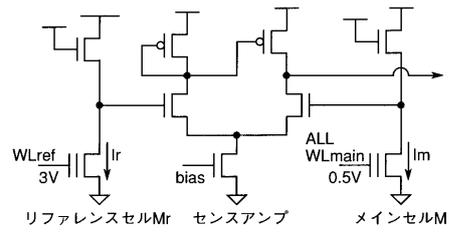
【 図 8 】



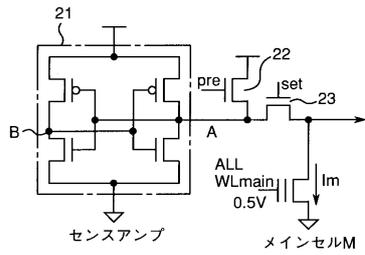
【 図 7 】



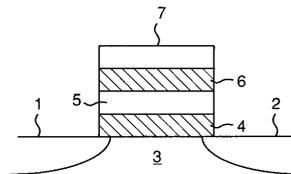
【 図 9 】



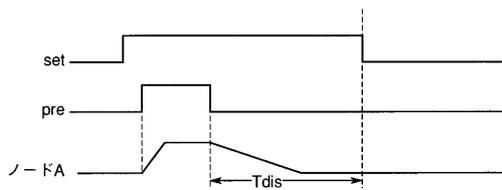
【 図 10 】



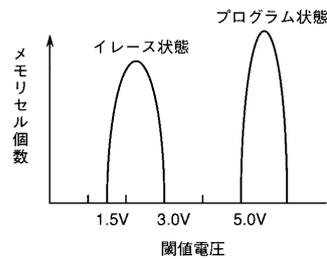
【 図 12 】



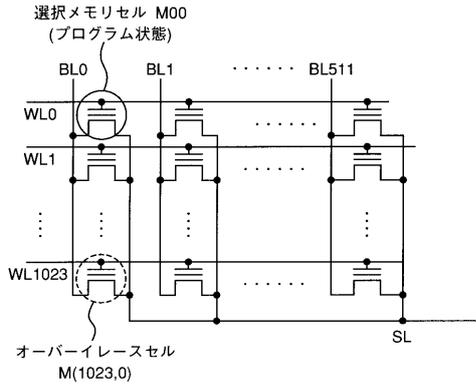
【 図 11 】



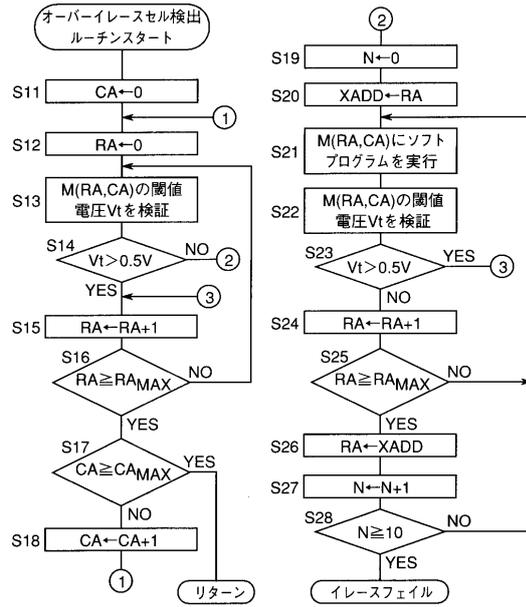
【 図 13 】



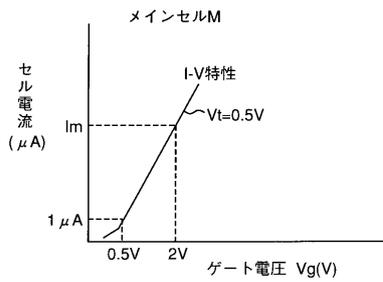
【 図 1 4 】



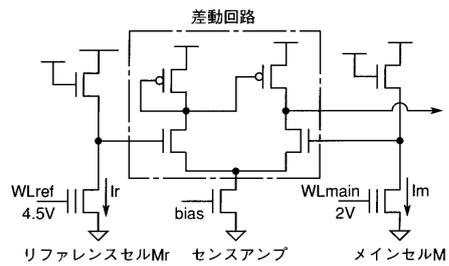
【 図 1 5 】



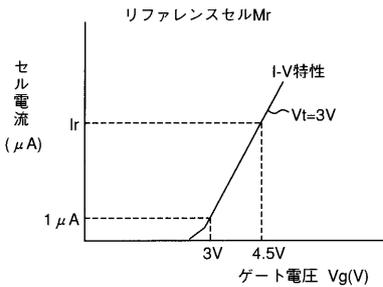
【 図 1 6 】



【 図 1 8 】



【 図 1 7 】



フロントページの続き

- (56)参考文献 特開2000-260189(JP,A)
特開2001-250390(JP,A)
特開平08-255489(JP,A)
特開平08-106793(JP,A)
特開平10-302487(JP,A)
特開平08-138394(JP,A)
特開平07-320488(JP,A)
特開平07-335843(JP,A)
特開平08-045284(JP,A)
特開平11-066871(JP,A)

- (58)調査した分野(Int.Cl., DB名)

G11C 16/02-16/06