



(12) **Offenlegungsschrift**

(21) Aktenzeichen: **10 2023 122 021.7**
(22) Anmeldetag: **17.08.2023**
(43) Offenlegungstag: **29.02.2024**

(51) Int Cl.: **H01L 21/8234** (2006.01)
H01L 29/772 (2006.01)
H01L 27/088 (2006.01)
H01L 21/336 (2006.01)
H01L 21/84 (2006.01)

(30) Unionspriorität:
17/898,836 **30.08.2022** **US**

(71) Anmelder:
Infineon Technologies Austria AG, Villach, AT

(74) Vertreter:
**Westphal, Mussgnug & Partner Patentanwälte mit
beschränkter Berufshaftung, 81541 München, DE**

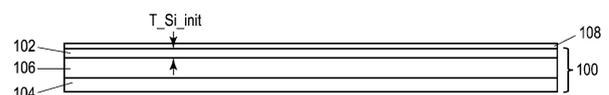
(72) Erfinder:
**Chandrika Reghunathan, Manoj, Trivandrum, IN;
Ramadass, Vijay Anand, Bukit Mertajam, Penang,
MY; Hasanudin, Muhammad Akmal, Cheras, MY;
Datta, Devesh Kumar, Singapur, SG; Grätz, Eric
Alois, Klagenfurt, AT**

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

(54) Bezeichnung: **SILIZIUM-AUF-ISOLATOR ("SILICON-ON-INSULATOR"; SOI) -BAUELEMENT, DAS EINE
BAUELEMENTSCHICHT MIT UNTERSCHIEDLICHER DICKE AUFWEIST UND ENTSPRECHENDES
VERFAHREN ZUR HERSTELLUNG**

(57) Zusammenfassung: Ein Verfahren zum Herstellen von Leistungshalbleiterbauelementen aus einem Silizium-auf-Isolator (SOI)-Wafer wird beschrieben. Der SOI-Wafer enthält eine Silizium-Bauelementschicht, einen Bulk-Silizium-Wafer und eine vergrabene Oxidschicht, die die Silizium-Bauelementschicht von dem Bulk-Silizium-Wafer trennt. Das Verfahren beinhaltet: das Bilden einer Hartmaske auf der Silizium-Bauelementschicht, wobei die Hartmaske ein oder mehr erste Gebiete der Silizium-Bauelementschicht abdeckt und ein oder mehr zweite Gebiete der Silizium-Bauelementschicht freilegt; und vor dem Bilden jeglicher Feldoxidstrukturen und vor dem Implantieren jeglicher Bauelementgebiete das selektive Wachsen von epitaktischem Silizium auf dem einen oder den mehr zweiten Gebieten der Silizium-Bauelementschicht, die durch die Hartmaske freigelegt sind, so dass die Dicke des einen oder der mehr zweiten Gebiete relativ zu dem einen oder den mehr ersten Gebieten erhöht wird. Es werden auch verschiedene, nach dem Verfahren hergestellte Bauelemente beschrieben.



Beschreibung

[0001] Die Silizium-auf-Isolator (SOI)-Technologie beinhaltet die Herstellung von Silizium-Halbleiterbauelementen in einem geschichteten Silizium-Isolator-Silizium-Substrat. Das Erreichen einer sehr hohen Durchbruchspannung (z. B. > 600 V) unter Verwendung eines lateralen SOI-Prozesses für komplementäre Metall-Oxid-Halbleiter („complementary metal-oxide-semiconductor“; CMOS) erfordert eine gut kontrollierte, dünne Dicke der oberen Si (Silizium)-Baelementschicht. Eine solche sehr dünne Si-Baelementschichtdicke bei der SOI-Technologie hat jedoch Nachteile wie etwa einen hohen Serienwiderstand für Hochspannungsbauelemente (z. B. > 600 V) mit sehr langen Driftlängen. Außerdem ist das Verhalten von Niederspannungsbauelementen (z. B. < 600 V), die in derselben Si-Baelementschicht wie Hochspannungsbauelemente gebildet sind, für Niederspannungslogikschaltungen möglicherweise nicht akzeptabel.

[0002] Daher besteht ein Bedarf an einem verbesserten SOI-Prozess, der sowohl Hochspannungsbauelemente als auch Niederspannungsbauelemente in derselben Si-Baelementschicht aufnehmen kann.

[0003] Gemäß einer Ausführungsform eines Verfahrens zum Herstellen von Leistungshalbleiterbauelementen aus einem Silizium-auf-Isolator (SOI)-Wafer, der eine Silizium-Baelementschicht, einen Bulk-Silizium-Wafer und eine vergrabene Oxidschicht, die die Silizium-Baelementschicht von dem Bulk-Silizium-Wafer trennt, enthält, weist das Verfahren auf: Bilden einer Hartmaske auf der Silizium-Baelementschicht, wobei die Hartmaske ein oder mehr erste Gebiete der Silizium-Baelementschicht abdeckt und ein oder mehr zweite Gebiete der Silizium-Baelementschicht freilegt; und selektives Wachsen von epitaktischem Silizium auf dem einen oder den mehr durch die Hartmaske freigelegten zweiten Gebieten der Silizium-Baelementschicht, so dass die Dicke des einen oder der mehr zweiten Gebiete relativ zu dem einen oder den mehr ersten Gebieten erhöht ist, vor dem Bilden jeglicher Feldoxid-Strukturen und vor dem Implantieren jeglicher Bauelement-Gebiete.

[0004] Gemäß einer Ausführungsform eines Halbleiter-Dies weist das Halbleiter-Die auf: ein Silizium-auf-Isolator (SOI)-Substrat, das eine Silizium-Baelementschicht, ein Bulk-Siliziumsubstrat und eine vergrabene Oxidschicht, die die Silizium-Baelementschicht von dem Bulk-Siliziumsubstrat trennt, enthält; einen lateralen Leistungs-MOSFET („metal-oxide-semiconductor field-effect transistor“; Metall-Oxid-Halbleiter-Feldeffekttransistor), der in einem ersten Bauelementgebiet der Silizium-Baelementschicht gebildet ist; und ein zusätzliches Halbleiter-

element, das in einem zweiten Bauelementgebiet der Silizium-Baelementschicht gebildet ist und eine niedrigere Durchbruchspannung als der laterale Leistungs-MOSFET aufweist, wobei die Silizium-Baelementschicht eine erste Dicke in einem ersten Teil des ersten Bauelementgebiets und eine zweite Dicke in einem zweiten Teil des ersten Bauelementgebiets aufweist, wobei die zweite Dicke größer als die erste Dicke ist, wobei die Silizium-Baelementschicht die erste Dicke in dem gesamten zweiten Bauelementgebiet aufweist.

[0005] Gemäß einer Ausführungsform eines Halbleiter-Dies weist das Halbleiter-Die auf: ein Silizium-auf-Isolator (SOI)-Substrat, das eine Silizium-Baelementschicht, ein Bulk-Siliziumsubstrat und eine vergrabene Oxidschicht, die die Silizium-Baelementschicht von dem Bulk-Siliziumsubstrat trennt, enthält; und einen lateralen JFET („junction field-effect transistor“; Sperrschicht-Feldeffekttransistor), der in der Silizium-Baelementschicht gebildet ist, wobei ein erster Teil der Silizium-Baelementschicht eine erste Dicke aufweist und ein zweiter Teil der Silizium-Baelementschicht eine zweite Dicke, die größer als die erste Dicke ist, aufweist, wobei der laterale JFET in der Silizium-Baelementschicht ein Source-Gebiet, ein Drain-Gebiet, eine an das Drain-Gebiet angrenzende Drift-Zone und ein Body-Gebiet, das das Source-Gebiet von der Drift-Zone trennt, aufweist, wobei die Drift-Zone in dem zweiten Teil der Silizium-Baelementschicht gebildet ist.

[0006] Fachleute werden beim Lesen der folgenden detaillierten Beschreibung und beim Betrachten der begleitenden Zeichnungen weitere Merkmale und Vorteile erkennen.

[0007] Die Elemente in den Zeichnungen sind relativ zueinander nicht notwendigerweise maßstabsgetreu. Gleiche Bezugswerte bezeichnen ähnliche Teile. Die Merkmale der verschiedenen dargestellten Ausführungsformen können kombiniert werden, sofern sie einander nicht ausschließen. Die Ausführungsformen sind in den Zeichnungen abgebildet und werden in der Beschreibung, die folgt, näher erläutert.

[0008] Die Fig. 1A bis 1D zeigen Querschnittsansichten eines Teils eines SOI-Wafers während verschiedener Stadien eines SOI-Prozesses gemäß einer Ausführungsform.

[0009] Die Fig. 2A bis 2D zeigen Querschnittsansichten eines Teils eines SOI-Wafers während verschiedener Stadien eines SOI-Prozesses gemäß einer Ausführungsform.

[0010] Fig. 3 zeigt eine Draufsicht auf eine Ausführungsform eines lateralen Leistungs-MOSFETs oder JFETs, der aus einem gemäß den Fig. 1A bis 1D

oder **Fig. 2A** bis **2D** verarbeiteten SOI-Wafer hergestellt wurde.

[0011] **Fig. 4** zeigt eine Draufsicht auf eine weitere Ausführungsform eines lateralen Leistungs-MOS-FETs oder JFETs, der aus einem gemäß den **Fig. 1A** bis **1D** oder **Fig. 2A** bis **2D** verarbeiteten SOI-Wafer hergestellt wurde.

[0012] **Fig. 5** zeigt Querschnittsansichten einer Ausführungsform für das monolithische Integrieren eines lateralen Niederspannungs-SOI-MOS-Transistors und einer Hochspannungsdioden in demselben Halbleiter-Die unter Verwendung des in den **Fig. 1A** bis **1D** oder **Fig. 2A** bis **2D** gezeigten SOI-Prozesses.

[0013] **Fig. 6** zeigt eine Draufsicht einer Ausführungsform eines Leistungstransistorbauelements, das in einem unter Verwendung des in den **Fig. 1A** bis **1D** oder **Fig. 2A** bis **2D** gezeigten SOI-Prozesses hergestellten Halbleiter-Die enthalten ist.

[0014] **Fig. 7** zeigt eine schematische Draufsicht auf eine Ausführungsform eines Halbleiter-Dies, das unter Verwendung des in den **Fig. 1A** bis **1D** oder **Fig. 2A** bis **2D** gezeigten SOI-Prozesses hergestellt wurde und einen oder mehr Niederspannungsbereiche und einen oder mehr Hochspannungsbereiche aufweist.

[0015] Die hier beschriebenen Ausführungsformen bieten einen SOI (Silizium-auf-Isolator)-Prozess, der sowohl Bauelemente mit hoher Durchbruchspannung (z. B. > 600 V) als auch Bauelemente mit niedriger Durchbruchspannung (z. B. < 600 V) in derselben Si-Bauelementschicht aufnehmen kann. Bei dem SOI-Prozess werden Bauelemente in einer Si-Bauelementschicht mit zumindest zwei unterschiedlichen Dicken hergestellt. Zum Beispiel kann ein SOI-Basis-Wafer bereitgestellt werden und eine Hartmaske wie etwa eine LPCVD („low-pressure chemical vapor deposition“; chemische Niederdruck-Gasphasenabscheidung)-Oxid-basierte Hartmaske kann verwendet werden, um einen Bereich, in dem ein dickeres Si-Gebiet gewünscht wird, zu definieren. Der unmaskierte Bereich kann z. B. der Driftzone eines lateralen Leistungshalbleiterbauelements entsprechen. Die Dicke der Si-Bauelementschicht wird in dem unmaskierten Bereich durch selektives epitaktisches Si-Wachstum, das vor dem Bilden jeglicher Feldoxidstrukturen und vor dem Implantieren jeglicher Bauelementgebiete in die Si-Bauelementschicht durchgeführt wird, erhöht. Dementsprechend können bestehende Front-End-Prozesse wie etwa Feldoxid (FOX)-Isolierung, das Kontaktätzen usw. ohne Änderung verwendet werden.

[0016] Als Nächstes werden Ausführungsformen des SOI-Prozesses und unter Verwendung des

SOI-Prozesses hergestellte Bauelemente unter Bezugnahme auf die Figuren beschrieben.

[0017] Die **Fig. 1A** bis **1D** zeigen Querschnittsansichten eines Teils eines SOI-Wafers 100 während verschiedener Stadien des SOI-Prozesses. Der SOI-Wafer 100 enthält eine Silizium-Bauelementschicht 102, einen Bulk-Silizium-Wafer 104 und eine vergrabene Oxidschicht 106, die die Silizium-Bauelementschicht 102 von dem Bulk-Silizium-Wafer 104 trennt. Bei einer Ausführungsform hat die Silizium-Bauelementschicht 102 anfangs eine einzige Dicke T_{Si_init} in einem Bereich von 100 bis 200 nm (Nanometer).

[0018] Der SOI-Wafer 100 kann durch SIMOX („separation by implantation of oxygen“; Trennung durch Sauerstoffimplantation), Wafer-Bonden, ein Saat-Verfahren, bei dem die Silizium-Bauelementschicht 102 direkt auf der Oxidschicht 106 gewachsen wird, usw. hergestellt werden. Der in den **Fig. 1A** bis **1D** gezeigte Teil des SOI-Wafers 100 entspricht einem Bauelementgebiet mit hoher Durchbruchspannung (z. B. > 600 V) eines Halbleiter-Dies, das aus dem SOI-Wafer 100 hergestellt werden soll. Zum Beispiel kann das Bauelementgebiet mit hoher Durchbruchspannung ein Leistungshalbleiterbauelement wie etwa einen lateralen Leistungs-MOSFET („metal-oxide-semiconductor field-effect transistor“; Metall-Oxid-Halbleiter-Feldeffekttransistor), einen lateralen JFET („junction field-effect transistor“; Sperrschicht-Feldeffekttransistor), ein PMOS-Bauelement mit einer Durchbruchspannung von mehr als 600 V, eine Leistungsdiode usw. enthalten. Der SOI-Wafer 100 kann mehrere zehn, Hunderte oder mehr Halbleiter-Dies derselben Bauweise ergeben. Die Halbleiter-Dies können auch ein Bauelementgebiet mit niedriger Durchbruchspannung (z. B. < 600 V), in dem die Dicke der Silizium-Bauelementschicht 102 durch den SOI-Prozess nicht erhöht wird, enthalten.

[0019] **Fig. 1A** zeigt den SOI-Wafer 100, nachdem eine Hartmaske 108 auf der Silizium-Bauelementschicht 102 gebildet wurde. Bei einer Ausführungsform weist die Hartmaske 108 durch chemische Niederdruck-Gasphasenabscheidung (LPCVD) gebildetes Tetraethoxysilan (TEOS) auf.

[0020] **Fig. 1 B** zeigt den SOI-Wafer 100 nach dem Strukturieren der Hartmaske 108. Die Hartmaske 108 deckt nach dem Strukturieren ein oder mehr erste Gebiete 110 der Silizium-Bauelementschicht 102 ab und legt ein oder mehr zweite Gebiete 112 der Silizium-Bauelementschicht 102 frei. In den **Fig. 1A** bis **1D** entsprechen das eine oder die mehr durch die Hartmaske 108 abgedeckten ersten Gebiete 110 der Silizium-Bauelementschicht 102 den Kontaktgebieten von Leistungshalbleiterbauelementen, die in der Silizium-Bauelementschicht 102

gebildet werden sollen. Einige erste Gebiete 110 können Feldoxidgebieten der Leistungshalbleiterbauelemente und/oder zusätzlichen Halbleiterbauelementen, die eine niedrigere Durchbruchspannung aufweisen als die Leistungshalbleiterbauelemente, die in der Silizium-Bauelementschicht 102 gebildet werden sollen, entsprechen. Verschiedene Ausführungsformen des einen oder der mehr durch die Hartmaske 108 abgedeckten ersten Gebiete 110 der Silizium-Bauelementschicht 102 werden später hierin ausführlicher beschrieben.

[0021] Bei einer Ausführungsform wird die Hartmaske 108 durch Bilden eines strukturierten Resists 114 auf dem einen oder den mehr ersten Gebieten 110 der Silizium-Bauelementschicht 102 und Entfernen des freiliegenden Teils der Hartmaske 108 von dem einen oder den mehr zweiten Gebieten 112 der Silizium-Bauelementschicht 102 strukturiert. Der freiliegende Teil der Hartmaske 108 kann zum Beispiel durch Ätzen entfernt werden.

[0022] In den Fig. 1A bis 1D entsprechen das eine oder die mehr durch die Hartmaske 108 freigelegten zweiten Gebiete 112 der Silizium-Bauelementschicht 102 Driftzonen von lateralen Leistungshalbleiterbauelementen, die in der Silizium-Bauelementschicht 102 gebildet werden sollen. Verschiedene Ausführungsformen des einen oder der mehr durch die Hartmaske 108 freigelegten zweiten Gebiete 112 der Silizium-Bauelementschicht 102 werden hierin später ausführlicher beschrieben.

[0023] Fig. 1C zeigt den SOI-Wafer 100, nachdem das epitaktische Silizium 116 selektiv auf dem einen oder den mehr durch die Hartmaske 108 freigelegten zweiten Gebieten 112 der Silizium-Bauelementschicht 102 gewachsen ist, so dass die Dicke T_{Si_epi} des einen oder der mehr zweiten Gebiete 112 relativ zu der anfänglichen Dicke T_{Si_init} der Silizium-Bauelementschicht 102 erhöht ist. Dementsprechend sind das eine oder die mehr ersten Gebiete 110 der Silizium-Bauelementschicht 102, die während des selektiven epitaktischen Wachstumsprozesses durch die Hartmaske 108 geschützt sind, dünner als das eine oder die mehr zweiten Gebiete 112 der Silizium-Bauelementschicht 102, die dem selektiven epitaktischen Wachstumsprozess ausgesetzt sind. Das selektive Wachstum des epitaktischen Siliziums 116 wird vor dem Bilden jeglicher Feldoxidstrukturen und vor dem Implantieren von Bauelementgebieten in die Silizium-Bauelementschicht 102 durchgeführt. Bei einer Ausführungsform wird das selektive Wachstum des epitaktischen Siliziums 116 durch chemische Gasphasenabscheidung bei verringertem Druck (RPCVD; „reduced pressure chemical vapour deposition“) der Siliziumepitaxie durchgeführt.

[0024] Die erhöhte Dicke T_{Si_epi} des einen oder der mehr zweiten Gebiete 112 der Silizium-Bauelementschicht 102 ermöglicht einen niedrigeren R_{dson} (Ein-Zustands-Widerstand) für laterale Leistungshalbleiterbauelemente mit hoher Durchbruchspannung (z. B. > 600 V), die aus dem SOI-Wafer 100 hergestellt werden sollen. Der R_{dson} solcher Bauelemente wird aufgrund der (lateralen) Driftzonnlänge (z. B. 30 bis 100 nm) durch die Dicke der Silizium-Bauelementschicht 102 dominiert. Das Erhöhen der Dicke der Silizium-Bauelementschicht 102 in einem oder mehr unmaskierten Gebieten 112 des SOI-Wafers 100 ermöglicht eine R_{dson} -Verringerung für laterale Leistungshalbleiterbauelemente.

[0025] Andere Techniken zum Verringern des R_{dson} eines lateralen Leistungshalbleiterbauelements sind für dünne SOI-Wafer nicht so vorteilhaft. Zum Beispiel ist die Optimierung der RESURF-Dotierung aufgrund der dünnen (z. B. 100 bis 200 nm) Silizium-Bauelementschicht 102 begrenzt. Auch besteht keine Notwendigkeit, bereits bestehende Front-End-Prozesse wie etwa die Strukturtopologie, Implantate usw. neu zu gestalten. Auch thermische Budgets werden nicht beeinträchtigt, da der in Fig. 1C gezeigte Epitaxie-Prozess früh in dem Prozess vor dem Bilden jeglicher Feldoxidstrukturen und vor dem Implantieren jeglicher Bauelementgebiete in die Silizium-Bauelementschicht 102 durchgeführt wird. Dies ermöglicht es, dass der Bauelement-Auslegungsprozess durch einfache Layout-Ingenieurtätigkeit vereinfacht wird. Da die Hartmaske 108 wie gewünscht strukturiert werden kann, können mehrere Bauelement-Optionen mit und ohne erhöhte Si-Epitaxie-Dicke untergebracht werden, indem die Hartmaske 108 auf eine entsprechende Weise strukturiert wird, so dass nur das/die Gebiete 112 der Silizium-Bauelementschicht 102, die von der erhöhten Epitaxie-Dicke profitieren, während des selektiven epitaktischen Wachstumsprozesses freiliegen.

[0026] Ein oder mehr Gebiete 110 des SOI-Wafers 100, die nicht von einer erhöhten Si-Epitaxie-Dicke profitieren, werden durch die strukturierte Hartmaske 108 vor dem epitaktischen Si-Wachstumsprozess geschützt. Wie oben erläutert, können das eine oder die mehr maskierten Gebiete 110 der Silizium-Bauelementschicht 102 Kontaktgebieten und/oder Feldoxidgebieten der aus dem SOI-Wafer 100 herzustellenden lateralen Leistungshalbleiterbauelemente und/oder zusätzlichen Halbleiterbauelementen, die eine niedrigere Durchbruchspannung als die lateralen Leistungshalbleiterbauelemente aufweisen und in der Silizium-Bauelementschicht 102 gebildet werden sollen, entsprechen. Dementsprechend können laterale Leistungshalbleiterbauelemente mit hoher Durchbruchspannung (z. B. > 600 V) und Bauelemente mit niedriger Durchbruchspannung (z. B. < 600 V) unter Verwendung desselben SOI-Wafers 100 monolithisch integriert werden,

ohne dass bestehende Front-End-Prozesse wie etwa Feldoxidisolierung, Kontaktätzen usw. geändert werden müssen.

[0027] Fig. 1 D zeigt den SOI-Wafer 100 nach dem Bilden von Feldoxidgebieten 118, die für eine Intra- und/oder Zwischenbauelementisolierung sorgen. Bei einer Ausführungsform können die Feldoxidgebiete 118 STI („shallow trench isolation“; Flachgrabenisolierung)- oder LOCOS („local oxidation of silicon“; lokale Oxidation von Silizium)-Strukturen sein. Zum Beispiel können die Feldoxidgebiete 118 durch Wachsen eines Feldoxids über einem oder mehr angezielten Gebieten des SOI-Wafers 100 gebildet werden. Wenn ein Feldoxidgebiet 118 in irgendeinem des einen oder der mehr zweiten Gebiete 112 der Silizium-Bauelementschicht 102 mit der erhöhten Epitaxie-Dicke T_{Si_epi} gebildet wird, kann ein Leckstropfpfad unter dem Feldoxidgebiet 118 entstehen, wenn sich das Feldoxidgebiet 118 nicht bis zu der vergrabenen Oxidschicht 106 hinab erstreckt, wie durch den gestrichelten Pfeil in Fig. 1D angedeutet.

[0028] Die Fig. 2A bis 2D zeigen Querschnittsansichten eines Teils des SOI-Wafers 100 während verschiedener Stadien des SOI-Prozesses gemäß einer weiteren Ausführungsform. Die in den Fig. 2A bis 2D gezeigte Ausführungsform ist ähnlich zu der in den Fig. 1A bis 1D gezeigten Ausführungsform. Demgemäß werden hier nur die Unterschiede zwischen den beiden Ausführungsformen beschrieben. Wie oben erläutert, kann ein Stromleckpfad unter einem Feldoxidgebiet 118, das in einem zweiten Gebiet 112 der Silizium-Bauelementschicht 102 mit der erhöhten Epitaxie-Dicke T_{Si_epi} gebildet wird, entstehen. Der Leckagepfad kann verhindert werden, indem während des selektiven epitaktischen Wachstumsprozesses jedes Gebiet des SOI-Wafers 100, in dem nach dem selektiven epitaktischen Wachstumsprozess eine Feldoxidstruktur 118 gebildet werden soll, abgedeckt wird.

[0029] In Fig. 2B entsprechen einige von dem einen oder den mehr ersten Gebieten 110 der Silizium-Bauelementschicht 102, die während des selektiven Wachstums des epitaktischen Siliziums 116 durch die Hartmaske 108 abgedeckt werden, Feldoxidgebieten von lateralen Leistungshalbleiterbauelementen, die aus dem SOI-Wafer 100 hergestellt werden sollen. In den Fig. 2B-2C sind der Teil der Hartmaske 108 und der strukturierte Resist 114, die einen Bereich des SOI-Wafers 100 abdecken, der den Feldoxidgebieten entspricht, die nach dem selektiven Epitaxie-Wachstumsprozess gebildet werden sollen, mit 108b bzw. 114b bezeichnet. Dies ist zusätzlich zu den Strukturen der Hartmaske und des strukturierten Resists, die in den Fig. 1B-1C gezeigt sind und die in den Fig. 2B-2C mit 108a bzw. 114a gekennzeichnet sind, der Fall. Fig. 2D zeigt den SOI-Wafer 100,

nachdem die Feldoxidstrukturen 118 gebildet wurden. Die Feldoxidgebiete 118, die in dem einen oder den mehr während des selektiven Epitaxie-Wachstumsprozesses durch die Hartmaske 108 abgedeckten ersten Gebieten 110 der Silizium-Bauelementschicht 102 gebildet werden, erstrecken sich hinab zu der vergrabenen Oxidschicht 106, um den oben beschriebenen Leckagepfad zu verhindern.

[0030] Einige von dem einen oder den mehr ersten Gebieten 110 der Silizium-Bauelementschicht 102, die während des selektiven Epitaxie-Wachstumsprozesses durch die Hartmaske 108 abgedeckt sind, können Kontaktgebieten von Leistungshalbleiterbauelementen, die in der Silizium-Bauelementschicht 102 gebildet werden sollen, und/oder zusätzlichen Halbleiterbauelementen, die eine niedrigere Durchbruchspannung haben als die Leistungshalbleiterbauelemente, die in der Silizium-Bauelementschicht 102 gebildet werden sollen, entsprechen, wie oben erläutert. Verschiedene Ausführungsformen des einen oder der mehr während des selektiven Epitaxie-Wachstumsprozesses durch die Hartmaske 108 abgedeckten ersten Gebiete 110 der Silizium-Bauelementschicht 102 werden als Nächstes beschrieben.

[0031] Fig. 3 zeigt eine Draufsicht auf einen aus dem SOI-Wafer 100 hergestellten lateralen Leistungs-MOSFET oder JFET. Der laterale Leistungs-MOSFET oder JFET ist in einem aus dem SOI-Wafer 100 vereinzelt Die enthalten. Der Leistungs-MOSFET oder JFET ist insofern ein ‚laterales‘ Bauelement, als der Primärstromflusspfad entlang der vorderen Hauptfläche der Silizium-Bauelementschicht 102 in der x-Richtung verläuft, von der Source 200 zum Drain 202. Die Source und der Drain 200, 202 sind von einem ersten Leitfähigkeitstyp. Das Body-Gebiet eines lateralen Leistungs-MOSFETs, das sich in Fig. 3 unterhalb des Source-Gebiets 200 und außerhalb der Ansicht von Fig. 3 befindet, ist von einem dem ersten Leitfähigkeitstyp entgegengesetzten zweiten Leitfähigkeitstyp. Ein Bodykontaktgebiet 204, das vom zweiten Leitfähigkeitstyp ist und eine höhere Dotierungskonzentration als das Body-Gebiet aufweist, sorgt für eine ohmsche Verbindung zu der darüber liegenden Source-Metallisierung (in Fig. 3 nicht dargestellt). Für ein n-Kanal-Bauelement ist der erste Leitfähigkeitstyp vom Typ n und der zweite Leitfähigkeitstyp ist vom Typ p, während für ein p-Kanal Bauelement der erste Leitfähigkeitstyp vom Typ p ist und der zweite Leitfähigkeitstyp vom Typ n ist.

[0032] Eine Gate-Elektrode 206 steuert den leitenden Zustand des Bauelementkanals. Im Fall eines MOSFETs ist die Gate-Elektrode 206 von der Silizium-Bauelementschicht 102 isoliert. Im Fall eines JFETs kontaktiert die Gate-Elektrode 206 die Silizium-Bauelementschicht 102. Das Source-Gebiet

200 ist in **Fig. 3** auf eine vereinfachte Weise dargestellt, kann aber auch als mehrere Inseln implementiert werden. Bei einem p-Kanal-JFET sind die Source-Inseln p⁺-Gebiete und die Gate-Elektrode 206 kontaktiert n⁺-Gebiete, um den p-Kanal zwischen zwei (2) benachbarten Source-Inseln abzuschneiden und so den Ein/Aus-Zustand des JFETs zu steuern.

[0033] Eine Driftzone 208 erstreckt sich lateral zwischen der Gate-Elektrode 206 und dem Drain-Gebiet 202 des lateralen Leistungs-MOSFETs oder JFETs. Die Driftzone 208 kann eine Superjunction-Struktur mit entgegengesetzt dotierten ersten und zweiten Gebieten 210, 212 enthalten, wobei die Superjunction-Struktur eine hohe Sperrfähigkeit (z. B. > 600 V) ermöglicht, ohne den R_{dson} nachteilig zu beeinflussen. Die entgegengesetzt dotierten Gebiete 210, 212 der Superjunction-Struktur können insofern 'streifenförmig' sein, als die entgegengesetzt dotierten Superjunction-Gebiete 210, 212 eine längste lineare Abmessung in der x-Richtung in **Fig. 3** und parallel zu der vorderen Oberfläche der Silizium-Bauelementschicht 102 haben. Vier (4) Superjunction-Streifen (2 von jedem Leitfähigkeitstyp) sind in **Fig. 3** gezeigt. Das Bauelement kann jedoch auch mehr Superjunction-Streifen enthalten.

[0034] Wie durch das gestrichelte Rechteck in **Fig. 3** angedeutet, entsprechen das eine oder die mehr während des selektiven Epitaxie-Wachstumsprozesses durch die Hartmaske 108 in den **Fig. 1C** und **2C** freigelegten zweiten Gebiete 112 der Silizium-Bauelementschicht 102 der Driftzone 208 des lateralen Leistungs-MOSFETs oder JFETs. Dementsprechend ist die Driftzone 208 des lateralen Leistungs-MOSFETs oder JFETs dicker als die Source-, Drain-, Body- und Bodykontaktgebiete 200, 202, 204 des Bauelements. Im Fall eines Superjunction-Bauelements bedeutet dies, dass zumindest ein Teil der entgegengesetzt dotierten ersten und zweiten Gebiete 210, 212 der in der Driftzone 208 gebildeten Superjunction-Struktur dicker sein kann als andere Gebiete des lateralen Leistungs-MOSFETs oder JFETs, um R_{dson} zu verringern.

[0035] Zum Beispiel kann es sein, dass die Source-, Drain-, Body- und Bodykontaktgebiete 200, 202, 204 des lateralen Leistungs-MOSFETs oder JFETs nicht von einer erhöhten Epitaxie-Dicke profitieren und können daher dem einen oder den mehr ersten Gebieten 110 der Silizium-Bauelementschicht 102, die während des selektiven Epitaxie-Wachstumsprozesses in den **Fig. 1C** und **2C** durch die Hartmaske 108 abgedeckt sind, entsprechen. Wie oben erläutert, können zu Isolationszwecken verwendete Feldoxidgebiete 118 dem einen oder den mehr ersten Gebieten 110 der Silizium-Bauelementschicht 102, die während des selektiven Epitaxie-Wachstumsprozesses durch die Hartmaske 108 abgedeckt

sind, entsprechen, z. B. wie in **Fig. 2C** gezeigt, und können sich daher zu der vergrabenen Oxidschicht 106 hinab erstrecken, um den oben beschriebenen Leckagepfad zu verhindern.

[0036] In **Fig. 3** ist die Driftzone 208 des Bauelements frei von Kontaktgebieten. Bei diesem Beispiel und während des in den **Fig. 1C** und **2C** gezeigten selektiven Epitaxie-Wachstumsprozesses legen das eine oder die mehr durch die Hartmaske 108 nicht abgedeckten zweiten Gebiete 112 der Silizium-Bauelementschicht 102 die Gesamtheit des Driftzonenbereichs 208 zwischen dem Sourcekontaktgebiet 214 und dem Drain-Kontaktgebiet 216 während des in den **Fig. 1C** und **2C** gezeigten selektiven Wachstums des epitaktischen Siliziums 116 frei. Die Source- und Drainkontaktgebiete 214, 216 sind in **Fig. 3** jeweils als gestrichelte Rechtecke dargestellt, da die Kontaktgebiete 214, 216 eine vertikale Verbindungsstruktur zu den Source- bzw. Drain-Gebieten 200, 202 darstellen. Das Sourcekontaktgebiet 214 und das Drainkontaktgebiet 216 können einen einzelnen großen Kontakt (z. B. Wolfram) oder eine Reihe kleinerer, voneinander beabstandeter Kontakte enthalten.

[0037] **Fig. 4** zeigt eine Draufsicht auf eine weitere Ausführungsform eines aus dem SOI-Wafer 100 hergestellten lateralen Leistungs-MOSFETs oder JFETs. In **Fig. 4** hat die Driftzone 208 Kontaktgebiete 218, die entlang einer Länge (x-Richtung in **Fig. 4**) der Driftzone 208 lateral voneinander beabstandet sind. Die Driftzonenkontaktgebiete 218 sind in **Fig. 4** jeweils als gestrichelte Rechtecke dargestellt, da die Driftzonenkontaktgebiete 218 eine vertikale Verbindungsstruktur zu den dotierten Gebieten 212 der Superjunction-Struktur mit dem zweiten Leitfähigkeitstyp darstellen. Jedes Driftzonenkontaktgebiet 218 kann einen oder mehr Kontakte (z. B. Wolfram) für jedes dotierte Gebiet 212 der Superjunction-Struktur mit dem zweiten Leitfähigkeitstyp enthalten. In **Fig. 4** wird die Driftzone 208 während des in den **Fig. 1C** und **2C** gezeigten selektiven Epitaxie-Wachstumsprozesses zwischen den Reihen der Driftzonenkontaktgebiete 218, aber nicht unterhalb der Reihen der Kontaktgebiete 218 dicker hergestellt. Bei dieser Ausführungsform hat jedes der Source- Kontaktgebiete 214, der Drainkontaktgebiete 216 und der Driftzonenkontaktgebiete 218 eine Dicke T_{Si_init}, die durch den in den **Fig. 1C** und **2C** gezeigten selektiven Epitaxie-Wachstumsprozess unverändert bleibt und dem einen oder den mehr während des selektiven Epitaxie-Wachstumsprozesses durch die Hartmaske 108 abgedeckten ersten Gebieten 110 der Silizium-Bauelementschicht 102 entspricht.

[0038] **Fig. 5** zeigt Querschnittsansichten eines lateralen Niederspannungs (z. B. > 600 V)-SOI-MOS-Transistors 300 und einer Hochspannungs (z. B. >

600 V)-Diode 302, die unter Verwendung des hier beschriebenen SOI-Prozesses monolithisch in dasselbe Halbleiter-Die 304 integriert werden. Im Fall eines n-Kanal-Bauelements verfügt der laterale Niederspannungs-SOI-MOS-Transistor 300 über eine n⁺-Source 306, einen p-Body 308, eine n-Driftzone 310 und einen n⁺-Drain 312, die in der Silizium-Bauelementschicht 102 gebildet sind. Eine Gate-Elektrode 314, die durch ein Gate-Dielektrikum 315 von dem p-Body 308 isoliert ist, steuert den Kanal in dem p-Body Gebiet 308. Eine Abschirmungswanne 316 vom Typ p ist in dem Bulk-Siliziumsubstrat 104 gebildet und wird durch einen Kontakt 318, der sich durch die vergrabene Oxidschicht 106 erstreckt, elektrisch kontaktiert. Ein Sourcekontakt 320 kontaktiert ähnlich das n⁺-Source-Gebiet 306 elektrisch und ein Drainkontakt 322 kontaktiert ähnlich das n⁺-Drain-Gebiet 312 elektrisch.

[0039] Die Hochspannungsdioden 302 enthält ein p-Anodengebiet 324, das in dem Bulk-Siliziumsubstrat 104 gebildet ist und das durch einen Kontakt 326, der sich durch die vergrabene Oxidschicht 106 erstreckt, elektrisch kontaktiert wird. Abschirmungsringe 328 vom Typ p und ein Randabschluss-Dotierungsgebiet 330 können ebenfalls in dem Bulk-Siliziumsubstrat 104 gebildet werden. Das n⁺-Kathodengebiet 332 wird auf der Rückseite des Bulk-Siliziumsubstrats 104 gebildet.

[0040] Das monolithisch integrierte Halbleiter-Die 304 enthält sowohl den lateralen Niederspannungs-SOI-MOS-Transistor 300 als auch die Hochspannungsdioden 302, die in derselben Silizium-Bauelementschicht 102 gebildet sind. Die n-Drift-Zone 310 des lateralen Niederspannungs-SOI-MOS-Transistors 300 kann verlängert (x-Richtung in **Fig. 5**) und verdickt (z-Richtung in **Fig. 5**) werden, um einer höheren Sperrspannungsfähigkeit Rechnung zu tragen. Die n-Drift-Zone 310 kann durch Demaskieren des entsprechenden Gebiets der Silizium-Bauelementschicht 102 während des in **Fig. 1C** und **2C** gezeigten selektiven Epitaxie-Wachstumsprozesses dicker (T_{Si_epi}) hergestellt werden. Die Dicke (T_{Si_init}) anderer Gebiete der Silizium-Bauelementschicht 102 kann während des in den **Fig. 1C** und **2C** gezeigten selektiven Epitaxie-Wachstumsprozesses unverändert bleiben, indem diese Gebiete der Silizium-Bauelementschicht 102 während des selektiven Epitaxie-Wachstumsprozesses maskiert werden. Zum Beispiel können die Gebiete der Silizium-Bauelementschicht 102, die den Source-, Drain-, Gate- und Kontaktgebieten 306, 312, 314, 318, 320, 322, 334 des monolithisch integrierten Bauelements entsprechen, während des in den **Fig. 1C** und **2C** gezeigten selektiven Epitaxie-Wachstumsprozesses maskiert werden.

[0041] **Fig. 6** zeigt eine Draufsicht auf eine Ausführungsform eines Leistungstransistorbauelements

400, das in einem unter Verwendung des hier beschriebenen SOI-Prozesses hergestellten Halbleiter-Die enthalten ist. In **Fig. 6** sind zwei (2) Gate-Finger 402 gezeigt, aber das Leistungstransistorbauelement 400 kann mehr als zwei Gate-Finger 402 enthalten. Jeder Gate-Finger 402 steuert einen Leitungskanal zwischen einer Gruppe von Sourceinseln 404 vom ersten Leitfähigkeitstyp und einer Driftzone 406 vom ersten Leitfähigkeitstyp durch ein entsprechendes Body-Gebiet 408 vom zweiten Leitfähigkeitstyp. Ein Bodykontaktgebiet 410, das vom zweiten Leitfähigkeitstyp ist und eine höhere Dotierungskonzentration als das Body-Gebiet aufweist, sorgt für eine ohmsche Verbindung zu der darüber liegenden Source-Metallisierung (in **Fig. 3** nicht gezeigt). Die Driftzonen 406 erstrecken sich bis zu einem Drain-Gebiet 412 vom ersten Leitfähigkeitstyp. Die Source/Body- und Drainkontaktgebiete 414, 416 sind in **Fig. 6** als gestrichelte Rechtecke dargestellt, da die Kontaktgebiete 414, 416 eine vertikale Verbindungsstruktur zu den Source/Body- bzw. Drain-Gebieten 404/408, 412 des Leistungstransistorbauelements 400 darstellen.

[0042] Bei dem in **Fig. 6** gezeigten Leistungstransistorbauelement 400 und anderen Transistor-Bauelementen mit einem ähnlichen Layout kann der gesamte aktive Bereich während des in den **Fig. 1C** und **2C** gezeigten selektiven Epitaxie-Wachstumsprozesses durch die Hartmaske 108 unbedeckt sein, da für kein Gebiet des Bauelements ein dünner (T_{Si_init}) SOI-Bereich erforderlich ist. Das große Rechteck, das in **Fig. 6** den aktiven Bereich umgibt, entspricht einem zweiten Gebiet 112 der Silizium-Bauelementschicht 102, das während des selektiven Wachstums des epitaktischen Siliziums 116 in den **Fig. 1C** und **2C** durch die Hartmaske 108 unbedeckt ist. Dementsprechend wird die Dicke des gesamten aktiven Bereichs des Leistungstransistorbauelements 400 durch den in den **Fig. 1C** und **2C** gezeigten selektiven Epitaxie-Wachstumsprozess von T_{Si_init} auf T_{Si_epi} erhöht. Das eine oder die mehr ersten Gebiete 110 der Silizium-Bauelementschicht 102, die während des in den **Fig. 1C** und **2C** gezeigten selektiven Epitaxie-Wachstumsprozesses durch die Hartmaske 108 geschützt sind, können einem zusätzlichen Bauelement (nicht gezeigt) entsprechen, das mit dem Leistungstransistorbauelement 400 auf demselben Halbleiter-Die monolithisch integriert ist und eine niedrigere Durchbruchspannung als das Leistungstransistorbauelement 400 aufweist.

[0043] **Fig. 7** zeigt eine schematische Draufsicht auf ein Halbleiter-Die 500, das einen oder mehr mit Niederspannungs (z. B. Durchbruchspannung < 600 V)-Bereiche 502 und einen oder mehr Hochspannungs (z. B. Durchbruchspannung > 600 V)-Bereiche 504 enthält. Das große Rechteck, das in **Fig. 6** jeden Hochspannungsbereich 504 umgibt, entspricht

einem zweiten Gebiet 112 der Silizium-Bauelementschicht 102, das während des in den **Fig. 1C** und **2C** gezeigten selektiven Wachsens des epitaktischen Siliziums 116 durch die Hartmaske 108 unbedeckt ist. Dementsprechend nimmt die Dicke der Silizium-Bauelementschicht 102 in dem einen oder den mehr Hochspannungsbereichen 504 während des in den **Fig. 1C** und **2C** gezeigten selektiven Epitaxie-Wachstumsprozesses von T_{Si_init} auf T_{Si_epi} zu. Die Dicke der Silizium-Bauelementschicht 102 kann in dem gesamten aktiven Bereich des einen oder der mehr Hochspannungsbereiche 504 auf T_{Si_epi} erhöht werden, z. B. wie in **Fig. 6** gezeigt, oder in (einem) ausgewählten Gebiet(en) wie etwa der Driftzone, z. B. wie in den **Fig. 3** und **4** gezeigt, wo andere Gebiete wie Kontaktgebiete die anfängliche Si-Dicke T_{Si_init} beibehalten.

[0044] Jeder Niederspannungsbereich 502 wird während des in den **Fig. 1C** und **2C** gezeigten selektiven Epitaxie-Wachstumsprozesse durch die Hartmaske 108 geschützt und behält daher die ursprüngliche Dicke der Si-Bauelement-Schichtdicke T_{Si_init} durchgehend bei. Der/die Hochspannungsbereich(e) 504 kann Leistungshalbleiterbauelemente wie etwa eine Hochspannungsdiode, einen lateralen Leistungs-MOSFET, einen lateralen JFET mit einem Hochspannungs-NMOS-Bauelement usw. enthalten. Der/die Niederspannungsbereich(e) 502 kann/können z. B. Logikbauelemente, Niederspannungs-NMOS-Bauelemente, Treiberschaltkreise oder andere Arten von Halbleiterbauelementen, die eine niedrigere Durchbruchspannung aufweisen als die in dem einen oder den mehr Hochspannungsbereichen 504 enthaltenen Leistungshalbleiterbauelemente enthalten.

[0045] Obwohl die vorliegende Offenbarung nicht so beschränkt ist, zeigen die folgenden nummerierten Beispiele einen oder mehr Aspekte der Offenbarung.

[0046] Beispiel 1. Verfahren zum Herstellen von Leistungshalbleiterbauelementen aus einem Silizium-auf-Isolator (SOI)-Wafer, der eine Silizium-Bauelementschicht, einen Bulk-Silizium-Wafer und eine vergrabene Oxidschicht, die die Silizium-Bauelementschicht von dem Bulk-Silizium-Wafer trennt, enthält, wobei das Verfahren aufweist: Bilden einer Hartmaske auf der Silizium-Bauelementschicht, wobei die Hartmaske ein oder mehr erste Gebiete der Silizium-Bauelementschicht abdeckt und ein oder mehr zweite Gebiete der Silizium-Bauelementschicht freilegt; und selektives Wachsen von epitaktischem Silizium auf dem einen oder den mehr zweiten Gebieten der Silizium-Bauelementschicht, die durch die Hartmaske freigelegt sind, so dass die Dicke des einen oder der mehr zweiten Gebiete relativ zu dem einen oder den mehr ersten Gebieten erhöht wird, vor dem Bilden jeglicher Feldoxidstruk-

turen und vor dem Implantieren jeglicher Bauelementgebiete.

[0047] Beispiel 2. Verfahren nach Beispiel 1, wobei die Leistungshalbleiterbauelemente laterale Leistungs-MOSFETs (Metall-Oxid-Halbleiter-Feldeffekttransistoren) sind, und wobei das eine oder die mehr zweiten Gebiete der Silizium-Bauelementschicht, die während des selektiven Wachsens des epitaktischen Siliziums durch die Hartmaske freigelegt sind, Driftzonen der lateralen Leistungs-MOSFETs entsprechen.

[0048] Beispiel 3. Verfahren nach Beispiel 2, wobei das eine oder die mehr ersten Gebiete der Silizium-Bauelementschicht, die während des selektiven Wachsens des epitaktischen Siliziums durch die Hartmaske abgedeckt werden, Kontaktgebieten der lateralen Leistungs-MOSFETs entsprechen.

[0049] Beispiel 4. Verfahren nach Beispiel 3, wobei mehrere Reihen der Kontaktgebiete entlang einer Länge der Driftzonen lateral voneinander beabstandet sind, und wobei die Driftzonen während des selektiven Wachsens des epitaktischen Siliziums zwischen den Reihen der Kontaktgebiete, aber nicht unterhalb der Reihen der Kontaktgebiete dicker hergestellt werden.

[0050] Beispiel 5. Verfahren nach Beispiel 3 oder 4, wobei eine erste Reihe der Kontaktgebiete Sourcekontaktgebiete mit einer Dicke, die durch das selektive Wachsen des epitaktischen Siliziums unverändert bleibt, sind, und wobei eine zweite Reihe der Kontaktgebiete Drainkontaktgebiete mit einer Dicke, die durch das selektive Wachsen des epitaktischen Siliziums unverändert bleibt, sind.

[0051] Beispiel 6. Verfahren nach Beispiel 1, wobei die Leistungshalbleiterbauelemente laterale JFETs (Sperrschicht-Feldeffekttransistoren) sind, und wobei das eine oder die mehr zweiten Gebiete der Silizium-Bauelementschicht, die während des selektiven Wachsens des epitaktischen Siliziums durch die Hartmaske freigelegt sind, Driftzonen der lateralen JFETs entsprechen.

[0052] Beispiel 7. Verfahren nach Beispiel 6, wobei das eine oder die mehr ersten Gebiete der Silizium-Bauelementschicht, die während des selektiven Wachsens des epitaktischen Siliziums durch die Hartmaske abgedeckt sind, Sourcekontaktgebieten und Drainkontaktgebieten der lateralen JFETs entsprechen, und wobei sowohl die Sourcekontaktgebiete als auch die Drainkontaktgebiete eine Dicke, die durch das selektive Wachsen des epitaktischen Siliziums unverändert bleibt, aufweisen.

[0053] Beispiel 8. Verfahren nach Beispiel 7, wobei die Driftzonen frei von Kontaktgebieten sind, und

wobei das eine oder die mehr zweiten Gebiete der Silizium-Bauelementschicht während des selektiven Wachsens des epitaktischen Siliziums eine Gesamtheit des Driftzonenbereichs zwischen den Sourcekontaktgebieten und den Drainkontaktgebieten freilegen.

[0054] Beispiel 9. Verfahren nach einem der Beispiele 1 bis 8, wobei das eine oder die mehr zweiten Gebiete der Silizium-Bauelementschicht, die während des selektiven Wachsens des epitaktischen Siliziums durch die Hartmaske freigelegt sind, den Driftzonen der Leistungshalbleiterbauelemente entsprechen, und wobei das eine oder die mehr ersten Gebiete der Silizium-Bauelementschicht, die während des selektiven Wachsens des epitaktischen Siliziums durch die Hartmaske abgedeckt sind, zusätzlichen Halbleiterbauelementen, die eine niedrigere Durchbruchspannung als die Leistungshalbleiterbauelemente aufweisen, entsprechen.

[0055] Beispiel 10. Verfahren nach einem der Beispiele 1 bis 9, wobei das eine oder die mehr ersten Gebiete der Silizium-Bauelementschicht, die während des selektiven Wachsens des epitaktischen Siliziums durch die Hartmaske abgedeckt sind, Feldoxidgebieten der Leistungshalbleiterbauelemente entsprechen.

[0056] Beispiel 11. Verfahren nach einem der Beispiele 1 bis 10, wobei das eine oder die mehr ersten Gebiete der Silizium-Bauelementschicht, die während des selektiven Wachsens des epitaktischen Siliziums durch die Hartmaske abgedeckt sind, Kontaktgebieten der Leistungshalbleiterbauelemente entsprechen.

[0057] Beispiel 12. Verfahren nach einem der Beispiele 1 bis 11, wobei die Leistungshalbleiterbauelemente PMOS-Bauelemente, die eine Durchbruchspannung von mehr als 600 V aufweisen, sind, und das eine oder die mehr ersten Gebiete der Silizium-Bauelementschicht, die während des selektiven Wachsens des epitaktischen Siliziums durch die Hartmaske abgedeckt sind, zusätzlichen Halbleiterbauelementen mit einer Durchbruchspannung von weniger als 600 V entsprechen.

[0058] Beispiel 13. Verfahren nach einem der Beispiele 1 bis 12, wobei die Silizium-Bauelementschicht vor dem selektiven Wachsen des epitaktischen Siliziums eine einzige Dicke in einem Bereich von 100 bis 200 nm aufweist.

[0059] Beispiel 14. Verfahren nach einem der Beispiele 1 bis 13, wobei die Hartmaske Tetraethoxysilan, das durch chemische Niederdruck-Gasphaseabscheidung gebildet wird, aufweist.

[0060] Beispiel 15. Halbleiter-Die, das aufweist: ein Silizium-auf-Isolator (SOI)-Substrat, das eine Silizium-Bauelementschicht, ein Bulk-Siliziumsubstrat und eine vergrabene Oxidschicht, die die Silizium-Bauelementschicht von dem Bulk-Siliziumsubstrat trennt, enthält; einen lateralen Leistungs-MOSFET (Metalloxid-Halbleiter-Feldeffekttransistor), der in einem ersten Bauelementgebiet der Silizium-Bauelementschicht gebildet ist; und ein zusätzliches Halbleiterbauelement, das in einem zweiten Bauelementgebiet der Silizium-Bauelementschicht gebildet ist und eine niedrigere Durchbruchspannung als der laterale Leistungs-MOSFET aufweist, wobei die Silizium-Bauelementschicht eine erste Dicke in einem ersten Teil des ersten Bauelementgebiets und eine zweite Dicke in einem zweiten Teil des ersten Bauelementgebiets aufweist, wobei die zweite Dicke größer als die erste Dicke ist, wobei die Silizium-Bauelementschicht in dem gesamten zweiten Bauelementgebiet die erste Dicke aufweist.

[0061] Beispiel 16. Halbleiter-Die nach Beispiel 15, wobei der zweite Teil des ersten Bauelementgebiets eine Driftzone des lateralen Leistungs-MOSFET enthält, und wobei der erste Teil des ersten Bauelementgebiets Kontaktgebiete des lateralen Leistungs-MOSFETs enthält.

[0062] Beispiel 17. Halbleiter-Die nach Beispiel 16, wobei die Kontaktgebiete in Reihen, die entlang einer Länge der Driftzone lateral voneinander beabstandet sind, angeordnet sind, so dass die Driftzone zwischen den Reihen der Kontaktgebiete dicker und unterhalb der Reihen der Kontaktgebiete dünner ist.

[0063] Beispiel 18. Halbleiter-Die nach Beispiel 16 oder 17, wobei eine erste Reihe der Kontaktgebiete Sourcekontaktgebiete des lateralen Leistungs-MOSFETs sind und eine zweite Reihe der Kontaktgebiete Drainkontaktgebiete des lateralen Leistungs-MOSFETs sind, und wobei die Driftzone frei von den Kontaktgebieten ist, so dass die Driftzone die zweite Dicke entlang einer Gesamtheit des Driftzonenbereichs zwischen den Sourcekontaktgebieten und den Drainkontaktgebieten aufweist.

[0064] Beispiel 19. Halbleiterbauelement nach Beispiel 15, wobei der zweite Teil des ersten Bauelementgebiets eine Driftzone des lateralen Leistungs-MOSFETs enthält und wobei der erste Teil des ersten Bauelementgebiets Feldoxidgebiete enthält.

[0065] Beispiel 20. Halbleiter-Die, das aufweist: ein Silizium-auf-Isolator (SOI)-Substrat, das eine Silizium-Bauelementschicht, ein Bulk-Siliziumsubstrat und eine vergrabene Oxidschicht, die die Silizium-Bauelementschicht von dem Bulk-Siliziumsubstrat trennt, enthält; und einen lateralen JFET (Sperrschicht-Feldeffekttransistor), der in der Silizium-Bauelementschicht gebildet ist, wobei ein erster Teil

der Silizium-Bauelementschicht eine erste Dicke aufweist und ein zweiter Teil der Silizium-Bauelementschicht eine zweite Dicke, die größer als die erste Dicke ist, aufweist, wobei der laterale JFET in der Silizium-Bauelementschicht ein Source-Gebiet, ein Drain-Gebiet, eine an das Drain-Gebiet angrenzende Drift-Zone und ein Body-Gebiet, das das Source-Gebiet von der Drift-Zone trennt, aufweist, wobei die Driftzone in dem zweiten Teil der Silizium-Bauelementschicht gebildet ist.

[0066] Beispiel 21. Halbleiter-Die nach Beispiel 20, wobei die Kontaktgebiete des lateralen JFETs im ersten Teil der Silizium-Bauelementschicht gebildet sind.

[0067] Beispiel 22. Halbleiter-Die nach Beispiel 21, wobei eine erste Reihe der Kontaktgebiete Sourcekontaktgebiete des lateralen JFETs sind und eine zweite Reihe der Kontaktgebiete Drainkontaktgebiete des lateralen JFETs sind, und wobei die Driftzone frei von den Kontaktgebieten ist, so dass die Driftzone die zweite Dicke entlang einer Gesamtheit des Driftzonenbereichs zwischen den Sourcekontaktgebieten und den Drainkontaktgebieten aufweist.

[0068] Begriffe wie etwa „erster/erste/erstes“, „zweiter/zweite/zweites“ und dergleichen werden verwendet, um verschiedene Elemente, Gebiete, Abschnitte usw. zu beschreiben, und sind auch nicht als einschränkend zu verstehen. Gleiche Begriffe beziehen sich in der gesamten Beschreibung auf gleiche Elemente.

[0069] Die Begriffe „haben“, „enthalten“, „einschließen“, „aufweisen“ und dergleichen, wie sie hier verwendet werden, sind offene Begriffe, die das Vorhandensein genannter Elemente oder Merkmale anzeigen, aber zusätzliche Elemente oder Merkmale nicht ausschließen. Die Artikel „einer/eine/ein“ und „der/die/das“ sollen sowohl den Plural als auch den Singular einschließen, sofern nicht der Kontext eindeutig auf etwas anderes hindeutet.

[0070] Es versteht sich von selbst, dass die Merkmale der verschiedenen hier beschriebenen Ausführungsformen, sofern nicht ausdrücklich anders angegeben, miteinander kombiniert werden können.

[0071] Obwohl hier spezifische Ausführungsformen gezeigt und beschrieben wurden, werden Fachleute erkennen, dass die gezeigten und beschriebenen spezifischen Ausführungsformen durch eine Vielzahl alternativer und/oder gleichwertiger Implementierungen ersetzt werden können, ohne den Rahmen der vorliegenden Erfindung zu verlassen. Diese Anmeldung soll alle Anpassungen oder Variationen der hier erörterten Ausführungsformen abdecken. Daher ist beabsichtigt, dass diese Erfindung nur durch die

Ansprüche und deren Äquivalente eingeschränkt wird.

Patentansprüche

1. Verfahren zum Herstellen von Leistungshalbleiterbauelementen aus einem Silizium-auf-Isolator, SOI, -Wafer (100), der eine Silizium-Bauelementschicht (102), einen Bulk-Silizium-Wafer (104) und eine vergrabene Oxidschicht (106), die die Silizium-Bauelementschicht (102) von dem Bulk-Silizium-Wafer (106) trennt, enthält, wobei das Verfahren aufweist:

Bilden einer Hartmaske (108) auf der Silizium-Bauelementschicht (102), wobei die Hartmaske (108) ein oder mehr erste Gebiete (110) der Silizium-Bauelementschicht abdeckt und ein oder mehr zweite Gebiete (112) der Silizium-Bauelementschicht (102) freilegt; und

selektives Wachsen von epitaktischem Silizium (116) auf dem einen oder den mehr zweiten Gebieten (112) der Silizium-Bauelementschicht (102), die durch die Hartmaske (108) freigelegt sind, so dass die Dicke des einen oder der mehr zweiten Gebiete (112) relativ zu dem einen oder den mehr ersten Gebieten (110) erhöht wird, vor dem Bilden jeglicher Feldoxidstrukturen und vor dem Implantieren jeglicher Bauelementgebiete.

2. Verfahren nach Anspruch 1, wobei die Leistungshalbleiterbauelemente laterale Leistungs-MOSFETs sind, und wobei das eine oder die mehr zweiten Gebiete (112) der Silizium-Bauelementschicht (102), die während des selektiven Wachsens des epitaktischen Siliziums (116) durch die Hartmaske (108) freigelegt sind, Driftzonen (208) der lateralen Leistungs-MOSFETs entsprechen.

3. Verfahren nach Anspruch 2, wobei das eine oder die mehr ersten Gebiete (110) der Silizium-Bauelementschicht (102), die während des selektiven Wachsens des epitaktischen Siliziums durch die Hartmaske (108) abgedeckt werden, Kontaktgebieten (214, 216, 218) der lateralen Leistungs-MOSFETs entsprechen.

4. Verfahren nach Anspruch 3, wobei mehrere Reihen der Kontaktgebiete (218) entlang einer Länge der Driftzonen (208) lateral voneinander beabstandet sind, und wobei die Driftzonen (208) während des selektiven Wachsens des epitaktischen Siliziums (116) zwischen den Reihen der Kontaktgebiete (218), aber nicht unterhalb der Reihen der Kontaktgebiete (218) dicker hergestellt werden.

5. Verfahren nach Anspruch 3, wobei eine erste Reihe der Kontaktgebiete (214, 216, 218) Sourcekontaktgebiete (214) mit einer

Dicke, die durch das selektive Wachsen des epitaktischen Siliziums (116) unverändert bleibt, sind, und wobei eine zweite Reihe der Kontaktgebiete (214, 216, 218) Drainkontaktgebiete (216) mit einer Dicke, die durch das selektive Wachsen des epitaktischen Siliziums (116) unverändert bleibt, sind.

6. Verfahren nach Anspruch 1, wobei die Leistungshalbleiterbauelemente laterale JFETs (Sperrschicht-Feldeffekttransistoren) sind, und wobei das eine oder die mehr zweiten Gebiete (112) der Silizium-Bauelementschicht (120), die während des selektiven Wachsens des epitaktischen Siliziums (116) durch die Hartmaske (108) freigelegt sind, Driftzonen (208) der lateralen JFETs entsprechen.

7. Verfahren nach Anspruch 6, wobei das eine oder die mehr ersten Gebiete (110) der Silizium-Bauelementschicht (102), die während des selektiven Wachsens des epitaktischen Siliziums (116) durch die Hartmaske (108) abgedeckt sind, Sourcekontaktgebieten (214) und Drainkontaktgebieten (216) der lateralen JFETs entsprechen, und wobei sowohl die Sourcekontaktgebiete (214) als auch die Drainkontaktgebiete (216) eine Dicke, die durch das selektive Wachsen des epitaktischen Siliziums (116) unverändert bleibt, aufweisen.

8. Verfahren nach Anspruch 7, wobei die Driftzonen (208) frei von Kontaktgebieten sind, und wobei das eine oder die mehr zweiten Gebiete (112) der Silizium-Bauelementschicht (102) während des selektiven Wachsens des epitaktischen Siliziums (116) eine Gesamtheit des Driftzonenbereichs zwischen den Sourcekontaktgebieten (214) und den Drainkontaktgebieten (216) freilegen.

9. Verfahren nach Anspruch 1, wobei das eine oder die mehr zweiten Gebiete (112) der Silizium-Bauelementschicht (102), die während des selektiven Wachsens des epitaktischen Siliziums (116) durch die Hartmaske (108) freigelegt sind, den Driftzonen (208) der Leistungshalbleiterbauelemente entsprechen, und wobei das eine oder die mehr ersten Gebiete (110) der Silizium-Bauelementschicht (102), die während des selektiven Wachsens des epitaktischen Siliziums (116) durch die Hartmaske (108) abgedeckt sind, zusätzlichen Halbleiterbauelementen, die eine niedrigere Durchbruchspannung als die Leistungshalbleiterbauelemente aufweisen, entsprechen.

10. Verfahren nach Anspruch 1, wobei das eine oder die mehr ersten Gebiete (110) der Silizium-Bauelementschicht (102), die während des selektiven Wachsens des epitaktischen Siliziums (116)

durch die Hartmaske (108) abgedeckt sind, Feldoxidgebieten der Leistungshalbleiterbauelemente entsprechen.

11. Verfahren nach Anspruch 1, wobei das eine oder die mehr ersten Gebiete (110) der Silizium-Bauelementschicht (102), die während des selektiven Wachsens des epitaktischen Siliziums (116) durch die Hartmaske (108) abgedeckt sind, Kontaktgebieten (214, 216, 218) der Leistungshalbleiterbauelemente entsprechen.

12. Verfahren nach einem der vorhergehenden Ansprüche, wobei die Leistungshalbleiterbauelemente PMOS-Bauelemente, die eine Durchbruchspannung von mehr als 600 V aufweisen, sind, und das eine oder die mehr ersten Gebiete (110) der Silizium-Bauelementschicht (102), die während des selektiven Wachsens des epitaktischen Siliziums (116) durch die Hartmaske (108) abgedeckt sind, zusätzlichen Halbleiterbauelementen mit einer Durchbruchspannung von weniger als 600 V entsprechen.

13. Verfahren nach einem der vorhergehenden Ansprüche, wobei die Silizium-Bauelementschicht (102) vor dem selektiven Wachsen des epitaktischen Siliziums (116) eine einzige Dicke in einem Bereich von 100 bis 200 nm aufweist.

14. Verfahren nach einem der vorhergehenden Ansprüche, wobei die Hartmaske (108) Tetraethoxysilan, das durch chemische Niederdruck-Gasphasenabscheidung gebildet wird, aufweist.

15. Halbleiter-Die, das aufweist:
ein Silizium-auf-Isolator (SOI)-Substrat (100), das eine Silizium-Bauelementschicht (102), ein Bulk-Siliziumsubstrat (104) und eine vergrabene Oxidschicht (106), die die Silizium-Bauelementschicht (102) von dem Bulk-Siliziumsubstrat (104) trennt, enthält;
einen lateralen Leistungs-MOSFET (Metalloxid-Halbleiter-Feldeffekttransistor), der in einem ersten Bauelementgebiet der Silizium-Bauelementschicht (102) gebildet ist; und
ein zusätzliches Halbleiterbauelement, das in einem zweiten Bauelementgebiet der Silizium-Bauelementschicht (102) gebildet ist und eine niedrigere Durchbruchspannung als der laterale Leistungs-MOSFET aufweist,
wobei die Silizium-Bauelementschicht (102) eine erste Dicke in einem ersten Teil des ersten Bauelementgebiets und eine zweite Dicke in einem zweiten Teil des ersten Bauelementgebiets aufweist, wobei die zweite Dicke größer als die erste Dicke ist,
wobei die Silizium-Bauelementschicht (102) in dem gesamten zweiten Bauelementgebiet die erste Dicke aufweist.

16. Halbleiter-Die nach Anspruch 15, wobei der zweite Teil des ersten Bauelementgebiets eine Driftzone (208) des lateralen Leistungs-MOS-FET enthält, und wobei der erste Teil des ersten Bauelementgebiets Kontaktgebiete (214, 216, 218) des lateralen Leistungs-MOSFETs enthält.

17. Halbleiter-Die nach Anspruch 16, wobei die Kontaktgebiete (218) in Reihen, die entlang einer Länge der Driftzone (208) lateral voneinander beabstandet sind, angeordnet sind, so dass die Driftzone (208) zwischen den Reihen der Kontaktgebiete (218) dicker und unterhalb der Reihen der Kontaktgebiete dünner ist.

18. Halbleiter-Die nach Anspruch 16, wobei eine erste Reihe der Kontaktgebiete Sourcekontaktgebiete (214) des lateralen Leistungs-MOS-FETs sind und eine zweite Reihe der Kontaktgebiete Drainkontaktgebiete (216) des lateralen Leistungs-MOSFETs sind, und wobei die Driftzone (208) frei von den Kontaktgebieten ist, so dass die Driftzone (208) die zweite Dicke entlang einer Gesamtheit des Driftzonenbereichs zwischen den Sourcekontaktgebieten (214) und den Drainkontaktgebieten (216) aufweist.

19. Halbleiterbauelement nach Anspruch 15, wobei der zweite Teil des ersten Bauelementgebiets eine Driftzone (208) des lateralen Leistungs-MOS-FETs enthält und wobei der erste Teil des ersten Bauelementgebiets Feldoxidgebiete enthält.

20. Halbleiter-Die, das aufweist: ein Silizium-auf-Isolator (SOI)-Substrat (100), das eine Silizium-Bauelementschicht (102), ein Bulk-Siliziumsubstrat (104) und eine vergrabene Oxidschicht (106), die die Silizium-Bauelementschicht (102) von dem Bulk-Siliziumsubstrat (104) trennt, enthält; und einen lateralen JFET (Sperrschicht-Feldeffekttransistor), der in der Silizium-Bauelementschicht (102) gebildet ist, wobei ein erster Teil (110) der Silizium-Bauelementschicht (102) eine erste Dicke aufweist und ein zweiter Teil der Silizium-Bauelementschicht (102) eine zweite Dicke, die größer als die erste Dicke ist, aufweist, wobei der laterale JFET in der Silizium-Bauelementschicht (102) ein Source-Gebiet (200), ein Drain-Gebiet (202), eine an das Drain-Gebiet (202) angrenzende Drift-Zone (208) und ein Body-Gebiet, das das Source-Gebiet (200) von der Drift-Zone (208) trennt, aufweist, wobei die Driftzone (208) in dem zweiten Teil (112) der Silizium-Bauelementschicht (102) gebildet ist.

21. Halbleiter-Die nach Anspruch 20, wobei die Kontaktgebiete (214, 216, 218) des lateralen JFETs im ersten Teil (110) der Silizium-Bauelementschicht gebildet sind.

22. Halbleiter-Die nach Anspruch 21, wobei eine erste Reihe der Kontaktgebiete Sourcekontaktgebiete (214) des lateralen JFETs sind und eine zweite Reihe der Kontaktgebiete Drainkontaktgebiete (216) des lateralen JFETs sind, und wobei die Driftzone (208) frei von den Kontaktgebieten ist, so dass die Driftzone (208) die zweite Dicke entlang einer Gesamtheit des Driftzonenbereichs zwischen den Sourcekontaktgebieten (214) und den Drainkontaktgebieten (216) aufweist.

Es folgen 7 Seiten Zeichnungen

Anhängende Zeichnungen

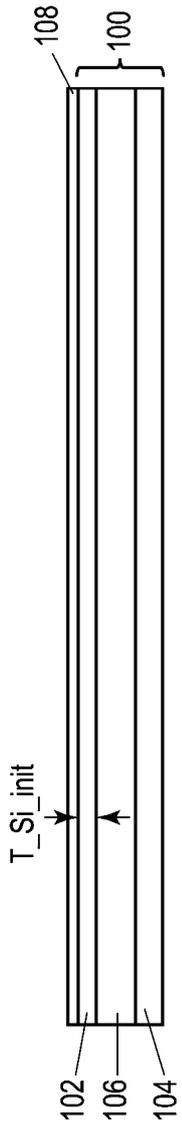


FIG. 1A

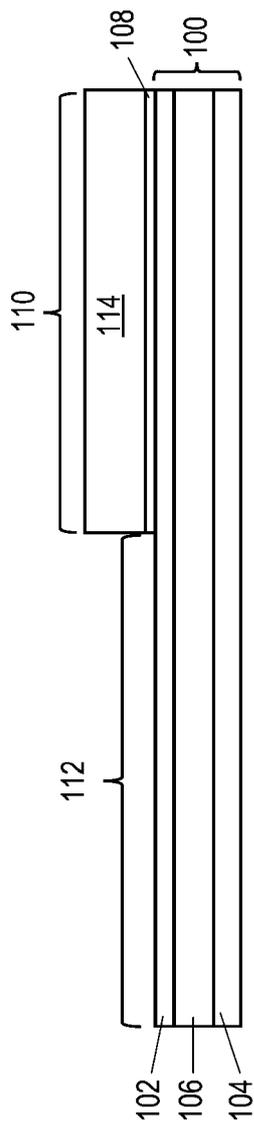


FIG. 1B

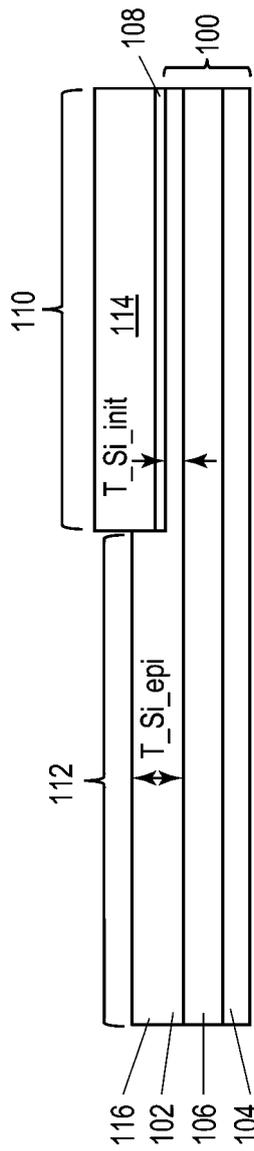


FIG. 1C

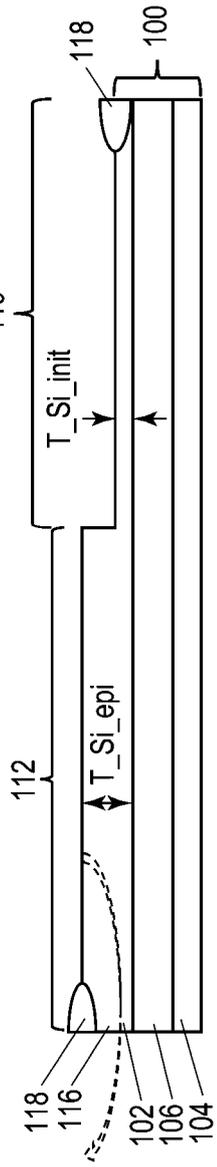


FIG. 1D

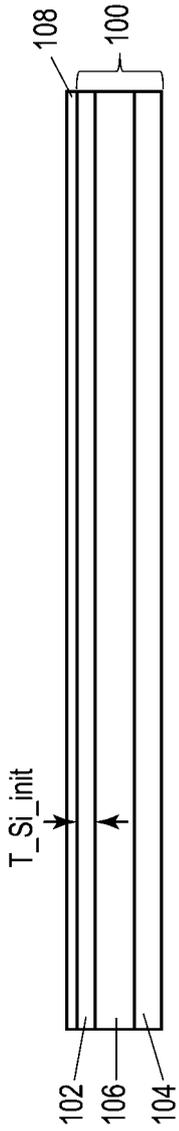


FIG. 2A

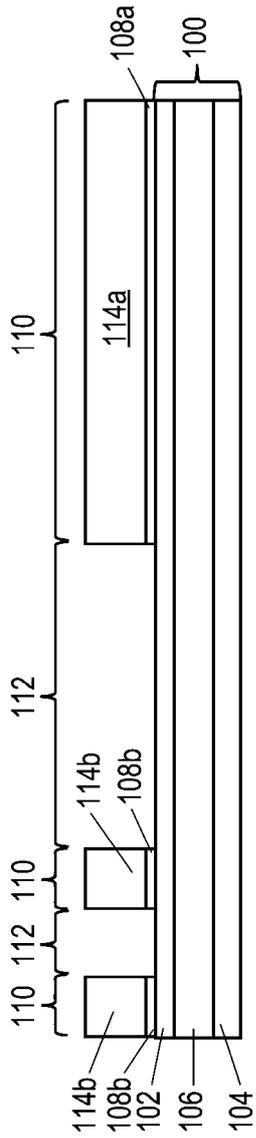


FIG. 2B

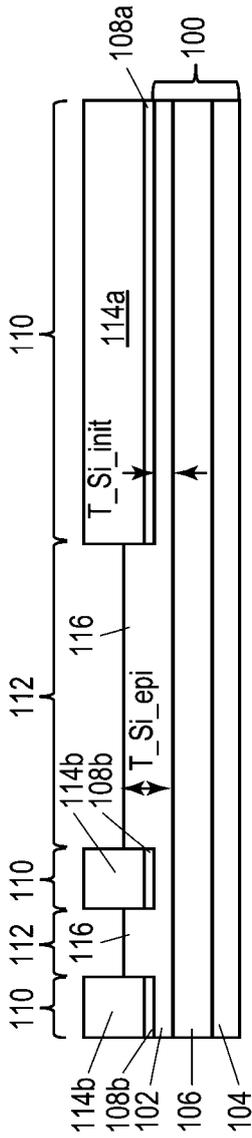


FIG. 2C

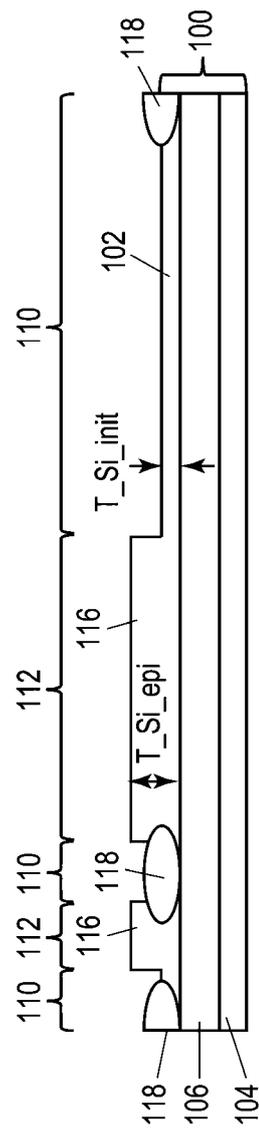


FIG. 2D

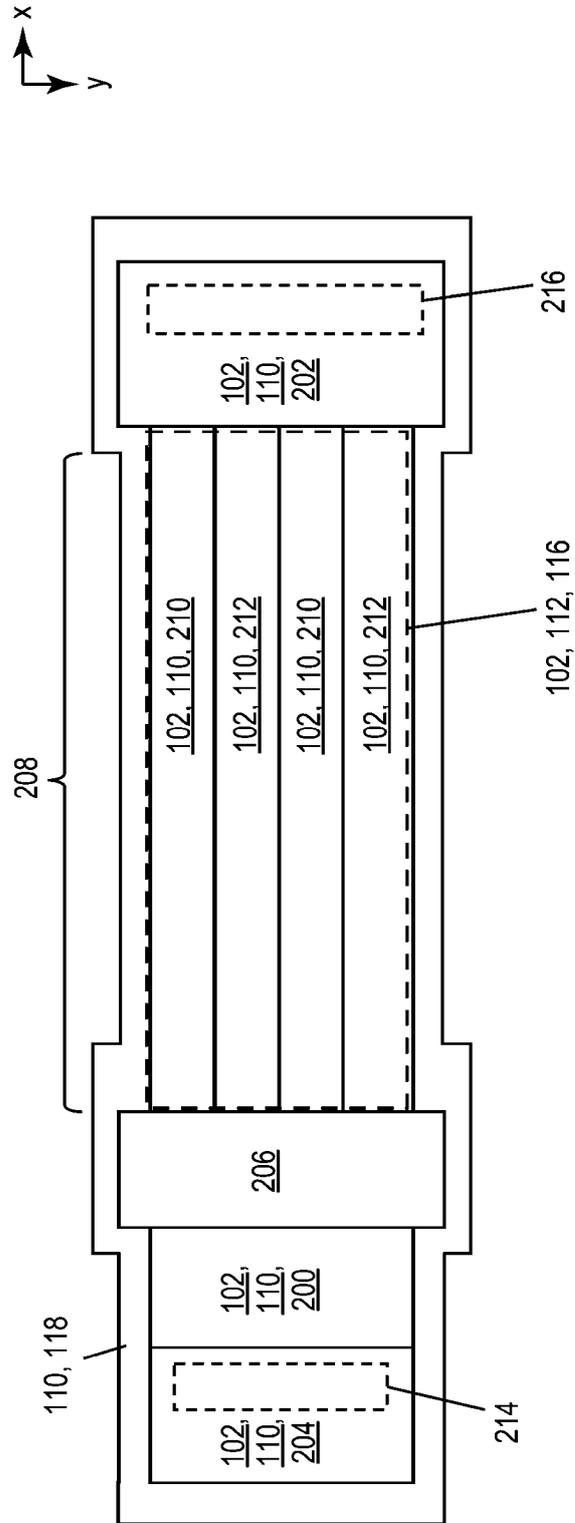


FIG. 3

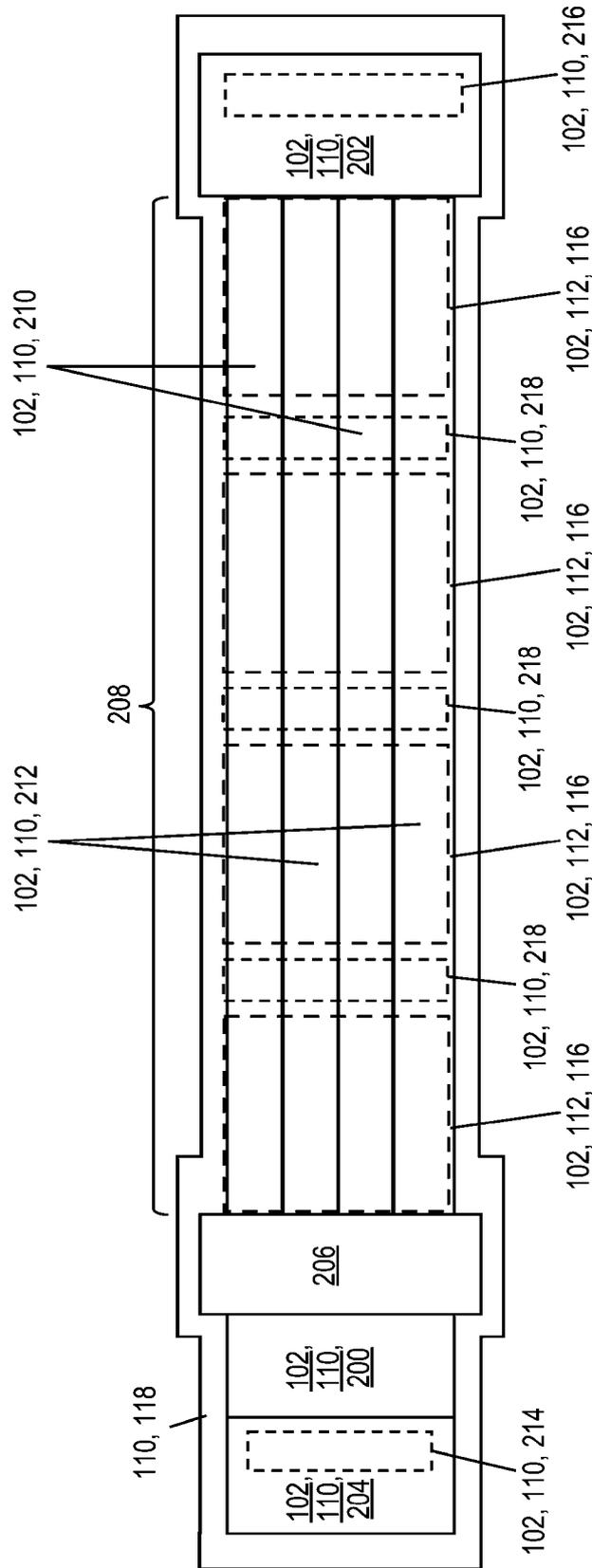
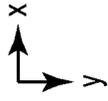


FIG. 4

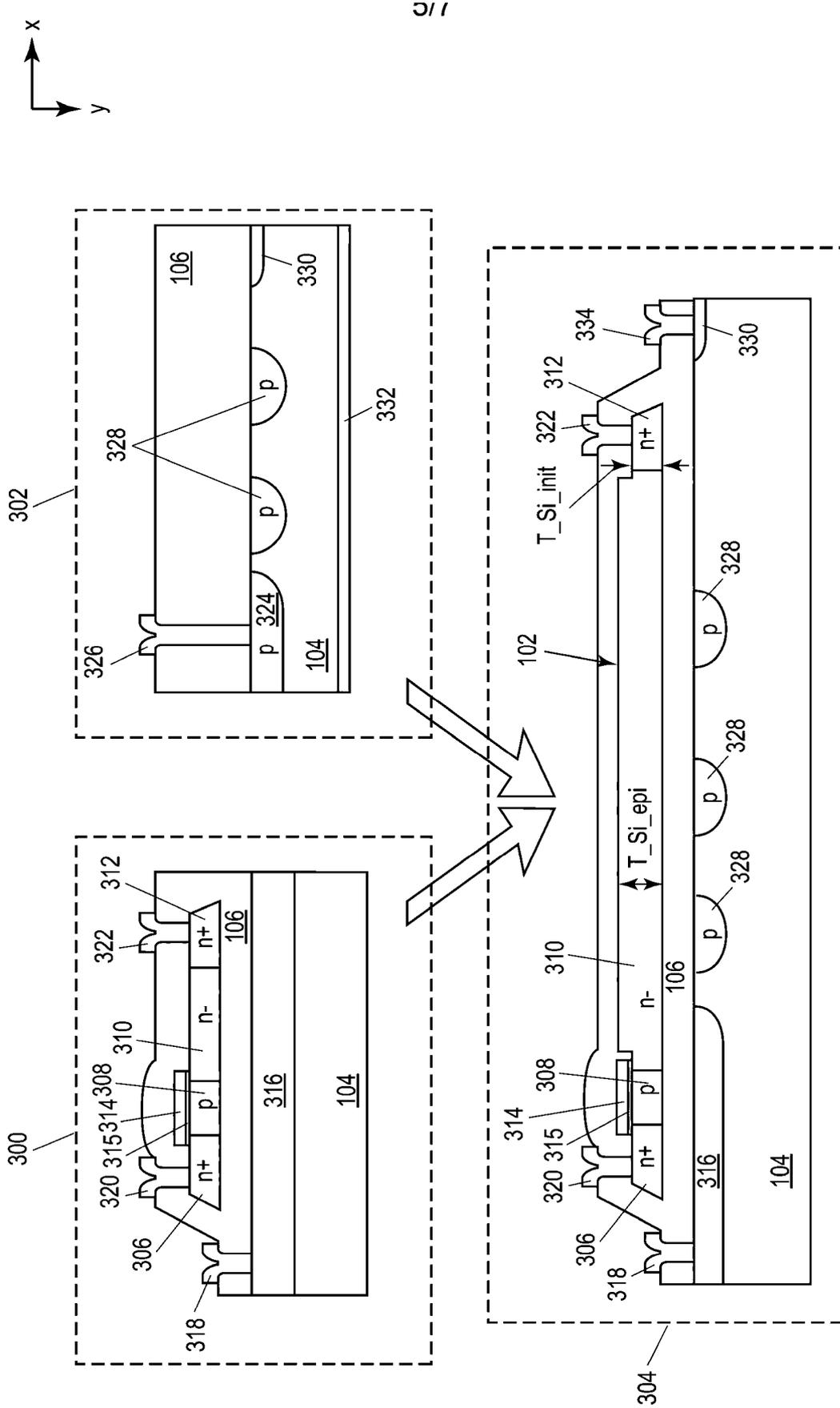


FIG. 5

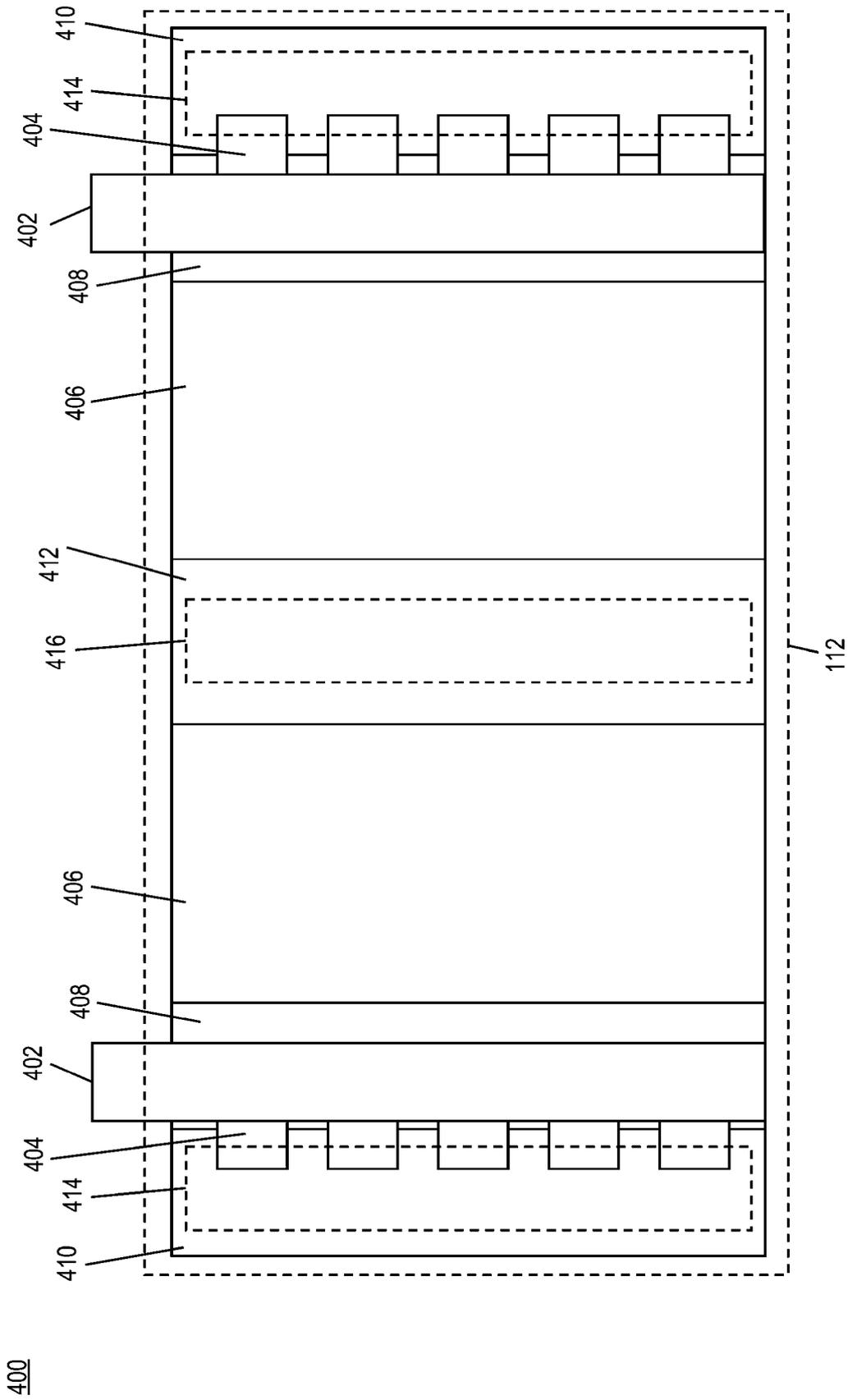


FIG. 6

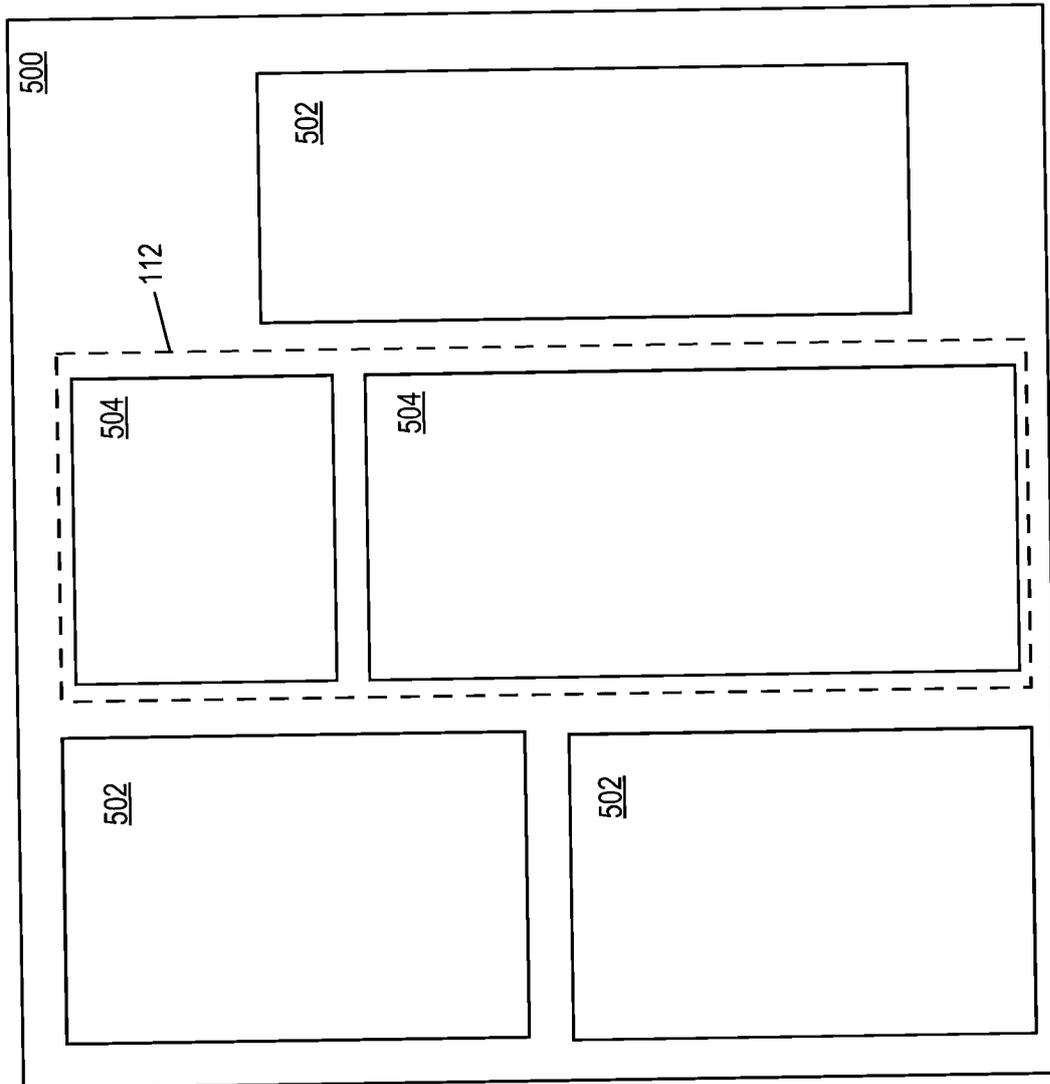


FIG. 7