

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.<sup>6</sup> (45) 공고일자 1999년06월 15일  
H01L 27/108 (11) 등록번호 10-0200890  
(24) 등록일자 1999년03월 11일

(21) 출원번호 10-1995-0016071 (65) 공개번호 특1996-0009196  
(22) 출원일자 1995년06월 16일 (43) 공개일자 1996년03월 22일  
(30) 우선권주장 94-203228 1994년08월 29일 일본(JP)

(73) 특허권자 미쓰비시 덴키 가부시키키가이샤 다니구찌 이찌로오; 기타오카 다카시  
일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고  
(72) 발명자 오아시 토시유키  
일본국 효고켄 이다미시 미즈하라 4쪼메 1반지 미쓰비시 덴끼 가부시키키가이샤  
울트라 엘에스 아이가이하쯔겐규쇼  
(74) 대리인 김영길, 이화익

심사관 : 신양환

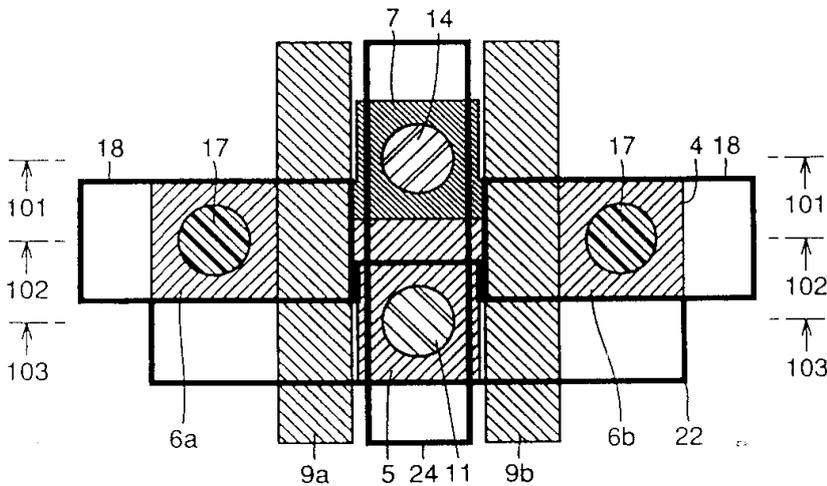
(54) 반도체장치 및 그의 제조방법

요약

메모리로서의 신뢰성이 저하하는 것을 방지하는 S01 구조의 메모리셀을 가지는 반도체 장치 및 그의 제조방법을 제공한다.

활성영역(4)의 상부 표면상의 소정영역에 전기적으로 접촉하도록 채널영역의 전위를 고정하기 위한 전위 고정용 배선(24)을 형성한다.

대표도



명세서

[발명의 명칭]

반도체 장치 및 그의 제조방법

[도면의 간단한 설명]

제1도는 본 발명의 제 1 실시예에 의한 DRAM의 메모리셀 부분을 표시한 평면도.

제2도는 제1도에 표시된 제 1 실시예의 메모리셀 부분의 102-102선에 따른 단면도.

제3도는 제1도에 표시된 제 1 실시예의 메모리셀 부분의 103-103선에 따른 단면도.

제4도는 제1도에 표시한 제 1 실시예의 메모리셀 부분의 101-101선에 따른 단면도.

제5도는 제1도에 표시한 제 1 실시예의 메모리셀 부분의 제조 공정의 제 1 공정을 설명하기 위한 평면도.

제6도는 제5도에 표시한 제 1 공정에 있어서 메모리셀 부분의 104-104선에 따른 단면도.



우선, 제23도 및 제24도를 참조하여 종래의 S01 구조의 메모리셀에 관하여 설명한다.

종래의 메모리셀에서는 반도체층(1)상에 실리콘 산화막층(2)이 형성되어 있다.

실리콘 산화막층(2)상의 소정영역에는 제26도에 표시한 바와 같은 형상을 가지는 반도체층으로된 활성영역(4)이 형성되어 있다.

활성영역(4)에는 소정의 간격을 두고 소스/드레인영역을 구성하는 n형 확산층(6a, 5, 6b)이 형성되어 있다.

n형 확산층(5) 및 (6a)과의 사이에 위치하는 활성영역(4)상에는 게이트산화막(8b)을 개재하여 게이트전극(9b)이 형성되어 있다.

게이트전극(9a) 및 (9b)의 상부 표면상에는 상부절연막(25)이 형성되어 있다.

게이트전극(9a, 9b) 및 상부절연막(25)의 측 표면상에는 측벽 산화막(26)이 형성되어 있다.

n형 확산층(6a) 및 (5)과 게이트전극(9a)에 의해, 일측의 액세스 트랜지스터(21a)가 구성되고, n형 확산층(5) 및 (6b)과 게이트전극(9b)에 의해, 타측의 액세스 트랜지스터(21b)가 구성되어 있다.

또 활성영역(4), 상부 절연막(25) 및 측벽 산화막(26)을 덮도록 층간절연막(10)이 형성되어 있고, 그 층간절연막(10)상에는 층간절연막(16)이 형성되어 있다.

층간절연막(10) 및 (16)의 n형 확산층(6a) 및 (6b)상에 위치하는 영역에는 콘택홀이 형성되어 있다.

그 콘택홀 내부를 매립하도록 커패시터 하부 전극용 플러그(17)가 형성되어 있다.

커패시터 하부전극용 플러그(17) 및 층간절연막(16)상에는 커패시터 하부전극(18)이 형성되어 있다.

커패시터 하부전극(18)을 덮도록 커패시터 유전체막(19)이 형성되어 있고 그 커패시터 유전체막(19)상에는 커패시터 상부전극(20)이 형성되어 있다.

커패시터 상부전극(20)상에는 층간절연막(27)이 형성되어 있다.

한편, 제25도에 나타낸 단면에는 층간절연막(10)의 n형 확산층(5)상에 위치하는 영역에 콘택홀이 형성되어 있다.

그 콘택홀내를 채우도록 비트선용 플러그(11)가 형성되어 있다.

층간절연막(10) 및 비트선용 플러그(11)상에는 비트선(22)이 형성되어 있다.

비트선(22)상에는 층간절연막(16)을 개재하여 커패시터 상부전극(20)이 연장하도록 형성되어 있다.

상기한 종래의 S01 구조의 메모리셀에서는 n형 확산층(5)의 근방의 고전계에 의하여 발생한 홀(hole)이 채널영역의 하부에 축적되어 버리는 부적절함이 발생한다.

이 때문에 기판전위가 상승하는 기판 부유효과가 발생하는 문제점이 있었다.

DRAM의 메모리셀 트랜지스터에 있어서 기판부유 효과가 발생하면 메모리셀 트랜지스터가 오동작하기 쉽게 되어 메모리로서의 신뢰성이 저하하는 문제점이 있었다.

본 발명은 상기와 같은 문제점을 해결하기 위하여 이루어진 것으로 본원 발명의 목적은 메모리로서의 신뢰성이 저하하는 것을 방지하는 S01 구조의 반도체 장치를 제공하는 것이다.

본원의 방법 발명의 목적은 메모리로서의 신뢰성이 저하하는 것을 방지하는 S01 구조의 반도체 장치를 용이하게 제조하는 것이다.

본원의 반도체 장치는 반도체층과, 한쌍의 소스/드레인영역과, 게이트 전극과, 비트선과, 커패시터와 전위 고정용 배선층을 구비하고 있다.

반도체층은 절연층상에 형성되며 활성영역을 포함하고 있다.

한쌍의 소스/드레인 영역은 반도체층의 활성영역에 제 1 도전형의 채널영역을 규정하도록 소정의 간격을 두고 형성되며 제 2 도전형을 가지고 있다.

게이트 전극은 채널영역상에 형성되어 있다.

비트선은 일측의 소스/드레인 영역에 전기적으로 접촉되어 있다.

커패시터는 타측의 소스/드레인 영역에 전기적으로 접촉되어 있다.

전위 고정용 배선층은 활성영역의 상부 표면상의 소정영역에 전기적으로 접촉되어 있고 채널영역의 전위를 고정하기 위한 것이다.

또 바람직하게는 전위 고정용 배선층이 접촉되는 영역을 채널영역과 일측의 소스/드레인 영역과의 양측에 인접하도록 활성영역에 형성된 제 1 도전형의 불순물 영역으로 하여도 좋다.

또, 상기한 반도체층의 활성영역을 평면적으로 보아 +자형상을 가지도록 구성하여도 좋다.

또한, 상기한 반도체층의 활성영역을 평면적으로 보아 마름모꼴 형상을 갖도록 형성하여도 좋다.

본원의 반도체 장치의 제조방법은 반도체층을 형성하는 공정과, 게이트전극을 형성하는 공정과, 한쌍의 소스/드레인 영역을 형성하는 공정과, 불순물 영역을 형성하는 공정과, 비트선을 형성하는 공정과, 전위 고정용 배선층을 형성하는 공정과, 커패시터를 형성하는 공정을 포함하고 있다.

반도체층은 절연층상에 소정의 형상을 가지는 활성영역을 포함하도록 형성된다.

게이트전극은 활성영역상의 소정영역에 형성된다.

한쌍의 소스/드레인 영역은 게이트 전극하에 제 1 도전형의 채널영역을 형성하도록 활성영역에 소정의 간격을 두고 제 2 도전형을 가지도록 형성된다.

불순물 영역은 활성영역에 일측의 소스/드레인 영역과 채널영역에 인접하도록 형성되며, 제 1 도전형을 가지고 있다.

비트선은 일측의 소스/드레인 영역에 전기적으로 접촉하도록 형성된다.

전위 고정용 배선층은 불순물 영역의 상표면에 전기적으로 접촉하고, 그의 접촉영역이 상기 채널영역 및 일측의 소스/드레인 영역과의 양측에 인접하도록 형성된다.

커패시터는 타측의 소스/드레인 영역에 전기적으로 접촉하도록 형성된다.

본원의 반도체 장치에서는 활성영역의 상부 표면상의 소정영역에 전기적으로 접촉하도록 채널영역의 전위를 고정하기 위한 전위 고정용 배선층이 형성되므로 S01 구조를 가지는 메모리셀 트랜지스터에 있어서 기판 부유효과가 방지된다.

이에 의해 메모리셀로서의 신뢰성이 저하되는 것이 방지된다.

본원의 반도체 장치의 제조방법에서는 일측의 소스/드레인 영역과 채널영역에 인접하도록 형성된 불순물 영역의 상표면에 전기적으로 접촉하도록 전위 고정용 배선층이 형성되므로 기판 부유효과를 방지하는 S01 구조의 메모리셀 트랜지스터가 용이하게 제조된다.

#### [실시예]

이하, 본 발명의 실시예를 도면에 의거하여 설명한다.

제1도는 본 발명의 제 1 실시예에 의한 DRAM의 메모리셀 부분을 표시한 평면도이고, 제2도는 제1도의 102-102 선에 따른 단면도, 제3도는 제1도의 103-103 선에 따른 단면도, 제4도는 제1도의 101-101 선에 따른 단면도이다.

제1도~제4도를 참조하면, 제1실시예의 메모리셀은 하나의 메모리셀 트랜지스터(20a)와, 하나의 커패시터(23)와, 하나의 비트선(22)과, 하나의 전위 고정용 배선(24)으로 구성된다.

전위 고정용 배선(24)은 메모리셀 트랜지스터의 채널영역의 전위를 고정하기 위한 것으로, 활성영역(4)의 상부 표면에 형성되어 있다.

본 실시예에서는 이와 같이 전위 고정용 배선(24)을 형성하는 것에 의하여 S01 구조를 가지는 메모리셀 트랜지스터에 있어서, 기판 부유효과가 발생하는 것을 방지할 수 있다.

즉, 전위 고정용 배선(24)에 소정의 전위를 인가하는 것에 의하여 활성영역(4)내의 채널영역의 전위를 소정의 전위로 고정할 수 있다.

이에 의해, n형 확산층(5)의 근방에서 고전계에 의하여 채널영역에 홀(hole)이 발생하였더라도 종래와 같이 기판 부유효과가 발생하지 않는다.

그 결과, 메모리셀 트랜지스터의 오동작이 방지되어 메모리로서의 신뢰성이 제하되는 것을 방지할 수 있다.

또, 전위 고정용 배선(24)을 활성영역(4)의 상부표면에 접촉하도록 형성하는 것에 의하여 종래의 공정을 사용하여 용이하게 전위 고정용 배선을 형성하게 된다.

활성영역(4)의 뒷면에 전위 고정용 배선을 형성하는 것은 S01 구조에 있어서는 제조 공정상 곤란하다.

다음, 제1도 및 제2도를 참조하여 제1도의 102-102선에 따른 단면구조에 관하여 설명한다.

실리콘층(1)상에는 종래와 같은 실리콘 산화막층(2)이 형성되어 있다.

실리콘 산화막층(2)상의 소정영역에는 평면적으로 보아 + 자형상을 가지도록 패터닝된 반도체층으로된 활성영역(4)이 형성되어 있다.

활성영역(4)에는 소정의 간격을 두고 소스/드레인 영역을 구성하는 n형 확산층(5, 6a, 6b)이 형성되어 있다.

또, 종래와 같은 활성영역(4)상의 소정영역에는 게이트 산화막(8a, 8b)을 통하여 각각 게이트 전극(9a) 및 (9b)이 형성되어 있다.

게이트 전극(9a) 및 (9b)의 상부표면상에는 상부 절연막(25)이 형성되어 있다.

상부절연막(25) 및 게이트 전극(9a, 9b)의 측표면상에는 측벽 산화막(26)이 형성되어 있다.

게이트 전극(9a), n형 확산층(5, 6a)에 의해 일측의 액세스 트랜지스터(21a)가 형성되어 있고 게이트전극(9b), n형 확산층(5, 6b)에 의하여 타측의 액세스 트랜지스터(21b)가 형성되어 있다.

또한, 실리콘 산화막층(2)은 5000Å 정도, 활성영역(4)은 1000Å 정도, 게이트 산화막(8a) 및 (8b)은 150Å 정도, 게이트 전극(9a) 및 (9b)은 2000Å 정도, 상부 절연막(25)은 2000Å 정도의 두께를 가지고 있다.

상부 절연막(25), 측벽 산화막(26), 활성영역(4)을 덮도록 5000~10000Å 정도의 두께를 가지는 층간 절연막(10)이 형성되어 있다.

층간 절연막(10)상에는 3000~8000Å 정도의 두께를 가지는 층간절연막(13)이 형성되어 있고, 그 층간절연막(13)상에는 3000~8000Å 정도의 두께를 가지는 층간 절연막(16)이 형성되어 있다.

층간 절연막(10, 13) 및 (16)의 n형 확산층(6a) 및 (6b)상에 위치하는 영역에는 콘택홀이 형성되어 있다.

그 콘택홀을 매립하도록 커패시터 하부 전극용 플러그(17)가 형성되어 있다.

이 커패시터 하부전극용 플러그(17)는 n형 불순물이 도프된 폴리실리콘 등으로 형성된다.

커패시터 하부 전극용 플러그(17) 및 층간절연막(16)상에는 n형 불순물이 도프된 도프트 폴리실리콘층으로 된 커패시터 하부전극(18)이 형성되어 있다.

커패시터 하부전극(18)은 1000Å 정도의 두께로 형성된다.

커패시터 하부전극(18)상에는 커패시터 유전체막(19)이 형성되어 있다.

이 커패시터 유전체막(19)은 예컨대 산화막과 실리콘 질화막과의 복합막에 의하여 형성된다.

커패시터 유전체막(19)상에는 1000Å 정도의 두께를 가지는 도프트 폴리실리콘층으로 된 커패시터 상부전극(20)이 형성되어 있다.

커패시터 하부전극(18), 커패시터 유전체막(19) 및 커패시터 상부전극(20)에 의하여 메모리셀의 커패시터(23)가 구성된다.

커패시터 상부전극(20)상에는 5000~10000Å 정도의 두께를 가지는 산화막으로 된 층간 절연막(27)이 형성되어 있다.

또한, 이 제2도에 나타난 단면에 있어서는 층간 절연막(13)상의 소정영역에 전위 고정용 배선(24)이 위치하고 있다.

다음에, 제1도 및 제3도를 참조하여 제1도의 103-103선에 따른 단면구조에 관하여 설명한다.

이 단면에 있어서는 층간 절연막(10)상의 n형 확산층(5)상에 위치하는 영역에 콘택홀이 형성되어 있다.

그 콘택홀을 채우도록 n형 불순물이 도프된 도프트 폴리실리콘으로 된 비트선용 플러그(11)가 형성되어 있다.

비트선용 플러그(11)상 및 층간절연막(10)상으로 연장하도록 비트선(22)이 형성되어 있다.

비트선(22)은 예컨대 도프트 폴리실리콘층과 텅스텐 실리사이드막과의 적층막으로 구성되고 2000Å 정도의 두께를 가지고 있다.

비트선(22)을 덮도록 층간 절연막(13)이 형성되어 있고, 층간 절연막(13)상의 소정영역에는 전위 고정용 배선(24)이 위치하고 있다.

층간 절연막(13)상에 전위 고정용 배선(24)을 덮도록 층간절연막(16)이 형성되어 있고, 그 층간절연막(16)상에는 커패시터 상부전극(20)이 위치하고 있다.

커패시터 상부전극(20)상에는 층간 절연막(27)이 형성되어 있다.

다음에, 제1도 및 제4도를 참조하여 제1도의 101-101선에 따른 단면구조에 관하여 설명한다.

이 단면의 활성영역(4)에는 p형 확산층(7)이 형성되어 있고, 그 층간절연막(16)상에는 커패시터 상부전극(20)이 위치하고 있다.

커패시터 상부전극(20)상에는 층간 절연막(27)이 형성되어 있다.

다음에, 제1도 및 제4도를 참조하여 제1도의 101-101선에 따른 단면구조에 관하여 설명한다.

이 단면의 활성영역(4)에는 p형 확산층(7)이 형성되어 있다.

이 p형 확산층(7)은 제1도에 나타난 바와 같이, 소스/드레인 영역을 구성하는 n형 확산층(5)과 게이트전극(9a) 및 (9b)밑의 채널영역에 인접하도록 형성되어 있다.

또, 층간 절연막(10) 및 (13)의 p형 확산층(7)상에 위치하는 영역에는 콘택홀이 형성되어 있다.

그 콘택홀을 채우도록 p형 불순물이 도프된 폴리실리콘으로 된 전위 고정용 배선용 플러그(14)가 형성되어 있다.

플러그(14)상 및 층간 절연막(13)상에는 도프트 폴리실리콘층과 텅스텐 실리사이드막의 적층막으로 된 전위 고정용 배선(24)이 형성되어 있다.

전위 고정용 배선(24)은 제1도에 나타난 바와 같이, 게이트전극(9a) 및 (9b)과 거의 평행으로 또한 비트선(22)에 대하여 거의 직교하는 방향으로 연장하여 형성되어 있다.

전위 고정용 배선(24) 및 층간 절연막(13)상에는 층간절연막(16)이 형성되어 있고, 층간 절연막(16)상에는 커패시터 상부전극(20)이 위치하고 있다.

커패시터 상부전극(20)상에는 층간 절연막(27)이 형성되어 있다.

제5도~제16도는 제1도~제4도에 나타난 제 1 실시예의 메모리셀부의 제조방법을 설명하기 위한 평면도 및 단면도이다.

제5도~제16도를 참조하여, 다음에 제 1 실시예의 메모리셀부의 제조공정에 관하여 설명한다.

우선, 제5도 및 제6도에 나타난 바와 같이, 통상의 벌크 반도체기판(1)상에 SIMOX 법 또는 합착법에 의해, 5000 Å 정도의 두께를 가지는 실리콘 산화막층(2)과 1000 Å 정도의 두께를 가지는 실리콘층(4)을 형성한다.

포토리소그래피법 및 드라이 에칭법을 사용하여 그 실리콘층(4)을 패터닝한다.

이에 의해, 제5도에 나타난 바와 같이 평면적으로 보아 +자형상을 가지는 실리콘층으로된 활성영역(4)을 형성한다.

즉, 본 실시예에는 메사(mesa)형 분리에 의하여 활성영역(4)을 형성한다.

또한, 활성영역(4)을 구성하는 실리콘층의 막두께는 1000 Å 정도이다.

이어서, 활성영역(4)의 전면에 p형 불순물을 이온주입한다.

다음에, 활성영역(4)상의 전면을 산화하여 150 Å 정도의 두께를 가지는 게이트 산화막(도시하지 않음)을 형성한 후, 그 게이트 산화막상에 2000 Å 정도의 두께를 가지는 n형 불순물이 도포된 폴리실리콘막(도시하지 않음) 및 2000 Å 정도의 두께를 가지는 산화막(도시하지 않음)을 차례로 형성한다.

그리고, 포토리소그래피법 및 드라이 에칭법을 사용하여 그 산화막, 폴리실리콘막 및 게이트 산화막을 패터닝하는 것에 의하여 제7도 및 제8도에 표시된 바와 같은 게이트 산화막(8a, 8b), 게이트 전극(9a, 9b) 및 상부 절연막(25)이 형성된다.

이어서, 상부 절연막(25) 및 게이트 전극(9a, 9b)을 마스크로 사용하여 활성영역(4)에 n형 불순물을 저불순물 농도로 이온주입한다.

그리고, 전면에 2000 Å 정도의 두께를 가지는 산화막(도시하지 않음)을 형성한 후, 그 산화막을 에치백하는 것에 의하여 측벽 산화막(26)을 형성한다.

그리고, 그 측벽 산화막(26)을 마스크로 사용하여 재차 활성영역(4)에 n형 불순물을 고불순물 농도로 이온주입한다.

이에 의해, LDD(Lightly Doped Drain)구조의 n형 확산층(5, 6a) 및 (6b)이 형성된다.

이와 같이 하여 n형 확산층(5, 6a) 및 게이트 전극(9a)으로 구성되는 일측의 액세스 트랜지스터(21a)와, n형 확산층(5, 6b) 및 게이트전극(9b)으로 구성되는 타측의 액세스 트랜지스터(21b)가 형성된다.

다음에, 제9도 및 제10도에 나타난 바와 같이, 포토리소그래피법을 사용하여 소정의 영역만을 노출시키도록 레지스트(도시하지 않음)를 형성한다.

그리고, 그 레지스트를 마스크로 사용하여 활성영역(4)에 p형 불순물을 이온주입하는 것에 의하여 p형 확산층(7)을 형성한다.

이 p형 확산층(7)을 형성하기 위한 이온주입시의 p형 불순물의 불순물 농도는 n형 확산층(5)의 불순물 농도보다도 높게 되도록 설정한다.

이 p형 확산층(7)은 게이트 전극(9a) 및 (9b)밑에 위치하는 채널영역과 소스/드레인 영역을 구성하는 n형 확산층(5)과의 양측에 인접하도록 형성되어 있다.

또, p형 확산층(7)은 채널영역과 동일한 도전형을 가지고 있으므로 p형 확산층(7)과 채널영역은 전기적으로 도통하고 있다.

따라서, 이 p형 확산층(7)상에 전위 고정용 배선을 형성하고 그 전위 고정용 배선에 소정의 전위를 인가하면 채널영역의 전위가 고정된다.

다음에, 제11도 및 제12도에 나타난 바와 같이, 전면에 5000~10000 Å 정도의 두께를 가지는 산화막으로된 층간 절연막(10)을 형성한다.

그리고, 포토리소그래피법 및 드라이 에칭법을 사용하여 층간절연막(10)의 n형 확산층(5)상에 위치하는 영역에 콘택홀을 형성한다.

그리고, 그 콘택홀내를 매립하는 동시에, 층간 절연막(10)상을 따라 연장하도록 n형 도프트 폴리실리콘층(도시하지 않음)을 형성한 후, 그 n형 도프트 폴리실리콘층을 전면 이방성 에칭하는 것에 의해 비트선용 플러그(11)를 형성한다.

그 후, 전면에 도프트 폴리실리콘층과 텅스텐 시리사이드층과의 적층막(도시하지 않음)을 형성한 후, 포토리소그래피법 및 드라이 에칭법을 사용하여 그 적층막을 패터닝하는 것에 의하여 비트선(22)을 형성한다.

또한, 비트선(22)은 2000 Å 정도의 막두께를 갖도록 형성한다.

다음에, 제13도 및 제14도에 나타난 바와 같이, 층간 절연막(10)상에 3000~8000 Å 정도의 두께를 가지는 산화막으로된 층간 절연막(13)을 형성한다.

포토리소그래피법 및 드라이 에칭법을 사용하여 층간절연막(10) 및 (13)의 p형 확산층(7)상에 위치하는 영역에 콘택홀을 형성한다.

그리고, 그 콘택홀을 매립하는 동시에, 층간 절연막(13)상을 따라 연장하도록 p형 도프트 폴리실리콘층(도시하지 않음)을 퇴적한 후, 그 p형 도프트 폴리실리콘층을 전면 이방성 에칭하는 것에 의하여 전위 고정용 배선을 위한 플러그(14)를 형성한다.

플러그(14)상 및 층간 절연막(13)상에 도프트 폴리실리콘층과 텅스텐 실리콘사이드층의 적층막(도시하지 않

음)을 형성한 후, 포토리소그래피법 및 드라이 에칭법을 사용하여 패터닝하는 것에 의하여 게이트전극(9a) 및 (9b)과 거의 평행으로 연장하는 전위 고정용 배선(24)을 형성한다.

액세스 트랜지스터(21a) 및 (21b)의 채널영역에서 발생한 홀(hole)은 p형 확산층(7)을 통하여 전위 고정용 배선(24)으로 끌어내어지게 된다.

또한, 전위 고정용 배선(24)은 2000Å 정도의 두께를 가지도록 형성한다.

다음에, 제15도 및 제16도에 나타난 바와 같이, 층간절연막(13)상에 3000~8000Å 정도의 두께를 가지는 산화막으로된 층간 절연막(16)을 형성한다.

포토리소그래피법 및 드라이 에칭법을 사용하여 층간 절연막(16, 13, 10)의 n형 확산층(6a) 및 (6b)상에 위치하는 영역에 콘택홀을 형성한다.

그리고, 그 콘택홀내를 매립하는 동시에, 층간 절연막(16)상을 따라 연장하도록 n형 도프트 폴리실리콘층(도시하지 않음)을 형성한 후, 그 n형 도프트 폴리실리콘층을 전면 이방성 에칭하여 커패시터 하부 전극용 플러그(17)를 형성한다.

또한, 커패시터 하부 전극용 플러그(17)를 형성할때의 n형 도프트 폴리실리콘층의 층간 절연막(16)상에 위치하는 부분의 두께는 1000Å 정도이다.

이후, 커패시터 하부전극용 플러그(17)상 및 층간 절연막(16)상에 1000Å 정도의 두께를 가지는 n형 도프트 폴리실리콘층(도시하지 않음)을 형성한 후, 포토리소그래피법 및 드라이 에칭법을 사용하여 그 n형 도프트 폴리실리콘층을 패터닝한다.

이에 의해, 커패시터 하부전극(18)을 형성한다.

그리고, 커패시터 하부전극(18)을 덮도록 산화막과 실리콘 질화막과의 복합막으로된 커패시터 유전체막(19)을 형성한다.

커패시터 유전체막(19)상에 1000Å 정도의 두께를 가지는 도프트 폴리실리콘층으로된 커패시터 상부전극(20)을 형성한다.

이에 의해, 커패시터 하부전극(18), 커패시터 유전체막(19) 및 커패시터 상부전극(20)으로 구성되는 스택형 커패시터(23)가 형성된다.

이어서, 커패시터 상부전극(20)상에 5000~10000Å 정도의 두께를 가지는 층간절연막(27)을 형성한다.

또한, 상기 제 1 실시예의 메모리셀 부분의 제조방법에서는 활성영역(4)의 형성방법으로서 mesa형 분리를 사용하였지만, 본 발명은 이것에 한하지 않고 LOCOS(Local Oxidation of Silicon)법이나 필드실드(field shield)법에 의한 소자분리 방법을 사용하여도 좋다.

또, 액세스 트랜지스터(21a) 및 (21b)의 구조로서 LDD 구조 이외의 구조로 되어도 좋다.

또, 게이트 전극(9a) 및 (9b)을 도프트 폴리실리콘층과 텅스텐 실리사이드막의 복합막 등으로 형성하여도 좋다.

또, 커패시터 유전체막(19)으로서 SrTiO<sub>3</sub> 등의 고유전체 재료를 사용하여도 좋다.

제17도는 본 발명의 제 2 실시예에 의한 DRAM의 메모리셀 부분을 표시한 평면도이다.

제17도를 참조하면, 제 2 실시예에서는 제1도에 나타난 제 1 실시예와는 다르게 활성영역(30)이 마름모꼴 형상을 가지고 있다.

이와 같이 활성영역(30)을 마름모꼴 형상으로 형성하면, 제1도에 표시한 제 1 실시예의 구조에 비하여 게이트 폭(채널 폭)을 크게할 수 있고, 그 결과 메모리 트랜지스터의 구동능력을 향상시킬 수 있다.

또, 제1도에 나타난 제 1 실시예에 비하여 비트선용 플러그(11)와 전위 고정용 배선을 위한 플러그(14)와의 간격을 보다 크게 취할 수 있으므로, 그 결과 제조 공정이 용이하게 된다는 이점이 있다.

또한, 제 2 실시예의 단면구조는 제2도~제4도에 나타난 제 1 실시예의 단면구조와 동일한 구조를 갖는다.

제18도는 본 발명의 제 3 실시예에 의한 DRAM의 메모리셀 부분을 나타낸 평면도이다.

제18도를 참조하면, 제 3 실시예에서는 상기한 제 1 실시예 및 제 2 실시예와는 다르게 전위 고정용 배선(24)이 게이트전극(4a) 및 (4b)과 거의 직교하고 또한, 비트선(22)과 거의 평행으로 연장하는 방향으로 형성되어 있다.

이와 같이 구성하는 것에 의해서도 상기한 제 1 실시예 및 제 2 실시예와 동일한 메모리셀 트랜지스터의 기판 부유효과를 유효하게 방지할 수 있다.

또한, 제 3 실시예에 있어서 단면 구조도 제 1 및 제 2 실시예와 마찬가지로, 전위 고정용 배선(24)이 비트선(22)의 상방에 또한 커패시터(23)의 하방에 위치 한다.

제19도는 본 발명의 제 4 실시예에 의한 DRAM의 메모리셀 부분을 표시한 평면도이고, 제20도는 제19도의 102-102선에 따른 단면도이고, 제21도는 제19도의 103-103선에 따른 단면도이고, 제22도는 제19도의 101-101선에 따른 단면도이다.

제19도~제22도를 참조하면, 제4실시예에서는 상술한 제 1 실시예~제 3 실시예와는 다르게 전위 고정용 배선(24)의 상방에 비트선(22)이 위치하고 있다.

또, 제 4 실시예는 제 3 실시예와 동일하게 전위 고정용 배선(24)이 게이트 전극(9a) 및 (9b)과 거의 직

교하고 또한 비트선(22)과 거의 평행으로 연장하도록 형성되어 있다.

구체적으로는 제19도, 제21도 및 제22도에 나타난 바와 같이 비트선(22)이 전위 고정용 배선(24)을 덮는 층간 절연막(13)의 상부 표면상을 따라 연장하도록 형성되어 있다.

이와 같이 구성하는 것에 의해서도 상기한 제 1 실시예~제 3 실시예와 마찬가지로, 채널영역에서 발생한 홀(hole)을 p형 확산층(7)을 통하여 전위 고정용 배선(24)으로 용이하게 끌어내게 된다.

이에 의해, 메모리 셀 트랜지스터에 있어서 기판 부유효과를 방지할 수 있으므로, 그 결과 메모리셀 트랜지스터의 오동작을 방지할 수 있다.

이에 의해, 메모리로서의 신뢰성이 저하되는 것을 방지할 수 있다.

본원 발명의 반도체 장치에 의하면, 활성영역의 상부 표면상의 소정영역에 전기적으로 접촉하도록 채널영역의 전위를 고정하기 위한 전위 고정용 배선층을 형성하는 것에 의하여 SOI 구조를 가지는 메모리셀 트랜지스터에 있어서 기판 부유효과를 방지할 수 있다.

이에 의해 메모리셀 트랜지스터의 오동작을 방지할 수 있으므로, 그 결과 메모리로서의 신뢰성이 저하되는 것을 방지할 수 있다.

본원의 반도체 장치의 제조방법에 의하면, 일측의 소스/드레인 영역과 채널영역에 인접하도록 형성된 불순물영역의 상표면에 전기적으로 접촉하도록 채널영역의 전위를 고정하기 위한 전위 고정용 배선층을 형성하는 것에 의하여 메모리셀 트랜지스터의 기판 부유효과를 방지하는 반도체 장치를 용이하게 제조할 수 있다.

## (57) 청구의 범위

### 청구항 1

절연층상에 형성되는 반도체장치에 있어서, 상기 절연층상에 형성된 활성영역을 포함하는 반도체층과, 상기 반도체층의 활성영역에 제 1 도전형의 채널영역을 규정하도록 소정의 간격을 두고 형성된 제 2 도전형의 한쌍의 소스/드레인 영역과, 상기 채널영역상에 형성된 게이트 전극과, 상기 일측의 소스/드레인 영역에 전기적으로 접촉된 비트선과, 상기 타측의 소스/드레인 영역에 전기적으로 접촉된 커패시터와, 상기 활성영역의 상부표면상의 소정 영역에 전기적으로 접촉되어 상기 채널영역의 전위를 고정하기 위한 전위 고정용 배선층을 포함하고, 상기 전위 고정용 배선층의 접촉영역이 상기 채널영역 및 일측의 소스/드레인 영역의 양측에 인접하며, 상기 반도체층의 활성영역은 상기 채널영역 및 상기 한쌍의 소스/드레인 영역에 걸쳐서 인장하는 제 1 장방형 영역과, 상기 제 1 장방형 영역에 상기 일측의 소스/드레인 영역에서 직각이 교차하는 제 2 장방형을 포함하고, 평면적으로 보아 +자형상을 가지며, 상기 전위 고정용 배선이 상기 제 2 장방형 영역의 일측 단부 근방의 영역에 접촉하여 있는 반도체 장치.

### 청구항 2

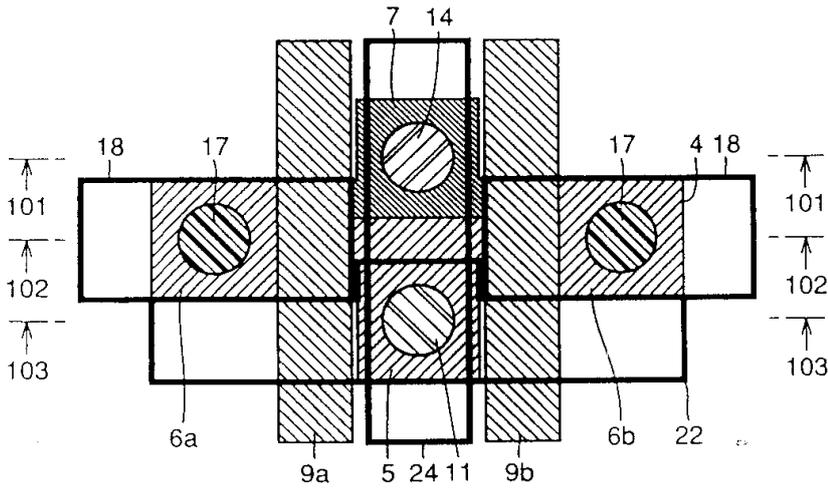
제 1 항에 있어서, 상기 반도체층의 활성영역은 상기 채널영역 및 상기 한쌍의 소스/드레인 영역에 걸쳐서 연장하는 제 1 대각선 영역과, 상기 제 1 대각선 영역에 상기 한쌍의 소스/드레인 영역에서 직각으로 교차하는 제 2 대각선을 가지며, 평면적으로 보아서 마름모꼴 형상을 가지며, 상기 전위 고정용 배선이 상기 제 2 대각선상의 일측의 각부(角部)근방의 영역에 접촉되어 있는 반도체 장치.

### 청구항 3

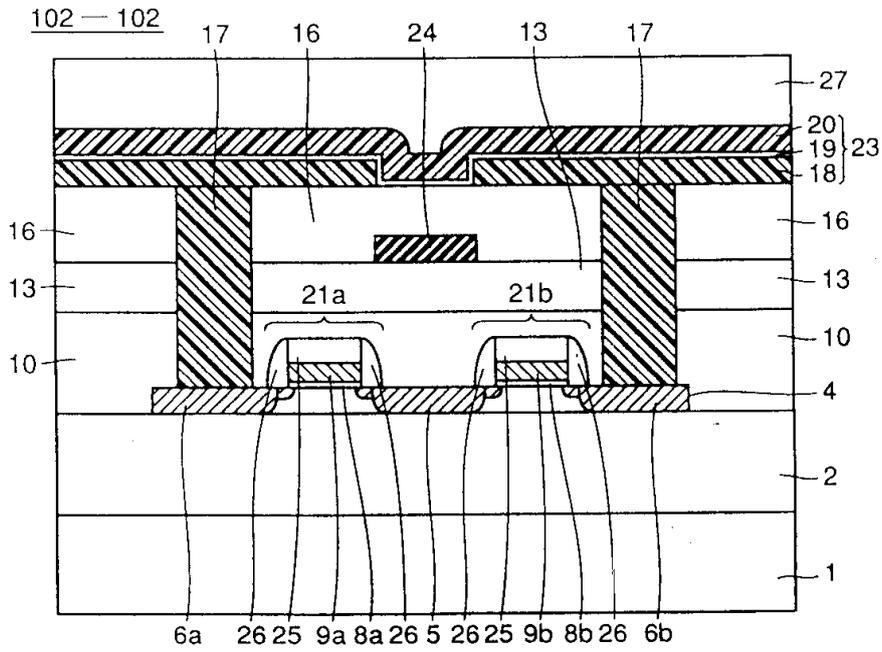
절연층상에 소정의 형상을 가지는 활성영역을 포함하는 반도체층을 형성하는 공정과, 상기 활성영역상의 소정 영역에 게이트 전극을 형성하는 공정과, 상기 게이트 전극하에 제 1 도전형의 채널영역을 형성하도록 상기 활성영역에 소정의 간격을 두고 제 2 도전형의 한쌍의 소스/드레인 영역을 형성 하는 공정과, 상기 활성영역에 상기 채널영역 및 상기 일측의 소스/드레인 영역에 인접하도록 제 1 도전형의 불순물 영역을 형성하는 공정과, 상기 일측의 소스/드레인 영역에 전기적으로 접촉하도록 비트선을 형성하는 공정과, 상기 불순물 영역의 상표면에 전기적으로 접촉하고, 그의 접촉영역이 상기 채널영역 및 일측의 소스/드레인 영역의 양측에 인접하도록 상기 채널영역의 전위를 고정하기 위한 전위 고정용 배선층을 형성하는 공정과, 상기 타측의 소스/드레인 영역에 전기적으로 접촉하도록 커패시터를 형성 하는 공정을 구비한 반도체 장치의 제조방법.

## 도면

도면1

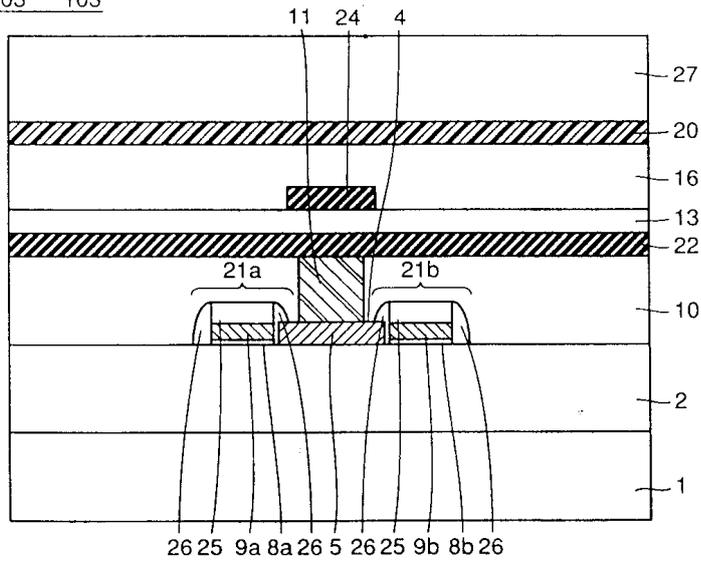


도면2



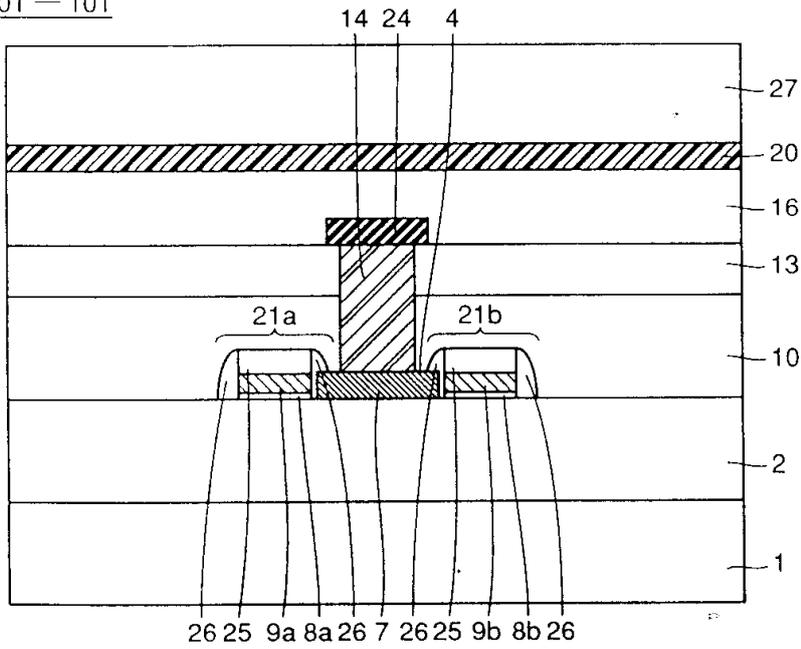
도면3

103 — 103

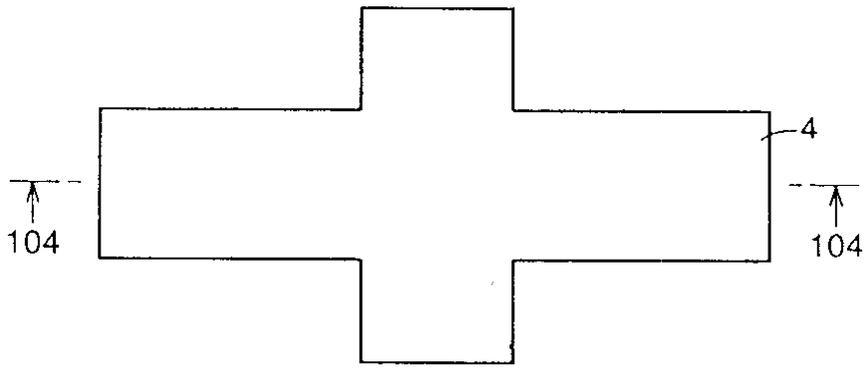


도면4

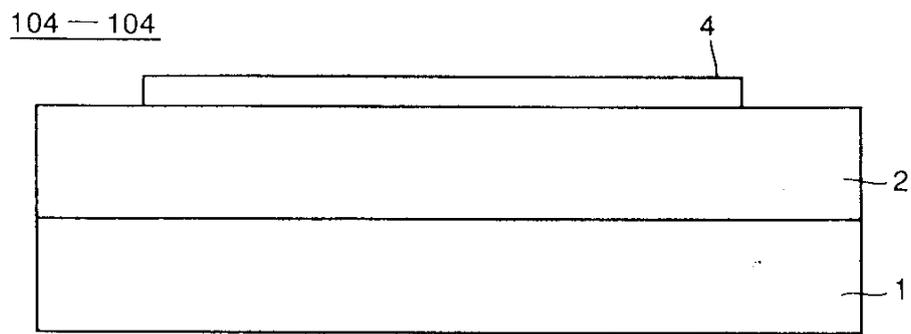
101 — 101



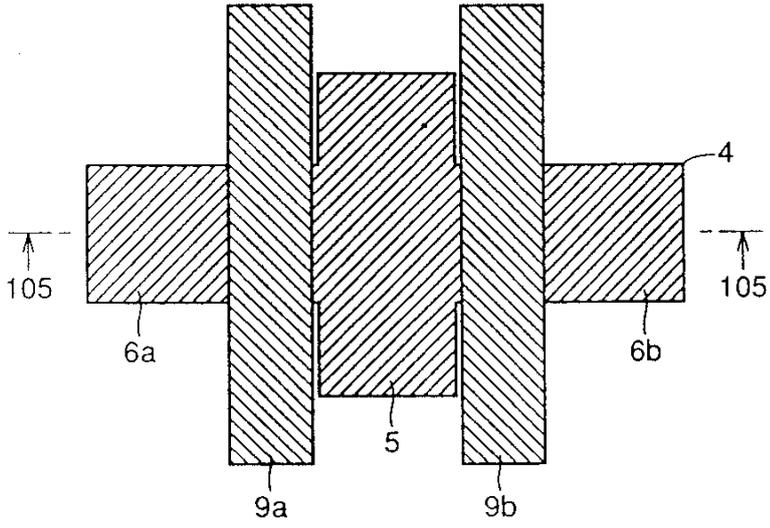
도면5



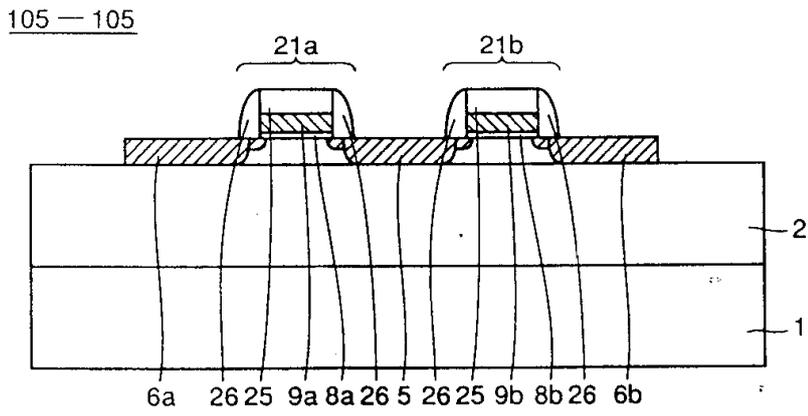
도면6



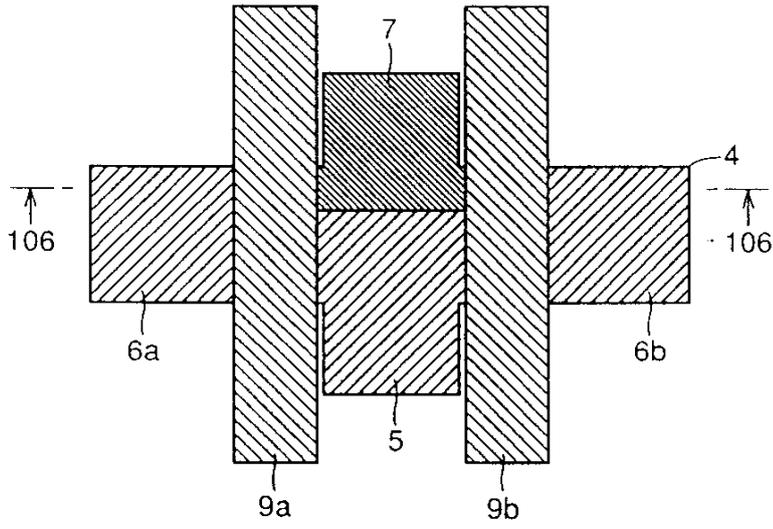
도면7



도면8

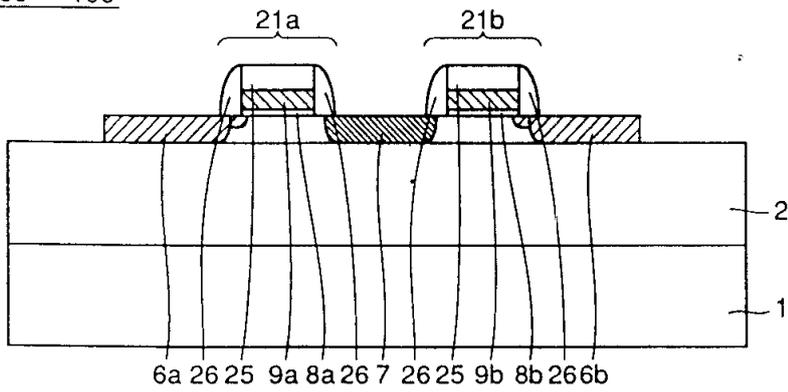


도면9

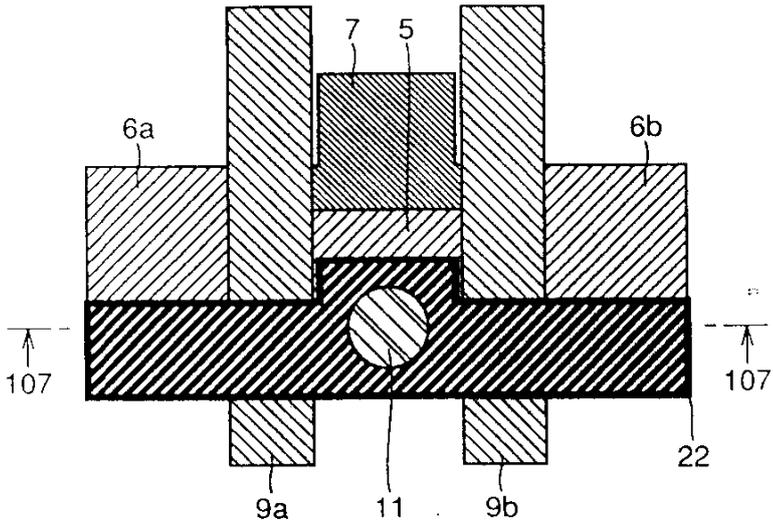


도면10

106 — 106

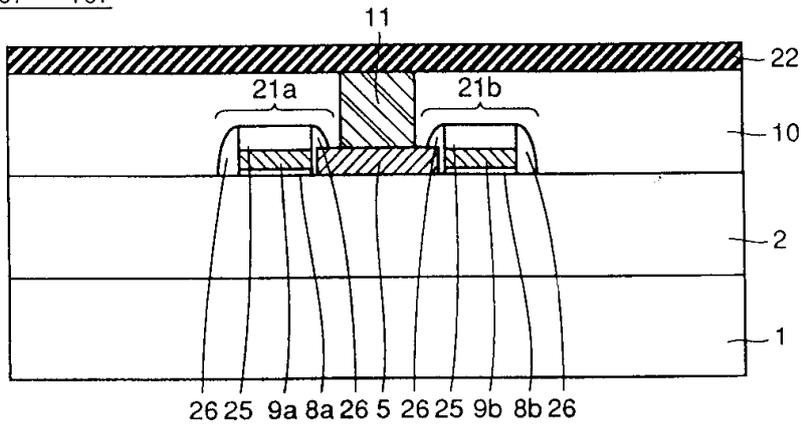


도면11

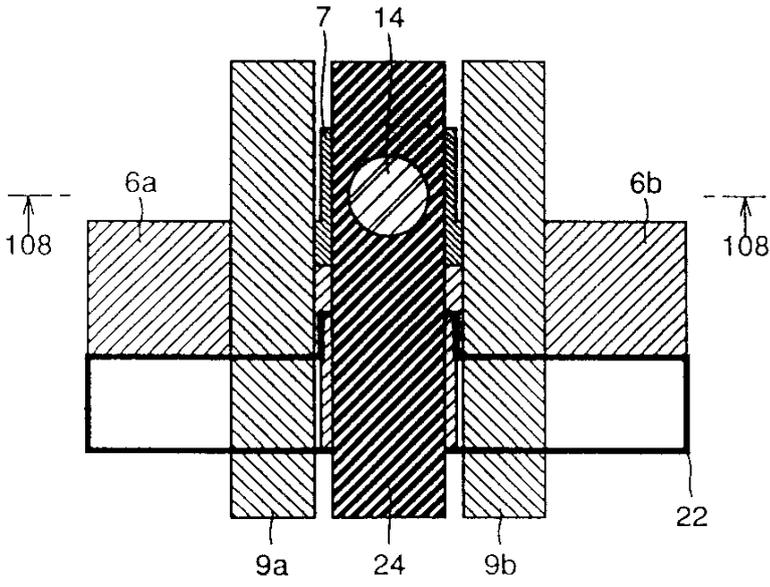


도면12

107 — 107

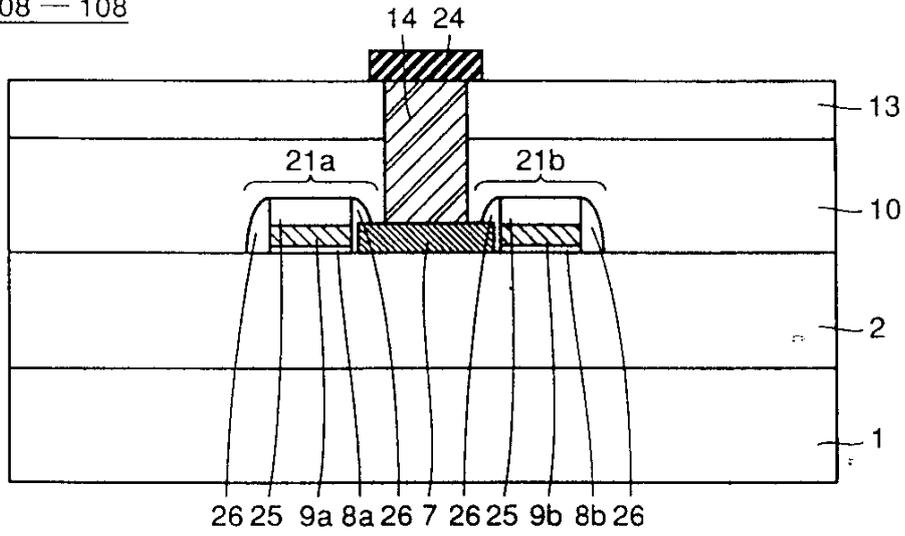


도면13

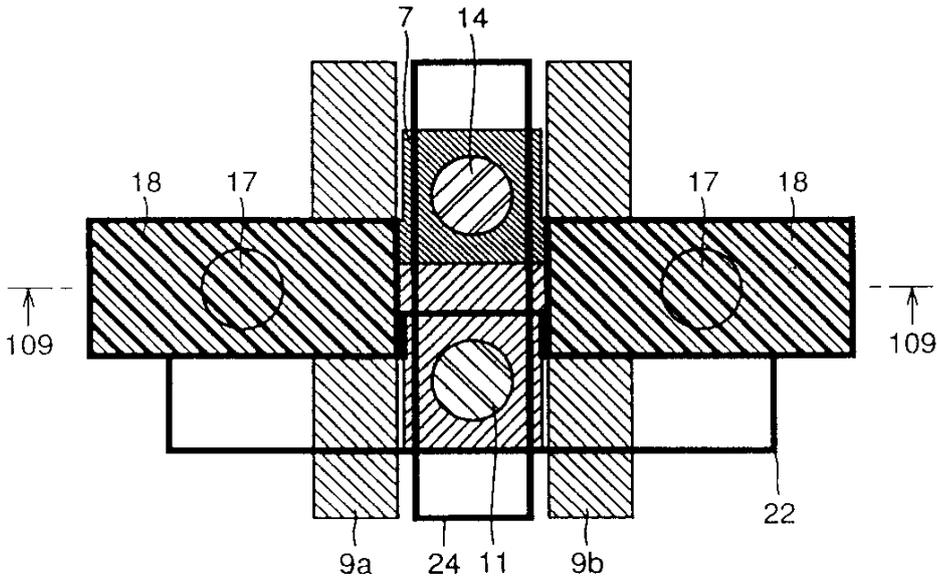


도면14

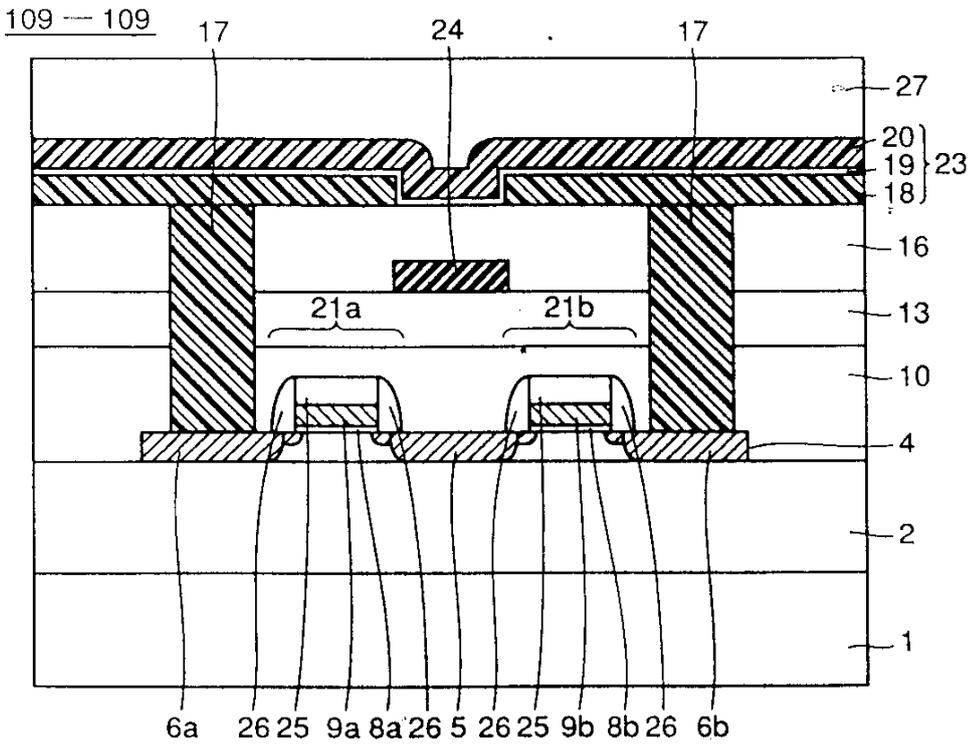
108 — 108



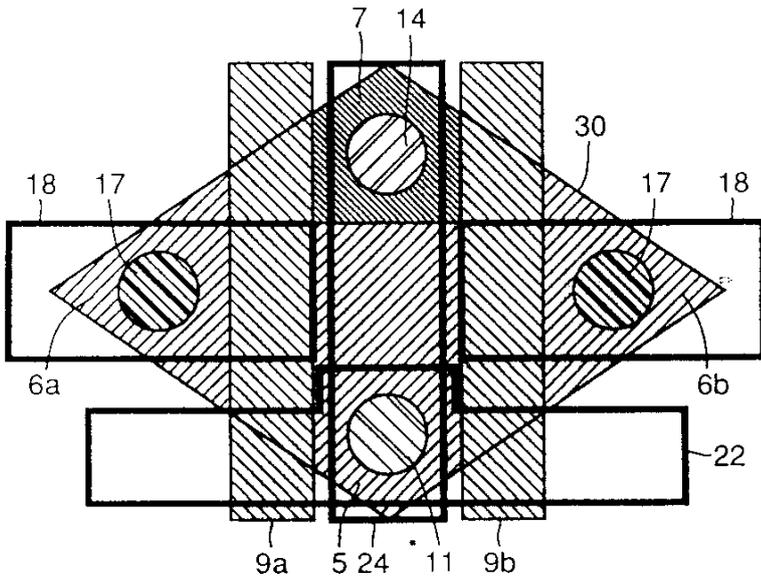
도면15



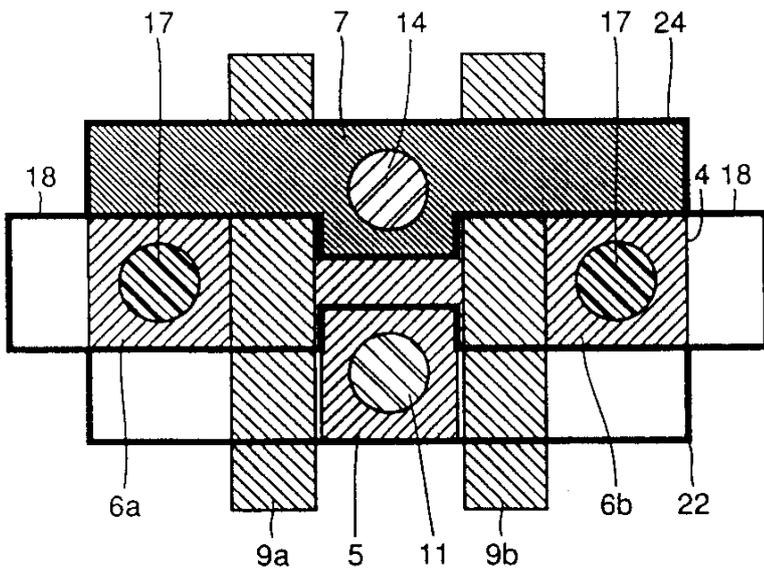
도면16



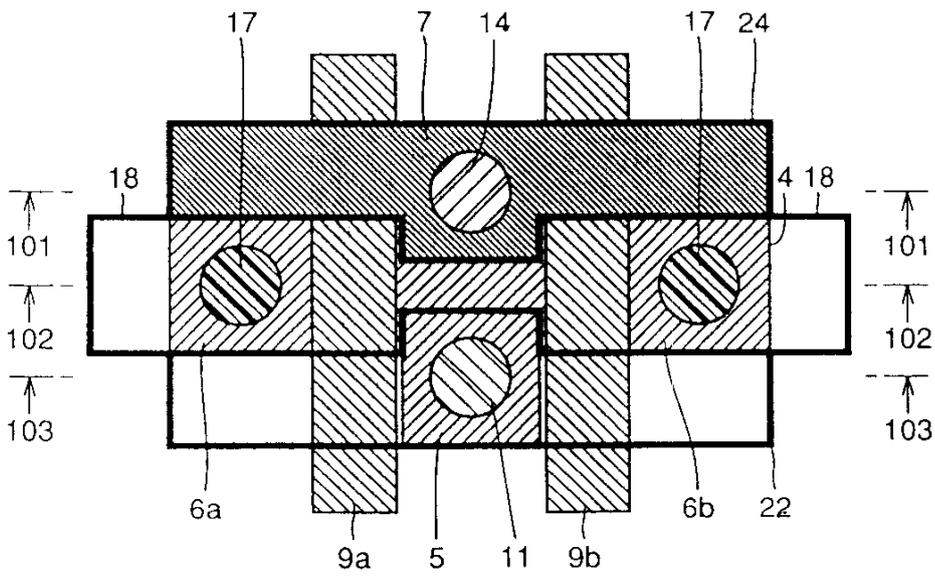
도면17



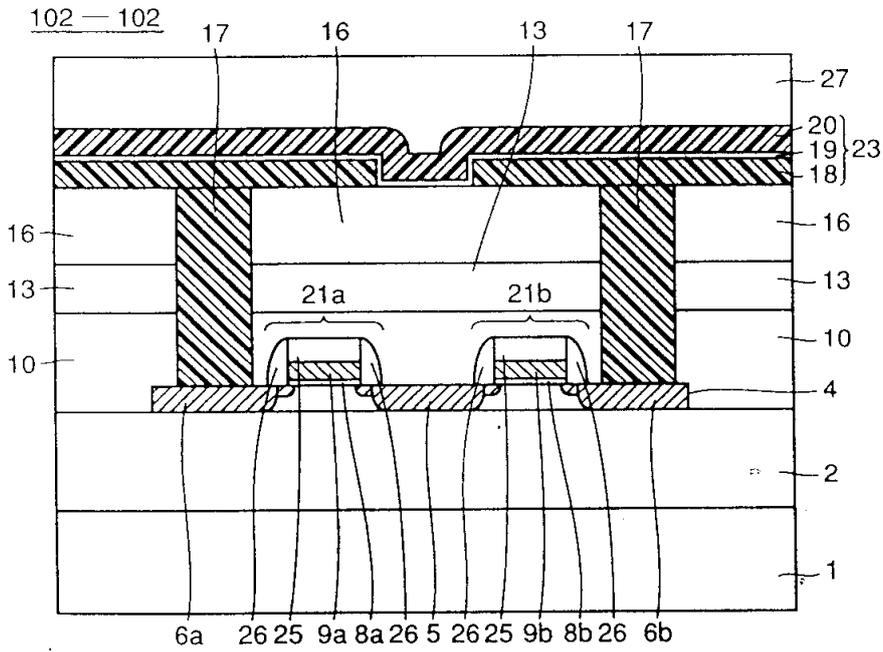
도면18



도면19

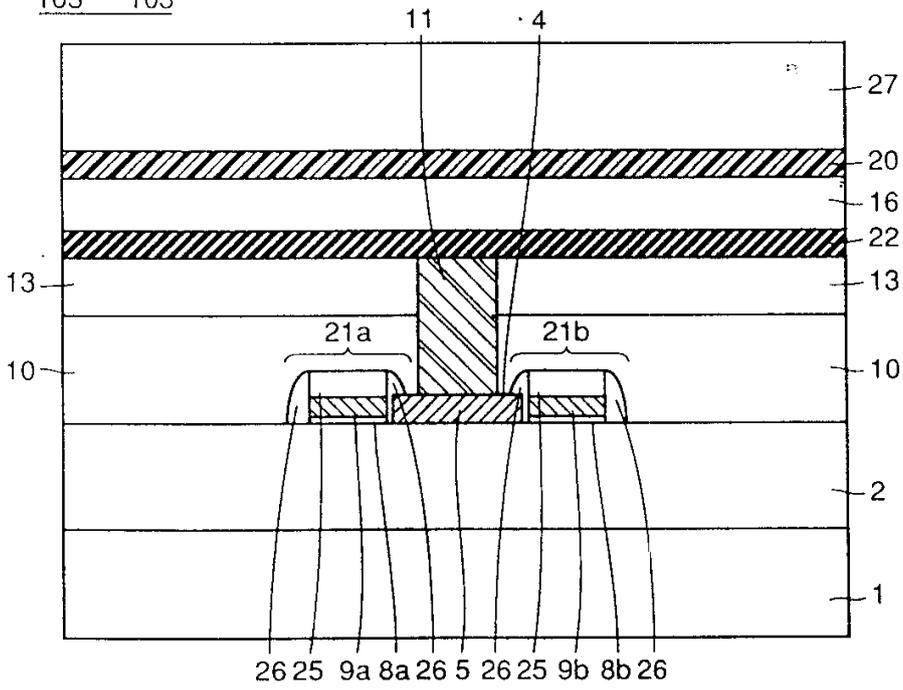


도면20



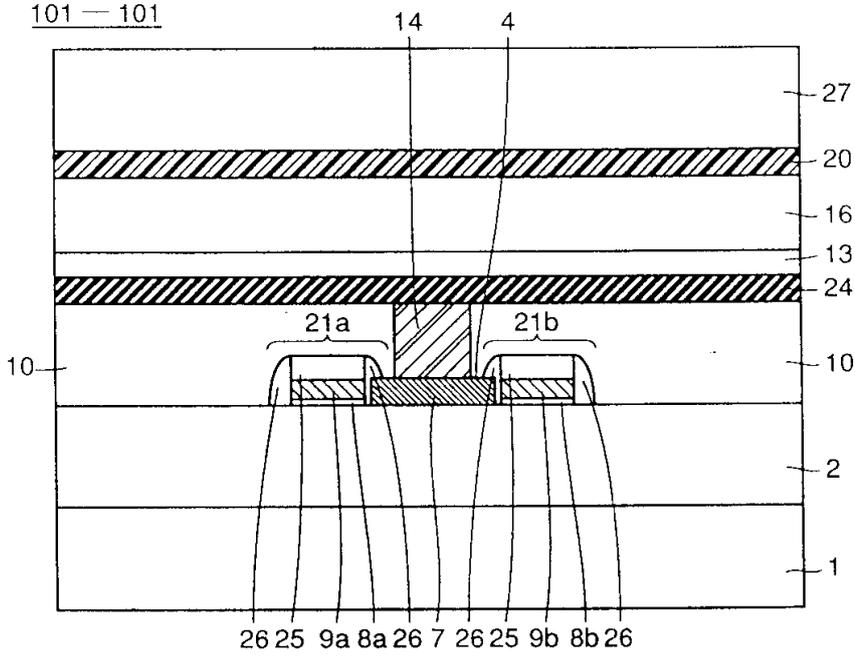
도면21

103 — 103

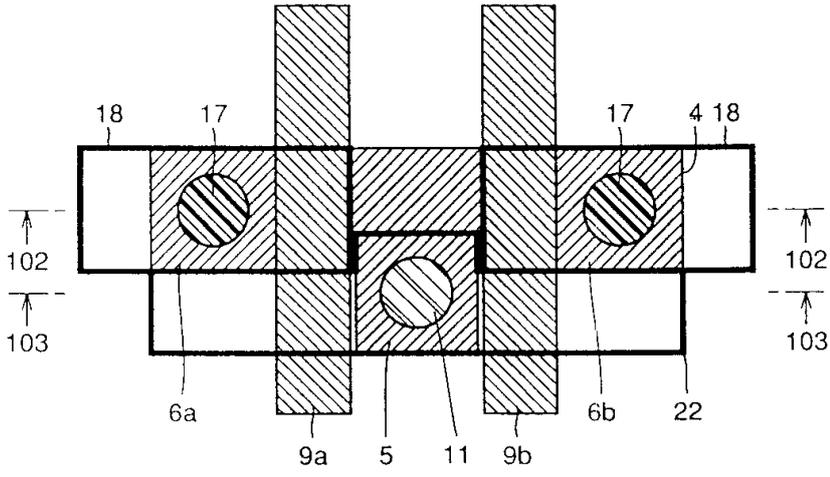


도면22

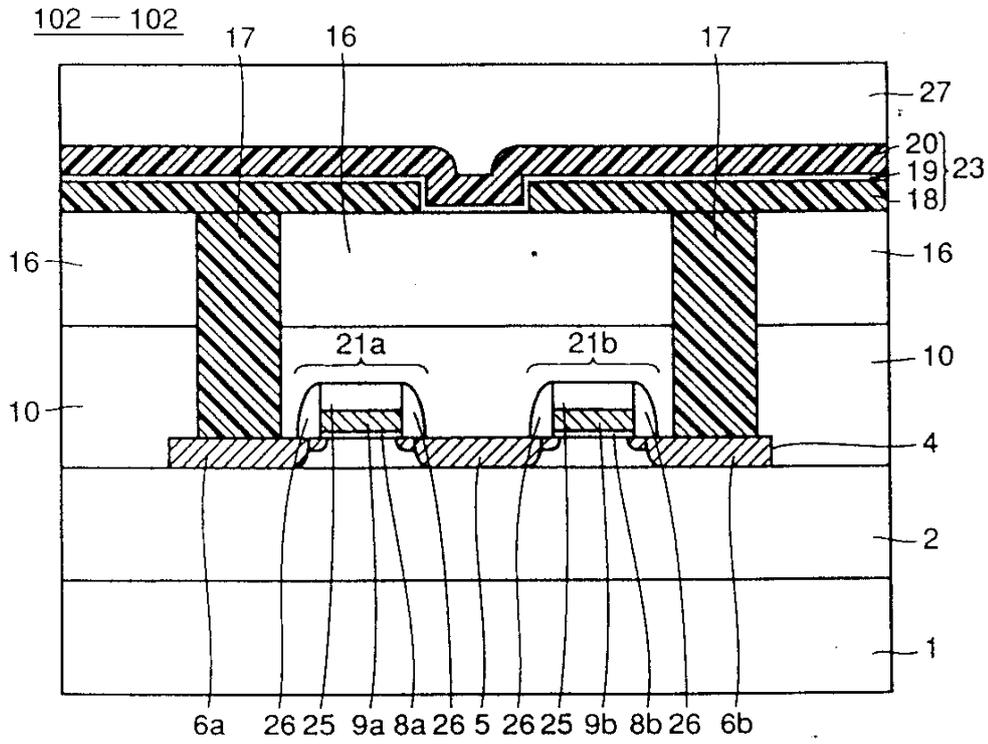
101 — 101



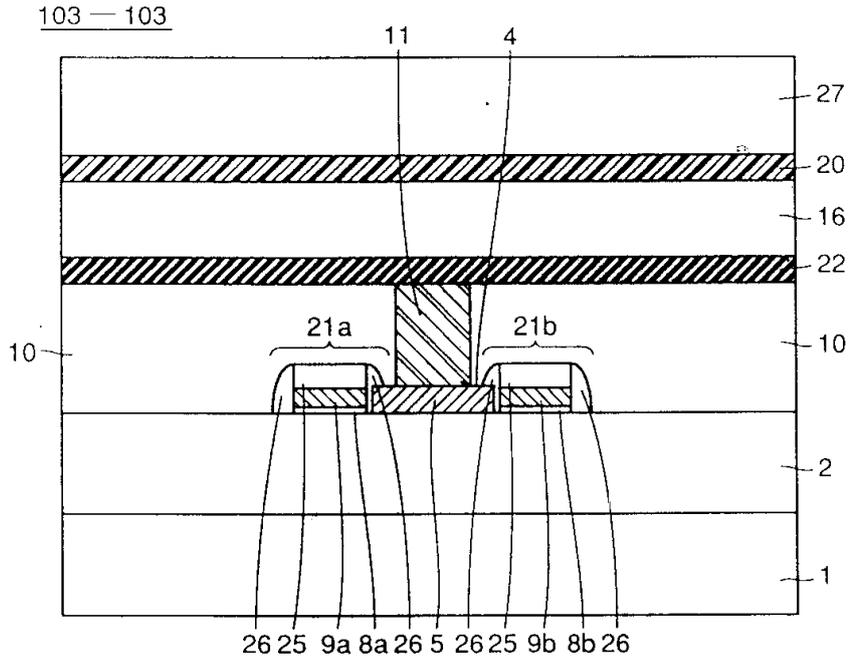
도면23



도면24



도면25



도면26

