



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년08월24일
(11) 등록번호 10-1058105
(24) 등록일자 2011년08월12일

(51) Int. Cl.

H05B 33/10 (2006.01) H01L 51/50 (2006.01)

(21) 출원번호 10-2009-0029482

(22) 출원일자 2009년04월06일

심사청구일자 2009년04월06일

(65) 공개번호 10-2010-0111091

(43) 공개일자 2010년10월14일

(56) 선행기술조사문헌

KR1020050122692 A

KR1020060056272 A

KR1020080080571 A

US20060234477 A1

전체 청구항 수 : 총 10 항

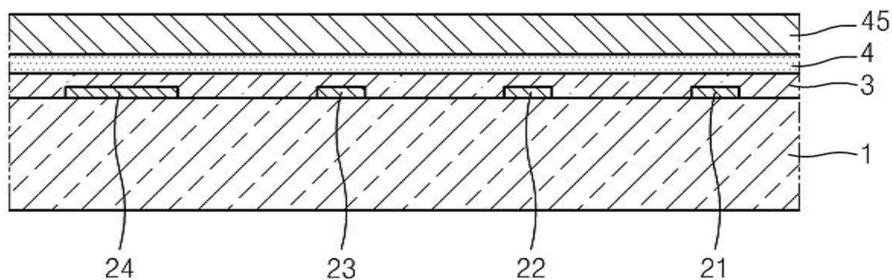
심사관 : 추장희

(54) 액티브 매트릭스 기판의 제조방법 및 유기 발광 표시장치의 제조방법

(57) 요약

본 발명은 패터닝 공정의 수를 줄여 생산성을 향상시키고, 수율 저하 문제를 방지하기 위한 것으로, 기판 상에 제1패턴으로 패터닝된 제1전극을 형성하는 단계; 상기 제1전극을 덮도록 상기 기판 상에 제1절연막을 형성하는 단계; 일면에 제1층이 형성된 반도체 웨이퍼를 상기 제1절연막 상에 배치하여 상기 제1층이 상기 제1절연막에 밀착되도록 하는 단계; 상기 제1층을 상기 제1절연막 상에 전사해 반도체층을 형성하는 단계; 상기 반도체층을 패터닝해 제1영역을 갖는 제1활성층 및 제2영역을 갖는 제2활성층을 형성하되, 상기 제1영역과 제2영역은 서로 다른 종류의 불순물로 도핑되어 있도록 하는 단계; 상기 제1활성층 및 제2활성층을 덮도록 상기 제1절연막 상에 제2절연막을 형성하는 단계; 및 상기 제2절연막 상에 상기 제1영역 및 제2영역을 전기적으로 연결하는 제2전극을 형성하는 단계;를 포함하는 액티브 매트릭스 기판의 제조방법 및 유기 발광 표시장치의 제조방법을 제공한다.

대표도 - 도5



특허청구의 범위

청구항 1

기판 상에 제1패턴으로 패터닝된 제1전극을 형성하는 단계;
 상기 제1전극을 덮도록 상기 기판 상에 제1절연막을 형성하는 단계;
 반도체 웨이퍼의 일면에 수소 이온을 포함하는 가스로 이온 임플란팅해 반도체층을 형성하는 단계;
 상기 반도체 웨이퍼를 상기 제1절연막 상에 배치하여 상기 반도체층이 상기 제1절연막에 밀착되도록 하는 단계;
 상기 반도체층을 상기 제1절연막 상에 전사해 상기 제1절연막 상에 반도체층이 형성되도록 하는 단계;
 상기 반도체층을 패터닝해 소스 영역 및 드레인 영역을 각각 구비한 제1활성층 및 제2활성층을 형성하되, 상기 제1활성층의 소스 영역 및 드레인 영역인 제1영역과 상기 제2활성층의 소스 영역 및 드레인 영역인 제2영역은 서로 다른 종류의 불순물로 도핑되어 있도록 하는 단계;
 상기 제1활성층 및 제2활성층을 덮도록 상기 제1절연막 상에 제2절연막을 형성하는 단계; 및
 상기 제2절연막 상에 상기 제1활성층의 소스 영역 또는 드레인 영역과 상기 제2활성층의 드레인 영역 또는 소스 영역을 전기적으로 연결하는 제2전극을 형성하는 단계;를 포함하는 액티브 매트릭스 기판의 제조방법.

청구항 2

제1항에 있어서,
 상기 제1활성층 및 제2활성층을 형성하는 단계는,
 상기 반도체층 상에, 상기 반도체층을 덮고 상기 반도체층 중 상기 제1영역에 대응되는 영역을 개구시키도록 형성된 제1레지스트층을 형성하는 단계;
 상기 제1레지스트층의 개구된 부분을 통해 노출된 상기 반도체층의 영역에 불순물을 도핑하는 단계;
 상기 제1레지스트층을 제거하는 단계;
 상기 반도체층 상에, 상기 반도체층을 덮고 상기 반도체층 중 상기 제2영역에 대응되는 영역을 개구시키도록 형성된 제2레지스트층을 형성하는 단계;
 상기 제2레지스트층의 개구된 부분을 통해 노출된 상기 반도체층의 영역에 불순물을 도핑하는 단계;
 상기 제2레지스트층을 제거하는 단계; 및
 상기 반도체층을 제2패턴으로 패터닝해, 상기 제1영역을 포함하는 제1활성층 및 상기 제2영역을 포함하는 제2활성층을 형성하는 단계;를 포함하는 액티브 매트릭스 기판의 제조방법.

청구항 3

삭제

청구항 4

제1항에 있어서,
 상기 반도체 웨이퍼는 단결정 실리콘으로 구비된 것을 특징으로 하는 액티브 매트릭스 기판의 제조방법.

청구항 5

제2항에 있어서,
 상기 제1레지스트층의 개구 패턴은 상기 제1레지스트층 중 상기 제1전극의 패턴에 대응되는 부분 이외의 부분이 식각된 패턴인 것을 특징으로 하는 액티브 매트릭스 기판의 제조방법.

청구항 6

제5항에 있어서,
 상기 제1레지스트층을 형성하는 단계는,
 상기 반도체층 상에, 상기 반도체층을 덮는 제1레지스트층을 형성하는 단계;
 상기 기판의 하부로부터 상기 제1전극의 패턴에 대응되도록 상기 제1레지스트층을 노광하는 단계; 및
 상기 제1레지스트층 중 상기 제1전극의 패턴에 대응되는 부분이 남아 있도록 상기 제1레지스트층을 식각하는 단계;를 포함하는 액티브 매트릭스 기판의 제조방법.

청구항 7

삭제

청구항 8

기판 상에 제1게이트 전극, 제2게이트 전극, 제3게이트 전극을 형성하는 단계;
 상기 제1게이트 전극 내지 제3게이트 전극을 덮도록 상기 기판 상에 제1절연막을 형성하는 단계;
 반도체 웨이퍼의 일면에 수소 이온을 포함하는 가스로 이온 임플란팅해 반도체층을 형성하는 단계;
 상기 반도체 웨이퍼를 상기 제1절연막 상에 배치하여 상기 반도체층이 상기 제1절연막에 밀착되도록 하는 단계;
 상기 반도체층을 상기 제1절연막 상에 전사해 상기 제1절연막 상에 반도체층이 형성되도록 하는 단계;
 상기 반도체층을 패터닝해 소스 영역 및 드레인 영역을 각각 구비한 제1활성층, 제2활성층 및 제3활성층을 형성하되, 상기 제1활성층의 소스 영역 및 드레인 영역인 제1영역과 상기 제2활성층의 소스 영역 및 드레인 영역인 제2영역과 상기 제3활성층의 소스 영역 및 드레인 영역인 제3영역 중 적어도 상기 제1영역 및 제2영역은 서로 다른 종류의 불순물로 도핑되어 있도록 하는 단계;
 상기 제1활성층 내지 제3활성층을 덮도록 상기 제1절연막 상에 제2절연막을 형성하는 단계;
 상기 제2절연막 상에 상기 제1활성층의 소스 영역 또는 드레인 영역과 상기 제2활성층의 드레인 영역 또는 소스 영역을 전기적으로 연결하는 제2전극과 상기 제3활성층의 소스 영역 또는 드레인 영역에 연결된 픽셀 전극을 형성하는 단계;
 상기 제2전극 및 픽셀 전극을 덮도록 상기 제2절연막 상에 제3절연막을 형성하는 단계;
 상기 제3절연막에 상기 픽셀 전극의 일부가 노출되도록 개구를 형성하는 단계;
 상기 개구를 통해 노출된 픽셀 전극 상에 발광층을 포함하는 유기막을 형성하는 단계; 및
 상기 유기막을 덮도록 대향전극을 형성하는 단계;를 포함하는 유기 발광 표시장치의 제조방법.

청구항 9

제8항에 있어서,
 상기 제1활성층 내지 제3활성층을 형성하는 단계는,
 상기 제1절연막 상에 반도체층을 형성하는 단계;
 상기 반도체층 상에, 상기 반도체층을 덮고 상기 반도체층 중 적어도 상기 제1영역에 대응되는 영역을 개구시키도록 형성된 제1레지스트층을 형성하는 단계;
 상기 제1레지스트층의 개구된 부분을 통해 노출된 상기 반도체층의 영역에 불순물을 도핑하는 단계;
 상기 제1레지스트층을 제거하는 단계;
 상기 반도체층 상에, 상기 반도체층을 덮고 상기 반도체층 중 상기 제2영역 및 제3영역에 대응되는 영역을 개구시키도록 형성된 제2레지스트층을 형성하는 단계;
 상기 제2레지스트층의 개구된 부분을 통해 노출된 상기 반도체층의 영역에 불순물을 도핑하는 단계;

상기 제2레지스트층을 제거하는 단계; 및

상기 반도체층을 제2패턴으로 패터닝해, 상기 제1활성층 내지 제3활성층을 형성하는 단계;를 포함하는 유기 발광 표시장치의 제조방법.

청구항 10

삭제

청구항 11

제8항에 있어서,

상기 반도체 웨이퍼는 단결정 실리콘으로 구비된 것을 특징으로 하는 유기 발광 표시장치의 제조방법.

청구항 12

제9항에 있어서,

상기 제1레지스트층의 개구 패턴은 상기 제1레지스트층 중 적어도 상기 제1게이트 전극의 패턴에 대응되는 부분 이외의 부분이 식각된 패턴인 것을 특징으로 하는 유기 발광 표시장치의 제조방법.

청구항 13

제12항에 있어서,

상기 제1레지스트층을 형성하는 단계는,

상기 반도체층 상에, 상기 반도체층을 덮는 제1레지스트층을 형성하는 단계;

상기 기판의 하부로부터 적어도 상기 제1게이트 전극의 패턴에 대응되도록 상기 제1레지스트층을 노광하는 단계; 및

상기 제1레지스트층 중 적어도 상기 제1게이트 전극의 패턴에 대응되는 부분이 남아 있도록 상기 제1레지스트층을 식각하는 단계;를 포함하는 유기 발광 표시장치의 제조방법.

청구항 14

삭제

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 액티브 매트릭스 기판의 제조방법 및 유기 발광 표시장치의 제조방법에 관한 것으로서, 더 상세하게는 패터닝 형성을 위한 마스크의 개수를 줄이고, 공정을 거치는 동안의 불량 발생률을 저감할 수 있는 액티브 매트릭스 기판의 제조방법 및 유기 발광 표시장치의 제조방법에 관한 것이다.

배경기술

[0002] 최근의 평판 표시장치는 발광 소자가 박막 트랜지스터를 포함한 액티브 매트릭스 기판 상에 형성되어 액티브 매트릭스 방식으로 구동된다. 특히 유기 발광 표시장치는 폴리 실리콘재로 이루어진 박막 트랜지스터를 사용하고 있으며, 이 폴리 실리콘막을 형성하기 위한 저온 결정화 방법의 경우 공정을 더욱 복잡하게 하기 때문에 이로 인한 생산성이 떨어지는 문제가 있다.

[0003] 한편, 상기과 같은 액티브 매트릭스 기판을 구성하기 위해서는 복수회의 패터닝 공정이 필요하다. 이 패터닝 공정은 포토 리소그래피법을 이용하는 데, 이를 위해서는 원하는 패턴에 대응되는 포토 마스크를 각 패터닝 공정 별로 필요하게 된다.

[0004] 더구나, CMOS를 구현하기 위해서는 반도체 활성층을 도핑하기 위한 공정까지 적어도 2회의 포토 공정이 더 필요

하게 되므로, 이를 위한 마스크를 적어도 2개 더 구비해야 한다.

[0005] 따라서, 이러한 과도한 포토 마스크와 이 포토 공정을 수행하기 위한 많은 장비로 인해 제조비용이 상승하며, 포토 공정으로 인해 전체 공정 시간이 길어져 생산성을 떨어뜨린다.

[0006] 또한, 여러 공정을 거치는 동안 발생된 파티클에 의해 생산 수율이 저하되는 문제도 발생된다.

발명의 내용

해결 하고자하는 과제

[0007] 본 발명은 상기와 같은 문제를 해결하기 위한 것으로, 패터닝 공정의 수를 줄여 생산성을 향상시키고, 수율 저하 문제를 방지할 수 있는 액티브 매트릭스 기판의 제조방법 및 유기 발광 표시장치의 제조방법을 제공하는 것을 목적으로 한다.

과제 해결수단

[0008] 상기와 같은 목적을 달성하기 위하여 본 발명은, 기판 상에 제1패턴으로 패터닝된 제1전극을 형성하는 단계와, 상기 제1전극을 덮도록 상기 기판 상에 제1절연막을 형성하는 단계와, 반도체 웨이퍼의 일면에 수소 이온을 포함하는 가스로 이온 임플란팅해 반도체층을 형성하는 단계와, 상기 반도체 웨이퍼를 상기 제1절연막 상에 배치하여 상기 반도체층이 상기 제1절연막에 밀착되도록 하는 단계와, 상기 반도체층을 상기 제1절연막 상에 전사해 상기 제1절연막 상에 반도체층이 형성되도록 하는 단계와, 상기 반도체층을 패터닝해 소스 영역 및 드레인 영역을 각각 구비한 제1활성층 및 제2활성층을 형성하되, 상기 제1활성층의 소스 영역 및 드레인 영역인 제1영역과 상기 제2활성층의 소스 영역 및 드레인 영역인 제2영역은 서로 다른 종류의 불순물로 도핑되어 있도록 하는 단계와, 상기 제1활성층 및 제2활성층을 덮도록 상기 제1절연막 상에 제2절연막을 형성하는 단계와, 상기 제2절연막 상에 상기 제1활성층의 소스 영역 또는 드레인 영역과 상기 제2활성층의 드레인 영역 또는 소스 영역을 전기적으로 연결하는 제2전극을 형성하는 단계를 포함하는 액티브 매트릭스 기판의 제조방법을 제공한다.

[0009] 상기 제1활성층 및 제2활성층을 형성하는 단계는, 상기 반도체층 상에, 상기 반도체층을 덮고 상기 반도체층 중 상기 제1영역에 대응되는 영역을 개구시키도록 형성된 제1레지스트층을 형성하는 단계; 상기 제1레지스트층의 개구된 부분을 통해 노출된 상기 반도체층의 영역에 불순물을 도핑하는 단계; 상기 제1레지스트층을 제거하는 단계; 상기 반도체층 상에, 상기 반도체층을 덮고 상기 반도체층 중 상기 제2영역에 대응되는 영역을 개구시키도록 형성된 제2레지스트층을 형성하는 단계; 상기 제2레지스트층의 개구된 부분을 통해 노출된 상기 반도체층의 영역에 불순물을 도핑하는 단계; 상기 제2레지스트층을 제거하는 단계; 및 상기 반도체층을 제2패턴으로 패터닝해, 상기 제1영역을 포함하는 제1활성층 및 상기 제2영역을 포함하는 제2활성층을 형성하는 단계;를 포함할 수 있다.

[0010] 삭제

[0011] 상기 반도체 웨이퍼는 단결정 실리콘으로 구비될 수 있다.

[0012] 상기 제1레지스트층의 개구 패턴은 상기 제1레지스트층 중 상기 제1전극의 패턴에 대응되는 부분 이외의 부분이 식각된 패턴일 수 있다.

[0013] 상기 제1레지스트층을 형성하는 단계는, 상기 반도체층 상에, 상기 반도체층을 덮는 제1레지스트층을 형성하는 단계; 상기 기판의 하부로부터 상기 제1전극의 패턴에 대응되도록 상기 제1레지스트층을 노광하는 단계; 및 상기 제1레지스트층 중 상기 제1전극의 패턴에 대응되는 부분이 남아 있도록 상기 제1레지스트층을 식각하는 단계;를 포함할 수 있다.

[0014] 삭제

[0015] 본 발명은 또한 전술한 목적을 달성하기 위하여, 기판 상에 제1게이트 전극, 제2게이트 전극, 제3게이트 전극을 형성하는 단계; 상기 제1게이트 전극 내지 제3게이트 전극을 덮도록 상기 기판 상에 제1절연막을 형성하는 단계; 반도체 웨이퍼의 일면에 수소 이온을 포함하는 가스로 이온 임플란팅해 반도체층을 형성하는 단계; 상기 반도체 웨이퍼를 상기 제1절연막 상에 배치하여 상기 반도체층이 상기 제1절연막에 밀착되도록 하는 단계; 상기

반도체층을 상기 제1절연막 상에 전사해 상기 제1절연막 상에 반도체층이 형성되도록 하는 단계; 상기 반도체층을 패터닝해 소스 영역 및 드레인 영역을 각각 구비한 제1활성층, 제2활성층 및 제3활성층을 형성하되, 상기 제1활성층의 소스 영역 및 드레인 영역인 제1영역과 상기 제2활성층의 소스 영역 및 드레인 영역인 제2영역과 상기 제3활성층의 소스 영역 및 드레인 영역인 제3영역 중 적어도 상기 제1영역 및 제2영역은 서로 다른 종류의 불순물로 도핑되어 있도록 하는 단계; 상기 제1활성층 내지 제3활성층을 덮도록 상기 제1절연막 상에 제2절연막을 형성하는 단계; 상기 제2절연막 상에 상기 제1활성층의 소스 영역 또는 드레인 영역과 상기 제2활성층의 드레인 영역 또는 소스 영역을 전기적으로 연결하는 제2전극과 상기 제3활성층의 소스 영역 또는 드레인 영역에 연결된 픽셀 전극을 형성하는 단계; 상기 제2전극 및 픽셀 전극을 덮도록 상기 제2절연막 상에 제3절연막을 형성하는 단계; 상기 제3절연막에 상기 픽셀 전극의 일부가 노출되도록 개구를 형성하는 단계; 상기 개구를 통해 노출된 픽셀 전극 상에 발광층을 포함하는 유기막을 형성하는 단계; 및 상기 유기막을 덮도록 대향전극을 형성하는 단계;를 포함하는 유기 발광 표시장치의 제조방법을 제공한다.

[0016] 상기 제1활성층 내지 제3활성층을 형성하는 단계는, 상기 제1절연막 상에 반도체층을 형성하는 단계; 상기 반도체층 상에, 상기 반도체층을 덮고 상기 반도체층 중 적어도 상기 제1영역에 대응되는 영역을 개구시키도록 형성된 제1레지스트층을 형성하는 단계; 상기 제1레지스트층의 개구된 부분을 통해 노출된 상기 반도체층의 영역에 불순물을 도핑하는 단계; 상기 제1레지스트층을 제거하는 단계; 상기 반도체층 상에, 상기 반도체층을 덮고 상기 반도체층 중 상기 제2영역 및 제3영역에 대응되는 영역을 개구시키도록 형성된 제2레지스트층을 형성하는 단계; 상기 제2레지스트층의 개구된 부분을 통해 노출된 상기 반도체층의 영역에 불순물을 도핑하는 단계; 상기 제2레지스트층을 제거하는 단계; 및 상기 반도체층을 제2패턴으로 패터닝해, 상기 제1활성층 내지 제3활성층을 형성하는 단계;를 포함할 수 있다.

[0017] 삭제

[0018] 상기 반도체 웨이퍼는 단결정 실리콘으로 구비될 수 있다.

[0019] 상기 제1레지스트층의 개구 패턴은 상기 제1레지스트층 중 적어도 상기 제1게이트 전극의 패턴에 대응되는 부분 이외의 부분이 식각된 패턴일 수 있다.

[0020] 상기 제1레지스트층을 형성하는 단계는, 상기 반도체층 상에, 상기 반도체층을 덮는 제1레지스트층을 형성하는 단계; 상기 기판의 하부로부터 적어도 상기 제1게이트 전극의 패턴에 대응되도록 상기 제1레지스트층을 노광하는 단계; 및 상기 제1레지스트층 중 적어도 상기 제1게이트 전극의 패턴에 대응되는 부분이 남아 있도록 상기 제1레지스트층을 식각하는 단계;를 포함할 수 있다.

[0021] 삭제

효 과

[0022] 상기와 같은 본 발명에 따르면, 유기 발광 표시장치를 제조함에 있어, 그 기저 기판인 액티브 매트릭스 기판을 적은 종류의 포토 마스크를 이용해 간단하게 패터닝함으로써 생산원가를 절감하고 생산성을 향상시키며, 수율을 향상시킬 수 있다.

[0023] 또, 박막 트랜지스터의 반도체층을 단결정 반도체재로 사용할 수 있어 더욱 좋은 특성의 회로를 구현할 수 있게 된다.

발명의 실시를 위한 구체적인 내용

[0024] 이어서, 첨부된 도면들을 참조하여 본 발명의 실시예들을 상세히 설명한다.

[0025] 도 1 내지 도 11은 본 발명의 바람직한 일 실시예에 따른 액티브 매트릭스 기판의 제조방법 및 유기 발광 표시장치의 제조방법을 순차로 도시한 것이다.

[0026] 먼저, 도 1에서 볼 수 있듯이, 기판(1) 상에 제1도전막(2)을 형성한다. 기판(1)은 투명한 글라스재를 사용하며, 통상 알칼리도 이온이 함유되어 있다. 기판(1)의 상면에는 도시하지 않았지만 SiO₂를 주성분으로 하는 버퍼층을 더 형성할 수도 있다.

- [0027] 제1도전막(2)은 전극 물질로 사용되는 고도전성의 금속 물질을 사용할 수 있는 데, Al, Ti, Mo, Ag, Cr 등의 물질이 포함된 합금으로 구비될 수 있다.
- [0028] 이러한 제1도전막(2)은 첫번째 포토 마스크인 제1포토 마스크(미도시)에 의한 포토 공정에 의해 도 2와 같은 제1패턴을 갖도록 패터닝된다. 포토 공정은 일반적인 포토 리소그래피 공정을 적용할 수 있다. 즉, 제1도전막(2) 상에 제1포토 레지스트막(미도시)을 형성한 후, 제1포토 마스크(미도시)를 통해 노광한 후, 현상 및 에칭 공정을 거쳐 제1도전막(2)을 도 2와 같은 제1패턴으로 패터닝하고, 제1도전막(2) 위에 잔존하는 제1포토 레지스트막을 제거한다.
- [0029] 상기 제1패턴은 제1게이트 전극(21), 제2게이트 전극(22), 제3게이트 전극(23), 커패시터 하부전극(24)을 포함한 각종 신호선을 포함하는 패턴이다.
- [0030] 다음으로, 도 3에서 볼 수 있듯이, 상기 기판(1) 상에 전술한 제1게이트 전극(21), 제2게이트 전극(22), 제3게이트 전극(23), 커패시터 하부전극(24)을 포함한 제1패턴을 덮도록 제1절연막(3)을 형성한다. 상기 제1절연막(3)은 광투과성 절연막으로 형성하는 것이 바람직하며, 알칼리류 또는 알칼리토류 이온이 함유된 옥사이드 물질로, 실리카계로 형성하는 것이 바람직하다.
- [0031] 상기와 같은 제1절연막(3)에 반도체막을 형성한다.
- [0032] 본 발명의 바람직한 일 실시예에 따르면, 상기 반도체막을 미국 공개 특허 공보 US2004/0229444호에 개시된 반도체층 전사방법을 이용하여 형성한다.
- [0033] 즉, 도 4에서 볼 수 있듯이, 반도체 웨이퍼(45)를 준비한 후, 이 반도체 웨이퍼(45)의 일면을 이온 임플란팅한다. 반도체 웨이퍼(45)로는 단결정 실리콘 웨이퍼를 사용할 수 있는 데, 반드시 이에 한정되는 것은 아니며, SiGe, SiC, Ge, GaAs, GaP, InP 등의 반도체재의 단결정 웨이퍼를 사용할 수도 있다.
- [0034] 이온 임플란팅으로는 수소 이온으로 임플란팅하는 것이 바람직한 데, 반드시 이에 한정되는 것은 아니며, 붕소 이온과 수소 이온의 혼합 또는 헬륨과 수소 이온의 혼합으로 이온 임플란팅할 수 있다.
- [0035] 이러한 이온 임플란팅에 의해 반도체 웨이퍼(45)의 일면에는 약화된 영역(weakened region)인 반도체층(4)이 형성된다.
- [0036] 이렇게 형성된 반도체층(4)은 세정 공정을 거친 후 산화처리된다. 이 산화처리는 산소 플라즈마, 오존 처리, 과산화수소에 의한 처리, 과산화수소 및 암모니아에 의한 처리, 과산화수소 및 산에 의한 처리 등이 적용될 수 있다. 이러한 산화처리에 의해 상기 반도체층(4)의 표면은 수산기가 형성되어 친수성을 갖게 된다.
- [0037] 다음으로, 도 5에서 볼 수 있듯이, 상기 반도체층(4)이 상기 제1절연막(3)에 접하도록 상기 반도체 웨이퍼(45)를 상기 제1절연막(3) 상에 배치한다. 이 때, 상기 제1절연막(3)의 표면은 세정 및 평탄화 공정을 거치도록 할 수 있다.
- [0038] 다음으로, 상기 반도체층(4)을 상기 제1절연막(3)에 다음과 같은 전기분해의 방법으로 접합시킨다.
- [0039] 먼저, 상기 반도체층(4)을 제1절연막(3) 상에 접합시키기 전에 상기 반도체층(4)과 제1절연막(3)이 온도차이가 나도록 가열한다. 이러한 온도차이는 반도체층(4)의 열팽창계수와 제1절연막(3)의 열팽창계수를 서로 맞추기 위한 것으로, 후속 공정의 열적 스트레스에 의해 반도체층(4)을 반도체 웨이퍼(45)로부터 박리시키기 위한 것이다. 이러한 온도차이는 대략 100 내지 150℃가 되도록 함이 바람직하다.
- [0040] 다음으로, 반도체층(4)과 제1절연막(3)을 상호 가압시킨 상태에서 일정 온도가 유지되도록 한 다음, 반도체층(4)과 제1절연막(3)에 전압을 가한다. 예컨대, 반도체층(4)은 양극으로, 제1절연막(3)은 음극으로 하여 전압을 가한다.
- [0041] 이러한 전압의 인가에 의해 상기 제1절연막(3)과 반도체층(4) 사이 계면에 존재하는 알칼리 또는 알칼리토류 이온들이 제1절연막(3)으로 이동하며, 이에 따라 상기 제1절연막(3)과 반도체층(4) 사이 계면에는 알칼리 또는 알칼리토류 이온들이 없는 영역이 존재하게 되고, 상기 제1절연막(3)과 반도체층(4)은 더욱 견고히 접합되게 된다.
- [0042] 상기와 같은 가압 및 전압 인가의 공정이 일정 시간 지속된 후, 위 조립체를 상온에서 식혀준다. 그러면, 열적 스트레스에 의해 반도체층(4)과 반도체 웨이퍼(45) 사이가 깨져 반도체 웨이퍼(45)를 분리시킬 수 있다.
- [0043] 따라서, 도 6에서 볼 수 있듯이, 필링(peeling) 공정을 통해 반도체 웨이퍼(45)를 반도체층(4)으로부터 분리시

킨다. 이 때, 반도체층(4)은 제1절연막(3) 상에 부착되어 있게 된다.

- [0044] 이렇게 반도체층(4)을 형성한 후에는 표면 세정 및 에칭을 통해 표면을 균일한 두께로 유지시킬 수 있다.
- [0045] 다음으로, 도 7에서 볼 수 있듯이, 상기와 같은 반도체층(4) 위에 제2포토 레지스트막(46)을 도포한 후 이 제2포토 레지스트막(46)을 도 7과 같은 제2패턴으로 패터닝한다. 상기 제2포토 레지스트막(46)은 특허청구범위의 제1레지스트층에 대응된다.
- [0046] 이 때, 제2포토 레지스트막(46)은 별도의 포토 마스크를 이용해 패터닝하지 않고, 기관(1)의 하부로부터 노광하여 기관(1) 상에 형성되어 있는 제1게이트 전극(21), 제2게이트 전극(22), 제3게이트 전극(23) 및 커패시터 하부전극(24)과 같은 제1패턴의 제1도전막에 의해 패턴을 형성한다. 즉, 기관(1)의 하부로부터 빛을 조사하면 제1게이트 전극(21), 제2게이트 전극(22), 제3게이트 전극(23) 및 커패시터 하부전극(24)과 같은 제1패턴의 제1도전막에 의해 빛이 차폐된 부분과 그 이외의 빛이 투과된 부분에 대한 제2포토 레지스트막(46)의 경화 정도가 상이해지고, 이에 따라 제2포토 레지스트막(46)을 에칭하면 도 7과 같은 패턴을 얻을 수 있다. 따라서, 도 7에서 볼 수 있는 제2패턴은 제1게이트 전극(21), 제2게이트 전극(22), 제3게이트 전극(23) 및 커패시터 하부전극(24)과 같은 제1패턴의 제1도전막 상부에만 제2포토 레지스트막(46)이 존재하고 나머지 부분은 반도체층(4)이 노출되는 패턴이 된다.
- [0047] 이 상태에서 반도체층(4)의 노출된 영역에 N⁺ 이온을 도핑한다. N⁺ 이온은 NMOS TFT의 활성층을 형성할 수 있는 불순물이면 어떠한 것이나 적용 가능하며, 예컨대, PH3 이온 등이 사용될 수 있다.
- [0048] 다음으로 제2포토 레지스트막(46)을 제거한 후, 다시 반도체층(4) 상에 도 8에서 볼 수 있는 제3포토 레지스트막(47)을 형성한다. 상기 제3포토 레지스트막(47)은 특허청구범위의 제2레지스트층에 대응된다.
- [0049] 이 제3포토 레지스트막(47)은 반도체층(4) 상에 포토 레지스트막을 도포한 후 두번째 포토 마스크인 제2포토 마스크(미도시)를 이용해 포토 레지스트막을 노광 및 현상함으로써 도 8과 같은 제3패턴으로 형성할 수 있게 된다.
- [0050] 이 제3포토 레지스트막(47)의 제3패턴은 제2게이트 전극(22) 및 제3게이트 전극(23)의 주위에 대응되는 반도체층(4)의 영역(제2영역)을 노출시킨 패턴이 된다.
- [0051] 이 상태에서 반도체층(4)의 노출된 영역에 p⁺ 이온을 도핑한다. p⁺ 이온은 PMOS TFT의 활성층을 형성할 수 있는 불순물이면 어떠한 것이나 적용 가능하며, 예컨대, B2H6 이온 등이 사용될 수 있다.
- [0052] 다음으로, 제3포토 레지스트막(47)을 제거한 후, 포토 공정에 의해 도 9에서 볼 수 있듯이 반도체층(4)을 패터닝한다. 이 때의 포토 공정은 전술한 일반적인 포토 리소그래피 공정이 적용 가능하다.
- [0053] 즉, 상기 제3포토 레지스트막(47)을 제거한 후, 상기 반도체층(4) 상에 제4포토 레지스트막(미도시)을 도포하고, 이 제4포토 레지스트막을 세번째 포토 마스크인 제3포토 마스크(미도시)를 이용해 노광 및 현상해 반도체층(4)의 일정 영역을 노출시키고, 노출된 반도체층(4)을 에칭한 후, 잔존하는 제4포토 레지스트막을 제거함으로써 도 9와 같은 제4패턴의 반도체층(4)을 얻을 수 있게 된다. 이러한 반도체층(4)의 패터닝 공정은 도 6과 같이 반도체층(4)을 제1절연막(3) 상에 전사한 이후 곧바로 행함으로써, 도 7과 같은 제2포토 레지스트막(46)이 패터닝된 반도체층(4) 상에 형성되도록 할 수도 있다.
- [0054] 상기 제4패턴은 커패시터 상부전극(44), 제1활성층(41), 제2활성층(42) 및 제3활성층(43)의 패턴이 된다. 전술한 방법에 따라 도 9에서 볼 수 있듯이, 상기 제1활성층(41)의 소스/드레인 영역이 N⁺ 이온으로 도핑되고, 상기 제2활성층(42)의 소스/드레인 영역이 p⁺ 이온으로 도핑된다. 그리고 제3활성층(43)의 소스/드레인 영역도 p⁺ 이온으로 도핑된다.
- [0055] 커패시터 상부전극(44)은 커패시터 하부전극(24) 위에 형성되는 것으로 커패시터 하부전극(24)에 대응되어 스토리지 커패시터(Cst)를 이룰 수 있도록 패터닝된다. 제1활성층(41) 내지 제3활성층(43)은 각각 박막 트랜지스터의 활성층 패턴이 된다.
- [0056] 다음으로, 도 10에서 볼 수 있듯이, 커패시터 상부전극(44), 제1활성층(41), 제2활성층(42) 및 제3활성층(43)을 덮도록 제2절연막(5)을 제1절연막(3) 상에 형성한다.
- [0057] 이 제2절연막(5)은 포토 공정에 의해 도 10에서 볼 수 있듯이 제1활성층(41), 제2활성층(42) 및 제3활성층(43)의 소스/드레인 영역들이 노출되도록 컨택홀들이 패터닝된다. 이 때의 포토 공정은 전술한 일반적인 포토 리소그래피 공정이 적용 가능하다.

- [0058] 즉, 상기 제2절연막(5) 상에 제5레지스트막(미도시)을 도포하고, 이 제5레지스트막을 네번째 포토 마스크인 제4 포토 마스크(미도시)를 이용해 노광 및 현상해 제2절연막(5)의 일정 영역을 노출시키고, 노출된 제2절연막(5)을 에칭한 후, 잔존하는 제5레지스트막을 제거함으로써 도 10과 같은 제5패턴의 제2절연막(5)을 얻을 수 있게 된다.
- [0059] 다음으로, 상기 제2절연막(5) 상에 제2도전막을 도포한 후, 이 제2도전막을 패터닝함으로써 도 11과 같은 제6패턴의 제2도전막(6)을 형성한다. 이 제6패턴은 일반적인 포토 리소그래피 공정에 의해 형성될 수 있다.
- [0060] 즉, 먼저, 상기 제2절연막(5) 상에 제2도전막을 도포한 후, 이 제2도전막 상에 제6레지스트막(미도시)을 도포한다. 이 제6레지스트막을 다섯번째 포토 마스크인 제5포토 마스크(미도시)를 이용해 노광 및 현상해 제2도전막의 일정 영역을 노출시키고, 노출된 제2도전막을 에칭한 후, 잔존하는 제6레지스트막을 제거함으로써 도 11과 같은 제6패턴의 제2도전막(6)을 얻게 된다.
- [0061] 상기 제6패턴은 제1활성층(41)에 연결되어 있는 제1소스전극(61) 및 제1드레인 전극(62), 제2활성층(42)에 연결되어 있는 제2소스전극(63) 및 제2드레인 전극(64), 제3활성층(43)에 연결되어 있는 제3소스전극(65) 및 제3드레인 전극(66)을 포함한다. 상술한 소스전극들과 드레인전극들에 대한 명칭은 서로 바꿔 부를 수도 있는 것으로, 소스전극을 드레인전극으로, 드레인전극을 소스전극으로 하여도 무방하다.
- [0062] 한편, 상기 구조에 있어, 제1게이트 전극(21), 제1활성층(41), 제1소스전극(61) 및 제1드레인 전극(62)이 제1박막 트랜지스터(T1)를 이루고, 제2게이트 전극(22), 제2활성층(42), 제2소스전극(63) 및 제2드레인 전극(64)이 제2박막 트랜지스터(T2)를 이루고, 제3게이트 전극(23), 제3활성층(43), 제3소스전극(65) 및 제3드레인 전극(66)이 제3박막 트랜지스터(T3)를 이룬다.
- [0063] 이 때, 제1박막 트랜지스터(T1)는 NMOS가 되며, 제2,3박막 트랜지스터(T2,T3)는 PMOS가 된다. 그리고, 제1박막 트랜지스터(T1)의 제1드레인 전극(62)와 제2박막 트랜지스터(T2)의 제2소스 전극(63)은 서로 연결되어 CMOS 박막 트랜지스터를 구현한다.
- [0064] 또, 제3박막 트랜지스터(T3)는 픽셀 구동 박막 트랜지스터로서 그 제3드레인 전극(66) 자체가 픽셀 전극(66)의 기능을 하도록 한다. 이하에서는 도면 부호 66에 대해 제3드레인 전극 및 픽셀 전극에 혼용토록 하며, 이는 본 명세서에서 동일한 부재를 지칭하는 것이다.
- [0065] 상기와 같이, 제1소스전극(61), 제1드레인 전극(62), 제2소스전극(63), 제2드레인 전극(64), 제3소스전극(65) 및 제3드레인 전극(66)을 형성하는 제2도전막(6)은 제3드레인 전극(66)을 그대로 픽셀 전극(66)으로 사용하기 때문에, 픽셀 전극(66)에 적용되는 물질로 형성하는 것이 바람직하다.
- [0066] 상기 픽셀 전극(66)을 유기 발광 표시장치의 애노드 전극으로 사용할 경우에는 일함수(절대치)가 높은 ITO, IZO, ZnO 등의 금속 산화물로 이루어진 층을 포함하도록 한다. 그리고, 화상이 상부, 즉, 기판(1)의 반대방향으로 구현되는 전면 발광 구조일 경우에는 Al, Ag 등의 합금으로 구비된 반사막을 더 포함한다. 픽셀 전극(66)이 유기 발광 표시장치의 캐소드 전극으로 사용될 경우에는 Al, Ag, Mg 등의 일함수(절대치)가 낮은 고도전성의 금속을 사용한다. 따라서, 이 경우에는 전술한 반사막은 불필요하게 될 것이다.
- [0067] 이상과 같은 공정에 의해 본 발명은 액티브 매트릭스 기판을 제조한다. 이처럼, 본 발명은 액티브 매트릭스 기판을 제조함에 있어 패터닝을 위한 포토 마스크를 다섯 종류만 사용하면 되므로, 생산 원가를 절감할 수 있고, 이에 따라 공정 수도 단축하여 생산성도 더욱 향상시킬 수 있다.
- [0068] 이렇게 제2도전막(6)의 패턴을 갖춘 액티브 매트릭스 기판을 제조한 후에는, 도 12에서 볼 수 있듯이 제6패턴의 제2도전막(6) 상에 제3절연막(7)을 형성한다. 제3절연막(7)은 공지의 포토 리소그래피 공정에 의해 도 12와 같이 픽셀 전극(66)을 노출하는 개구(71)가 형성되도록 패터닝된다.
- [0069] 즉, 먼저, 상기 제2도전막(6) 상에 제3절연막(7)을 도포한 후, 이 제3절연막(7) 상에 제7레지스트막(미도시)을 도포한다. 이 제7레지스트막을 여섯번째 포토 마스크인 제6포토 마스크(미도시)를 이용해 노광 및 현상해 제3절연막(7)의 일정 영역(상기 개구(71)에 대응되는 영역)을 노출시키고, 노출된 제3절연막(7)을 에칭한 후, 잔존하는 제7레지스트막을 제거함으로써 도 12와 같은 제7패턴의 제3절연막(7)을 얻게 된다.
- [0070] 다음으로, 제3절연막(7) 상에 유기막(8)을 증착하여 형성한다. 유기막(8)은 각 픽셀마다 다른 색상을 발광할 수 있는 발광층을 포함할 수 있는 데, 이 발광층은 상기 개구(71)를 통해 드러난 픽셀 전극(66) 상에만 구비되도록 한다.

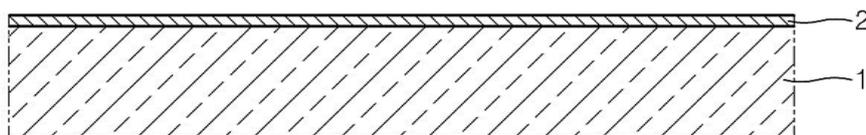
- [0071] 발광층을 포함한 유기막(8)은 종래의 유기 발광 표시장치에서 흔히 사용되는 물질이 적용될 수 있다.
- [0072] 유기막(8)을 형성한 후에는 유기막(8) 위로 대향 전극(9)이 형성된다. 이 대향 전극(9)은 픽셀 전극(66)에 반대되는 극성의 전위가 인가되는 것으로, 픽셀 전극(66)이 애노드 전극일 경우 캐소드 전극으로, 픽셀 전극(66)이 캐소드 전극일 경우 애노드 전극으로 형성된다.
- [0073] 그리고, 유기막(8)에서 발광된 화상이 대향 전극(9)의 방향으로 구현되는 전면 발광형일 경우 광투과율이 높게 되도록 형성하고, 화상이 기관(1)의 방향으로 구현되는 배면 발광형일 경우 광반사율이 높게 되도록 형성된다.
- [0074] 본 발명은 이상과 같은 유기 발광 표시장치를 제조함에 있어, 그 기저 기관인 액티브 매트릭스 기관을 적은 종류의 포토 마스크를 이용해 간단하게 패터닝함으로써 생산원가를 절감하고 생산성을 향상시키며, 수율을 향상시킬 수 있다.
- [0075] 또, 박막 트랜지스터의 반도체층을 단결정 반도체재로 사용할 수 있어 더욱 좋은 특성의 회로를 구현할 수 있게 된다.
- [0076] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

도면의 간단한 설명

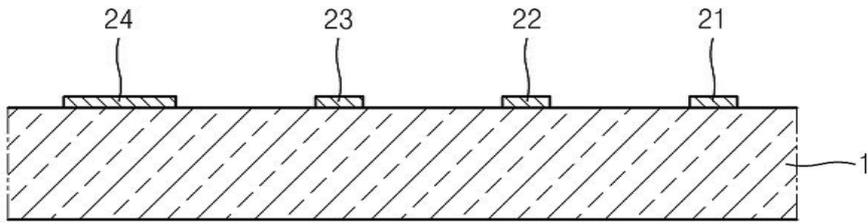
- [0077] 도 1은 본 발명의 바람직한 일 실시예에 있어, 제1도전막을 형성한 상태를 도시한 단면도.
- [0078] 도 2는 도 1의 제1도전막을 제1패턴으로 패터닝한 상태를 도시한 단면도.
- [0079] 도 3은 도 2의 기관에 제1절연막을 형성한 상태를 도시한 단면도.
- [0080] 도 4는 반도체 웨이퍼에 이온 임플란팅한 상태를 도시한 단면도.
- [0081] 도 5는 도 4의 반도체 웨이퍼를 도 3의 제1절연막에 접합한 상태를 도시한 단면도.
- [0082] 도 6은 도 5의 반도체 웨이퍼를 박리해 제1절연막 상에 반도체층을 형성한 상태를 도시한 단면도.
- [0083] 도 7은 반도체층 상에 제2레지스트막을 형성하고 불순물을 도핑하는 상태를 도시한 단면도.
- [0084] 도 8은 반도체층 상에 제3레지스트막을 형성하고 불순물을 도핑하는 상태를 도시한 단면도.
- [0085] 도 9는 반도체층을 패터닝한 상태를 도시한 단면도.
- [0086] 도 10은 도 9의 반도체층을 덮도록 제2절연막을 형성한 상태를 도시한 단면도.
- [0087] 도 11은 도 10의 제2절연막 상에 제2도전막의 패턴을 형성한 상태를 도시한 단면도.
- [0088] 도 12는 도 11의 제2절연막 상에 제3절연막, 유기막 및 대향 전극을 순차로 형성한 상태를 도시한 단면도.

도면

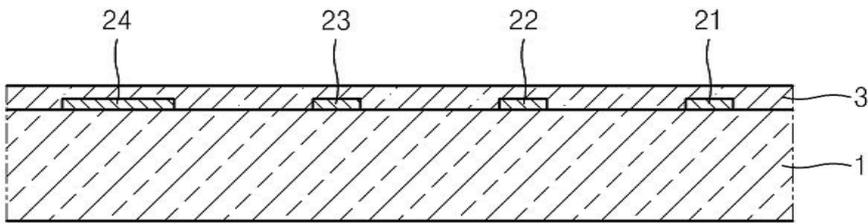
도면1



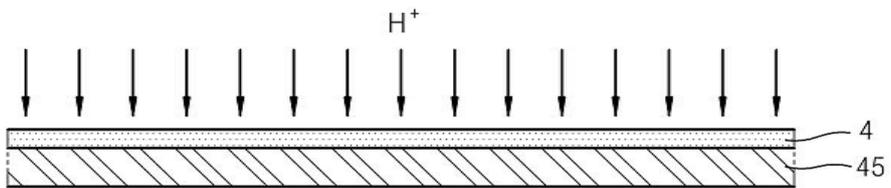
도면2



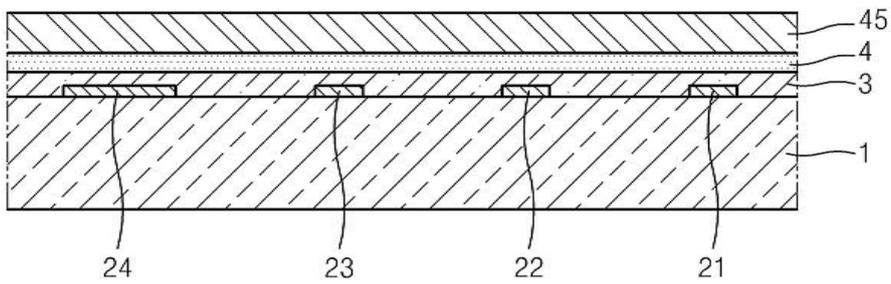
도면3



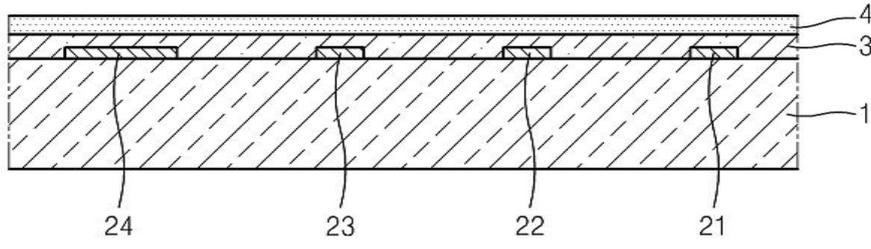
도면4



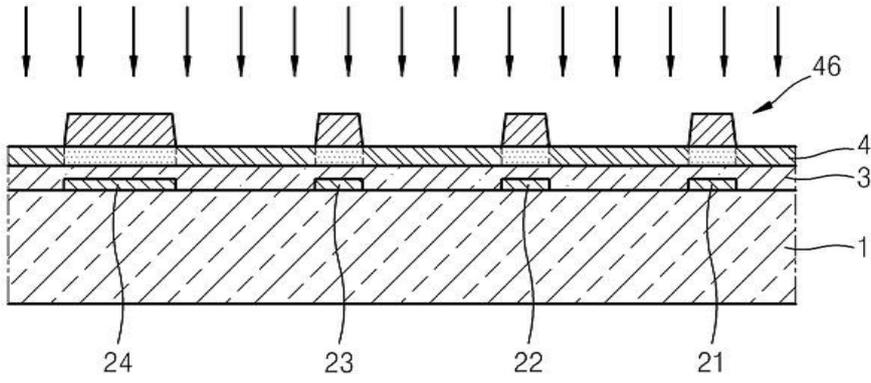
도면5



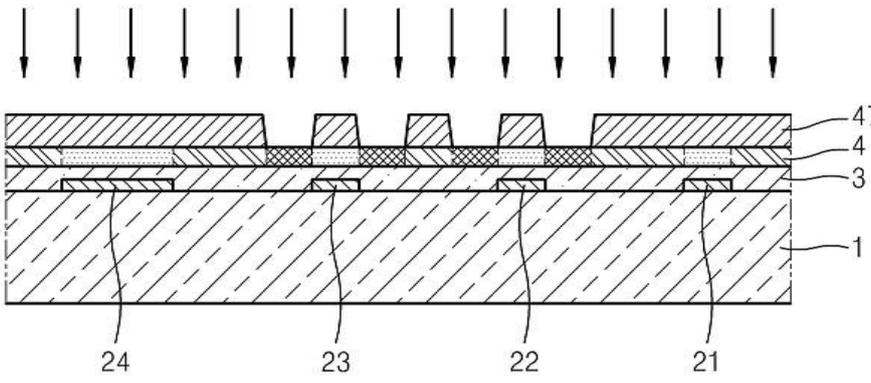
도면6



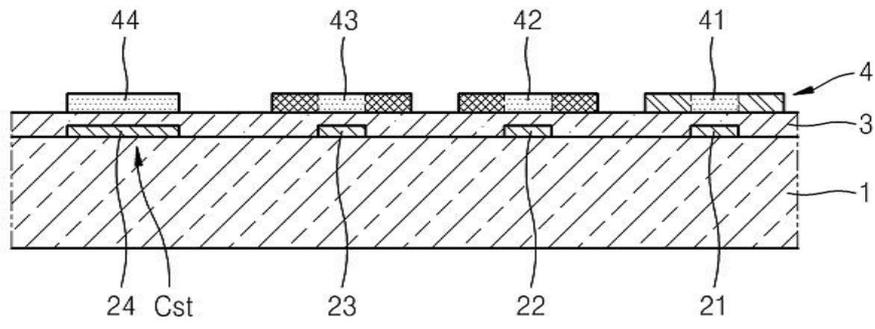
도면7



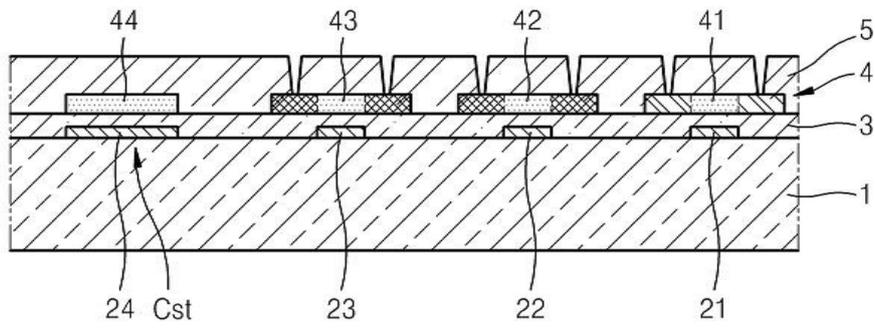
도면8



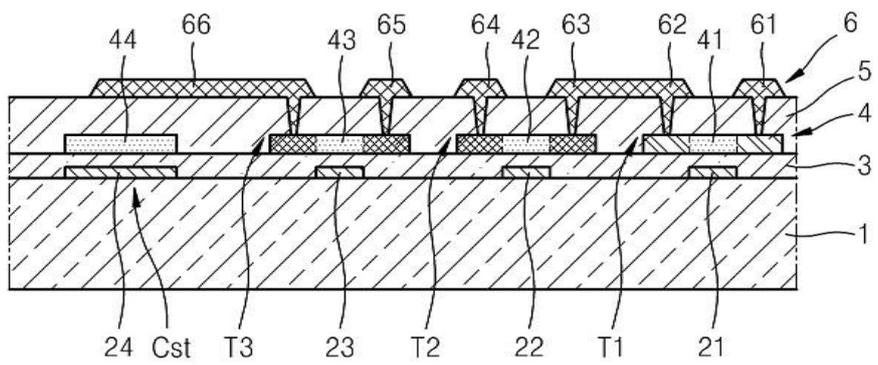
도면9



도면10



도면11



도면12

