



(12) 发明专利申请

(10) 申请公布号 CN 115765740 A

(43) 申请公布日 2023. 03. 07

(21) 申请号 202211424741.3

(22) 申请日 2022.11.14

(71) 申请人 湖南毅梁微电子有限公司

地址 410000 湖南省长沙市开福区伍家岭
街道栖凤路486号凯乐微谷商务中心1
栋12楼

(72) 发明人 邓欢 朱朝峰 唐金波 罗杨贵
戴超雄 龙睿 李光耀 鄢光强

(74) 专利代理机构 长沙国科天河知识产权代理
有限公司 43225
专利代理师 彭小兰

(51) Int. Cl.

H03M 1/12 (2006.01)

H03M 1/38 (2006.01)

H03M 1/36 (2006.01)

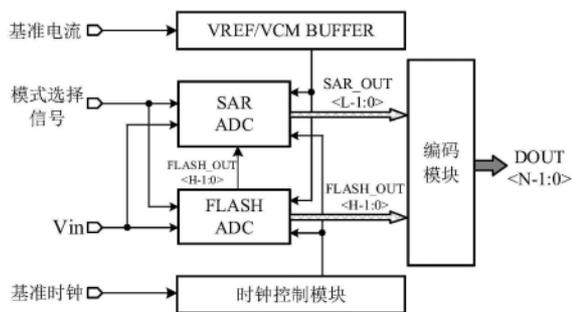
权利要求书2页 说明书11页 附图5页

(54) 发明名称

双模FLASH-SAR ADC转换电路及方法

(57) 摘要

本申请涉及双模FLASH-SAR ADC转换电路及方法,电路包括FLASHADC模块、SARADC模块、时钟控制模块和编码模块。在参考模式一下FLASHADC模块为单端结构,在转换阶段内FLASH ADC模块对第一参考电压的分压进行采样,在采样阶段内FLASH ADC模块的正负端分别接入第一参考电压的分压和输入信号,SAR-ADC模块中全部的采样电容对输入信号进行采样。在参考模式二下FLASHADC模块为差分电容结构,在转换阶段内FLASH ADC模块对第二参考电压的分压进行采样,在采样阶段内FLASH ADC模块的正负端分别接入第二参考电压和输入信号,SAR-ADC模块中一半的采样电容对输入信号进行采样。大幅节约ADC电路资源,节省应用成本。



1. 一种双模FLASH-SAR ADC转换电路,其特征在于,包括FLASHADC模块、SARADC模块、时钟控制模块和编码模块,

所述编码模块的输入端分别连接所述FLASHADC模块和所述SARADC模块,所述时钟控制模块分别连接所述FLASHADC模块和所述SARADC模块,所述FLASHADC模块用于接入输入信号和模式选择信号,所述SARADC模块用于接入所述输入信号和所述模式选择信号;所述模式选择信号用于设置所述FLASHADC模块和所述SARADC模块的工作模式为参考模式一或参考模式二;

在所述参考模式一下,电路的参考电压为第一参考电压,所述FLASHADC模块为单端结构,在转换阶段内所述FLASH ADC模块对所述第一参考电压的分压进行采样,在采样阶段内所述FLASH ADC模块的正负端分别接入所述第一参考电压的分压和所述输入信号,所述SAR-ADC模块中全部的采样电容对所述输入信号进行采样;其中,所述第一参考电压不超过电源电压,所述输入信号的电压范围为 $[0, \text{第一参考电压}]$;

在所述参考模式二下,电路的参考电压为第二参考电压,所述FLASHADC模块为差分电容结构,在转换阶段内所述FLASH ADC模块对所述第二参考电压的分压进行采样,在采样阶段内所述FLASH ADC模块的正负端分别接入所述第二参考电压和所述输入信号,所述SAR-ADC模块中一半的采样电容对所述输入信号进行采样;其中,所述第二参考电压不超过所述电源电压的一半,所述输入信号的电压范围为 $[0, 2\text{倍第二参考电压}]$ 。

2. 根据权利要求1所述的双模FLASH-SAR ADC转换电路,其特征在于,所述FLASH ADC模块的比较器包括比较器预放大级、锁存器、RS锁存器、第一预充电电容、第二预充电电容、第一开关、第二开关、第三开关和第四开关;

所述比较器预放大级的正输入端连接所述第一预充电电容的一端,所述第一预充电电容的另一端用于接入所述输入信号或连接电阻串分压电路,所述比较器预放大级的负输入端连接所述第二预充电电容的一端,所述第二预充电电容的另一端用于接入所述参考信号或连接所述电阻串分压电路;

所述比较器预放大级的正输出端通过所述第三开关连接所述锁存器的正输入端,所述比较器预放大级的负输出端通过所述第四开关连接所述锁存器的负输入端,所述锁存器与所述RS锁存器级联连接;

所述第一开关的一端连接所述比较器预放大级的正输入端,所述第一开关的另一端连接所述比较器预放大级的正输出端;所述第二开关的一端连接所述比较器预放大级的负输入端,所述第二开关的另一端连接所述比较器预放大级的负输出端。

3. 根据权利要求2所述的双模FLASH-SAR ADC转换电路,其特征在于,所述FLASH ADC模块的比较器还包括第一接地电容、第二接地电容和支路开关SW1至SW6,所述第一接地电容的一端连接比较器预放大级的正输入端,所述第一接地电容的另一端接地,所述第二接地电容的一端连接比较器预放大级的负输入端,所述第二接地电容的另一端接地;

所述支路开关SW1的一端连接所述第一预充电电容的另一端,所述支路开关SW1的另一端用于接入所述输入信号,所述支路开关SW2的一端连接所述第一预充电电容的另一端,所述支路开关SW2的另一端用于连接所述电阻串分压电路的正端电阻;

所述支路开关SW3的一端连接所述第二预充电电容的另一端,所述支路开关SW3的另一端用于接入所述参考信号,所述支路开关SW4的一端连接所述第二预充电电容的另一端,所

述支路开关SW4的另一端用于连接所述电阻串分压电路的负端电阻,所述支路开关SW5的一端连接所述第二预充电电容的另一端,所述支路开关SW5的另一端用于连接所述电阻串分压电路的正端电阻,所述支路开关SW6的一端连接所述第二预充电电容的另一端,所述支路开关SW6的另一端用于连接所述电阻串分压电路的正端电阻。

4. 根据权利要求2或3所述的双模FLASH-SAR ADC转换电路,其特征在于,在所述参考模式下,在所述FLASH ADC模块的比较器进行比较输出前,所述FLASH ADC模块将所述输入信号与所述参考信号作差后,将差值与所述参考电压的电阻串分压送入所述FLASH ADC模块的比较器进行比较输出。

5. 根据权利要求1所述的双模FLASH-SAR ADC转换电路,其特征在于,所述SARADC模块为分段结构的SARADC电路。

6. 根据权利要求1所述的双模FLASH-SAR ADC转换电路,其特征在于,所述SARADC模块为不分段结构的SARADC电路。

7. 根据权利要求1所述的双模FLASH-SAR ADC转换电路,其特征在于,所述FLASHADC模块的输出形式为温度码。

8. 根据权利要求5所述的双模FLASH-SAR ADC转换电路,其特征在于,所述SARADC模块为两段式结构且比较器两端对称的SARADC电路。

9. 根据权利要求1所述的双模FLASH-SAR ADC转换电路,其特征在于,所述双模FLASH-SAR ADC转换电路为12位FLASH-SAR ADC、14位FLASH-SAR ADC或16位FLASH-SAR ADC。

10. 一种双模FLASH-SAR ADC转换方法,其特征在于,应用于双模FLASH-SAR ADC转换电路,所述方法包括:

当输入的模式选择信号设置所述双模FLASH-SAR ADC转换电路工作在参考模式一时,在转换阶段内所述双模FLASH-SAR ADC转换电路的FLASH ADC模块对第一参考电压的分压进行采样,在采样阶段内所述FLASH ADC模块的正负端分别接入所述第一参考电压的分压和输入信号,所述双模FLASH-SAR ADC转换电路的SAR-ADC模块中全部的采样电容对所述输入信号进行采样;其中,所述第一参考电压不超过电源电压,所述输入信号的电压范围为 $[0, \text{第一参考电压}]$;

当输入的所述模式选择信号设置所述双模FLASH-SAR ADC转换电路工作在参考模式二时,在转换阶段内所述FLASH ADC模块对第二参考电压的分压进行采样,在采样阶段内所述FLASH ADC模块的正负端分别接入所述第二参考电压和所述输入信号,所述SAR-ADC模块中一半的采样电容对所述输入信号进行采样;其中,所述第二参考电压不超过所述电源电压的一半,所述输入信号的电压范围为 $[0, 2\text{倍第二参考电压}]$;

根据所述FLASH ADC模块的转换结果和所述SAR-ADC模块的转换结果得到所述双模FLASH-SAR ADC转换电路转换输出结果。

双模FLASH-SAR ADC转换电路及方法

技术领域

[0001] 本发明属于模数转换电路技术领域,涉及一种双模FLASH-SAR ADC转换电路及方法。

背景技术

[0002] 模数转换器根据结构和工作原理的不同可以分为全并行(FLASH)ADC、流水线ADC、逐次逼近(SAR)ADC以及过采样ADC等,不同的结构的ADC在速度和功耗等方面各有优势,FLASH ADC结构简单,可并行处理多个数据,同时速度比较快,但是功耗大,高失调和低精度的缺点使其难以应用到高精度大规模的集成电路中。SAR ADC则凭借着低压,低功耗的优势进入人们的视野,但是随着工艺的不断进步,SAR ADC在速度和精度很难同时满足要求。

[0003] 为了解决上述问题,FLASH ADC和SAR ADC组成的混合结构ADC,将两者的优点融合,可以实现更快的速度和更高的精度,然而,在实现本发明的过程中,发明人发现大多数FLASH-SAR ADC只有一种工作模式,限制了ADC的使用范围,在不同的场合需要不同的ADC配合工作,仍存在着ADC电路资源耗费较大的技术问题。

发明内容

[0004] 针对上述传统方法中存在的问题,本发明提出了一种双模FLASH-SAR ADC转换电路以及一种双模FLASH-SAR ADC转换方法,适应性更强且能够有效节约ADC电路资源。

[0005] 为了实现上述目的,本发明实施例采用以下技术方案:

[0006] 一方面,提供一种FLASH-SAR ADC转换电路,包括FLASH ADC模块、SAR ADC模块、时钟控制模块和编码模块,

[0007] 编码模块的输入端分别连接FLASH ADC模块和SAR ADC模块,时钟控制模块分别连接FLASH ADC模块和SAR ADC模块,FLASH ADC模块用于接入输入信号和模式选择信号,SAR ADC模块用于接入输入信号和模式选择信号;模式选择信号用于设置FLASH ADC模块和SAR ADC模块的工作模式为参考模式一或参考模式二;

[0008] 在参考模式一下,电路的参考电压为第一参考电压,FLASH ADC模块为单端结构,在转换阶段内FLASH ADC模块对第一参考电压的分压进行采样,在采样阶段内FLASH ADC模块的正负端分别接入第一参考电压的分压和输入信号,SAR-ADC模块中全部的采样电容对输入信号进行采样;其中,第一参考电压不超过电源电压,输入信号的电压范围为 $[0, \text{第一参考电压}]$;

[0009] 在参考模式二下,电路的参考电压为第二参考电压,FLASH ADC模块为差分电容结构,在转换阶段内FLASH ADC模块对第二参考电压的分压进行采样,在采样阶段内FLASH ADC模块的正负端分别接入第二参考电压和输入信号,SAR-ADC模块中一半的采样电容对输入信号进行采样;其中,第二参考电压不超过电源电压的一半,输入信号的电压范围为 $[0, 2\text{倍第二参考电压}]$ 。

[0010] 另一方面,还提供一种双模FLASH-SAR ADC转换方法,应用于双模 FLASH-SAR ADC转换电路,方法包括:

[0011] 当输入的模式选择信号设置双模FLASH-SAR ADC转换电路工作在参考模式一时,在转换阶段内双模FLASH-SAR ADC转换电路的FLASH ADC模块对第一参考电压的分压进行采样,在采样阶段内FLASH ADC模块的正负端分别接入第一参考电压的分压和输入信号,双模FLASH-SAR ADC转换电路的 SAR-ADC模块中全部的采样电容对输入信号进行采样;其中,第一参考电压不超过电源电压,输入信号的电压范围为[0,第一参考电压];

[0012] 当输入的模式选择信号设置双模FLASH-SAR ADC转换电路工作在参考模式二时,在转换阶段内FLASH ADC模块对第二参考电压的分压进行采样,在采样阶段内FLASH ADC模块的正负端分别接入第二参考电压和输入信号, SAR-ADC模块中一半的采样电容对输入信号进行采样;其中,第二参考电压不超过电源电压的一半,输入信号的电压范围为[0,2倍第二参考电压];

[0013] 根据FLASH ADC模块的转换结果和SAR-ADC模块的转换结果得到双模 FLASH-SAR ADC转换电路转换输出结果。

[0014] 上述技术方案中的一个技术方案具有如下优点和有益效果:

[0015] 上述双模FLASH-SAR ADC转换电路及方法,通过采用FLASH ADC模块、SAR ADC模块、时钟控制模块和编码模块构成的双模架构,同时支持两种工作模式,在模式选择信号选择电路工作在参考模式一下时,电路使用第一参考电压输入,FLASH ADC模块为单端结构,在转换阶段内FLASH ADC模块对第一参考电压的分压进行采样,在采样阶段内FLASH ADC模块的正负端分别接入第一参考电压的分压和输入信号,SAR-ADC模块的全部采样电容对输入信号进行采样,从而高效支持第一参考电压输入场景下的转换工作。在模式选择信号选择电路工作在参考模式二下时,电路使用第二参考电压输入,FLASH ADC模块为差分电容结构,在转换阶段内FLASH ADC模块对第二参考电压的分压进行采样,在采样阶段内FLASH ADC模块的正负端分别接入第二参考电压和输入信号,SAR-ADC模块的一半采样电容对输入信号进行采样,从而也能高效支持第二参考电压输入场景下的转换工作。如此可以复用核心电路支持两种工作模式,实现尽可能的满足不同工作场合的不同需求,可以大幅节约ADC电路资源,节省应用成本。

附图说明

[0016] 为了更清楚地说明本申请实施例或传统技术中的技术方案,下面将对实施例或传统技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本申请的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0017] 图1为一个实施例中双模FLASH-SAR ADC转换电路的架构框图;

[0018] 图2为一个实施例中FLASH ADC模式一下的结构示意图;

[0019] 图3为一个实施例中FLASH ADC模式二下的结构示意图;

[0020] 图4为一个实施例中FLASH ADC中单个比较器的示意图;

[0021] 图5为另一个实施例中FLASH ADC中单个比较器的示意图;

[0022] 图6为一个实施例中设计示例SAR ADC中CDAC高位采样电容双模采样原理示意

图；

[0023] 图7为一个实施例中设计示例SAR ADC结构示意图；

[0024] 图8为一个实施例中设计示例CDAC双模采样的原理示意图；其中，(a) 为参考模式一的采样原理，(b) 为参考模式二的采样原理。

具体实施方式

[0025] 为了使本申请的目的、技术方案及优点更加清楚明白，以下结合附图及实施例，对本申请进行进一步详细说明。应当理解，此处描述的具体实施例仅仅用以解释本申请，并不用于限定本申请。除非另有定义，本文所使用的所有的技术和科学术语与属于本申请的技术领域的技术人员通常理解的含义相同。本文中在本申请的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在于限制本申请。

[0026] 需要说明的是，在本文中提及“实施例”意味着，结合实施例描述的特定特征、结构或特性可以包含在本发明的至少一个实施例中。在说明书中的各个位置展示该短语并不一定均是指相同的实施例，也不是与其它实施例互斥的独立的或备选的实施例。

[0027] 本领域技术人员可以理解，本文所描述的实施例可以与其它实施例相结合。在本发明说明书和所附权利要求书中使用的术语“和/或”是指相关联列出的项中的一个或多个的任何组合以及所有可能组合，并且包括这些组合。需要说明的是，当一个元件被认为是“连接”另一个元件，它可以是直接连接到另一个元件并与之结合为一体，或者可能同时存在居中元件。本文所使用的术语“一端”、“另一端”以及类似的表述只是为了说明的目的。

[0028] 下面将结合本发明实施例图中的附图，对本发明实施方式进行详细说明。

[0029] 在一个实施例中，本申请实施例提供了一种双模FLASH-SAR ADC转换电路，包括FLASH ADC模块、SAR ADC模块、时钟控制模块和编码模块。编码模块的输入端分别连接FLASH ADC模块和SAR ADC模块，时钟控制模块分别连接FLASH ADC模块和SAR ADC模块，FLASH ADC模块用于接入输入信号和模式选择信号，SAR ADC模块用于接入输入信号和模式选择信号；模式选择信号用于设置FLASH ADC模块和SAR ADC模块的工作模式为参考模式一或参考模式二。

[0030] 在参考模式一下，电路的参考电压为第一参考电压，FLASH ADC模块为单端结构，在转换阶段内FLASH ADC模块对第一参考电压的分压进行采样，在采样阶段内FLASH ADC模块的正负端分别接入第一参考电压的分压和输入信号，SAR-ADC模块中全部的采样电容对输入信号进行采样；其中，第一参考电压不超过电源电压，输入信号的电压范围为[0, 第一参考电压]。在参考模式二下，电路的参考电压为第二参考电压，FLASH ADC模块为差分电容结构，在转换阶段内FLASH ADC模块对第二参考电压的分压进行采样，在采样阶段内FLASH ADC模块的正负端分别接入第二参考电压和输入信号，SAR-ADC模块中一半的采样电容对输入信号进行采样；其中，第二参考电压不超过电源电压的一半，输入信号的电压范围为[0, 2倍第二参考电压]。

[0031] 上述双模FLASH-SAR ADC转换电路，通过采用FLASH ADC模块、SAR ADC模块、时钟控制模块和编码模块构成的双模架构，同时支持两种工作模式，在模式选择信号选择电路工作在参考模式一下时，电路使用第一参考电压输入，FLASH ADC模块为单端结构，在转换

阶段内FLASH ADC模块对第一参考电压的分压进行采样,在采样阶段内FLASH ADC模块的正负端分别接入第一参考电压的分压和输入信号,SAR-ADC模块的全部采样电容对输入信号进行采样,从而高效支持第一参考电压输入场景下的转换工作。在模式选择信号选择电路工作在参考模式二下时,电路使用第二参考电压输入,FLASH ADC模块为差分电容结构,在转换阶段内FLASH ADC模块对第二参考电压的分压进行采样,在采样阶段内FLASH ADC模块的正负端分别接入第二参考电压和输入信号,SAR-ADC模块的一半采样电容对输入信号进行采样,从而也能高效支持第二参考电压输入场景下的转换工作。如此可以复用核心电路支持两种工作模式,实现尽可能的满足不同工作场合的不同需求,可以大幅节约ADC电路资源,节省应用成本。

[0032] 可以理解,电路的结构框图如图1所示,其中 V_{in} 为输入信号,基准时钟和基准电流均由外部输入,模式选择信号也通过外部寄存器输入,通过输入不同的模式选择信号来选择不同的工作模式。BUFFER为缓冲器,FLASH_OUT为FLASH ADC模块的输出,SAR_OUT为SAR-ADC模块的输出,DOUT为编码模块的输出,VCM为共模电压。

[0033] 参考模式一下的参考电压为 V_{REF} ,输入信号 V_{in} 的电压范围为 $0-V_{REF}$, $V_{REF} \leq VDD$ 。 V_{REF} 为的 V_{REF} 值。 VDD 为整个转换电路的电源电压。

[0034] 参考模式二下的参考电压为 V_{ref} ,输入信号 V_{in} 的电压范围 $0-2*V_{ref}$, $V_{ref} \leq VDD/2$ 。 V_{ref} 为的 V_{ref} 值。

[0035] 具体的,对于一个N位的FLASH-SAR ADC转换电路,FLASH ADC模块控制高H位的转换,输出结果的形式可以是温度码也可以是二进制码,SAR ADC模块则控制低L位的转换,输出结果的形式一般是二进制码,经编码模块后输出为N位二进制码。N为设计给定的位数, $H+L=N$ 。

[0036] FLASH ADC模块包括电阻串分压电路、比较器电路和开关电容电路等,对输入信号的电压和电阻串分压进行比较,得到结果即为FLASH ADC输出结果,作为ADC的高H位。具体电路的参考模式一可如图2所示,参考模式二如图3所示。其中,COMP为比较器, V_{out} 为比较输出电压, $V_{<i>i</i>}$ 为参考电压的电阻串分压, $i=1,2,\dots,31$ 。

[0037] 参考模式一下,FLASH ADC模块为单端结构工作,由于输入信号的电压范围为 $0-V_{REF}$,所以可以直接用输入信号和电阻串分压进行比较,如图2所示,输出为温度码形式的结果。

[0038] 在参考模式二中,输入信号 V_{in} 的输入范围为 $0-2*V_{ref}$,参考电压为 V_{ref} ,不能直接用输入信号和电阻串分压电路进行比较。常用的做法是将输入信号除以2,然后再和电阻串分压进行比较,输入信号除以2,在电路实现时,通常是使用双电容结构,通过电容充放电来实现,在输入信号除以2的过程中,会有电荷损失,造成误差,影响比较结果且此过程

繁琐,需要的电路资源多,同时,对于H位的FLASH ADC,电阻串分压的步长(step)为 $\frac{V_{ref}}{2^H}$,

并且将输入信号除以2,缩小信号功率,会让ADC输出的信噪比变差。

[0039] 进一步的,在参考模式二下,在FLASH ADC模块的比较器进行比较输出前,FLASH ADC模块将输入信号与参考信号作差后,将差值与参考电压的电阻串分压送入FLASH ADC模块的比较器进行比较输出。

[0040] 具体的,针对前述问题,本示例也进行了改进,如图3所示,在此参考模式二下,将

差分的优势融入到单端结构中,首先让输入信号和参考信号作差,得到 $V_x = V_{in} - V_{ref}$,差值 V_x 的范围为 $-V_{ref} \sim V_{ref}$,然后让差值 V_x 和电阻串分压 $V_{<i>V_{ref}</i>}$ 进行比较,得到结果和上述方案结果相同,在此比较过程中,两端电容以差分的形式切换(即图3所示的差分电容结构),可以抑制共模噪声的影响,电阻串分压的step为 $\frac{2 \cdot V_{ref}}{2^H}$,与传统方案比较,step

变大,更容易得到正确的比较结果,降低比较器的设计难度;同时step变大,降低比较出错的几率;比较器输入的信号范围由 $0 - V_{ref}$ 变为 $-V_{ref} \sim V_{ref}$,输入范围变大,加快比较器速度,提高信噪比(SNR)。上述参考模式设计也适合运用在双端电容结构、全差分结构的FLASH-SAR ADC中。

[0041] 在一个实施例中,如图4所示,FLASH ADC模块的比较器包括比较器预放大级PRE-COMP、锁存器LATCH、RS锁存器、第一预充电电容C1、第二预充电电容C3、第一开关S1、第二开关S2、第三开关S3和第四开关S4。

[0042] 比较器预放大级PRE-COMP的正输入端连接第一预充电电容C1的一端,第一预充电电容C1的另一端用于接入输入信号 V_{in} 或连接电阻串分压电路。比较器预放大级PRE-COMP的负输入端连接第二预充电电容C3的一端,第二预充电电容C3的另一端用于接入参考信号或连接电阻串分压电路。比较器预放大级PRE-COMP的正输出端通过第三开关S3连接锁存器的正输入端,比较器预放大级PRE-COMP的负输出端通过第四开关S4连接锁存器的负输入端,锁存器与RS锁存器级联连接。第一开关S1的一端连接比较器预放大级PRE-COMP的正输入端,第一开关S1的另一端连接比较器预放大级PRE-COMP的正输出端。第二开关S2的一端连接比较器预放大级PRE-COMP的负输入端,第二开关S2的另一端连接比较器预放大级PRE-COMP的负输出端。

[0043] 进一步的,本实施例中提供了其中一种FLASH ADC模块的核心电路——比较器模块的电路设计,可以高效支持上述所提的工作时序同时,还可支持多种参考电压输入的参考模式。如图4所示为FLASH ADC模块中单个比较器模块的一种电路结构设计示意图,其他比较器结构可与此相同。

[0044] 具体的,在ADC采样阶段,SAR ADC模块对输入信号 V_{in} 进行采样,同时,第一开关S1和第二开关S2保持断开,第三开关S3和第四开关S4闭合,比较器预放大级PRE-COMP对输入信号 V_{in} 比较放大后,送锁存器LATCH和RS锁存器依次处理输出。在采样阶段结束的时钟沿,RS锁存器输出结果并作为FLASH ADC转换结果。第一开关S1和第二开关S2闭合时,为预充电电容提供共模电压。其中,接入端子上的开关分别用于配合实现不同参考输入的切换控制。

[0045] ADC采样完成后,FLASH ADC模块的RS锁存器已经给出量化数字码(H位),得到量化电压 V_{Flash} ,然后可以得到残差电压 $V_{residue} = V_{in} - V_{Flash}$ 。SAR ADC模块将残差电压 $V_{residue}$ 进行细量化,得到低位数字码(N-H位)。在FLASH ADC模块将本次转换结果送出后,对应的SAR ADC细量化的时间内,FLASH ADC模块的比较器预放大级PRE-COMP会进入复位阶段,对通过第二预充电电容C3接入的参考电压采样,为下一次转换做准备。

[0046] 通过上述比较器模块的电路设计,可以较少的电路设计量高效支持上述工作时序,在实现转换效率提升的同时,降低转换器芯片生产成本。

[0047] 在一个实施例中,如图5所示,FLASH ADC模块的比较器还包括第一接地电容C2、

第二接地电容C4和支路开关SW1至SW6。第一接地电容C2的一端连接比较器预放大级PRE-COMP的正输入端,第一接地电容C2的另一端接地。第二接地电容C4的一端连接比较器预放大级PRE-COMP的负输入端,第二接地电容C4的另一端接地。支路开关SW1的一端连接第一预充电电容C1的另一端,支路开关SW1的另一端用于接入输入信号Vin。支路开关SW2的一端连接第一预充电电容C1的另一端,支路开关SW2的另一端用于连接电阻串分压电路的正端电阻。

[0048] 支路开关SW3的一端连接第二预充电电容C3的另一端,支路开关SW3的另一端用于接入参考信号,支路开关SW4的一端连接第二预充电电容C3的另一端,支路开关SW4的另一端用于连接电阻串分压电路的负端电阻,支路开关SW5的一端连接第二预充电电容C3的另一端,支路开关SW5的另一端用于连接电阻串分压电路的正端电阻,支路开关SW6的一端连接第二预充电电容C3的另一端,支路开关SW6的另一端用于连接电阻串分压电路的正端电阻。

[0049] 进一步的,在本实施例中,FLASH ADC模块的比较器模块的电路内还设置了第一接地电容C2和第二接地电容C4,并分别设置了各输入的支路开关SW1至SW6,其中,第一接地电容C2和第二接地电容C4的加入用于降低共模电压变化,减小共模电压变化对比较器模块工作的不利影响;已将图3中的接入端子上的开关分别扩展为相应各支路开关SW。而支路开关SW1至SW6则可以为比较器模块在不同工作阶段精准高效地接入输入信号Vin、参考信号及参考信号的电阻串分压,用于支持比较器预放大级PRE-COMP、锁存器LATCH和RS锁存器的比较输出工作。

[0050] 通过上述FLASH ADC模块的比较器模块的电路进一步优化设计,可以进一步提升FLASH ADC模块的转换性能。

[0051] 在一个实施例中,SAR ADC模块为分段结构的SAR ADC电路。可以理解,SAR ADC模块同样可以包括DAC模块、比较器模块以及SAR控制逻辑模块等。本文主要针对SAR ADC架构进行改进,即对DAC进行设计。DAC模块分为两部分,其中第一部分为高H位对应开关电容部分,由FLASH转换结果控制切换;第二部分为低L位对应开关电容部分,由SAR逻辑根据比较器比较结果进行控制切换。

[0052] 在一个实施例中,SAR ADC模块为不分段结构的SAR ADC电路。可以理解,DAC模块电路可以是传统不分段结构,也可以是分段结构(例如但不限于两段、三段或四段结构均可)。电路采用下极板采样,所以电容下极板至少需要三个开关,用于分别连接输入电压、参考电压和参考地。可根据不同采样方式,来调整所需要的开关以及下极板需要接入的电压。

[0053] 在参考模式一时,所有采样电容均对输入信号采样;进一步的,FLASH ADC模块的输出形式为温度码。

[0054] 在参考模式二时,采用如图6中所示的结构,将高位电容进行分裂,通过使用一半采样电容对输入信号采样,然后再按照SAR ADC切换方式进行逐次逼近比较即可得到最终结果。

[0055] FLASH ADC输出为单端结果,则FLASH ADC的结果只需要给到SAR ADC的N端CDAC即可,对应P端高位电容只需要保持接地,然后低位SAR ADC以差分形式切换,将差分的优势融入到单端ADC中,抑制共模噪声对结果的影响。

[0056] 以上为双模FLASH-SAR ADC的架构,该架构将差分结构的优势融合到单端结构中,可以得到更好的性能,提升ADC的动态参数指标。

[0057] 在一个实施例中,SAR ADC模块为两段式结构且比较器两端对称的SAR ADC电路。电路结构简单且效率高,应用成本更低。

[0058] 在一个实施例中,双模FLASH-SAR ADC转换电路为12位FLASH-SAR ADC、14位FLASH-SAR ADC或16位FLASH-SAR ADC,适用性更强。

[0059] 本领域技术人员还可以将上述技术方案应用到13位FLASH-SAR ADC、15位FLASH-SAR ADC、10位FLASH-SAR ADC或11位FLASH-SAR ADC等,以使其支持上述相应功能。

[0060] 在一个实施例中,为便于更好地理解上述方案,还提供了其中一种可选的设计应用示例。需要说明的是,本示例仅为示意性的,并非是对上述方案在实际应用中的唯一限定,本领域技术人员可以按照上述方案的设计构思同理实现不同的设计应用。

[0061] 设计的是一个12位单端双模FLASH-SAR ADC转换电路,其支持两种参考模式:

[0062] 参考模式一:参考电压为VREF,输入信号的电压范围为0-VREF,要求VREF ≤ VDD。

[0063] 参考模式二:参考电压为Vref,输入信号的电压范围为0-2·Vref,要求Vref ≤ VDD/2。

[0064] 该实例采用将12位ADC分为高5位(H=5)和低7位(L=7)的组合方式,即FLASH ADC模块负责粗量化高五位部分,SAR ADC模块负责细量化低七位部分。

[0065] FLASH ADC模块主要包括32个电阻组成的电阻串分压电路和31个比较器电路。单个FLASH ADC模块的核心电路如图4所示:

[0066] 其中四个电容相同(此处实例中使用了四个电容,按照发明内容中的FLASH ADC模块结构图,使用两个电容(C1和C3)即可实现该FLASH ADC的功能,此实例中增加的两个接地电容(C2和C4)作用是为了降低比较器输入的共模电压),假设容值均为C。VREF(Vref)为参考电压,V<P>和V<N>为32个电阻组成的电阻串对VREF进行的分压,其表达通式为:

$$[0067] \quad V_{<i>} = \frac{i}{31} \cdot V_{REF}, i = 1, 2, \dots, 31$$

[0068] 并且P和N满足:P+N=32,P=1,2,⋯,31;N=31,30,⋯,1。工作在不同参考模式下,FLASH ADC模块的工作原理不同,具体如下两种情况:

[0069] 1、在参考模式一时,参考电压为VREF,输入信号范围0-VREF:

[0070] 在此参考模式下,比较器负输入端(N端)302参与电路工作,301断开。也即FLASH ADC模块的比较器模块的电路负输入端(N端)只需要对V<P>采样即可,V<N>和VREF支路对应开关SW3和SW4处于常闭状态。

[0071] 在FLASH ADC复位阶段,此时SW2和SW6为高电平,对应电位接到电容下极板;此时S1为高电平,比较器预放大级PRE-COMP输入和输出端短接,为预充电电容提供共模电压 V_p^+ 和 V_n^+ 。此时比较器预放大级PRE-COMP的P端和N端各电容存储电荷分别为:

$$[0072] \quad Q_p^+ = (V_p^+ - V_{<P>}) \cdot C_1 + V_p^+ \cdot C_2$$

$$[0073] \quad Q_n^+ = (V_n^+ - V_{<P>}) \cdot C_3 + V_n^+ \cdot C_4$$

[0074] 其中,C₁表示电容C1的容值,C₂表示电容C2的容值,C₃表示电容C3的容值,C₄表示

电容C4的容值。在FLASH ADC转换阶段,此时SW1和SW5为高电平,采样输入Vin和电压V<P>接入到电容下极板,此时S1为低电平,比较器预放大级PRE-COMP的输入和输出断开对输入的差分信号进行比较放大。此时比较器预放大级PRE-COMP的P端和N端电容存储电荷分别为:

$$[0075] \quad Q_P^- = (V_p^- - V_{in}) \cdot C_1 + V_p^- \cdot C_2$$

$$[0076] \quad Q_N^- = (V_n^- - V_{<P>}) \cdot C_3 + V_n^- \cdot C_4$$

[0077] 其中, V_{in} 表示Vin的值。根据电荷守恒, $Q_P^+ = Q_P^-$, $Q_N^+ = Q_N^-$, 联立上式得:

$$[0078] \quad 2V_p^+ - V_{<P>} = 2V_p^- - V_{in}$$

$$[0079] \quad 2V_n^+ - V_{<P>} = 2V_n^- - V_{<P>}$$

[0080] 比较器是全差分结构,所以 $V_p^+ = V_n^+$, 两式相减并化简得:

$$[0081] \quad 2 \cdot (V_p^- - V_n^-) = V_{in} - V_{<P>}$$

[0082] 根据上面推导出的关系即可判断出输入电压Vin和参考电压V<P>的大小关系。当电压 $V_p^- > V_n^-$ 时,则输入电压Vin大于参考电压V<P>,比较器输出为1,反之当 $V_p^- < V_n^-$ 时,则输入电压Vin小于参考电压V<P>,比较器输出为0。

[0083] 2、在参考模式二时参考电压为Vref,输入范围0-2·Vref,要求Vref≤VDD/2:

[0084] 在此参考模式下,FLASH ADC模块的比较器模块负输入端(N端)301参与电路工作,分时对Vref和V<N>采样,302断开,即V<P>支路对应开关SW5和SW6处于常闭状态。

[0085] 在FLASH ADC复位阶段,此时SW2和SW4为高电平,对应电位接到电容下极板;此时S1为高电平,比较器预放大级PRE-COMP的输入和输出端短接,为预充电电容提供共模电压 V_p^+ 和 V_n^+ 。此时P端和N端电容存储电荷分别为:

$$[0086] \quad Q_P^+ = (V_p^+ - V_{<P>}) \cdot C_1 + V_p^+ \cdot C_2$$

$$[0087] \quad Q_N^+ = (V_n^+ - V_{<N>}) \cdot C_3 + V_n^+ \cdot C_4$$

[0088] 在FLASH ADC转换阶段,此时SW1和SW3为高电平,外部输入Vin和参考电压Vref接入到电容下极板,此时S1为低电平,比较器预放大级PRE-COMP的输入和输出断开对输入的差分信号进行比较放大。此时P端和N端电容存储电荷分别为:

$$[0089] \quad Q_P^- = (V_p^- - V_{in}) \cdot C_1 + V_p^- \cdot C_2$$

$$[0090] \quad Q_N^- = (V_n^- - V_{ref}) \cdot C_3 + V_n^- \cdot C_4$$

[0091] 其中, V_{ref} 表示Vref的值。根据电荷守恒, $Q_P^+ = Q_P^-$ 和 $Q_N^+ = Q_N^-$, 联立上式得:

$$[0092] \quad 2V_p^+ - V_{<P>} = 2V_p^- - V_{in}$$

$$[0093] \quad 2V_n^+ - V_{<N>} = 2V_n^- - V_{ref}$$

[0094] 比较器时全差分的结构,所以 $V_p^+ = V_n^+$,两式相减并化简得:

$$[0095] \quad 2 \cdot (V_p^- - V_n^-) = (V_{in} - V_{ref}) - (V_{<N>} - V_{<P>})$$

[0096] 在参考模式二,FLASH ADC是全差分工作模式,ADC输入电压 V_{in} 范围为 $0 \sim 2 \cdot V_{ref}$,在FLASH ADC内下移 V_{ref} 后得到的“ $V_{in} - V_{ref}$ ”作为新的输入电压,对应范围为 $-V_{ref} \sim V_{ref}$,FLASH ADC内新的参考电压是“ $V_{<N>} - V_{<P>}$ ”,对应范围也为 $-V_{ref} \sim V_{ref}$ 。在此比较过程中,两端电容以差分的形式切换,可以抑制共模噪声的影响,电阻串分压step为 $\frac{2 \cdot V_{ref}}{2^5}$,

与传统方案比较,step变大,更容易得到正确的比较结果,降低比较器的设计难度;同时step变大,使热噪声变小,降低比较出错的几率;比较器输入的信号范围由 $0 - V_{ref}$ 变为 $-V_{ref} \sim V_{ref}$,输入范围变大,加快比较器速度,提高信噪比(SNR)。

[0097] 按照差分思想,比较器比较新的输入电压“ $V_{in} - V_{ref}$ ”与新的参考电压“ $V_{<N>} - V_{<P>}$ ”。当 $V_p^- > V_n^-$ 时,表示新的输入电压大于新的参考电压,比较器输出为1。反之,当 $V_p^- < V_n^-$ 时,则表示新的输入电压小于新的参考电压,比较器输出为0。此处将差分的思想融入到单端结构中,利用差分比较器得到输出结果,可以抑制共模噪声以获得更好的性能。

[0098] 两种参考模式在采样时钟下降沿开关S2会闭合,将比较器预放大级结果送给LATCH级进一步比较放大,最后送到RS锁存器锁存,在整个SAR ADC量化过程中一直保持不变。

[0099] SAR ADC模块负责低七位量化且要支持上述两种参考模式的转换,结构示意图可如图7所示。该SAR ADC模块中DAC为两段式结构,且P端和N端对称。高位电容阵列402总共有8位(7+1,有一位是冗余位电容404),分别为64C,32C,16C,8C,4C,4C,2C和C,包括一位冗余位电容404容值为4C。低位电容阵列401有6位(5+1)分别为16C,8C,4C,2C,C和C,最后一位C为终端补偿电容,不参与转换。桥接电容405为 $C_s = \frac{32}{31}C$ 。

[0100] 该SAR ADC模块采用高6位402下极板采样,且为单端采样结构,即只有402的N端(比较器负输入端)DAC对应采样电容对输入信号采样;402的P端(比较器正输入端)DAC在采样时,对应采样电容下极板均接地(GND)。其余电容401在采样时下极板接共模电压VCM,不参与采样。补偿电容406下极板一直接共模电压VCM。

[0101] 此DAC也支持前面的两种参考模式,采样电容部分402需要更特别设计,如图5所示,将每位电容平均分成两份,重新组合为两组,一组电容下极板采样开关(控制电容下极板和输入连接的开关)由开关Switch1控制,另一组采样开关由开关Switch2控制,并且开关Switch2控制的一组中,每个电容对应的切换开关都需加一个控制接地的开关。

[0102] 在参考模式一时,所有电容均对输入信号采样,即开关Switch1和开关Switch2为高电平(高电平有效),此时采样电容有128C,所采样的电荷量为 $128C \cdot V_{in}$,输入电压范围 $0 \sim V_{REF}$ 。

[0103] 在参考模式二时,开关Switch1为高电平,开关Switch2为低电平,只要开关Switch1对应的一组电容进行采样,开关Switch2对应的一组电容在采样时接地控制开关

GND_CLK导通,全部接地,不参与采样,此时采样电容只有64C,所采样的电荷量只有 $64C \cdot V_{in}$,在之后的ADC量化过程中402中的所有128C 电容都参与其中,采样电容64C电容采的电荷量会被分配到128C去,等效采样的电压 $U=Q/C=64C \cdot V_{in}/128C=0.5 \cdot V_{in}$ 。因为之后的ADC量化以Vref作为参考,所以可实现输入电压范围 $0 \sim 2 \cdot V_{ref}$,两种模式的采样示意图如图8中所示,其中 (a)为参考模式一的采样,(b)为参考模式二的采样。

[0104] 图7中高五位对应电容403,为了和FLASH ADC模块的输出对应,将所有 电容以2C为基本单位均分,共分为62个,其中开关Switch1控制的一组有31 个,开关Switch2控制的一组有31个,两组的转换控制信号均由FLASH ADC 模块给出的31位温度码控制(即一个温度码控制电容为4C)。

[0105] 在SAR ADC量化阶段,为方便计算,将FLASH ADC模块输出的温度码转换为五位数字码,分别为D13、D12、D11、D10和D9。该设计为单端采样,P 端采样保持接地,所以FLASH ADC模块的输出结果只控制SAR ADC模块中 CDAC的N端高五位,CDAC的P端高五位一直保持接地。

[0106] 参考模式一低位每次开关切换,根据电荷守恒可推导出DAC输出端电压差 为:

$$[0107] \quad V_{XP1} - V_{XN1} = \frac{128}{132} \left(V_{in} - \sum_{i=1}^5 D_{14-i} \cdot 2^{7-i} \cdot \frac{V_{REF}}{128} \right)$$

$$[0108] \quad V_{XP_j} - V_{XN_j} = \frac{128}{132} \left[\left(V_{XP_{j-1}} - V_{XN_{j-1}} \right) \pm \frac{k}{128} \cdot V_{REF} \right]$$

[0109] 其中 $k=4-j$, $j=2,3 \dots 9$ 。 V_{XP_j} 和 V_{XN_j} 为第j次转换DAC输出端电压。当j-1 位比较结果为0时,上式中为减;j-1位比较结果为1时,上式中为加。根据 V_{XP_j} 和 V_{XN_j} 的比较结果,控制下一位和上述一样的方式切换,直到低位结果全部量化完成。

[0110] 参考模式二低位每次开关切换,根据电荷守恒可推导出DAC输出端电压差 为:

$$[0111] \quad V_{XP1} - V_{XN1} = \frac{64}{132} \left(V_{in} - \sum_{i=1}^5 D_{14-i} \cdot 2^{7-i} \cdot \frac{V_{ref}}{128} \right)$$

$$[0112] \quad V_{XP_j} - V_{XN_j} = \frac{128}{132} \left[\left(V_{XP_{j-1}} - V_{XN_{j-1}} \right) \pm \frac{k}{128} \cdot V_{ref} \right]$$

[0113] 其中 $k=4-j$, $j=2,3 \dots 9$ 。 V_{XP_j} 和 V_{XN_j} 为第j次转换DAC输出端电压。当j-1 位比较结果为0时,上式中为减;j-1位比较结果为1时,上式中为加。根据 V_{XP_j} 和 V_{XN_j} 的比较结果,控制下一位和上述一样的方式切换,直到低位结果全部量化完成。参考模式二在采样时,采样电容只有一半参与采样,但在转化时,FLASH ADC输出数字码会控制所有电容进行转换。

[0114] 以上为本实施例按照上述发明内容所进行的实例设计,对于FLASH SAR ADC其余非核心模块,按照传统电路就进行设计即可实现FLASH SAR ADC的功能,本实例不在展开详述。

[0115] 在一个实施例中,本申请实施例还提供了一种FLASH-SAR ADC转换方法,应用于双模FLASH-SAR ADC转换电路,该方法包括步骤S12至S16:

[0116] S12,当输入的模式选择信号设置双模FLASH-SAR ADC转换电路工作在参考模式一时,在转换阶段内双模FLASH-SAR ADC转换电路的FLASH ADC模块对第一参考电压的分

压进行采样,在采样阶段内FLASH ADC模块的正负端 分别接入第一参考电压的分压和输入信号,双模FLASH-SAR ADC转换电路的SAR-ADC模块中全部的采样电容对输入信号进行采样;其中,第一参考电压不超过电源电压,输入信号的电压范围为[0,第一参考电压];

[0117] S14,当输入的模式选择信号设置双模FLASH-SAR ADC转换电路工作在参考模式二时,在转换阶段内FLASH ADC模块对第二参考电压的分压进行采样,在采样阶段内FLASH ADC模块的正负端分别接入第二参考电压和输入信号,SAR-ADC模块中一半采样电容对输入信号进行采样;其中,第二参考电压不超过电源电压的一半,输入信号的电压范围为[0,2倍第二参考电压];

[0118] S16,根据FLASH ADC模块的转换结果和SAR-ADC模块的转换结果得到双模FLASH-SAR ADC转换电路转换输出结果。

[0119] 可以理解,关于本实施例中各步骤的解释说明,可以参见上述双模FLASH-SAR ADC转换电路的实施例中相应部分同理理解,此处不再重复赘述。

[0120] 上述FLASH-SAR ADC转换方法,通过基于FLASH ADC模块、SAR ADC 模块、时钟控制模块和编码模块构成的双模架构,同时支持两种工作模式,在模式选择信号选择电路工作在参考模式一下时,电路使用第一参考电压输入,FLASH ADC模块为单端结构,在转换阶段内FLASH ADC模块对第一参考电压的分压进行采样,在采样阶段内FLASH ADC模块的正负端分别接入第一参考电压的分压和输入信号,SAR-ADC模块的全部采样电容对输入信号进行采样,从而高效支持第一参考电压输入场景下的转换工作。在模式选择信号选择电路工作在参考模式二下时,电路使用第二参考电压输入,FLASH ADC模块为差分电容结构,在转换阶段内FLASH ADC模块对第二参考电压的分压进行采样,在采样阶段内FLASH ADC模块的正负端分别接入第二参考电压和输入信号,SAR-ADC模块的一半采样电容对输入信号进行采样,从而也能高效支持第二参考电压输入场景下的转换工作。如此可以复用核心电路支持两种工作模式,实现尽可能的满足不同工作场合的不同需求,可以大幅节约ADC电路资源,节省应用成本。

[0121] 可以理解,关于上述FLASH-SAR ADC转换方法各实施例内容的解释说明,可以参照上述双模FLASH-SAR ADC转换电路各实施例中的相应解释说明同理理解,在此不再赘述。以上实施例的各技术特征可以进行任意的组合,为使描述简洁,未对上述实施例中的各个技术特征所有可能的组合都进行描述,然而,只要这些技术特征的组合不存在矛盾,都应当认为是本说明书记载的范围。以上实施例仅表达了本申请的几种实施方式,其描述较为具体和详细,但并不能因此而理解为对发明专利范围的限制。应当指出的是,对于本领域的普通技术人员来说,在不脱离本申请构思的前提下,还可做出若干变形和改进,都属于本申请保护范围。因此本申请专利的保护范围应以所附权利要求为准。

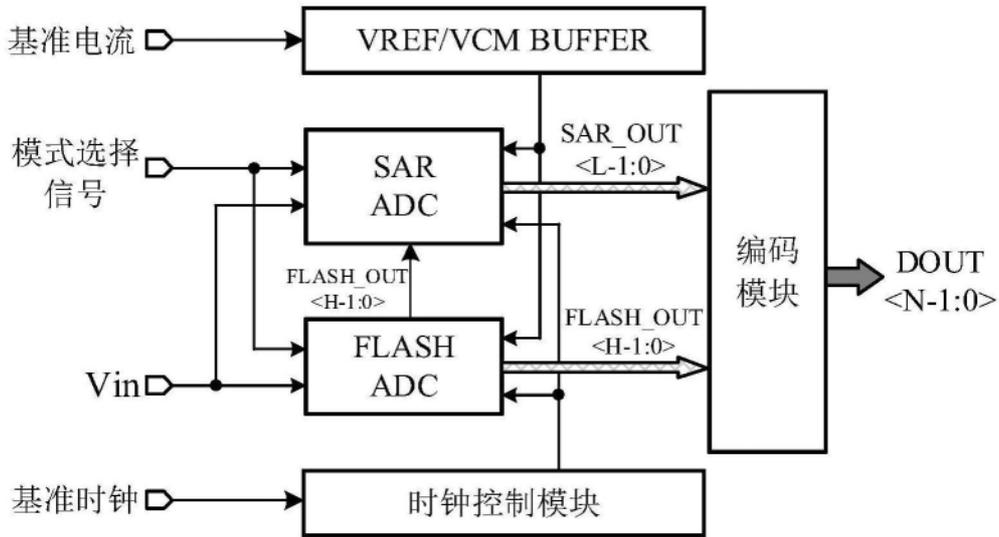


图1

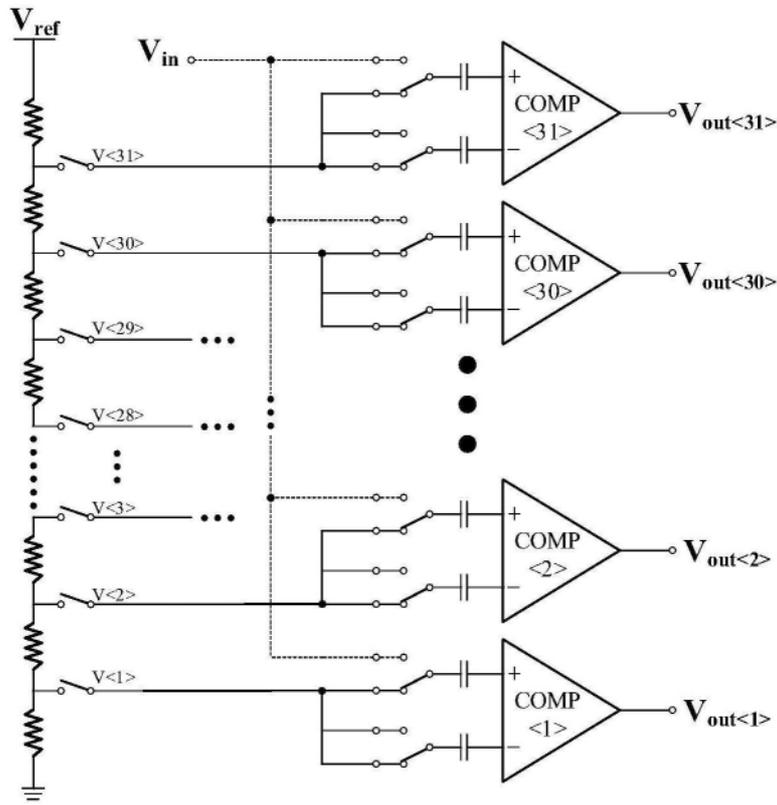


图2

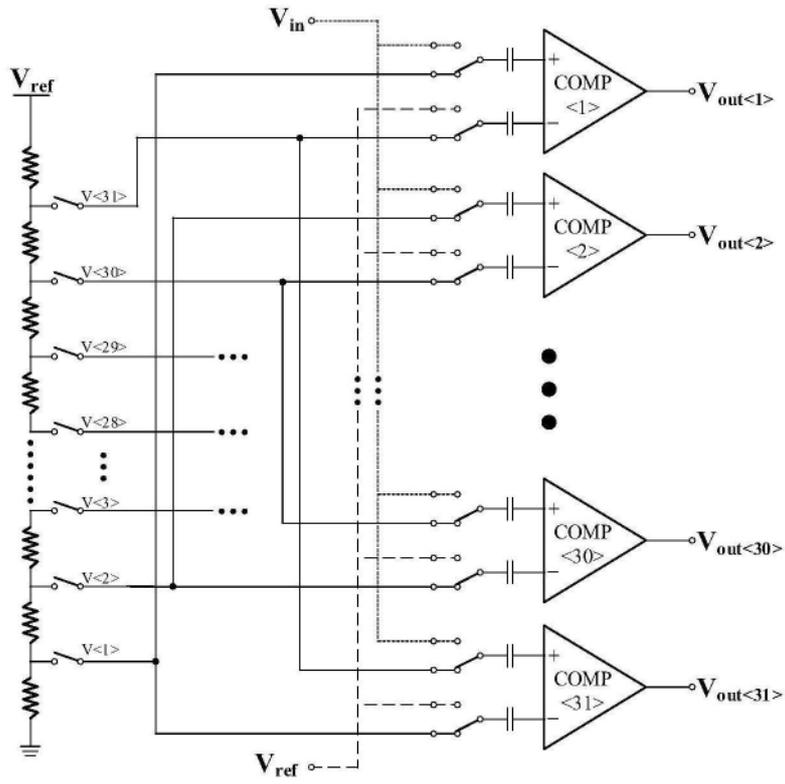


图3

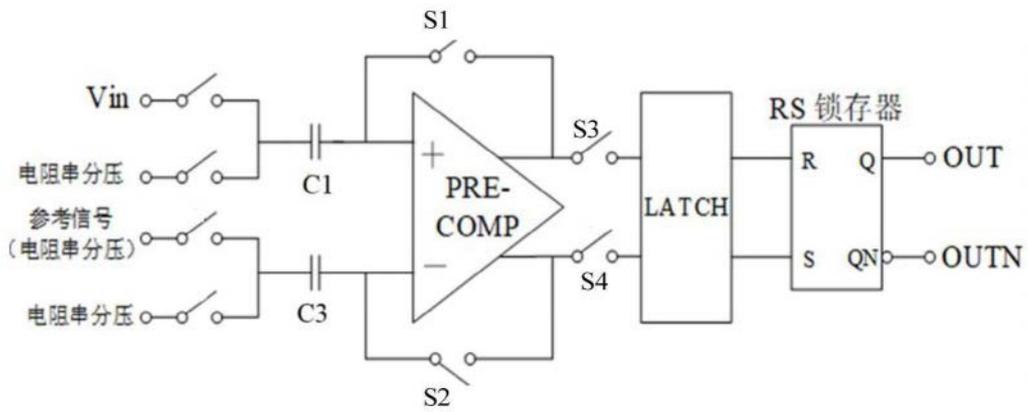


图4

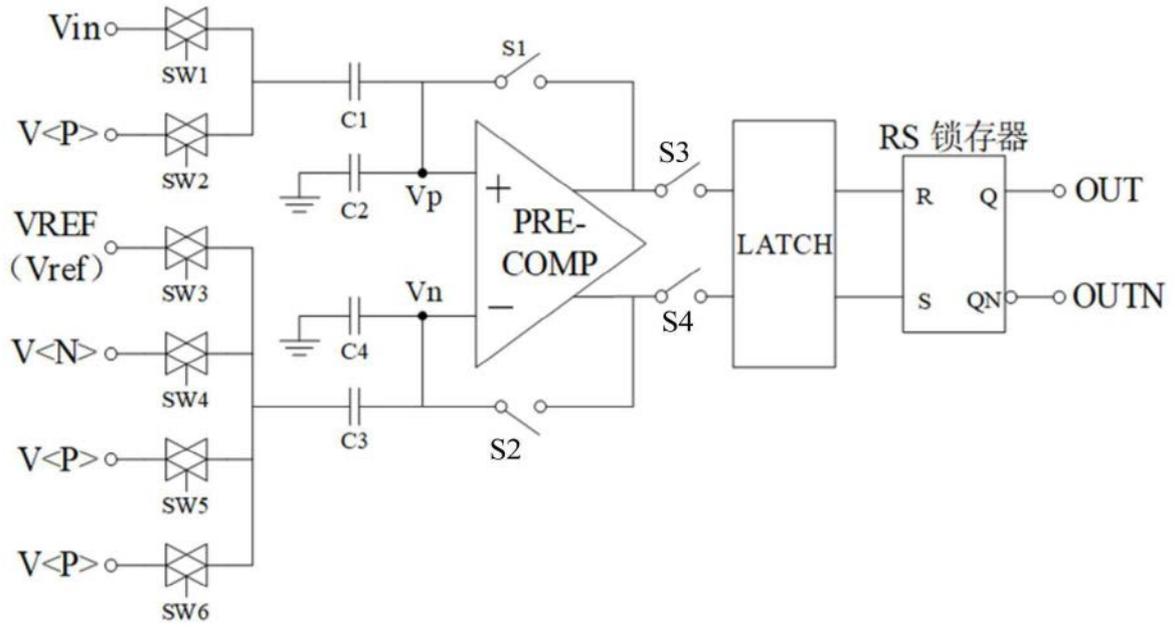


图5

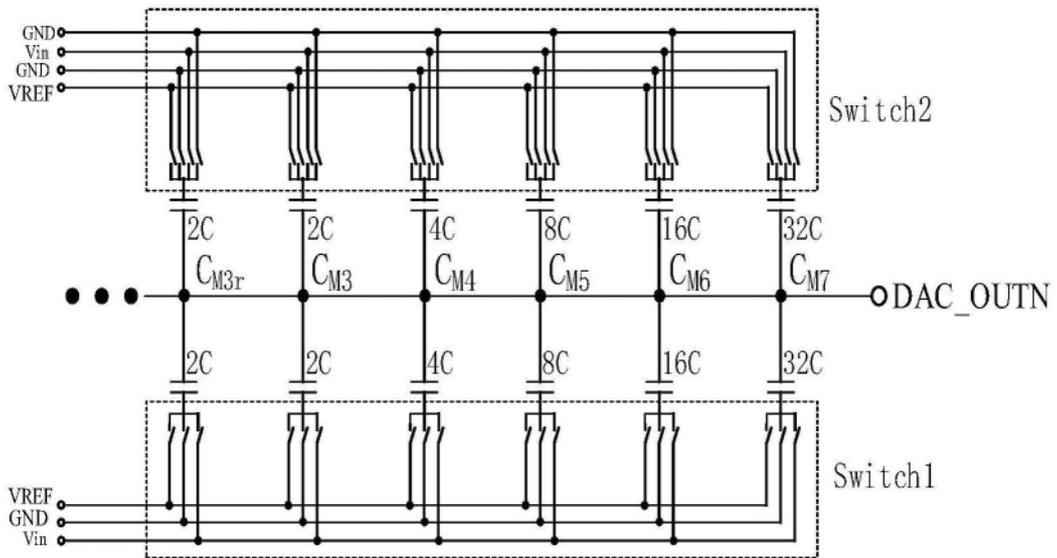


图6

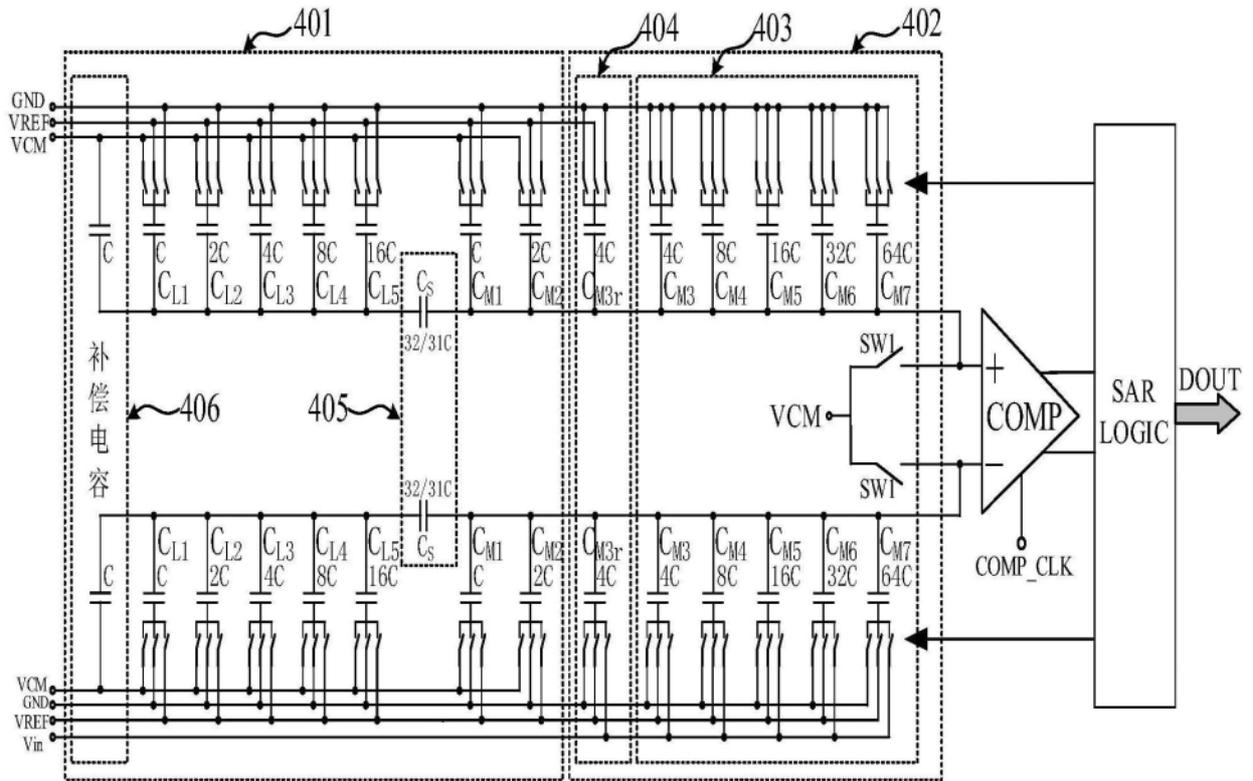
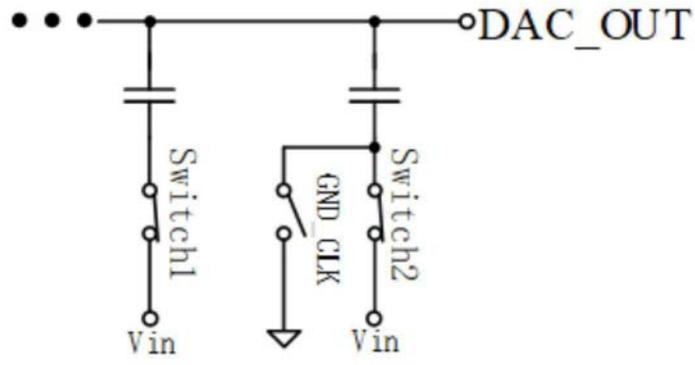
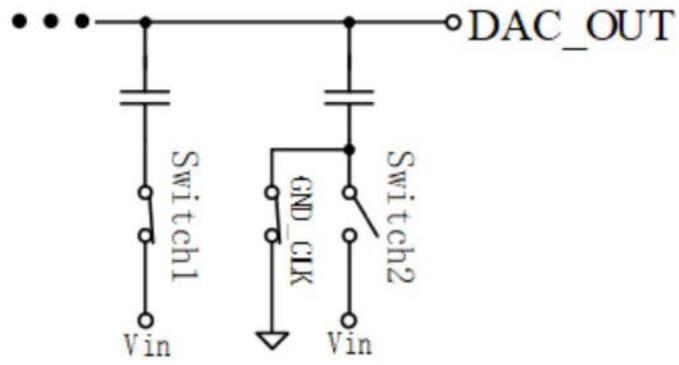


图7



(a)



(b)

图8