



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0088936
(43) 공개일자 2021년07월15일

(51) 국제특허분류(Int. Cl.)
H03M 1/10 (2006.01) H03M 1/38 (2006.01)
(52) CPC특허분류
H03M 1/1028 (2013.01)
H03M 1/38 (2013.01)
(21) 출원번호 10-2020-0002023
(22) 출원일자 2020년01월07일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
한양대학교 산학협력단
서울특별시 성동구 왕십리로 222(행당동, 한양대학교내)
(72) 발명자
박상규
서울특별시 송파구 중대로 24, 214동 1501호
신태섭
서울특별시 강서구 방화대로44길 13, 4층
(74) 대리인
박영우

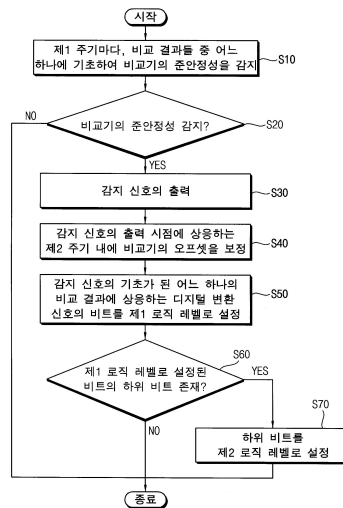
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 비교기의 오프셋 보정 방법 및 이를 이용한 SAR 아날로그-디지털 변환기

(57) 요약

본 발명의 실시예에 따른 비교기의 오프셋 보정 방법은, 연속 근사 레지스터 아날로그-디지털 변환기(SAR ADC)에 포함되어, 제1 주기마다 비교 결과들을 출력하는 비교기의 오프셋을 보정하는 방법으로서, 상기 제1 주기마다, 상기 비교 결과들 중 어느 하나에 기초하여 상기 비교기의 준안정성이 감지된 경우, 감지 신호를 출력하는 단계, 및 상기 감지 신호의 출력 시점에 상응하는 제2 주기 내에 상기 비교기의 오프셋을 보정하는 단계를 포함한다. 본 발명의 실시예들에 따른 비교기의 오프셋 보정 방법은, 비교기의 준안정성이 감지된 경우, 오프셋 보정을 위한 별도의 시간의 소모 없이 효율적으로 오프셋을 보정할 수 있다.

대표도 - 도2



명세서

청구범위

청구항 1

연속 근사 레지스터 아날로그-디지털 변환기(SAR ADC)에 포함되어, 제1 주기마다 비교 결과들을 출력하는 비교기의 오프셋을 보정하는 방법으로서,

상기 제1 주기마다, 상기 비교 결과들 중 어느 하나에 기초하여 상기 비교기의 준안정성이 감지된 경우, 감지 신호를 출력하는 단계 및

상기 감지 신호의 출력 시점에 상응하는 제2 주기 내에 상기 비교기의 오프셋을 보정하는 단계를 포함하는, 비교기의 오프셋 보정 방법.

청구항 2

제1 항에 있어서,

상기 SAR ADC는 M(M은 2이상의 정수)비트 디지털 변환 신호를 출력하고, 상기 비교기는 상기 제1 주기마다 M개의 비교 결과들을 순차적으로 출력하며,

상기 비교기의 오프셋 보정 방법은,

상기 감지 신호의 기초가 된 어느 하나의 비교 결과에 상응하는 상기 디지털 변환 신호의 비트를 제1 로직 레벨로 설정하고, 상기 제1 로직 레벨로 설정된 비트의 하위 비트가 존재하는 경우, 상기 하위 비트를 제2 로직 레벨로 설정하는 단계를 포함하는, 비교기의 오프셋 보정 방법.

청구항 3

제1 항에 있어서,

상기 제1 주기는 샘플 앤 홀드 회로에 입력되는 구동 클락의 주기이고, 상기 제2 주기는 비교기에 입력되는 클락의 주기인 것을 특징으로 하는 비교기의 오프셋 보정 방법.

청구항 4

제2 항에 있어서,

상기 제1 로직 레벨이 로직 하이인 경우, 상기 제2 로직 레벨은 로직 로우이고, 상기 제1 로직 레벨이 로직 로우인 경우, 상기 제2 로직 레벨은 로직 하이인 것을 특징으로 하는 비교기의 오프셋 보정 방법.

청구항 5

제1 항에 있어서, 상기 SAR ADC는 2개의 비교기를 포함하는 것을 특징으로 하는 비교기의 오프셋 보정 방법.

청구항 6

제1 주기마다 비교 결과들을 출력하는 비교기를 포함하는 연속 근사 레지스터 아날로그-디지털 변환기(SAR ADC)로서,

상기 제1 주기마다, 상기 비교 결과들 중 어느 하나에 기초하여 상기 비교기의 준안정성이 감지된 경우, 감지 신호를 출력하는 준안정성 감지부 및

상기 감지 신호의 출력 시점에 상응하는 제2 주기 내에 상기 비교기의 오프셋을 보정하는 오프셋 보정부를 포함하는, SAR ADC.

청구항 7

제6 항에 있어서,

상기 SAR ADC는 N(N은 2이상의 정수)비트 디지털 변환 신호를 출력하고, 상기 비교기는 상기 제1 주기마다 N개의 비교 결과들을 순차적으로 출력하며,

상기 오프셋 보정부는,

상기 감지 신호의 기초가 된 어느 하나의 비교 결과에 상응하는 상기 디지털 변환 신호의 비트를 제1 로직 레벨로 설정하고, 상기 제1 로직 레벨로 설정된 비트의 하위 비트가 존재하는 경우, 상기 하위 비트를 제2 로직 레벨로 설정하는 것을 특징으로 하는 SAR ADC.

청구항 8

제6 항에 있어서,

상기 제1 주기는 샘플 앤 홀드 회로에 입력되는 구동 클락의 주기이고, 상기 제2 주기는 비교기에 입력되는 클락의 주기인 것을 특징으로 하는 SAR ADC.

청구항 9

상기 제1 로직 레벨이 로직 하이인 경우, 상기 제2 로직 레벨은 로직 로우이고, 상기 제1 로직 레벨이 로직 로우인 경우, 상기 제2 로직 레벨은 로직 하이인 것을 특징으로 하는 SAR ADC.

청구항 10

제6항에 있어서, 상기 SAR ADC는 2개의 비교기를 포함하는 것을 특징으로 하는 SAR ADC.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치에 관한 것으로서, 더욱 상세하게는 비교기의 오프셋 보정 방법 및 이를 이용한 SAR 아날로그-디지털 변환기에 관한 것이다.

배경 기술

[0002] 아날로그-디지털 변환기(ADC)는 아날로그 입력 신호들을 디지털 신호들로 고속으로 변환하는 반도체 장치이고, 그 동작에 있어서 상기 ADC에서 사용되는 비교기는 중요한 역할을 수행한다. 특히, 연속 근사 레지스터(SAR) ADC의 경우, 비교기는 입력된 아날로그 신호를 변환한 신호와 이에 상응하는 기준 신호 간의 비교 결과를 출력하며, 이러한 비교 결과의 신뢰도는 SAR ADC의 성능에 큰 영향을 미치게 된다.

발명의 내용

해결하려는 과제

[0003] 상기와 같은 문제점을 해결하기 위한 본 발명의 일 목적은, 효율적으로 비교기의 오프셋을 보정할 수 있는 오프셋 보정 방법 및 이를 이용한 SAR 아날로그-디지털 변환기를 제공하는 것이다.

과제의 해결 수단

[0004] 상기 일 목적을 달성하기 위해, 본 발명의 일 실시예에 따른 비교기의 오프셋을 보정하는 방법은, 연속 근사 레지스터 아날로그-디지털 변환기(SAR ADC)에 포함되어, 제1 주기마다 비교 결과들을 출력하는 비교기의 오프셋을 보정하는 방법으로서, 상기 제1 주기마다, 상기 비교 결과들 중 어느 하나에 기초하여 상기 비교기의 준안정성이 감지된 경우, 감지 신호를 출력하는 단계, 및 상기 감지 신호의 출력 시점에 상응하는 제2 주기 내에 상기 비교기의 오프셋을 보정하는 단계를 포함한다.

[0005] 실시예에 따라, 상기 SAR ADC는 M(M은 2이상의 정수)비트 디지털 변환 신호를 출력하고, 상기 비교기는 상기 제1 주기마다 M개의 비교 결과들을 순차적으로 출력하며, 상기 비교기의 오프셋 보정 방법은, 상기 감지 신호의 기초가 된 어느 하나의 비교 결과에 상응하는 상기 디지털 변환 신호의 비트를 제1 로직 레벨로 설정하고, 상기 제1 로직 레벨로 설정된 비트의 하위 비트가 존재하는 경우, 상기 하위 비트를 제2 로직 레벨로 설정하는 단계

를 포함할 수 있다.

- [0006] 실시예에 따라, 상기 제1 주기는 샘플 앤 홀드 회로에 입력되는 구동 클락의 주기이고, 상기 제2 주기는 비교기에 입력되는 클락의 주기일 수 있다.
- [0007] 실시예에 따라, 상기 제1 로직 레벨이 로직 하이인 경우, 상기 제2 로직 레벨은 로직 로우이고, 상기 제1 로직 레벨이 로직 로우인 경우, 상기 제2 로직 레벨은 로직 하이일 수 있다.
- [0008] 실시예에 따라, 상기 SAR ADC는 2개의 비교기를 포함할 수 있다.
- [0009] 상기 일 목적을 달성하기 위해, 본 발명의 다른 실시예에 따른 연속 근사 레지스터 아날로그-디지털 변환기(SAR ADC)는, 제1 주기마다 비교 결과들을 출력하는 비교기를 포함하는 SAR ADC로서, 상기 제1 주기마다, 상기 비교 결과들 중 어느 하나에 기초하여 상기 비교기의 준안정성이 감지된 경우, 감지 신호를 출력하는 준안정성 감지부, 및 상기 감지 신호의 출력 시점에 상응하는 제2 주기 내에 상기 비교기의 오프셋을 보정하는 오프셋 보정부 를 포함한다.
- [0010] 실시예에 따라, 상기 SAR ADC는 N(N은 2이상의 정수)비트 디지털 변환 신호를 출력하고, 상기 비교기는 상기 제1 주기마다 N개의 비교 결과들을 순차적으로 출력하며, 상기 오프셋 보정부는, 상기 감지 신호의 기초가 된 어느 하나의 비교 결과에 상응하는 상기 디지털 변환 신호의 비트를 제1 로직 레벨로 설정하고, 상기 제1 로직 레벨로 설정된 비트의 하위 비트가 존재하는 경우, 상기 하위 비트를 제2 로직 레벨로 설정할 수 있다.
- [0011] 실시예에 따라, 상기 제1 주기는 샘플 앤 홀드 회로에 입력되는 구동 클락의 주기이고, 상기 제2 주기는 비교기에 입력되는 클락의 주기일 수 있다.
- [0012] 실시예에 따라, 상기 제1 로직 레벨이 로직 하이인 경우, 상기 제2 로직 레벨은 로직 로우이고, 상기 제1 로직 레벨이 로직 로우인 경우, 상기 제2 로직 레벨은 로직 하이일 수 있다.
- [0013] 실시예에 따라, 상기 SAR ADC는 2개의 비교기를 포함할 수 있다.

발명의 효과

- [0014] 본 발명의 일 실시예에 따른 오프셋 보정 방법 및 이를 이용한 SAR 아날로그-디지털 변환기는, 비교기의 준안정성이 감지된 경우, 오프셋 보정을 위한 별도의 시간의 소모 없이 효율적으로 오프셋을 보정할 수 있다.

도면의 간단한 설명

- [0015] 도 1a는 일반적인 연속 근사 레지스터 아날로그-디지털 변환기를 나타내는 블록도이다.
- 도 1b는 도 1a에 도시된 비교기의 정상적인 동작을 설명하기 위한 타이밍도이다.
- 도 2는 본 발명의 일 실시예에 따른 비교기의 오프셋 보정 방법을 나타내는 흐름도이다.
- 도 3a는 본 발명의 일 실시예에 따른 SAR ADC를 나타내는 블록도이다.
- 도 3b는 도 3a에 도시된 SAR ADC가 비교기의 오프셋을 보정하는 방법을 설명하기 위한 타이밍도이다.
- 도 4a는 본 발명의 일 실시예에 따른 SAR ADC를 나타내는 블록도이다.
- 도 4b는 도 4a에 도시된 SAR ADC가 비교기의 오프셋을 보정하는 방법을 설명하기 위한 타이밍도이다.
- 도 5는 본 발명의 일 실시예에 따른 SAR ADC를 사용하는 이미지 센서를 포함하는 컴퓨팅 시스템을 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0016] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0017] 도 1a는 일반적인 연속 근사 레지스터 아날로그-디지털 변환기를 나타내는 블록도이다. 도 1b는 도 1a에 도시된 비교기의 정상적인 동작을 설명하기 위한 타이밍도이다.
- [0018] 도 1a를 참조하면, 연속 근사 레지스터 아날로그-디지털 변환기(Successive Approximation Register Analog-to-Digital Converter)(SAR ADC)는 비교기(10), SAR 로직(20), 디지털-아날로그 변환기(30), 및 샘플 앤 홀드

회로(40)를 포함할 수 있다.

- [0019] 샘플 앤 홀드 회로(40)는 아날로그 입력 신호(vi)를 수신하고, 수신된 입력 신호(vi)를 샘플링 및 홀딩하여 변환할 수 있다.
- [0020] 디지털-아날로그 변환기(30)는 샘플 앤 홀드 회로(40)로부터 변환된 신호를 수신하고, SAR 로직(20)으로부터 N 비트 디지털 신호를 수신하며, 수신된 N비트 디지털 신호를 아날로그 신호로 변환할 수 있다.
- [0021] 비교기(10)는 디지털-아날로그 변환기(30)로부터 입력 신호들(vip, vin)을 수신하고, 입력 신호들(vip, vin)의 전압 레벨을 비교하여, 어느 쪽이 더 큰지를 판단하고, 이를 차동 출력 신호들(vo1, vo2)로 나타낼 수 있다. 여기서, 입력 신호들(vip, vin) 각각은 샘플 앤 홀드 회로(40)에 의해 변환된 신호 및 SAR 로직(20)에 의해 변환된 신호일 수 있으나, 실시예에 따라, 샘플 앤 홀드 회로(40)에 의해 변환된 신호 및 SAR 로직(20)에 의해 변환된 신호에 기초한 신호일 수도 있다.
- [0022] SAR 로직(20)은 클락(ckc)을 생성하여 비교기(10)에 공급할 수 있고, 비교기(10)로부터 차동 출력 신호들(vo1, vo2)을 수신할 수 있다. SAR 로직(20)은 차동 출력 신호들(vo1, vo2)에 기초하여 N비트 디지털 신호를 출력하고, 디지털-아날로그 변환기(30)로 전송할 수 있다. 실시예에 따라, SAR 로직(20)은 차동 출력 신호들(vo1, vo2)에 기초하여, 비교기(10)의 입력 신호들(vip, vin) 중 입력 신호(vip)가 더 큰 것으로 판단되는 경우, N비트 디지털 신호의 상응하는 비트를 로직 하이로 설정하고, 비교기(10)의 입력 신호들(vip, vin) 중 입력 신호(vin)이 더 큰 것으로 판단되는 경우, N 비트 디지털 신호의 상응하는 비트를 로직 로우로 설정할 수 있다.
- [0023] 도 1b를 참조하면, 비교기(10)는 주기마다, 비교 결과들을 출력할 수 있다. 여기서, 상기 주기는 샘플 앤 홀드 회로(40)에 입력되는 구동 클락(cks)의 주기일 수 있다. 여기서, 비교기(10)는 주기마다, N개의 비교 결과들을 차동 출력 신호들(vo1, vo2)로서 출력할 수 있다. 실시예에 따라, 비교기(10)가 주기마다 출력하게 되는 비교 결과들의 수(즉, N)는 SAR ADC의 분해능에 따라 결정될 수 있고, 다른 실시예에 따라, 출력 비트 수에 따라 결정될 수도 있다. 도 1b에서는 비교기(10)가 주기마다 출력하게 되는 비교 결과들의 수가 6개인 것으로 도시되어 있으나, 이는 설명의 편의를 위해 예시된 것으로서, 본 발명의 범위는 이에 한정되지 않는다.
- [0024] 비교기(10)는 주기마다, 비교 결과들을 출력할 수 있고, 비교기(10)는 SAR 로직(20)에 의해 공급된 클락(ckc)에 응답하여 상기 비교 결과들을 출력할 수 있다.
- [0025] 한편, 비교기(10)가 정상적인 동작(normal operation)에 따라 상기 비교 결과들을 출력하는 경우에 관하여 살펴보기로 한다. 여기서, 정상적인 동작이라 함은, 비교기(10)가 준안정성(metastability)을 갖는 경우와 대비되는 경우를 말한다. 여기서, 비교기(10)가 준안정성을 갖는 경우라 함은, 비교기(10)에 입력되는 신호들(vip, vin)의 전압 레벨의 차이가 근소하여, 어느 쪽이 더 큰지를 미리 설정된 시간 내에 판단하지 못하는 경우를 의미할 수 있다.
- [0026] 즉, 비교기(10)가 정상적인 동작에 따라 상기 비교 결과들을 출력하는 경우, 비교기(10)의 차동 출력 신호들(vo1, vo2) 중 어느 하나(예를 들어, vo1)는 제1 전압 레벨에 도달되고, 다른 하나(예를 들어, vo2)는 제2 전압 레벨에 도달 될 수 있다.
- [0027] 반면, 비교기(10)가 준안정성을 갖는 경우, 비교기(10)의 차동 출력 신호들(vo1, vo2)은 어느 하나라도 상기 제1 전압 레벨에 도달되지 못할 수 있다.
- [0028] 도 2는 본 발명의 일 실시예에 따른 비교기의 오프셋 보정 방법을 나타내는 흐름도이다. 도 3a는 본 발명의 일 실시예에 따른 SAR ADC를 나타내는 블록도이다. 도 3b는 도 3a에 도시된 SAR ADC가 비교기의 오프셋을 보정하는 방법을 설명하기 위한 타이밍도이다.
- [0029] 한편, 도 3a에 도시된 SAR ADC는 도 1a에 도시된 SAR ADC와 비교하여, 오프셋 처리부(20-1)를 더 포함한다는 점을 제외하고는 실질적으로 동일하다. 도 3a와 도 1a에 도시된 구성요소들 중 동일한 참조부호를 갖는 구성요소들은 동일한 기능을 수행하므로, 이에 관한 구체적인 설명은 생략하기로 한다.
- [0030] 나아가, 도 3a에 도시된 오프셋 처리부(20-1)는 도 1a에 도시된 SAR 로직(20)을 대체하는 것이 아니며, 실시예에 따라, SAR 로직(20)에 포함될 수 있고, 다른 실시예에 따라, SAR 로직(20)을 포함할 수도 있음을 유의하여야 한다.
- [0031] 도 2, 도 3a, 도 3b를 참조하면, 오프셋 처리부(20-1)는 제1 주기마다 비교 결과들 중 어느 하나에 기초하여 비

교기의 준안정성을 감지할 수 있다(S10).

- [0032] 여기서, 상기 제1 주기라 함은, 도 1b를 참조하여 상술한 바와 같이, 샘플 앤 홀드 회로(40)에 입력되는 구동 클락(cks)의 주기일 수 있다.
- [0033] 여기서, 오프셋 처리부(20-1)는 비교기(10)의 준안정성을 감지하며, 상기 준안정성의 감지는 비교기(10)가 출력하는 비교 결과들 중 어느 하나에 기초한 것일 수 있다. 실시예에 따라, 상기 준안정성의 감지는 비교기(10)가 비교기에 입력되는 클락(ckc)에 응답하여 출력하는 차동 출력 신호들(vo1, vo2) 중 어느 하나에 기초한 것일 수 있다. 실시예에 따라, 클락(ckc)은 SAR 로직(20)에 의해 공급되는 클락일 수 있다.
- [0034] 실시예에 따라, S10 단계는 오프셋 처리부(20-1)에 포함된 준안정성 감지부에 의해 실시될 수도 있다.
- [0035] 그리고, 오프셋 처리부(20-1)는 비교기의 준안정성이 감지된 경우(S20에서 YES인 경우), 감지 신호를 출력할 수 있다(S30)
- [0036] 여기서, 감지 신호라 함은 도 3b에 도시된 신호(encal)일 수 있다.
- [0037] 실시예에 따라, S30 단계는 오프셋 처리부(20-1)에 포함된 준안정성 감지부에 의해 실시될 수도 있다.
- [0038] 오프셋 처리부(20-1)는 감지 신호의 출력 시점에 상응하는 제2 주기 내에 비교기의 오프셋을 보정할 수 있다(S40)
- [0039] 여기서, 감지 신호의 출력 시점이라 함은, 신호(encal)의 전압 레벨이 제1 전압 레벨로 된 경우를 의미할 수 있다. 실시예에 따라, 상기 제1 전압 레벨은 로직 하이로 의미할 수 있다.
- [0040] 여기서, 상기 제2 주기라 함은 비교기에 입력되는 클락(ckc)의 주기를 의미할 수 있다.
- [0041] 여기서, 감지 신호의 출력 시점에 상응하는 제2 주기라 함은, 상기 감지의 기초가 되는 비교 결과를 출력하기 위해 비교기(10)에 입력된 클락(ckc) 이후 새로이 비교기(10)에 입력된 클락(ckc)이 활성화된 시간 영역을 의미할 수 있다. 여기서, 클락(ckc)이 활성화된 시간 영역이라 함은, 어느 클락이 입력된 시점부터 다음 클락이 입력되기까지의 시간을 의미할 수 있다. 도 3b에서는, 감지 신호로서 신호(encal)의 전압 레벨이 로직 하이로 된 경우, 상기 감지의 기초가 되는 비교 결과를 출력하기 위해 비교기(10)에 입력된 클락(즉, ckc로서 세번째 입력된 클락) 이후 새로이 비교기(10)에 입력된 클락(즉, ckc로서 네번째 입력된 클락)이 활성화된 시간 영역 동안 비교기의 오프셋을 보정하는 것으로 도시되어 있다. 그러나, 본 발명의 범위가 이에 한정되는 것은 아니다. 실시예에 따라, 오프셋 처리부(20-1)는 감지 신호의 출력 시점에 상응하는 제1 주기 내에 비교기의 오프셋을 보정할 수도 있다. 즉, 도 3b에서, 상기 감지의 기초가 되는 비교 결과를 출력하기 위해 비교기(10)에 입력된 클락 이후 새로이 비교기(10)에 클락이 입력된 시점부터 샘플 앤 홀드 회로(40)에 새로이 입력되는 구동 클락(cks)이 실제 입력되기까지의 시간 영역 동안 비교기의 오프셋을 보정할 수도 있다(즉, ckc로서 네번째 내지 여섯번째 입력된 클락이 활성화된 시간 영역).
- [0042] 실시예에 따라, S40 단계는 오프셋 처리부(20-1)에 포함된 오프셋 보정부에 의해 실시될 수도 있다.
- [0043] 오프셋 처리부(20-1)는 감지 신호의 기초가 된 어느 하나의 비교 결과에 상응하는 디지털 변환 신호의 비트를 제1 로직 레벨로 설정할 수 있다(S50).
- [0044] 예를 들어, 도 3a에 도시된 SAR ADC가 6비트 SAR ADC인 경우로서, 감지 신호의 기초가 된 어느 하나의 비교 결과가 6비트 디지털 변환 신호 중 최상위 비트로부터 세번째 비트를 결정하기 위한 비교 결과라면, 상기 디지털 변환 신호 중 최상위 비트로부터 세번째 비트를 제1 로직 레벨로 설정할 수 있다. 실시예에 따라, 상기 제1 로직 레벨은 로직 하이일 수 있고, 다른 실시예에 따라, 상기 제1 로직 레벨은 로직 로우일 수 있다.
- [0045] 실시예에 따라, S50 단계는 오프셋 처리부(20-1)에 포함된 메모리 로직에 의해 실시될 수도 있다.
- [0046] 오프셋 처리부(20-1)는 제1 로직 레벨로 설정된 비트의 하위 비트가 존재하는 경우(S60에서 YES인 경우), 하위 비트를 제2 로직 레벨로 설정할 수 있다(S70).
- [0047] 예를 들어, S50 단계를 설명하기 위해 예시로 든 6비트 SAR ADC에서, 상기 디지털 변환 신호 중 최상위 비트로부터 세번째 비트를 제1 로직 레벨로 설정한 경우, 최상위 비트로부터 네번째 비트 내지 여섯번째 비트를 제2 로직 레벨로 설정할 수 있다. 실시예에 따라, 상기 제1 로직 레벨이 로직 하이인 경우, 상기 제2 로직 레벨은 로직 로우일 수 있다. 다른 실시예에 따라, 상기 제1 로직 레벨이 로직 로우인 경우, 상기 제2 로직 레벨은 로직 하이일 수 있다.

- [0048] 실시예에 따라, S70 단계는 오프셋 처리부(20-1)에 포함된 메모리 로직에 의해 실시될 수도 있다.
- [0049] 즉, 본 발명의 일 실시예에 따른 비교기의 오프셋 보정 방법은 비교기의 준안정성이 감지된 경우, 감지 신호의 출력 이후 샘플 앤 홀드 회로에 새로이 입력되는 구동 클락이 실제 입력되기 전에 비교기의 오프셋을 보정할 수 있다. 그리고, 상기 감지 신호의 기초가 된 비교 결과에 상응하는 디지털 신호의 비트 및 상기 디지털 신호의 비트의 하위 비트를 미리 설정된 로직 레벨로 설정할 수 있다. 따라서, 비교기의 준안정성이 감지된 경우, 오프셋 보정을 위한 별도의 시간의 소모없이 효율적으로 오프셋을 보정할 수 있다.
- [0050] 도 4a는 본 발명의 일 실시예에 따른 SAR ADC를 나타내는 블록도이다. 도 4b는 도 4a에 도시된 SAR ADC가 비교기의 오프셋을 보정하는 방법을 설명하기 위한 타이밍도이다.
- [0051] 한편, 도 4a에 도시된 SAR ADC는 도 3a에 도시된 SAR ADC와 비교하여 비교기(10-1) 외에 다른 비교기(10-2)를 더 포함하고 있다. 또한, 오프셋 처리부(20-2)는 비교기(10-1)로부터 출력되는 차동 출력 신호들(vo1, vo2) 외에 다른 비교기(10-2)로부터 출력되는 차동 출력 신호들(vo21, 및 vo22)을 더 수신한다. 이 점을 제외하고는 도 4a에 도시된 SAR ADC는 도 3a에 도시된 SAR ADC와 비교하여 실질적으로 동일하다. 도 4a와 도 3a에 도시된 구성요소들 중 동일한 참조부호를 갖는 구성요소들은 동일한 기능을 수행하므로, 이에 관한 구체적인 설명은 생략하기로 한다.
- [0052] 도 2, 도 4a 및 도 4b를 참조하면, 오프셋 처리부(20-2)는 도 2의 S10 단계를 실시함에 있어서, 비교기(10-1) 및 비교기(10-2)로부터 출력되는 차동 출력 신호들(vo11, vo12, vo21, 및 vo22)에 기초하여 비교기의 준안정성을 감지할 수 있다.
- [0053] 또한 오프셋 처리부(20-2)는 도 2의 S40 단계를 실시함에 있어서, 상기 감지의 기초가 되는 비교 결과를 출력하기 위해 비교기(10-1)에 입력된 클락(ckc1) 이후 새로이 비교기(10-2)에 입력된 클락(ckc2)이 활성화된 시간 영역 동안, 비교기(10-1)의 오프셋을 보정할 수 있다.
- [0054] 도 5는 본 발명의 일 실시예에 따른 SAR ADC를 사용하는 이미지 센서를 포함하는 컴퓨팅 시스템을 나타내는 블록도이다.
- [0055] 도 5를 참조하면, 컴퓨팅 시스템(1000)은 프로세서(1010), 메모리 장치(1020), 저장 장치(1030), 이미지 센서(1040), 입출력 장치(1050), 및 파워 서플라이(1060)를 포함할 수 있다. 한편, 도 5에는 도시되지 않았지만, 컴퓨팅 시스템(1000)은 비디오 카드, 사운드 카드, 메모리 카드, USB 장치 등과 통신하거나, 또는 다른 전자 기기와 통신할 수 있는 포트(port)들을 더 포함할 수 있다.
- [0056] 프로세서(1010)는 특정 계산들 또는 태스크(task)들을 수행할 수 있다. 실시예에 따라, 프로세서(1010)는 마이크로프로세서(micro-processor), 중앙 처리 장치(Central Processing Unit; CPU)일 수 있다.
- [0057] 프로세서(1010)는 어드레스 버스(address bus), 제어 버스(control bus) 및 데이터 버스(data bus)를 통하여 메모리 장치(1020), 저장 장치(1030), 이미지 센서(1040) 및 입출력 장치(1050)와 통신을 수행할 수 있다.
- [0058] 실시예에 따라, 프로세서(1010)는 주변 구성요소 상호연결(Peripheral Component Interconnect; PCI) 버스와 같은 확장 버스에도 연결될 수 있다.
- [0059] 메모리 장치(1020)는 컴퓨팅 시스템(1000)의 동작에 필요한 데이터를 저장할 수 있다. 예를 들어, 메모리 장치(1020)는 디램(DRAM), 모바일 디램, 에스램(SRAM), 피램(PRAM), 에프램(FRAM), 알램(RRAM) 및/또는 엠램(MRAM)으로 구현될 수 있다.
- [0060] 저장 장치(1030)는 솔리드 스테이트 드라이브(solid state drive), 하드 디스크 드라이브(hard disk drive), 씨디롬(CD-ROM) 등을 포함할 수 있다. 입출력 장치(1050)는 키보드, 키패드, 마우스 등과 같은 입력 수단 및 프린터, 디스플레이 등과 같은 출력 수단을 포함할 수 있다. 파워 서플라이(1060)는 전자 기기(1000)의 동작에 필요한 동작 전압을 공급할 수 있다.
- [0061] 이미지 센서(1040)는 상기 버스들 또는 다른 통신 링크를 통해서 프로세서(1010)와 연결되어 통신을 수행할 수 있다. 이미지 센서(1040)는 상술한 바와 같은 SAR ADC들을 포함할 수 있다. 상기 SAR ADC는 입력 신호 및 기준 신호를 비교하여 비교 신호를 발생하는 비교 회로 및 상기 비교 신호에 기초하여 상기 비교 신호보다 빠르게 천이하는 출력 신호를 발생하는 포지티브 피드백 회로를 포함할 수 있다. 상기 포지티브 피드백 회로는, 상기 비교 신호의 천이에 응답하여 제1 전원 전압 및 변환 노드를 전기적으로 연결하고 상기 출력 신호의 천이에 응답하여 상기 제1 전원 전압 및 상기 변환 노드를 전기적으로 차단하는 제1 회로, 상기 출력 신호의 천이에 응답하여

여 제2 전원 전압 및 상기 변환 노드를 전기적으로 연결하는 제2 회로 및 상기 변환 노드의 전압에 기초하여 상기 출력 신호를 발생하는 출력 회로를 포함할 수 있다.

[0062] 이상 설명한 바와 같이, 본 발명의 실시예들에 따른 비교기의 오프셋 보정 방법은, 비교기의 준안정성이 감지된 경우, 오프셋 보정을 위한 별도의 시간의 소모 없이 효율적으로 오프셋을 보정할 수 있다.

[0063] 해당 기술 분야의 숙련된 당업자는 본 발명의 실시예들이 시스템, 방법, 컴퓨터로 판독 가능한 매체에 저장된 컴퓨터로 판독 가능한 프로그램 코드를 포함하는 제품 등의 형태로 구현될 수 있음을 이해할 것이다. 상기 컴퓨터로 판독 가능한 프로그램 코드는 다양한 컴퓨터 또는 다른 데이터 처리 장치의 프로세서로 제공될 수 있다. 상기 컴퓨터로 판독 가능한 매체는 컴퓨터로 판독 가능한 신호 매체 또는 컴퓨터로 판독 가능한 기록 매체일 수 있다. 상기 컴퓨터로 판독 가능한 기록 매체는 명령어 실행 시스템, 장비 또는 장치 내에 또는 이들과 접속되어 프로그램을 저장하거나 포함할 수 있는 임의의 유형적인 매체일 수 있다.

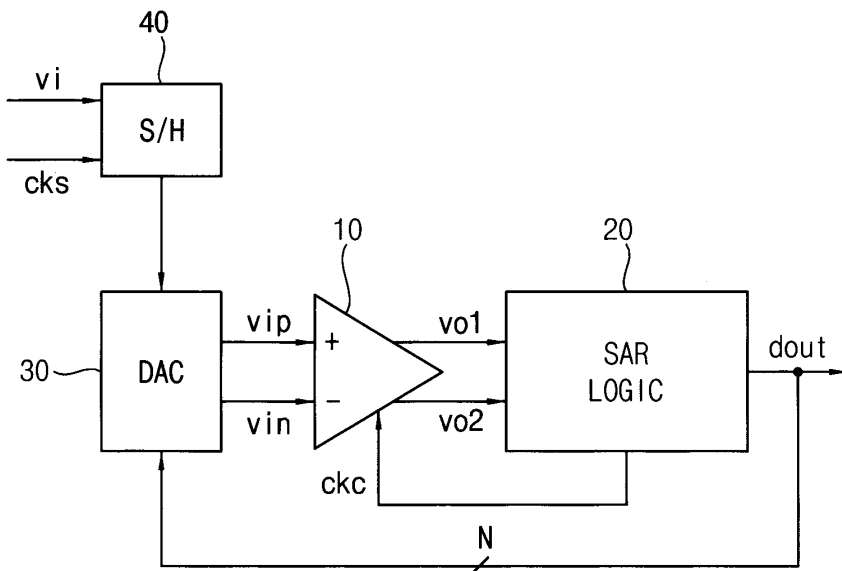
산업상 이용가능성

[0064] 본 발명의 실시예들은 반도체 제조 공정에서 유용하게 이용될 수 있다. 특히 본 발명의 실시예들은 메모리 카드, 솔리드 스테이트 드라이브(Solid State Drive; SSD), 임베디드 멀티미디어 카드(eMMC, embedded multimedia card), 유니버설 플래시 스토리지(UFS, universal flash storage), 컴퓨터(computer), 노트북(laptop), 핸드폰(cellular phone), 스마트폰(smart phone), MP3 플레이어, 피디아이(Personal Digital Assistants; PDA), 피엠펜(Portable Multimedia Player; PMP), 디지털 TV, 디지털 카메라, 포터블 게임 콘솔(portable game console), 네비게이션(navigation) 기기, 웨어러블(wearable) 기기, IoT(internet of things;) 기기, IoE(internet of everything;) 기기, e-북(e-book), VR(virtual reality) 기기, AR(augmented reality) 기기 등과 같은 전자 기기에 필요한 반도체 제조 공정에 더욱 유용하게 적용될 수 있다.

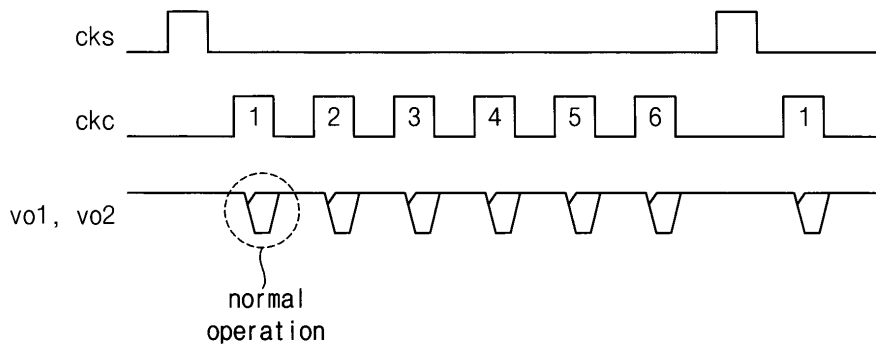
[0065] 상기에서는 본 발명이 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 것이다.

도면

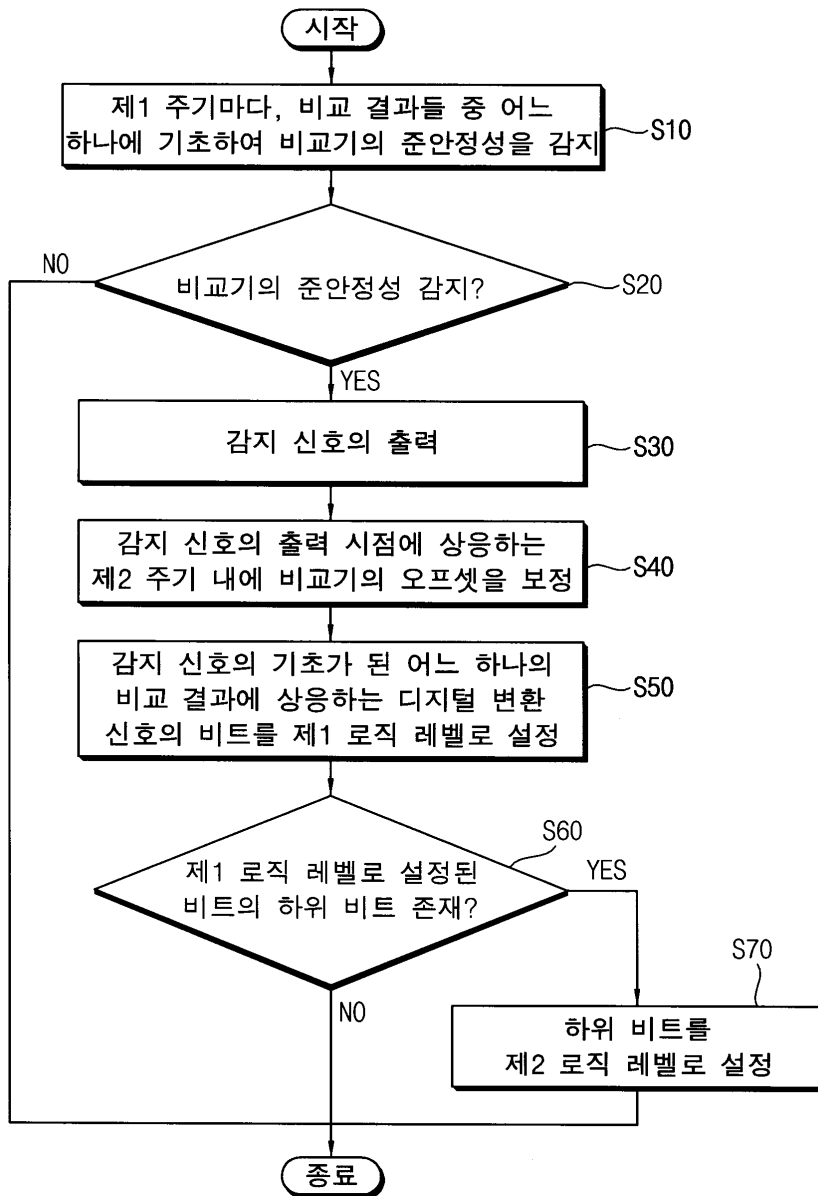
도면1a



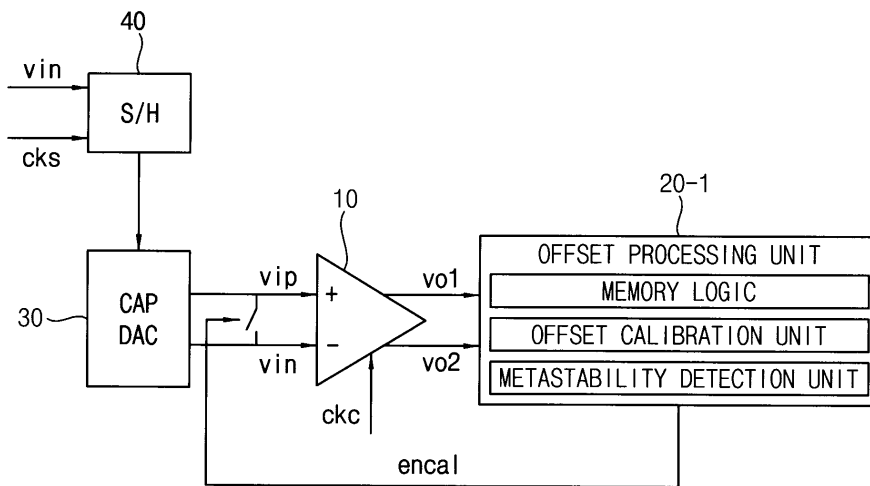
도면1b



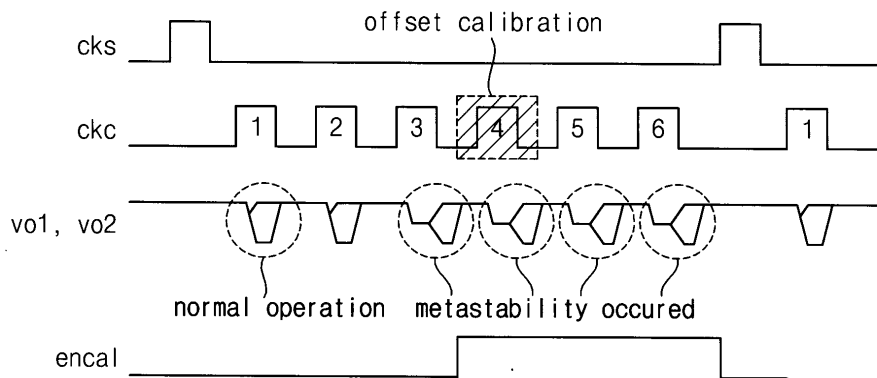
도면2



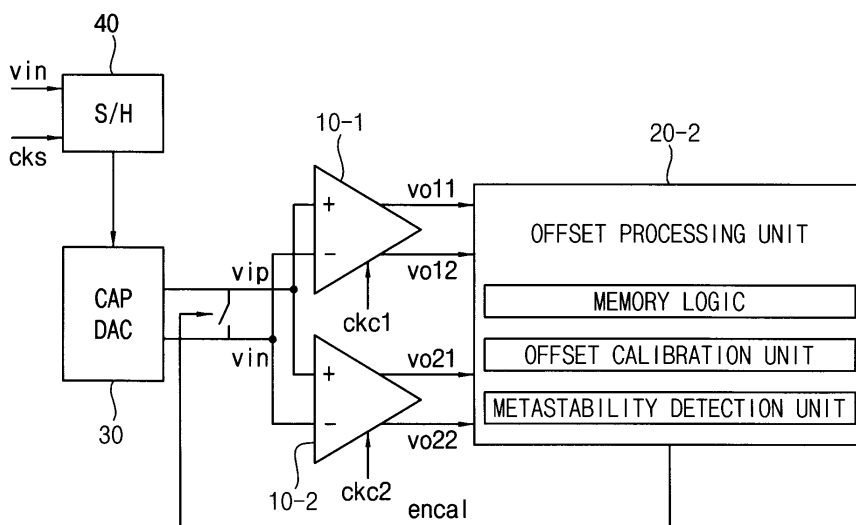
도면3a



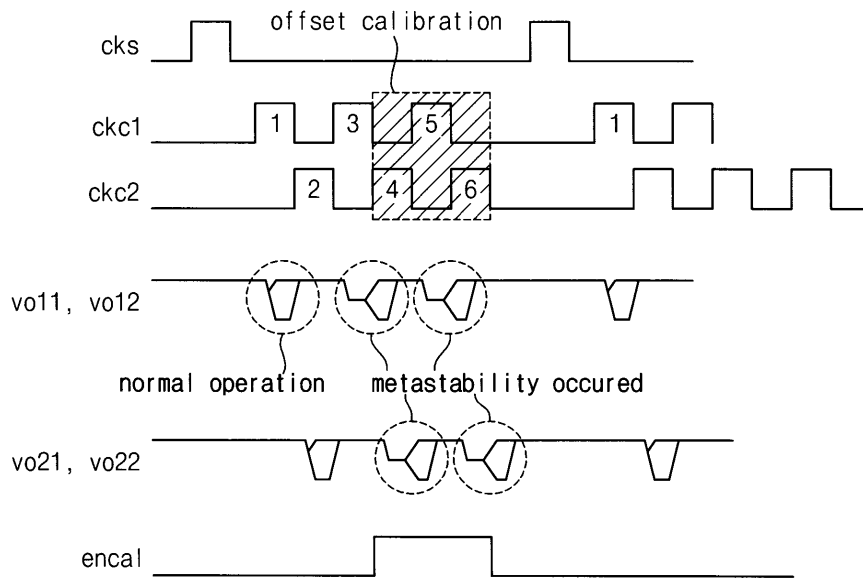
도면3b



도면4a



도면4b



도면5

