(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H03K 5/00

(45) 공고일자 2000년06월15일
(11) 등록번호 10-0259358
(24) 등록일자 2000년03월21일

(21) 출원번호 10-1998-0003711
(22) 출원일자 1998년02월09일
(65) 공개번호 특1999-0069444
(43) 공개일자 1999년09월06일

(73) 특허권자 현대반도체주식회사 김영환
충청북도 청주시 흥덕구 향정동 1번지
(72) 발명자 박산하
서울특별시 마포구 동교동 200-1 기린동산빌라 2동 305호
(74) 대리인 박장원

심사관 : 조재신

(54) 균등화 펄스폭 제어회로

요약

본 발명은 프리디코더(Predecoder)로부터 Y 코딩신호와 Y 리던던시로부터 리던던시 Y 선택신호(Redundancy Y-select Signal)를 이용하여 균등화 펄스를 래치하기 때문에 리던던시 Y 선택신호가 발생할 때, 정상 Y 선택신호(Normal Y-select Signal)와의 오버랩 혹은 글리치(Glitch)가 발생할 때, 입출력 라인을 균등화할 수 있도록 Y 선택 돌발사태를 균등화신호가 항상 감싸고 있게 함으로써, 불확정한(invalid) 데이터 출력에 의한 속도지연 혹은 데이터 반전을 막을 수 있는 균등화신호의 펄스폭을 제어하는 회로에 관한 것이다.

대표도

도3

명세서

도면의 간단한 설명

도 1 은 종래 기술의 균등화 펄스폭 제어회로.

도 2 는 도 1 에 있어서, 동작 타이밍도.

도 3 은 본 발명의 균등화 펄스폭 제어회로.

도 4 는 도 3 에 있어서, 펄스 래치부의 상세 회로도.

도 5 는 도 3 에 있어서, 동작 타이밍도.

도면의주요부분에대한부호설명

100 : 펄스 발생부

200 : 덧셈부

300 : 펄스 래치부

NOR301,NOR302 : 노아게이트

ND301-ND303 : 낸드게이트

IN301 : 인버터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 안정성과 고속화의 측면에서 적정한 균등화 펄스폭을 형성시키는 방법에 관한 것으로, 특히 리던던시 Y 선택신호가 발생할 때, 정상 Y 선택신호와의 오버랩 혹은 글리치(Glitch)가 발생할 때, 입출력 라인을 균등화할 수 있도록 하며, 동시에 속도면에서 지연을 주지 않도록 균등화 펄스폭을 적정하게 형성하기에 적당하도록 한 균등화 펄스폭 제어회로에 관한 것이다.

종래 기술은 적정 균등화 펄스폭의 형성을 위해 메탈 옵션을 이용한 지연회로(30)를 사용한다.

즉, 도 1 에 도시된 바와 같이 어드레스신호(ADDO-ADDn)가 천이할 때, 옵션 설정에 따라 일정한 펄스폭을 형성하는 펄스발생부(10)와, 각 어드레스에서 형성된 펄스가 입력되어 조합되는 덧셈부(20)와, 균등화 펄스폭 조정을 위한 옵션 지연부(30)로 구성된다.

이와 같이 구성된 종래 기술의 균등화 펄스폭 제어회로의 동작을 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다.

먼저, 펄스 발생부(10)는 어드레스신호(ADDO-ADDn)가 천이 되는 순간을 감지하여 일정한 펄스폭 - 옵션에 의해 조정된다. - 을 형성시킨다.

이어서, 덧셈부(20)는 형성된 신호를 모두 합하여 하나의 균등화 펄스를 형성시킨다.

생성된 펄스는 옵션 지연부(30)를 이용하여 펄스폭을 조정하게 된다.

발명이 이루고자 하는 기술적 과제

적정한 균등화 펄스폭의 형성을 위해 메탈 옵션을 이용한 지연회로(30)를 사용하기 때문에 각 시뮬레이션(Simulation) 조건(speed worst/typical/best)에서 반복적인 시뮬레이션에 의해 펄스폭을 결정하게 되므로 안정성 확보를 위해 펄스폭을 확장할 경우 속도 지연이 발생하며, 속도 개선을 위해 펄스폭을 좁힐 경우 도 2(a) 내지 도 2 (c)에 도시된 바와 같이 글리치(Glitch)를 균등화 신호(EQ)가 감싸고 있지 못하므로 안정성이 떨어지게 된다.

안정성이 확보되지 않을 경우 정상 Y 선택신호(NYS)와 리던던시 Y 선택신호(RYS)가 오버랩 혹은 글리치(Glitch)가 발생할 때, 도 2 (d)에 도시된 바와 같이, 유효하지 않은(invalid) 데이터 출력에 의한 속도 지연 및 데이터 반전 등의 문제점이 발생한다.

따라서, 본 발명의 목적은 데이터의 안정성 확보와 속도 지연의 최소화를 위한 적정 균등화 펄스폭을 형성하는데 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명의 균등화 펄스폭 제어회로는 도 3 에 도시된 바와 같이 어드레스신호(ADDO-ADDn)가 천이할 때, 옵션 설정에 따라 일정한 펄스폭을 형성하는 펄스발생부(100)와, 각 어드레스에서 형성된 펄스가 입력되어 조합되는 덧셈부(200)와, Y 프리디코더(Y-predecoder)로부터 발생하는 코딩신호(YCS)와 리던던시가 발생할 때, 리던던시 Y 선택신호(RYS)를 인에이블시키는 신호를 이용하여, 두 신호 모두 인에이블 되었을 경우 균등화 신호(EQ)를 인에이블 상태로 계속 래치하는 균등화 신호 펄스 래치부(300)로 구성된다.

여기서, 상기 펄스 래치부(300)는 도4에 도시된 바와같이 Y 프리디코더로부터 출력되는 Y 코딩신호(YCS)가 입력되어 조합되는 노아게이트들(NOR301,NOR302)과, 그 노아게이트들(NOR301,NOR302)의 출력이 입력되는 낸드게이트(ND301)와, 그 낸드게이트(ND301)의 출력 및 리던던시 Y 선택인에이블신호(RYS)가 입력되는 낸드게이트(ND302)와, 그 낸드게이트(ND302)의 출력(A) 및 상기 덧셈부(200)의 출력(EQMB)이 입력되는 낸드게이트(ND303)와, 그 낸드게이트(ND303)의 출력을 반전시키는 인버터(INV301)로 구성된다.

이와 같이 구성된 본 발명의 균등화 펄스폭 제어회로의 동작을 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다.

먼저, 종래 기술과 같이 어드레스신호(ADDO-ADDn)가 천이 할 때, 균등화 펄스를 인에이블 시킨다.

생성된 펄스의 디스에이블 시점은 정상 Y 선택신호(NYS)와 리던던시 Y 선택신호(RYS)가 모두 인에이블 되어 있지 않은 시점으로 균등화 펄스 래치부(300)에 의해 제어된다.

균등화 펄스 래치를 위해 Y 프리디코더로부터의 Y 코딩신호(YCS)와 Y 리던던시로부터의 리던던시 Y 선택신호(RYS)를 이용한다.

도 5에 도시된 바와 같이, 리던던시 Y 선택신호(RYS)가 발생할 때, 정상 Y 선택 글리치(NYS glitch)가 발생할 경우, 래치부(300)에서 균등화 펄스를 계속 래치함으로써, Y 선택 글리치를 균등화신호(EQ)가 항상 감싸고 있게 함으로써, 불확정한(invalid) 데이터 출력에 의한 속도지연 혹은 데이터 반전을 막는다.

이러한 동작은 정상 Y 선택신호(NYS)가 발생할 때, 리던던시 Y 선택 글리치(RYS glitch)가 발생할 경우에도 같은 효과를 얻을 수 있다.

러던던시 Y 선택신호(RYS)와 정상 Y 선택신호(NYS)가 오버랩 되었을 경우도 상기와 같은 방식으로 속도 지연 및 데이터 반전을 막을 수 있다.

또한 글리치 혹은 오버랩이 없어진 후, 바로 균등화 펄스를 디스에이블 시키므로 안정성 확보와 속도의 지연을 최소화 할 수 있다.

발명의 효과

본 발명은 안정성 확보와 속도 지연의 최소화를 위한 적정 균등화 펄스폭을 형성할 수 있는 효과가 있다.

균등화 펄스폭을 최적화 할 경우 메인 앰프 입력을 미리 인에이블 시킬 수 있으므로 고속화가 가능하며, 안정성에서도 리던던시 Y 선택신호(RYS)가 발생할 때, 정상 Y 선택 글리치(NYS glitch)가 발생할 경우와 오버랩이 발생했을 경우, 래치부(300)에서 균등화 펄스를 계속 래치 함으로써 균등화 신호가 정상 Y 선택 글리치(NYS glitch)를 항상 감싸고 있으므로 불확정한 데이터 출력에 의한 속도 지연 혹은 데이터 반전을

막는다.

이러한 효과는 정상 Y 선택신호(NYS)가 발생할 때, 리던던시 Y 선택 글리치(RYS glitch)가 발생할 경우에도 똑같이 적용된다.

또한 글리치 혹은 오버랩이 없어진 후 바로 균등화 펄스를 디스에이블 시키므로 안정성 확보와 속도의 지연을 최소화할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1

어드레스신호가 천이할 때, 옵션 설정에 따라 일정한 펄스폭을 형성하는 펄스발생부와, 각 어드레스에서 형성된 펄스가 입력되어 조합되는 덧셈부와, Y 프리디코더로부터 발생하는 코딩신호와 리던던시가 발생할 때, 리던던시 Y 선택신호를 인에이블시키는 신호를 이용하여, 두 신호 모두 인에이블 되었을 경우 균등화 신호를 인에이블 상태로 계속 래치 하는 래치부를 포함하여 구성된 것을 특징으로 하는 균등화 펄스폭 제어회로.

청구항 2

제 1 항에 있어서, 상기 래치부는 정상 Y 선택신호의 인에이블/디스에이블 시점을 검출하는 제 1 검출부와, 리던던시 Y 선택신호의 인에이블/디스에이블 시점을 검출하는 제 2 검출부와, 상기 두 검출부로부터 생성된 신호로 펄스를 래치하는 래치부를 포함하여 구성된 것을 특징으로 하는 균등화 펄스폭 제어회로.

청구항 3

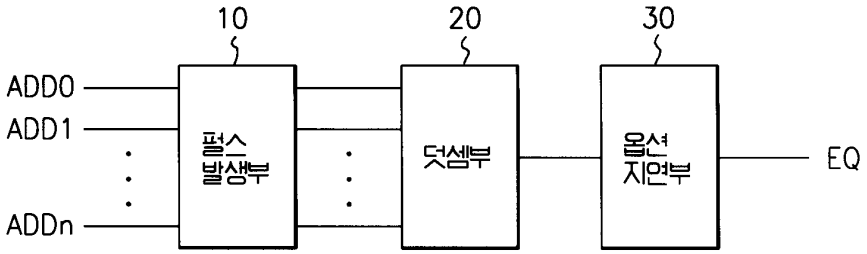
제 2 항에 있어서, 상기 제 1 검출부는 Y 프리디코더로부터 출력되는 Y 코딩신호를 이용하여 검출하는 것을 특징으로 하는 균등화 펄스폭 제어회로.

청구항 4

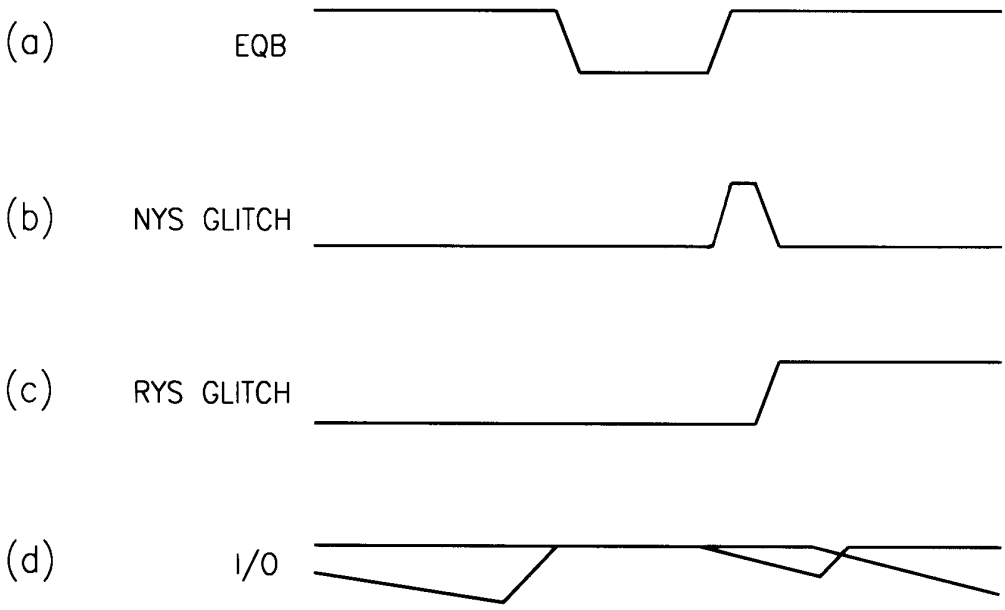
제 2 항에 있어서, 상기 제 2 검출부는 리던던시 Y 선택 인에이블신호를 이용하여 검출하는 것을 특징으로 하는 균등화 펄스폭 제어회로.

도면

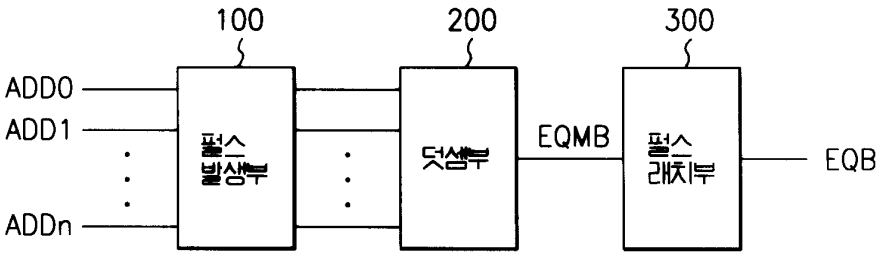
도면1



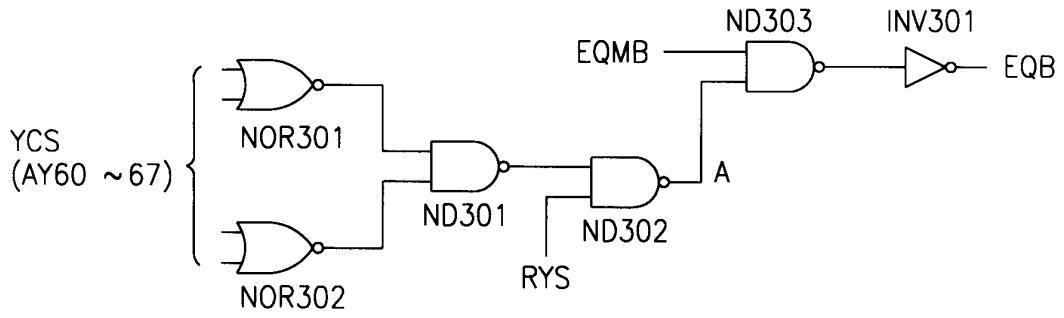
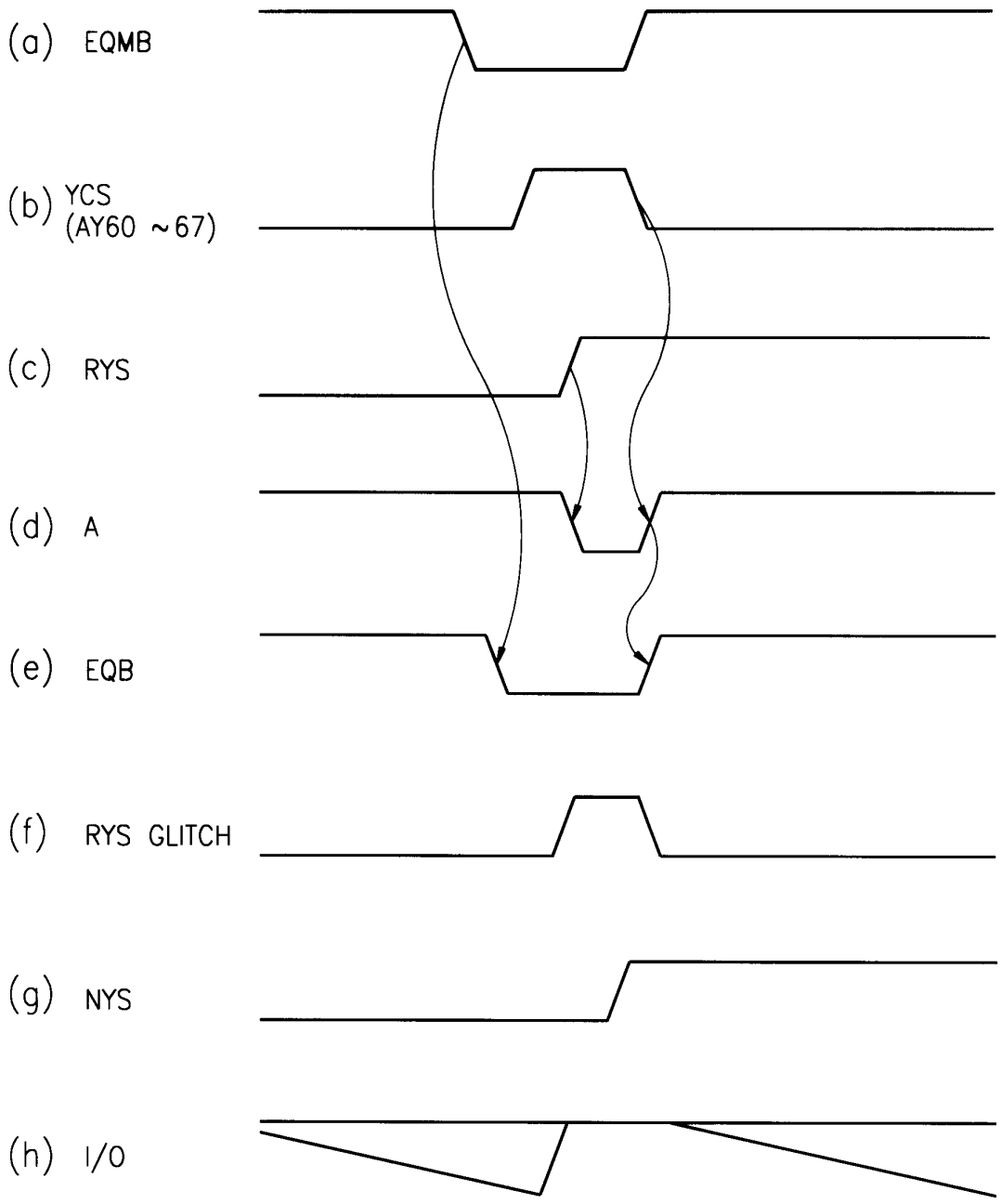
도면2


(a)
EQB
(b)
NYS GLITCH
(c)
RYS GLITCH
(d)
I/O

도면3


100
200
300
ADD0
ADD1
ADDn
펄스 발생부
덧셈부
EQMB
펄스 래치부
EQB

도면4


ND303
INV301
EQMB
EQB
YCS
(AY60 ~67)
NOR301
NOR302
ND301
ND302
A
RYS

도면5