

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 971>8056 H01L 23/053 (2006.01)
※ 申請日期： 97.07.24 ※IPC 分類： H01L 23/535 (2006.01)
H01L 25/04 (2006.01)
H01L 25/10 (2006.01)

一、發明名稱：(中文/英文)

具有凹槽之基板之晶粒堆疊封裝結構及其封裝方法/Chip stacked package structure with cavity in Substrate and Package Method Thereof

二、申請人：(共 2 人)

姓名或名稱：(中文/英文)

1. 南茂科技股份有限公司

CHIPMOS TECHNOLOGIES INC.

2. 百慕達南茂科技股份有限公司

CHIPMOS TECHNOLOGIES (BERMUDA) LTD.

代表人：(中文/英文)

1. 鄭世杰/CHENG, SHIH-JYE

2. 鄭世杰/CHENG, SHIH-JYE

住居所或營業所地址：(中文/英文)

1. 新竹科學工業園區研發一路 1 號

No.1. R&D Rd.1, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.

2. 英屬百慕達漢米頓 HM 12 維多利亞街 22 號卡農廣場

Canon's Court, 22 Victoria Street, Hamilton HM 12, Bermuda

國籍：(中文/英文)

1 中華民國/ROC

2. 百慕達/BM

三、發明人：(共 2 人)

姓名：(中文/英文)

1. 林鴻村/HUNG-TSUN LIN

2. 吳政庭/ Wu, Cheng-Ting

國籍：(中文/英文)

1. 中華民國/ROC

2. 中華民國/ROC

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

2. 吳政庭/ Wu, Cheng-Ting

國 籍：(中文/英文)

1. 中華民國/ROC

2. 中華民國/ROC

四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關於一種封裝結構及其方法，特別是有關於一種將多個晶粒堆疊在凹槽之基板內之封裝結構及其封裝方法。

【先前技術】

在各種應用中，將多個晶粒封裝在單一一個積體電路結構內是值得需要考量的一種封裝結構。此種封裝結構會限制元件在兩個晶粒上的完整性。此種晶粒堆疊限制係由電子元件是否能夠封裝成單一一個封裝結構所引起。此外，此種晶粒堆疊的限制也會造成電子元件與封裝結構不相容性提高。例如，在兩個不同尺寸大小之晶粒上的元件可能會產生不同電壓的須求。

另外，將兩個尺寸大小相同的晶粒封裝在一個封裝結構且兩個晶粒經由共用的設置與外界連接。一般來說，晶粒之上表面包含複數個連接端點用以與外部元件電性連接。當複數個晶粒封裝成一個封裝結構時，每一個晶粒可以只接觸到晶粒的一面，因此將多個晶粒封裝在一個封裝結構中是一項很重要的課題。

【發明內容】

鑒於以上的問題，本發明的主要目的在於利用具有凹槽之基板進行多晶粒之堆疊藉以縮小封裝結構之尺寸。

本發明之另一目的在於利用基板內之導電柱做為電性連接元件，用以電性連接多數個封裝結構，以形成一多重堆疊結構。

根據上述之目的，本發明揭露一種半導體堆疊結構，包括：一基板，具有一正面及一背面且具有一凹槽設置在基板之正面內及複數個貫孔在基板

之兩側；一導電層，設置在複數個貫孔內以形成複數個導電柱；一第一晶粒，具有一主動面及一背面，且將主動面朝上並藉由第一黏著層將第一晶粒之背面固接在基板之凹槽之一表面上；複數條第一導線，係用以電性連接第一晶粒及基板之凹槽之表面；一第二黏著層，係包覆部份第一導線及第一晶粒；第二晶粒，具有一主動面及一背面，且將主動面朝上並藉由第二黏著層與第一晶粒連接，且第二黏著層係包覆部份第一導線；複數條第二導線，用以電性連接第二晶粒及基板之凹槽之表面；一封裝體，用以包覆第一晶粒、第二晶粒、複數條第一導線、複數條第二導線及基板之部份正面；及複數個導電元件，係設置在曝露於基板之正面之複數個導電柱之一表面上。

根據上述之半導體堆疊結構，本發明還揭露一種形成半導體堆疊結構之方法，其包括：提供一基板，具有一正面及一背面且於正面上具有一凹槽及於基板之兩側內具有複數個貫孔；形成一導電層在複數個貫孔內以形成複數個導電柱；貼附一第一晶粒在基板之凹槽內，係將第一晶粒之主動面朝上，且藉由第一黏著層固接在凹槽之部份表面上；形成複數條第一導線，係電性連接第一晶粒之主動面及基板之凹槽之表面；貼附一第二晶粒，係將第二晶粒之主動面朝上且藉由第二黏著層與第一晶粒固接，其中第二黏著層用以包覆部份第一導線及第一晶粒之主動面；形成複數條第二導線，係電性連接第二晶粒之主動面及基板之凹槽之表面；形成一封裝體，係用以包覆第一晶粒、第二晶粒、複數條第一導線、複數條第二導線及基板之部份正面；及形成複數個導電元件在基板之正面之已曝露之複數個導電柱之一表面上。

本發明另外揭露一種多重堆疊結構，其包括：一基板，具有一正面及一背面且於正面上具有一凹槽及複數個貫孔在基板之兩側內；一導電層，設置在複數個貫孔內以形成複個導電柱；一第一晶粒，具有一主動面及一背面，且將主動面朝上並藉由第一黏著層將第一晶粒之背面固接在基板之凹

槽之一表面上；複數條第一導線，係用以電性連接第一晶粒及基板之凹槽之表面；一第二黏著層，係包覆部份第一導線及第一晶粒；第二晶粒，具有一主動面及一背面，且將主動面朝上並藉由第二黏著層與第一晶粒連接，且第二黏著層係包覆部份第一導線；複數條第二導線，係用以電性連接第二晶粒及基板之該凹槽之表面；一封裝體，用以包覆第一晶粒、第二晶粒、複數條第一導線、複數條第二導線及基板之部份正面；複數個導電元件，係設置在曝露於基板之正面之複數個導電柱之一表面上以形成一第一半導體封裝結構；及一堆疊結構，係將與第一晶粒堆疊結構具有相同一結構之一第二晶粒堆疊結構之複數個導電元件電性連接至第一晶粒堆疊結構之複數個導電柱之一導電端點上。

根據上述之多重堆疊結構，本發明另揭露一種形成多重堆疊結構之方法，其包括：提供一基板，具有一正面及一背面，且於正面上具有一凹槽及在基板之兩側具有複數個貫孔；形成一導電層在複數個貫孔內以形成複數個導電柱；貼附一第一晶粒在基板之凹槽內，係將第一晶粒之一主動面朝上且藉由一第一黏著層固接在凹槽之部份表面上；形成複數條第一導線，係電性連接第一晶粒之主動面及基板之凹槽之表面；貼附一第二晶粒，係將第二晶粒之一主動面朝上且藉由一第二黏著層與第一晶粒固接，其中第二黏著層用以包覆部份複數條第一導線及第一晶粒之主動面；形成複數條第二導線，係電性連接第二晶粒之主動面及基板之凹槽之表面；形成一封裝體，係用以包覆第一晶粒、第二晶粒、複數條第一導線、複數條第二導線及基板之部份正面；形成複數個導電元件在基板之正面之已曝露之複數個導電柱之一表面上，以形成一第一晶粒堆疊結構；及堆疊與第一封裝結構具有相同結構之一第二晶粒堆疊結構，係將第二晶粒堆疊結構之複數個導電元件電性連接至第一晶粒堆疊結構之複數個導電柱之一導電端點上。

有關本發明的特徵與實作，茲配合圖示作最佳實施例詳細說明如下。

（為使對本發明的目的、構造、特徵、及其功能有進一步的瞭解，茲配合

實施例詳細說明如下。)

【實施方式】

本發明在此所探討的方向為一種封裝結構及其封裝方法，將多數個晶粒形成在基板之一凹槽以降低封裝結構之尺寸大小，然後進行封裝的方法。為了能徹底地瞭解本發明，將在下列的描述中提出詳盡的步驟及其組成。顯然地，本發明的施行並未限定晶粒封裝的方式之技藝者所熟習的特殊細節。另一方面，眾所周知的晶粒形成方式以及晶粒薄化等後段製程之詳細步驟並未描述於細節中，以避免造成本發明不必要之限制。然而，對於本發明的較佳實施例，則會詳細描述如下，然而除了這些詳細描述之外，本發明還可以廣泛地施行在其他的實施例中，且本發明的範圍不受限定，其以之後的專利範圍為準。

第 1 圖至第 7 圖係根據本發明所揭露之技術，表示形成晶粒堆疊之封裝結構之各步驟示意圖。首先，請參考第 1 圖，係提供具有一凹槽 12 之一基板 10，其中凹槽 12 的形成方法係利用一般半導體製程，其包括：先提供具有一正面(未在圖中表示)及一背面(未在圖中表示)之基板 10；接著，形成一圖案化之光阻層(未在圖中表示)；然後，執行一顯影及蝕刻步驟，係移除部份基板 10，使得在基板 10 之鄰近於中央部份形成一凹槽 12。在此，基板 10 之材料可以是已經配置好線路佈局之 PCB 電路板或是金屬基板(metal foil)。

接著，再將另一圖案化之光阻層(未在圖中表示)形成在具有凹槽 12 之基板 10 上；然後進行顯影及蝕刻，使得在基板 10 之具有凹槽 12 之兩側形成複數個貫穿孔 102，如第 2 圖所示；緊接著，在剝除圖案化之光阻層之後，在每一貫穿孔 102 內，選擇適當的導電材料以形成導電柱 20，其導電柱 20 形成的方法包括將導電材料，以電鍍(plating)的方式填充入複數個貫穿孔 102 內，並使每一導電柱 20 之上、下表面裸露於封裝體上、下表面的兩端，

分別形成第一導電端點 202 及第二導電端點 204，如第 3 圖所示。

接著請參考第 4 圖，係表示將一第一晶粒形成在基板之凹槽上之示意圖。在第 4 圖中，係提供一第一晶粒 40，其具有一主動面及一背面，且在主動面上有複數個焊墊 402；接著，將第一晶粒 40 之主動面朝上並藉由形成在基板 10 之凹槽 12 表面上之第一黏著層 30，將第一晶粒 30 之背面固著在基板 10 之凹槽 12 之表面上。在另一實施例中，第一黏著層 30 可先形成在第一晶粒 40 之背面，然後再貼附至基板 10 之凹槽 12 之表面上，使得第一晶粒 40 藉由第一黏著層 30 固著在基板 10 上。在此實施例中，第一黏著層 30 的材料係為二階段熱固膠(B-stage)。然後，利用打線接合(bonding wire)的方式，將複數條第一導線 50 的一端形成在第一晶粒 40 的主動面之複數個焊墊 402 上，其複數條第一導線 50 之另一端係形成在基板 10 之凹槽 12 之表面上，用以電性連接基板 10 與第一晶粒 40。

緊接著，請參考第 5 圖，係表示將第二晶粒堆疊在第一晶粒上之示意圖。在第 5 圖中，係先提供一第二晶粒 42，其具有一主動面及一背面，且於主動面上具有複數個焊墊 422；接著，第二晶粒 42 之主動面朝上，並藉由一第二黏著層 32 貼附在第一晶粒 40 上，以形成一晶粒堆疊結構，在此第二黏著層 32 同時包覆住與第一晶粒 40 電性連接之部份複數條第一導線 50 以及覆蓋住第一晶粒 40 之主動面。在此，第二黏著層 32 之材料可以是 FOW。同樣繼續參考第 5 圖，係利用打線接合的方式，將複數條第二導線 52 之一端形成在第二晶粒 42 之主動面之複數個焊墊 422 上以及另一端係形成在基板 10 之具有凹槽 12 之表面上，且與形成在基板 10 之凹槽 12 表面上之複數條第一導線 40 電性分離。在此實施例中，其第一晶粒 40 與第二晶粒 42 可以是具有相同尺寸及功能之晶粒，或者是具有不同尺寸及功能之晶粒。

緊接著，參考第 6 圖，係表示形成一封裝體以包覆晶粒堆疊結構之示意圖。在第 6 圖中，係將一高分子材料(未在圖中表示)注入至基板 10 之凹

槽 12 內。接著，對高分子材料進行一烘烤程序(bake process)，使高分子材料固化以形成一封裝體 60 以包覆住第一黏著層 30、第一晶粒 40、第二黏著層 32、第二晶粒 42、複數條第一導線 50 以及複數條第二導線 52，且覆蓋在部份的基板 10 之正面上。在此實施例中，高分子材料可以是矽膠、環氧樹脂、丙烯酸 (acrylic)、及苯環丁烯 (BCB) 等材料。

接著，參考第 7 圖，係表示將複數個導電元件形成在導電柱之一端點上以完成一封裝結構之示意圖。在曝露之複數個導電柱 20 之上表面之第一端點 202 以陣列排列方式形成複數個導電元件 70，例如金屬凸塊(metal bump)或是錫球(solder ball)，即完成晶粒堆疊之封裝結構。

此外，於另一實施例中，係可以將複數個晶粒堆疊之封裝結構彼此堆疊，如第 8 圖所示。在第 8 圖中，係將與第一晶粒堆疊結構具有相同結構之第二晶粒堆疊結構堆疊，使得第二晶粒堆疊結構之複數個導電元件 70 與第一晶粒堆疊結構之導電柱 20 之第二導電端點 204 電性連接，在此，在導電柱 20 之第二導電端點 204 與第二晶粒堆疊結構之複數個導電元件 70 之間更包含複數個焊墊 80，藉此可形成一多重堆疊結構。

雖然本發明以前述之較佳實施例揭露如上，然其並非用以限定本發明，任何熟習相像技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之專利保護範圍須視本說明書所附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖至第 7 圖係根據本發明所揭露之技術，表示形成晶粒堆疊之封裝結構之各步驟示意圖；及

第 8 圖係根據本發明所揭露之技術，表示形成多重堆疊結構之示意圖。

【主要元件符號說明】

10	基板	102	貫孔
12	凹槽	20	導電柱
202	第一導電端點		
204	第二導電端點		
30	第一黏著層		
32	第二黏著層		
40	第一晶粒		
402	焊墊		
42	第二晶粒		
422	焊墊		
50	第一導線		
52	第二導線		
60	封裝體		
70	導電元件		
80	焊墊		

五、中文發明摘要：

一種晶粒堆疊結構，包括：基板，具有正面及背面且具有凹槽設置在基板之正面內及複數個貫孔在基板之兩側；導電層，設置在複數個貫孔內以形成複數個導電柱；第一晶粒，具有主動面及背面，且將主動面朝上並藉由第一黏著層將第一晶粒之背面固接在基板之凹槽之表面上；複數條第一導線，係用以電性連接第一晶粒及基板之凹槽之表面；第二黏著層，係包覆部份第一導線及第一晶粒；第二晶粒，具有主動面及背面，且將主動面朝上並藉由背面與第二黏著層連接，且第二黏著層係包覆部份第一導線；複數條第二導線，用以電性連接第二晶粒及基板之凹槽之表面；封裝體，用以包覆第一晶粒、第二晶粒、複數條第一導線、複數條第二導線及基板之部份正面；及複數個導電元件，係設置在曝露於基板之正面之複數個導電柱之表面上。

六、英文發明摘要：

A chip stacked structure includes a substrate having a front side and a reverse side, in which a cavity within the front side, and a plurality of through holes within the two sides of the substrate; a conductive layer is full within the through holes to form a plurality of conductive post; a first chip having an active surface and a reverse side, and the reverse side of the first chip is attached on the cavity of the substrate by a first adhesive layer; a first conductive wires is electrically connected the first chip and the substrate; a second adhesive layer is encapsulated the first conductive wires and the first chip; second chip having an active surface and a reverse side, in which the reverse side of second chip is attached on the second adhesive layer and the second adhesive layer is covered the portion of first conductive wire; a second conductive wires is electrically connected the second chip and the cavity; an encapsulated body is covered the first chip, second chip, first conductive wire, second conductive wire, and the portion front side of the substrate; and the conductive component is provided on the exposed surface of the conductive post.

十、申請專利範圍：

1. 一種半導體堆疊結構，包括：

一基板，具有一正面及一背面且具有一凹槽設置在該基板之該正面內及複數個貫孔在該基板之兩側；

一導電材料，設置在該些貫孔內以形成複數個導電柱；

一第一晶粒，具有一主動面及一背面，且將該主動面朝上並藉由一第一黏著層將該第一晶粒之該背面固接在該基板之該凹槽之一表面上；

複數條第一導線，係用以電性連接該第一晶粒及該基板之該凹槽之該表面上；

一第二黏著層，係包覆部份該些第一導線及該第一晶粒；

一第二晶粒，具有一主動面及一背面，且將該主動面朝上及該背面與該第二黏著層連接，且該第二黏著層係包覆部份該些第一導線；

複數條第二導線，用以電性連接該第二晶粒及該基板之該凹槽之該表面上；

一封裝體，用以包覆該第一晶粒、該第二晶粒、該些第一導線、該些第二導線及該基板之部份該正面；及

複數個導電元件，係設置在曝露於該基板之該正面之該些導電柱之一表面上。

2. 如申請專利範圍第 1 項所述之半導體堆疊結構，其中該基板選自於電路板及金屬薄板所組成之族群中。

3. 如申請專利範圍第 1 項所述之半導體堆疊結構，其中該第一晶粒與該第二晶粒之尺寸大小相同。

4. 如申請專利範圍第 1 項所述之半導體堆疊結構，其中該第一晶粒與該第二晶粒之尺寸大小不同。

5. 如申請專利範圍第 1 項所述之半導體堆疊結構，其中該第一黏著層為二階段熱固膠(B-stage)。
6. 如申請專利範圍第 1 項所述之半導體堆疊結構，其中該第二黏著層為 FOW (film over wire)。
7. 如申請專利範圍第 1 項所述之半導體堆疊結構，其中該些導電元件為錫球 (solder ball)。
8. 如申請專利範圍第 1 項所述之半導體堆疊結構，其中該些導電元件為凸塊 (bump)。
9. 一種形成半導體堆疊結構之方法，包括：

提供一基板，具有一正面及一背面且於該正面上具有一凹槽及於該基板之兩側內具有複數個貫孔；

形成一導電層在該些貫孔內以形成複數個導電柱；

貼附一第一晶粒在該基板之該凹槽內，係將該第一晶粒之一主動面朝上且藉由一第一黏著層固接在該凹槽之部份表面上；

形成複數個第一導線，係電性連接該第一晶粒之該主動面及該基板之該凹槽之該表面；

貼附一第二晶粒，係將該第二晶粒之一主動面朝上及該背面與一第二黏著層固接，其中該第二黏著層用以包覆部份該些第一導線及該第一晶粒之該主動面；

形成複數條第二導線，係電性連接該第二晶粒之該主動面及該基板之該凹槽之該表面；

形成一封裝體，係用以包覆該第一晶粒、該第二晶粒、該些第一導線、該些第二導線及該基板之部份該正面；及

形成複數個導電元件在該基板之該正面之已曝露之該些導電柱之一表面上。

10. 如申請專利範圍第 9 項所述之方法，其中該基板選自於電路板及金屬薄板所組成之族群中。
11. 如申請專利範圍第 9 項所述之方法，其中形成該凹槽之方法包括：
 - 形成一圖案化之光阻層在該基板上；
 - 蝕刻以移除部份該基板；及
 - 移除該圖案化之光阻層，以形成該凹槽在該基板之該正面上。
12. 如申請專利範圍第 9 項所述之方法，其中形成該些貫孔之方法係為蝕刻。
13. 如申請專利範圍第 9 項所述之方法，其中該第一晶粒及該第二晶粒之尺寸大小相同。
14. 如申請專利範圍第 9 項所述之方法，其中該第一晶粒及該第二晶粒之尺寸大小不同。
15. 如申請專利範圍第 9 項所述之方法，其中該第一黏著層係為二階段熱固型膠(B-stage)。
16. 如申請專利範圍第 9 項所述之方法，其中該第二黏著層係為 FOW (film over wire)。
17. 如申請專利範圍第 9 項所述之方法，其中該些導電元件為錫球(solder ball)。
18. 如申請專利範圍第 9 項所述之方法，其中該些導電元件為凸塊(bump)。
19. 一種多重堆疊結構，包括：
 - 一基板，具有一正面及一背面且於該正面上具有一凹槽及複數個貫孔在該基板之兩側內；
 - 一導電層，設置在該些貫孔內以形成複數個導電柱；

一第一晶粒，具有一主動面及一背面，且將該主動面朝上並藉由一第一黏著層將該第一晶粒之該背面固接在該基板之該凹槽之一表面上；

複數條第一導線，係用以電性連接該第一晶粒及該基板之該凹槽之該表面；

一第二黏著層，係包覆部份該些第一導線及該第一晶粒；

一第二晶粒，具有一主動面及一背面，且將該主動面朝上以及該背面與一第二黏著層固接，且該第二黏著層係包覆部份該些第一導線；

複數條第二導線，係用以電性連接該第二晶粒及該基板之該凹槽之該表面上；

一封裝體，用以包覆該第一晶粒、該第二晶粒、該些第一導線、該些第二導線及該基板之部份該正面；

複數個導電元件，係設置在曝露於該基板之該正面之該些導電柱之一表面上以形成一第一晶粒堆疊結構；及

一多重堆疊結構，係將與該第一晶粒堆疊結構具有相同一結構之一第二晶粒堆疊結構之複數個導電元件電性連接至該第一晶粒堆疊結構之該些導電柱之一導電端點上。

20. 如申請專利範圍第 19 項所述之多重堆疊結構，其中該基板選自於電路板及金屬薄板所組成之族群中。
21. 如申請專利範圍第 19 項所述之多重堆疊結構，其中該第一晶粒與該第二晶粒之尺寸大小相同。
22. 如申請專利範圍第 19 項所述之多重堆疊結構，其中該第一黏著層為二階段熱固膠(B-stage)。
23. 如申請專利範圍第 19 項所述之多重堆疊結構，其中該第二黏著層為 FOW (film over wire)。

24. 如申請專利範圍第 19 項所述之多重堆疊結構，其中該些導電元件為錫球 (solder ball)。
25. 如申請專利範圍第 19 項所述之多重堆疊結構，其中該些導電元件為凸塊 (bump)。
26. 如申請專利範圍第 19 項所述之多重堆疊結構，更包含複數個連接焊墊在該第一晶粒上之該些導電端點與該第二晶粒之該些導電元件之間。
27. 一種形成多重堆疊結構之方法，包括：

提供一基板，具有一正面及一背面且於該正面上具有一凹槽及在該基板之兩側內具有複數個貫孔；

形成一導電層在該些貫孔內以形成複數個導電柱；

貼附一第一晶粒在該基板之該凹槽內，係將該第一晶粒之一主動面朝上且藉由一第一黏著層固接在該凹槽之部份表面上；

形成複數個第一導線，係電性連接該第一晶粒之該主動面及該基板之該凹槽之該表面；

貼附一第二晶粒，係將該第二晶粒之一主動面朝上及該背面與該一第二黏著層固接，其中該第二黏著層用以包覆部份該些第一導線及該第一晶粒之該主動面；

形成複數條第二導線，係電性連接該第二晶粒之該主動面及該基板之該凹槽之該表面；

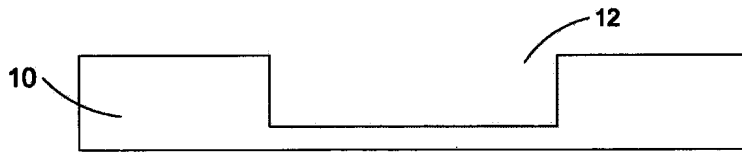
形成一封裝體，係用以包覆該第一晶粒、該第二晶粒、該些第一導線、該些第二導線及該基板之部份該正面；

形成複數個導電元件在該基板之該正面之已曝露之該些導電柱之一表面上，以形成一第一晶粒堆疊結構；及

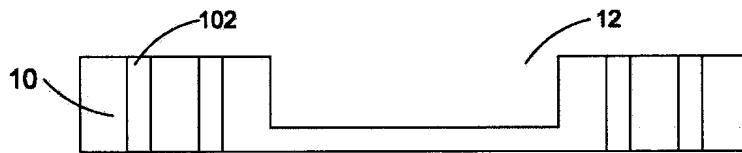
堆疊與該第一晶粒堆疊結構具有相同結構之一第二晶粒堆疊結構，係將該第二晶粒堆疊結構之複數個導電元件電性連接至該第一晶粒堆疊結構之該些導電柱之一導電端點上，以形成該多重堆疊結構。

28. 如申請專利範圍第 27 項所述之方法，其中該基板選自於電路板及金屬薄板所組成之族群中。
29. 如申請專利範圍第 27 項所述之方法，其中形成該凹槽之方法包括：
形成一圖案化之光阻層在該基板上；
蝕刻以移除部份該基板；及
移除該圖案化之光阻層，以形成該凹槽在該基板之該正面上。
30. 如申請專利範圍第 27 項所述之方法，其中形成該些貫孔之方法係為蝕刻。
31. 如申請專利範圍第 27 項所述之方法，其中該第一晶粒及該第二晶粒之尺寸大小相同。
32. 如申請專利範圍第 27 項所述之方法，其中該第一晶粒及該第二晶粒之尺寸大小不同。
33. 如申請專利範圍第 27 項所述之方法，其中該第一黏著層係為二階段熱固型膠 (B-stage)。
34. 如申請專利範圍第 27 項所述之方法，其中該第二黏著層係為 FOW (film over wire)。
35. 如申請專利範圍第 27 項所述之方法，其中該些導電元件為錫球(solder ball)。
36. 如申請專利範圍第 27 項所述之方法，其中該些導電元件為凸塊(bump)。
37. 如申請專利範圍第 27 項所述之方法，更包含複數個連接焊墊形成在該第一晶粒上之該些導電端點與該第二晶粒之該些導電元件之間。

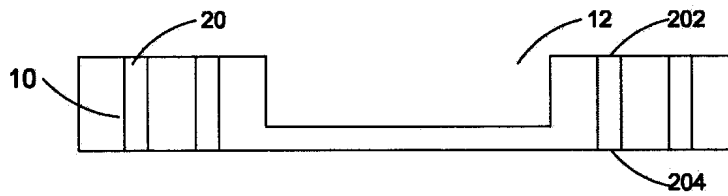
十一、圖式：



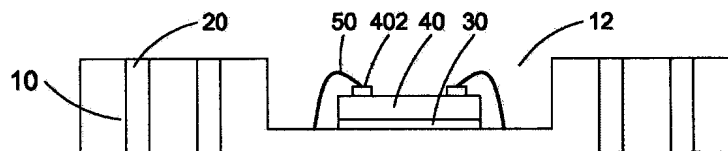
第 1 圖



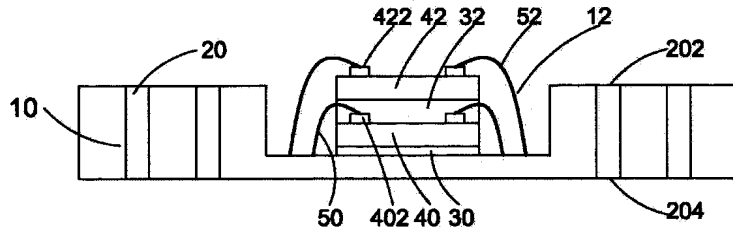
第 2 圖



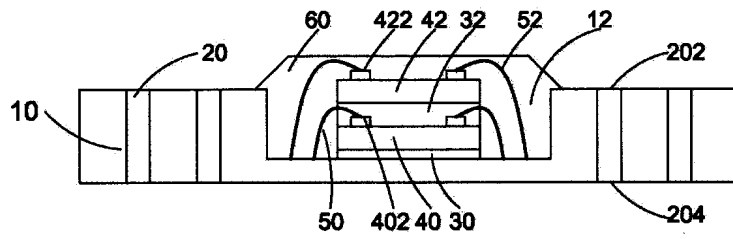
第 3 圖



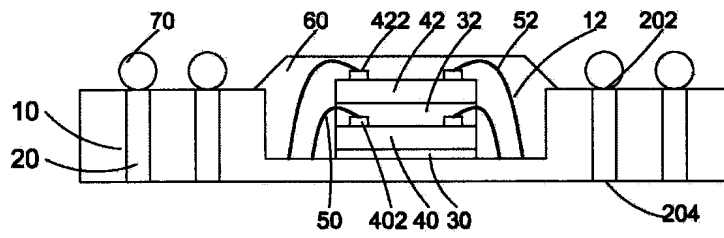
第 4 圖



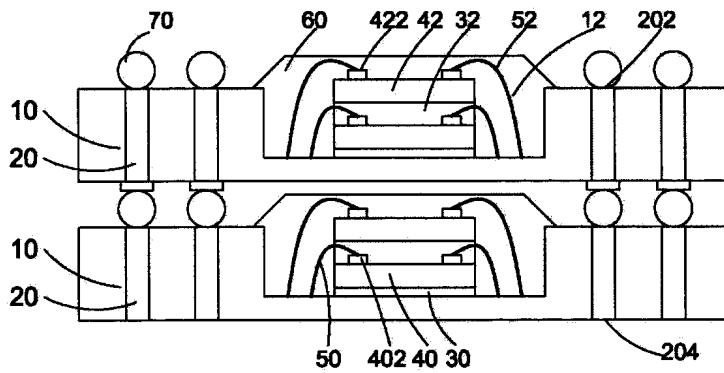
第 5 圖



第 6 圖



第 7 圖



第 8 圖

七、指定代表圖：

(一)本案指定代表圖為：第(7)圖。

(二)本代表圖之元件符號簡單說明：

10 基板 102 貫孔

20 導電柱

202 第一導電端點

204 第二導電端點

30 第一黏著層

32 第二黏著層

40 第一晶粒

402 焊墊

42 第二晶粒

422 焊墊

50 第一導線

52 第二導線

60 封裝體

70 導電元件

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無