

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. <i>H01L 23/12</i> (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년08월25일 10-0614548 2006년08월14일
(21) 출원번호 (22) 출원일자	10-1999-0005737 1999년02월20일	(65) 공개번호 (43) 공개일자 10-1999-0072810 1999년09월27일
(30) 우선권주장	1998-038316 1998년02월20일	일본(JP)
(73) 특허권자	소니 가부시끼 가이샤 일본국 도쿄도 시나가와쿠 키타시나가와 6쵸메 7반 35고 노쓰 코포레이션 일본 도쿄도 도시마꾸 미나미오쓰까 3-37-5 오쓰까다이 파크 사이드 하이츠	
(72) 발명자	오사와겐지 일본도쿄도시나가와꾸기따시나가와6쵸메7-35소니가부시끼가이샤내 이지마도모 일본도쿄도도시마꾸미나미오쓰까3-37-5오쓰까다이파크사이드하이츠 노쓰코포레이션내 구사노히테도시 일본도쿄도시나가와꾸기따시나가와6쵸메7-35소니가부시끼가이샤내	
(74) 대리인	장수길 주성민 구영창	

심사관 : 김종권

(54) 반도체 소자 실장용 배선 기판의 제조 방법 및 반도체 장치

요약

범프(6)를 형성할 때에 전기 분해 도금 방법을 사용함으로써, 종래의 전기 분해 도금 방법의 결함이 제거된다. 예를 들면, 각 배선용 리드 배선 등을 사용해야 하는 당위성이 줄어든다. 금속 베이스(1)의 표면에는 배선막을 형성하기 위한 네가티브 패턴을 가진 레지스트막(제1 레지스트막: 4)과 범프 또는 패드를 형성하기 위한 네가티브 패턴을 가진 레지스트막(제2 레지스트막: 5)이 형성된다. 이들 막들을 마스크로서 사용함으로써, 범프 재료막의 전기 분해 도금이 행해져 범프(6)가 형성된다. 그 후에, 제2 막(5) 만을 제거한 후에, 제1 레지스트막(4)을 마스크로서 사용하여 전기 분해 도금을 행하여 배선막(7)을 형성한다.

대표도

도 3f

색인어

반도체 소자, 배선 기판의 제조 방법

명세서

도면의 간단한 설명

도 1a 내지 도 1d는 반도체 소자 실장용 배선 기판의 제조 방법의 종래 기술의 예를 공정 순서대로 도시한 단면도.

도 2a 내지 도 2c는 반도체 소자 실장용 배선 기판의 제조 방법의 다른 종래 기술의 예를 공정 순서대로 도시한 단면도.

도 3a 내지 도 3f는 본 발명에 따른 반도체 소자 실장용 배선 기판의 제조 방법의 제1 실시예의 공정 (A) 내지 (F)를 공정 순서대로 도시한 단면도.

도 4g 내지 도 4j는 본 발명에 따른 반도체 소자 실장용 배선 기판의 제조 방법의 제1 실시예의 공정 (G) 내지 (J)를 공정 순서대로 도시한 단면도.

도 5a 내지 도 5c는 도 3 및 도 4에 도시된 방법에 따라 제조된 배선 기판 (리드 프레임)을 사용하여 반도체 소자를 실장하는 방법의 한 예를 공정 순서대로 도시한 단면도.

도 6a 내지 도 6f는 본 발명에 따른 반도체 소자 실장용 배선 기판의 제조 방법의 제2 실시예의 공정 (A) 내지 (F)를 공정 순서대로 도시한 단면도.

도 7g 내지 도 7j는 본 발명에 따른 반도체 소자 실장용 배선 기판 제조 방법의 제2 실시예의 공정 (G) 내지 (J)를 공정 순서대로 도시한 단면도.

도 8a 내지 도 8d는 도 6 및 도 7에 도시된 방법에 따라 제조된 배선 기판 (리드 프레임)을 사용하여 반도체 소자를 실장하는 방법의 한 예를 공정 순서대로 도시한 단면도.

도 9a 내지 도 9d는 본 발명에 따른 반도체 소자 실장용 배선 기판의 제조 방법의 제3 실시예의 공정 (A) 내지 (D)를 공정 순서대로 도시한 단면도.

도 10e 내지 도 10g는 본 발명에 따른 반도체 소자 실장용 배선 기판 제조 방법의 제3 실시예의 공정 (E) 내지 (G)를 공정 순서대로 도시한 단면도.

도 11a 내지 도 11c는 도 9 및 도 10에 도시된 방법에 따라 제조된 배선 기판 (리드 프레임)을 사용하여 반도체 소자를 실장하는 방법의 한 예를 공정 순서대로 도시한 단면도.

도 12는 그 내부를 보여주기 위해서 절단한 휴대용 전화의 사시도.

도 13은 휴대용 전화의 마더 보드와 본 발명의 반도체 장치 사이의 접속 상태를 도시한 개략적인 단면도.

<도면의 주요 부분에 대한 부호의 설명>

1: 판형 금속 베이스

2: 니켈막

3: 구리막

4 : 제1 레지스트막

5 : 제2 레지스트막

6 : 범프

7 : 배선막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자 실장용 배선 기판의 제조 방법에 관한 것이다.

반도체 소자를 실장하는 기술중 하나로 TAB(Tape Automated Bonding) 기술이 있다. 도 1a 내지 도 1d는 종래의 배선 기판 형성 방법의 한 예의 개요를 공정 순서대로 도시한다. 예를 들면 소정의 패턴을 갖도록 패터닝된(예를 들면, 75 μ m의 두께를 가진) 폴리이미드 수지층에, 접착제(b)를 통해(약 수 내지 수십 μ m의 두께를 가진) 구리층을 결합시켜 적층된 층을 형성한다. 구리층(c)은 패터닝된다. 그 결과, 내부에 배선막이 형성된 필름 회로(film circuit)가 마련된다. 도 1a는 이러한 필름 회로를 도시한다.

이어서, 도 1b에 도시된 바와 같이, (예를 들면, 2 μ m의 두께를 가진) 니켈막이 첫번째로 전기 분해 도금(electrolytic plating)에 의해서 형성된다. 그 다음, (예를 들면, 1 μ m의 두께를 가진) 금 도금막이 전기 분해 도금에 의해서 형성된다. 그 다음 도 1c에 도시된 바와 같이, 외형 커트 처리(external sharp cut processing)를 행하여 개개의 반도체 장치에서 동일하게 분리·독립시킨다. d는 도금막을 나타낸다.

외형 커트 처리 후에, 각각의 배선막(c)의 내부 단부는 도 1d에 도시된 바와 같이, 반도체 소자(e)의 각각의 전극에 본딩된다. 이러한 본딩이 Au/Al 본딩이다.

도 2a 내지 도 2c는 배선 기판의 형성 방법의 다른 종래 예의 개요를 공정 순서대로 도시한 것이다. 이러한 종래에는 와이어 본딩 형태의 BGA/CSP용 배선 기판을 대상으로 하고, 비전기 분해 도금을 사용함으로써 범프(bump)를 형성한다. 우선적으로, 도 2a에 도시된 바와 같이, 패터닝된 접착제(b)로 부착된(예를 들면, 30 μ m의 두께를 가진) 폴리이미드 수지층은(예를 들면, 18 μ m의 두께를 가진) 구리층(c)에 결합되어 적층된 층을 형성한다. 그 다음, 도 2b에 도시된 바와 같이 구리층(c)이 선택적으로 에칭된다. 그 다음, 도 2c에 도시된 바와 같이, 전면적으로(2 μ m의 두께를 가진) 니켈막이 비전기 분해 도금에 의해서 형성된다. 또한, (0.5 μ m의) 금막이 비전기 분해 도금에 의해서 형성된다. 그 다음, 반도체 소자를 다이 본딩(die bonding)하고, 와이어 본딩을 수행한 후, 수지 실링(resin sealing)을 행한다. 도 2c는 수지 실링 후의 상태를 도시한 것으로, 여기서 d는 니켈/금 도금막, e는 반도체 소자, g는 접착제, h는 배선, 및 i는 실링 수지를 나타낸다.

도 1에 도시된 종래의 방법에서는, 각각의 배선에서 전기 분해 도금에 의해서 금막이 형성된다. 그 결과 첫번째 문제점으로 전기 분해 도금을 위해서 리드 배선(lead wiring)이 필요하며 설계가 까다로워진다. 두번째 문제점은, 리드 배선 영역이 필요하므로 소형화가 어렵다는 점이다. 세번째 문제점은, 전기 분해 도금에 의해서는 부분적인 도금이 어렵기 때문에 배선이 노출된 전체 표면에 금이 들러 붙어 금의 소비량이 증가한다는 점이다. 이러한 경향을 억제하기 위해서는 결과적으로 금막이 너무 두껍지 않아야 된다는 문제점이 생긴다. 이것은 본딩 성능의 향상을 억제하는 요인이 된다. 네번째 문제점은 배선막으로 동작하는 동막의 표면 상에 직접 금막을 형성하여 범프(bump)를 구성하는 경우에, 예를 들면 본딩 시에 적용되는 초음파 진동이 퍼지는 것을 방지하기 위해서 금 범프의 하부층으로 니켈막이 필요하다는 점이다. 이는 반도체 장치층에 파손이 발생할 가능성이 있다는 문제가 있다.

또한, 도 2에 도시된 종래의 방법에서는, 비전기 분해 도금 방법에 의해서 금막을 형성하므로, 첫번째로 도금 속도가 저하되고 도금을 위해 소요되는 시간이 매우 길어진다는 문제가 있다. 더욱이, TAB용 기판이 형성된 경우에, 테이프형 도금 설비가 필수적이다. 이것은 설비 비용이 높아진다는 문제가 있다. 두번째로, 비전기 분해 도금 방법은 작은 직경을 가진 개구

부에 대한 금 도금이 어렵고 접촉계의 오염과 기포 발생 가능성이 크다는 문제가 있다. 세번째로, 비전기 분해 도금은 도금의 안정성이 낮고, 막의 품질이 불안정하며 금막이 비정상적으로 발생될 가능성이 있다는 문제가 있다. 네번째로 비전기 분해 도금 방법은 도금 용액의 교환 빈도가 높아 이를 3일 또는 4일 주기로 교환해야 한다는 문제가 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 이러한 문제점을 해결하기 위한 것이다. 본 발명의 목적은 반도체 소자 실장용 배선 기관의 제조 방법에 있어서, 전기 분해 도금 방법에 범프나 본딩 패드를 적용함으로써 상술한 비전기 분해 도금 방식의 결점들을 해소하는 동시에 모든 배선에 리드 배선을 형성해야 할 필요성을 제거하여 종래의 전기 분해 도금의 결함을 해소하기 위한 것이다.

본 발명의 제1 양상에 따른 반도체 소자용 배선 기관의 제조 방법은, 금속 베이스의 표면에 배선막을 형성하기 위한 네가티브 패턴의 레지스트막 (제1 레지스트막) 및 범프나 패드를 형성하기 위한 네가티브 패턴을 가진 레지스트막 (제2 레지스트막)을 형성하는 단계, 제1 레지스트막과 제2 레지스트막을 마스크로서 사용하여 범프 또는 패드 재료의 전기 분해 도금을 행하여 범프 또는 패드를 형성하는 단계, 제2 레지스트막 만을 제거하는 단계, 및 제1 레지스트막을 마스크로서 사용하여 전기 분해 도금을 행하여 배선막을 형성하는 단계를 포함한다.

따라서, 상기 제1 양상에 따른 반도체 소자 실장용 배선 기관의 제조 방법에 따르면, 배선막을 형성하기 이전의 단계에서, 배선막에 대해서 네가티브 패턴을 갖는 레지스트막 및 범프나 패드에 대해서 네가티브 패턴을 가진 레지스트막을 마스크로서 사용하여 도금이 행해진다. 따라서, 도금을 할 때는 금속 베이스가 전위 전달 수단으로서 사용될 수도 있다. 전기 분해 도금을 위해서 인출 회로를 제공하지 않고도 전기 분해 도금에 의해서 범프나 패드가 형성될 수도 있다. 따라서, 비전기 분해 도금에 의해서 범프나 패드를 형성하는 방법이 갖는 모든 문제점을 해소할 수 있다. 또한, 전기 분해 도금 방법이 사용될 때 모든 배선막에 전위를 제공하기 위해서 전기 분해 도금용 인출 회로를 형성할 필요도 없다. 따라서, 종래의 전기 분해 도금 방법의 문제점을 해소할 수 있다.

본 발명의 제2 양상에 따른 반도체 소자 실장용 배선 기관의 제조 방법은, 형성될 배선 막에 대하여 네가티브 패턴을 가진 레지스트막을 마스크로 사용함으로써 금속 베이스의 표면에 범프 또는 패드 재료의 전기 분해 도금을 행하여 범프 또는 패드를 형성하는 단계, 및 레지스트막을 마스크로서 사용하여 금속 베이스의 표면의 패드 상에 배선막 재료의 전기 분해 도금을 행하여 배선막을 형성하는 단계를 포함한다.

상기 제2 양상에 따른 반도체 소자 실장용 배선 기관의 제조 방법에 따르면, 배선막을 선택적으로 형성하기 위한 마스크로서 형성된 레지스트막이 또한 범프나 패드를 선택적으로 형성하기 마스크로 사용된다. 범프나 패드 형성 및 배선막의 형성은 모두 금속 베이스가 완전하게 존재하는 상태에서만 행해진다. 따라서 도금할 때, 금속 베이스는 전위 전달 수단으로 사용된다. 전기 분해 도금용 인출 회로를 제공하지 않고도 전기 분해 도금에 의해서 범프나 패드가 형성될 수도 있다. 따라서, 비전기 분해 도금에 의해서 범프나 패드를 형성하는 방법의 모든 결함을 해소할 수 있다. 또한, 전기 분해 도금 방법이 사용될 때 모든 배선막에 전위를 제공하기 위해서 전기 분해 도금용 인출 회로를 형성할 필요도 없다. 따라서, 종래의 전기 분해 도금 방법의 문제점을 해소할 수 있다.

또한, 본딩 패드를 선택적으로 형성하기 위한 마스크로 동작하는 레지스트막은 배선막을 선택적으로 형성하기 위한 마스크로 동작하는 레지스트막과 공통으로 사용되기 때문에, 레지스트막을 선택적으로 형성하기 위한 일련의 공정들이 1회 감소된다는 장점도 얻을 수 있다.

발명의 구성 및 작용

본 발명은 통상적인 BGA 및 CSP 타입의 반도체 소자 실장용 배선 기관뿐만 아니라 와이어 본딩형 BGA 및 CSP 타입의 반도체 소자 실장용 배선 기관에도 적용가능하다. 제1 레지스트막으로는, 예를 들어 액상 레지스트 THB-30(JSR)이 사용될 수 있다 (이 경우, THB-DI(JSR) 0.5% 테트라메틸 암모늄 하이드로옥사이드가 적합함). 제2 레지스트막으로는, 예를 들면 (Hitachi Chemical Co. Ltd에 의해서 제조된) 드라이막 HN·240이 사용될 수 있다 [이 경우, 현상액으로 (40℃ 온도의) 탄산 나트륨염 1% 수용액이 적합함]. 상술된 액상 레지스트 THB-30(JSR)가 레지스트막으로 사용되는 경우에는, 범프나 패드의 형성후의 제1 레지스트막이 예를 들면, THB-SI (JSR) 디메틸 술포옥사이드 + 테트라메틸 암모늄 하이드로옥사이드를 박리제로서 사용하여 제거될 수 있다. 예를 들어, (Hitachi Chemical Co. Ltd.에 의해서 제조된) 드라이막 HN·240이 레지스트로 사용되는 경우에, 배선막의 형성 후 제2 레지스트가 예를 들어 수산화 나트륨 5% 수용액 (40℃)을 박리제로서 사용하여 제거될 수 있다. 많은 경우에, 범프나 패드는 금막으로 형성된다. 그러나, 예를 들면 팔라듐과 같은 다른 금속으로 형성될 수도 있다. 상기 재료는 금에 제한되지 않는다.

이어서, 본 발명이 개시된 실시예들을 참조하여 상세히 설명될 것이다. 도 3a 내지 도 3f 및 도 4g 내지 도 4j는 본 발명에 따른 반도체 소자 실장용 배선 기판의 제조 방법의 제1 실시예를 공정 (A) 내지 (J) 순으로 도시한 단면도들이다. 본 실시예에서는, 본 발명을 T-BGA용 배선 기판 (리드 프레임)에 적용하였다.

(A) 도 3a에 도시된 바와 같이, 에칭 스톱퍼로 동작하는 (예를 들면 $2\mu\text{m}$ 의 두께를 가진) 니켈막(2)이 구리 합금으로 이루어진 (예를 들면 $150\mu\text{m}$ 의 두께를 가진) 관형 금속 베이스(1)의 표면 상에 형성된다. 또한, 그 위에 도금 하부막으로 (예를 들면 $0.1\mu\text{m}$ 의 두께를 가진) 구리막이 형성된다.

(B) 그 다음, 도 3b에 도시된 바와 같이, 예를 들어 액상 레지스트 THB-30(JSR)로 이루어진 제1 레지스트막(4)이 선택적으로 형성된다. 구체적으로는, 상기 제1 레지스트막은 후속적으로 형성되는 배선막(7)에 대해 네가티브 패턴을 갖도록 선택적으로 형성된다. 이러한 선택적 형성은 전체 표면 상에 레지스트막(4)을 형성한 후에 노광 및 현상 처리를 행함으로써 수행될 수 있다. 그러나 상기의 액상 레지스트 THB-30(JSR)를 레지스트막(4)의 재료로서 사용하는 경우, TSB-DI (JSR) 0.5% 테트라메틸 암모늄 하이드록사이드가 예를 들어 현상시에 현상제로서 적합하게 사용된다.

(C) 그 다음, 도 3c에 도시된 바와 같이, 예를 들면 (Hitachi Chemical Co. Ltd.에 의해서 제조된) 드라이막 HN·240으로 된 제2 레지스트막(5)이 후속적으로 형성될 범프(6)에 대해서 네가티브 패턴을 갖도록 형성된다. 예를 들어, 제2 레지스트막(5)을 마스크로 사용하여 금의 전기 분해 도금을 행함으로써 (예를 들면, 2 내지 $10\mu\text{m}$ 범위의 두께를 가진) 범프(6)가 형성된다. 또한 제2 레지스트막(5)의 선택적 형성은 전체 표면 상에 레지스트막을 형성한 후에 노광 및 현상 처리에 의해서 행해질 수 있다. (Hitachi Chemical Co. Ltd.에 의해서 제조된) 상기의 드라이막 HN·240이 레지스트막(5)의 재료로 사용되는 경우에는, (약 40°C 온도의) 탄산 나트륨 1% 수용액이 현상시 현상액으로 사용되는 것이 바람직하다.

(D) 그 다음, 도 3d에 도시된 바와 같이, 약 5%의 수산화 나트륨 수용액 (40°C)을 박리액으로 사용하여 제2 레지스트막(5)만을 제거한다. 제1 레지스트막(4)은 이러한 박리액에 의해서 거의 부식되지 않으므로 이는 대부분 그대로 남아있다.

(E) 다음에, 도 3e에 도시된 바와 같이, (예를 들어, 25 내지 $30\mu\text{m}$ 의 범위 내의 두께를 가진) 배선막이 마스크로서 제1 레지스트막(4)을 사용하여 예를 들어 동의 전기 분해 도금을 수행함으로써 형성된다.

(F) 다음에, THB-SI(JSR) 디메틸 술포옥사이드 + 테트라메틸 암모늄 하이드록사이드를 박리액으로서 사용함으로써, 제1 레지스트막(4)이 도 3f에 도시된 바와 같이 제거된다.

(G) 다음에, 예를 들어, 폴리이미드 등으로부터, (예를 들어, $25\mu\text{m}$ 의 두께를 가진) 수지막(8)이 도 4g에 도시된 바와 같이 선택적으로 형성된다. 수지막(8)은 배선막(7)을 지지하기 위한 절연 베이스가 된다.

(H) 다음에, 도 4h에 도시된 바와 같이, 뿔납 볼 전극(9)이 형성된다. 이 형성은 니켈 도금, 금 또는 니켈, 및 뿔납의 전기 분해 도금을 연속적으로 행함으로써 수행된다.

(I) 다음에, 도 4i에 도시된 바와 같이, 구리로 이루어진 금속 베이스(1)가 그 배면측으로부터 선택적으로 에칭된다. 여러 조각의 배선막(7)이 형성된 영역에 대응하는 위치가 에칭되고, 외부 주변링(1a)이 되는 부분만이 남겨진다. 이러한 에칭시에, 상술한 니켈막(2)은 에칭 스톱퍼로 동작하여 형성된 배선막(7)이 에칭되는 것을 방지한다.

(J) 다음에, 도 4j에 도시된 바와 같이, 에칭 스톱퍼로서의 역할을 수행한 니켈막(7) 및 구리막(3)이 에칭에 의해 제거된다. 그 결과, 각각의 배선막(7)은 다른 배선막(7)과 함께 더이상 전기적인 도통 상태가 아니며, 전기적으로 독립적이 된다. 이와 같이 리드 프레임이 완성된다.

도 5a 내지 5c는 반도체 소자 상에 상술한 배선 기판 (리드 프레임)을 실장하는 방법을 공정 순서대로 도시한 단면도이다. 먼저, 도 5a에 도시된 바와 같이, 각각의 배선막(7)의 내부 리드팁 단부에 배치된 금으로 이루어진 범프(6)가 반도체 소자(10)의 각각의 전극 패드(10a)에 접촉된다.

다음에, 도 5b에 도시된 바와 같이, 반도체 소자(10)의 표면부가 수지(11)로 밀봉된다. 이후에, 도 5c에 도시된 바와 같이, 스티프너(12)가 접촉체(13)를 통해 반도체 소자(10) 및 리드 프레임의 배면들에 접촉된다.

본 실시예에 따르면, 배선막(7)이 형성되기 이전의 단계에서, 배선막(7)에 대해 네가티브 패턴을 갖는 제1 레지스트막(4) 및 범프(6)에 대해 네가티브 패턴을 갖는 제2 레지스트막(5)을 마스크로서 사용하여 도금을 행함으로써 범프를 형성한다.

그러므로, 도금 시에, 금속 베이스(1)가 전위 전달 수단으로서 사용될 수 있다. 그러므로, 전기 분해 도금용 인출 회로를 제공하지 않고도, 전기 분해 도금에 의해 범프(6)를 형성할 수 있다. 따라서, 전기 분해 도금을 사용하여 범프를 형성하는 방법의 모든 결점이 방지될 수 있을 뿐만 아니라, 전기 분해 도금 방법이 사용될 때 각각의 배선막(7)마다 전위를 제공하기 위한 전기 분해 도금용 인출 회로를 형성할 필요가 없게 된다. 그러므로, 종래의 전기 분해 도금 방법 고유의 결점이 방지될 수 있다.

도 6a 내지 6f 및 도 7g 내지 7j는 본 발명에 따른 반도체 소자 실장용 배선 기판의 제조 방법의 제2 실시예를 공정 (A) 내지 (J)의 순서대로 도시한 단면도이다. 본 실시예에서, 본 발명은 와이어 본딩 타입의 T-BGA를 위한 배선 기판에 적용된다.

(A) 도 6a에 도시된 바와 같이, 에칭 스톱퍼로 동작하는 (예를 들어, 2 μm 의 두께를 가진) 니켈막(1)이 (예를 들어, 150 μm 의 두께를 가진) 구리 합금으로 이루어진 판형 금속 베이스 상에 형성되고, 또한, 도금 하부막의 역할을 하는 (예를 들어, 0.1 μm 의 두께를 가진) 구리막(3)이 그 상부에 형성된다.

(B) 다음에, 도 6b에 도시된 바와 같이, 예를 들어, 액상 레지스트 THB-30 (JSR)으로 이루어진 제1 레지스트막(4)이 선택적으로 형성된다. 구체적으로, 제1 레지스트막은 후에 형성될 배선막(7)에 대해 네거티브 패턴을 갖도록 선택적으로 형성된다. 현상제로서 예를 들어, THB-D1 (JSR) 0.5% 테트라메틸 암모늄 하이드로옥사이드를 사용하여 현상이 행해진다.

(C) 그 다음, 도 6c에 도시된 바와 같이, 예를 들어 (Hitachi Chemical Co. Ltd.에 의해서 제조된) 드라이막 HN-240으로 이루어진 제2 레지스트막(5)을 형성될 본딩 패드(6)에 대해 네가티브 패턴을 갖도록 형성한다. 마스크로 동작하는 제2 레지스트막(5)을 사용하여 예를 들어, 금의 전기 분해 도금을 행함으로써, (예를 들어, 2 내지 10 μm 의 범위 내의 두께를 가진) 본딩 패드(6)가 먼저 형성된다. 또한, 예를 들어, 니켈의 전기 분해 도금을 수행함으로써, (예를 들어, 5 μm 의 막 두께를 가진) 초음파 진동 확산 방지막이 형성된다. 이러한 초음파 진동 확산 방지막(14)은 배선(16)을 사용하여 반도체 소자(10)의 전극과 배선막(7)의 패드(6) 사이에 초음파 본딩을 행할 시에 후에 가해지는 초음파 진동이 확산되는 것을 방지하여 와이어 본딩에 기여하지 않도록 한다. 제2 레지스트막(5)을 패터닝하기 위한 현상에서는, 탄산 나트륨 1% 수용액 (40°C)을 현상액으로 사용한다.

(D) 산화 나트륨 5% 수용액 (40°C)을 박리액으로 사용함으로써, 도 6d에 도시된 바와 같이 제2 레지스트막(5)만이 제거된다. 상술한 제1 레지스트막(4)은 이러한 박리액에 의해서 거의 부식되지 않으므로, 거의 그대로 남아있게 된다.

(E) 다음에, 도 6e에 도시된 바와 같이, (예를 들어, 25 내지 30 μm 의 범위 내의 두께를 가진) 배선막(7)이 마스크로 동작하는 제1 레지스트막(4)을 사용하여 예를 들어, 구리의 전기 분해 도금을 행함으로써 형성된다. 한편, 7a는 반도체 소자(10)를 본딩하기 위한 배선막(7)의 칩 본딩 영역을 표시하고 있다.

(F) 다음에, 박리액으로서 THB-SI (JSR) 디메틸 술포옥사이드 + 테트라메틸 암모늄 하이드로옥사이드를 사용하여, 도 3f에 도시된 바와 같이 제1 레지스트막(4)이 제거된다.

(G) 다음에, 예를 들어, 폴리이미드 등으로부터, (예를 들어, 25 μm 의 두께를 가진) 수지막(8)이 도 7g에 도시된 바와 같이 형성된다. 수지막(8)은 배선막(7)을 지지하기 위한 절연 베이스가 된다.

(H) 다음에, 도 7h에 도시된 바와 같이, 뿔납 볼 전극(9)이 형성된다. 이러한 형성은 니켈 도금, 금 또는 니켈, 및 뿔납의 전기 분해 도금을 연속적으로 행함으로써 수행된다.

(I) 다음에, 도 7i에 도시된 바와 같이, 구리로 된 금속 베이스(1)가 그 배면측으로부터 선택적으로 에칭된다. 여러 조각의 배선막(7)이 형성된 영역에 대응하는 위치가 에칭되어, 외부 주변 링(1a)이 되어야 하는 부분만이 남겨진다. 이러한 에칭 시에, 니켈막(2)은 에칭 스톱퍼로서 동작하여 형성된 배선막(7)이 에칭되는 것을 방지한다.

(J) 다음에, 도 7j에 도시된 바와 같이, 에칭 스톱퍼로서의 역할을 이미 수행한 니켈막(2) 및 구리막(3)이 에칭에 의해 제거된다. 그 결과, 각각의 배선막(7)은 다른 배선막(7)과 함께 더이상 전기적으로 도통 상태가 아니게 되어, 전기적으로 독립된다. 이와 같이 리드 프레임이 완성된다. 리드 프레임의 (7a 포함한) 각각의 배선막(7)의 노출된 표면은 반도체 소자가 설치되는 표면이 된다.

도 8a 내지 8d는 도 6 및 도 7에 도시된 방법에 의해 제조된 리드 프레임을 사용함으로써 반도체 소자 실장 방법의 예를 공정 순서대로 도시한 단면도이다. 이 방법은 도 8을 참조로 하여 설명될 것이다. 우선, 도 8a에 도시된 바와 같이, 반도체 소

자(10)는 배선막(7)의 칩 본딩 영역(7a)에 칩 본딩(chip-bond)된다. 15는 접착제를 표시하고 있다. 다음에, 도 8b에 도시된 바와 같이, 반도체 소자(10)의 전극과 배선막(7)의 본딩 패드(6) 간의 접촉이 와이어 본딩에 의해 행해진다. 16은 그 배선을 표시하고 있다. 이러한 배선 접착은 초음파 접착을 사용함으로써 행해진다. 이 때에, 초음파 진동 확산 방지막(14)은 초음파 진동이 확산되는 것을 방지하여 상술한 바와 같이 바람직한 와이어 본딩에 기여한다.

이후에, 도 8c에 도시된 바와 같이, 상술한 반도체 소자(10) 및 배선(16)이 수지(11)에 의해 밀봉된다. 이후에, 도 8d에 도시된 바와 같이, 열 확산기로 동작하는 스티프너(17)가 접착제(18)를 통해 밀봉 수지(11) 및 리드 프레임으로 접착된다.

마찬가지로 본 실시예에서도, 상술한 제1 실시예와 동일한 효과가 얻어질 수 있다.

도 9a 내지 9d 및 도 10e 내지 10g는 본 발명에 따른 반도체 소자 실장용 배선 기관의 제조 방법의 제3 실시예를 공정 (A) 내지 (G) 순서대로 도시하고 있다. 본 실시예에서는, 본 발명을 와이어 본딩 타입의 배선 접착형의 T-CSP를 위한 배선 기관(리드 프레임)에 적용하였다.

(A) 도 9a에 도시된 바와 같이, 구리 합금으로 된 (예를 들어, 150 μm 의 두께를 가진) 판형 금속 베이스(1)가 준비된다. 그 표면 상에, 레지스트막(4)이 선택적으로 형성된다. 특히, 레지스트막은 후에 형성될 배선막(7)에 대해 네가티브 패턴을 갖도록 선택적으로 형성된다. 금속 베이스(1)로서, 그 표면 상에 전체적으로 에칭 스톱퍼로 동작하는 (예를 들어, 2 μm 의 두께를 가진) 니켈막을 형성하는 금속 베이스가 사용될 수 있다.

(B) 다음에, 도 9b에 도시된 바와 같이, 마스크로서 레지스트막(4)을 사용하는 동안 전기 분해 도금에 의해 금속 베이스(1)의 표면 상에 도금막(20)이 형성된다. 도 9b의 하부 우측 부분에 도시된 바와 같이, 이러한 도금막(20)은 에칭 스톱퍼의 역할을 하는 니켈막(21), 본딩 패드의 역할을 하는 금막(6) (여기서 본 실시예의 금막(6)은 전체 배선막의 표면 상에 형성되며, 본 실시예는 이 점에서 제2 실시예와 다름), 및 초음파 진동 확산 방지막의 역할을 하는 니켈막(14)을 포함하는 3층 구조를 갖는다. 그러므로, 이러한 도금막(20)은 니켈, 금, 및 니켈의 순서대로 레지스트막(4)을 마스크로 사용하여 3회 전기 분해 도금을 행함으로써 얻어진다. 금속 베이스(1)로 전체 표면 상에 에칭 스톱퍼의 역할을 하는 니켈막을 형성한 금속 베이스가 사용되는 경우, 니켈막(21)은 형성될 필요가 없다.

(C) 다음에, 도 9c에 도시된 바와 같이, (예를 들어, 25 내지 30 μm 의 범위 내의 두께를 가진) 배선막(7)이 제1 레지스트막(4)을 마스크로 사용하여 예를 들어, 구리의 전기 분해 도금을 행함으로써 형성된다. 한편, 7a는 반도체 소자(10)를 본딩하기 위한 배선막(7)의 칩 본딩 영역을 표시하고 있다.

(D) 다음에, 레지스트막(4)이 도 9d에 도시된 바와 같이 제거된다.

(E) 다음에, 예를 들어, 폴리이미드 등으로부터, (예를 들어, 25 μm 의 두께를 가진) 수지막(8)이 도 10e에 도시된 바와 같이 선택적으로 형성된다. 수지막(8)은 배선막(7)을 지지하기 위한 절연 베이스이다.

(F) 다음에, 도 10f에 도시된 바와 같이, 뿔납 볼 전극(9)이 형성된다. 이러한 형성은 니켈 도금, 금 또는 니켈, 및 뿔납의 전기 분해 도금을 연속적으로 수행함으로써 행해진다.

(G) 다음에, 구리로 이루어진 금속 베이스(1)가 그 배면측으로부터 선택적으로 에칭된다. 다수의 배선막(7)이 형성된 영역에 대응하는 위치가 에칭되어, 외부 주변 링(1a)이 될 부분만이 남겨진다. 이러한 에칭 시에, 니켈막(21)은 에칭 스톱퍼로서 기능하여 일부러 형성한 배선막(7)이 에칭되는 것을 방지한다.

다음에, 도 10g에 도시된 바와 같이, 에칭 스톱퍼로서의 역할을 수행한 니켈막(21)이 에칭에 의해 제거된다. 그 결과, 각각의 배선막(7)의 표면 상의 금막(6)이 노출되어 본딩 패드로서의 역할을 수행할 수 있다. 금속 베이스(1)로 전체 표면 상에 에칭 스톱퍼의 역할을 하는 니켈막을 형성한 금속 베이스가 사용되는 경우에, 니켈막을 제거하는 것은 금막(6)을 노출시킬 뿐만 아니라 다른 배선막(7)으로부터 각각의 배선막(7)을 전기적으로 분리시켜 각각의 배선막(7)이 다른 배선막으로부터 독립되도록 하는 기능을 한다. 따라서, 리드 프레임이 완성된 상태가 된다. 리드 프레임의 각각의 배선막(7, 7a)이 노출된 표면은 반도체 소자가 설치되는 측 표면이 된다.

본 실시예는 본딩 패드로 동작하는 금막(6)의 선택적인 형성이 배선막(7)의 선택적인 형성 시의 마스크로서 사용된 레지스트막(4)을 그대로 사용함으로써 행해진다는 면에서 제1 및 제2 실시예와 다르다. 그러나, 도금 시에 금속 베이스(1)를 전위 전달 수단으로서 사용가능하다는 점에서 본 실시예와 제1 및 제2 실시예가 완전히 동일하다. 전기 분해 도금용 인출 회로를 제공하지 않고도, 패드(6)가 전기 분해 도금에 의해 형성될 수 있다. 따라서, 비전기 분해 도금에 의해 범프(6)를 형성

하는 방법에서의 모든 결점을 완전히 해소할 수 있다. 또한, 제1 및 제2 실시예와 동일하게, 종래의 전기 분해 도금과 달리 각각의 배선(7) 마다 전위를 제공하는 전기 분해 도금용 인출 회로를 형성할 필요가 없다는 효과가 달성될 수 있다. 그러므로, 종래의 전기 분해 도금 방법에서의 고유의 결점이 방지될 수 있다. 또한, 본딩 패드(6)를 선택적으로 형성하기 위한 마스크의 역할을 하는 레지스트막이 배선막을 선택적으로 형성하기 위한 마스크의 역할을 하는 레지스트막과 동일하므로, 레지스트막을 선택적으로 형성하기 위한 일련의 공정들이 1회 감소될 수 있다.

도 11a 내지 11c는 도 9 및 도 10에 도시된 방법에 의해서 제조된 배선 기관(리드 프레임)을 사용하여 반도체 소자를 실장하기 위한 방법의 예를 공정 순서대로 도시한 단면도이다. 이하, 상기 방법에 대하여 도 11을 참조하여 설명한다. 먼저, 도 11a에 도시된 바와 같이, 반도체 소자(10)에 대하여 칩 본딩을 실시한다. 참조 번호(15)는 접착제이다. 이어서, 도 11b에 도시된 바와 같이, 반도체 소자(10)의 전극과 배선막(7)의 결합 패드(6)간의 접속은 와이어 본딩에 의해서 실시된다. 참조 번호(16)는 배선이다. 이 와이어 본딩은 초음파 결합을 사용하여 실시된다. 니켈막(14)은 상술한 바와 같이 초음파 진동이 확산되는 것을 방지하는 역할을 한다.

그 후에, 도 11c에 도시된 바와 같이, 반도체 소자(10) 및 배선(16)은 수지(11)에 의해서 밀봉된다.

상술한 본 발명의 제조 방법에 의해서 제조되는 배선 기관 상에 반도체 소자가 실장되어 있는 반도체 장치 C는 예를 들면, 도 12에 도시된 휴대용 전화 A 등과 같은 전자 기기에 실장된다. 반도체 장치 C는 휴대용 전화 A의 내부 회로의 적어도 일부를 구성한다.

도 12에 도시된 바와 같이, 반도체 장치 C는 휴대용 전화 A내의 마더 보드 B상에 실장된다.

도 13에 도시된 바와 같이, 마더 보드 B의 전극 D는 반도체 장치 C의 외부 전극(9)에 전기적으로 각각 접속되어 있다.

본 발명의 배선 기관 및 반도체 장치의 제조 방법에 따르면, 미세 피치를 가진 소형 반도체 장치는 정확하고 만족스럽게 제조된다. 따라서, 이러한 장치가 전자 기기에 사용되면 전자 기기를 소형으로 만드는 것이 가능하다.

발명의 효과

청구항1에 따른 반도체 소자를 실장하기 위한 배선 기관의 제조 방법에 따르면, 배선 기관이 형성되기 전 단계에서, 배선막에 대하여 네가티브 패턴을 가지는 레지스트막 및 범프 또는 패드에 대하여 네가티브 패턴을 가지는 레지스트막을 마스크로서 사용하여 도금을 행하여 범프 혹은 패드를 형성한다. 도금시에 금속 베이스는 전위 전달 수단으로서 사용될 수 있다. 따라서, 전기 분해 도금용 인출 회로를 제공하지 않고서도, 전기 분해 도금에 의해서 범프 또는 패드를 형성할 수 있다. 따라서, 비전기 분해 도금을 사용하여 범프 또는 패드를 형성하는 방법의 모든 결함이 제거될 수 있다. 게다가, 전기 분해 도금 방법을 사용할 때에 모든 배선막에 전위를 제공하기 위한 전기 분해 도금용 인출 회로를 형성할 필요성 역시 존재하지 않는다. 따라서, 종래의 전기 분해 도금 방법에 존재하는 모든 결함이 방지될 수 있다.

청구항2에 따른 반도체 소자를 실장하기 위한 배선 기관의 제조 방법에 따르면, 배선막을 선택적으로 형성하기 위한 마스크로서 형성되는 레지스트막이 범프 또는 패드 또한 선택적으로 형성하기 위한 마스크로서 사용된다. 범프 또는 패드의 형성 및 배선막의 형성은 금속막이 완전하게 제공된 상태에서 행해진다. 도금시에, 금속 베이스는 전위 전달 수단으로서 사용될 수 있다. 따라서, 전기 분해 도금용 인출 회로를 제공하지 않고서도, 전기 분해 도금에 의해서 범프 또는 패드를 형성할 수 있다. 따라서, 비전기 분해 도금을 사용하여 범프 또는 패드를 형성하는 방법의 모든 결함이 제거될 수 있다. 게다가, 전기 분해 도금 방법을 사용할 때에 모든 배선막에 전위를 제공하기 위한 전기 분해 도금용 인출 회로를 형성할 필요성 역시 존재하지 않는다. 따라서, 종래의 전기 분해 도금 방법에 존재하는 모든 결함이 방지될 수 있다.

또한, 결합 패드(6)를 선택적으로 형성하기 위한 마스크로서 작용하는 레지스트막이 배선막을 선택적으로 형성하기 위한 마스크로서 작용하는 레지스트막에 공통이므로, 레지스트막을 선택적으로 형성하기 위한 일련의 공정들이 감소될 수 있는 장점을 얻을 수 있다.

청구항3에 따른 반도체 소자를 실장하기 위한 배선 기관의 제조 방법에 따르면, 그 표면에 에칭 스톱막을 가진 금속 베이스가 금속 베이스로서 사용된다. 따라서, 배선막 및 범프 또는 패드를 형성한 후에, 그 뒷면에서부터 금속 베이스를 에칭하여 금속 베이스의 불필요한 부분을 제거하기 위한 에칭시에 에칭 스톱층에 의해서 배선 기관의 부식을 방지하는 것이 가능하다. 그리고, 에칭 후에 에칭 스톱막을 제거함으로써, 모든 배선막이 에칭 스톱막에 의해서 전기적으로 서로 접속되어 있는 상태가 제거된다. 즉, 배선 기관 각각이 전기적으로 서로 독립적으로 되고, 게다가 패드 또는 범프가 노출될 수 있다.

이상, 첨부 도면을 참조하여 본 발명의 바람직한 실시예를 설명하였지만, 본 발명은 상술한 실시예에 제한되지 않을 뿐만 아니라 첨부하는 청구의 범위에 규정된 본 발명의 범위 또는 영역을 벗어남이 없이 본 기술 분야에 숙련된 자에 의해서 다양한 변형 또는 변경이 실시될 수 있음을 이해해야 한다.

(57) 청구의 범위

청구항 1.

반도체 소자를 실장하기 위한 배선 기판의 제조 방법에 있어서,

금속 베이스의 표면에, 형성될 배선 막에 대하여 네가티브 패턴을 가진 제1 레지스트막을 형성하는 단계,

상기 제1 레지스트막이 배선막위에 형성되어 있는 상기 금속 베이스의 표면에 상기 제1 레지스트막을 포함하여 상기 배선막의 선정된 부분에 형성될 범프 또는 패드에 대하여 네가티브 패턴을 가진 제2 레지스트막을 형성하는 단계,

상기 제2 레지스트막을 마스크로서 사용하여 상기 금속 베이스의 표면에 범프 또는 패드 재료의 전기 분해 도금을 행하여 범프 또는 패드를 형성하는 단계,

상기 제2 레지스트막을 제거할 수 있고 상기 제1 레지스트막을 제거할 수 없는 제거 수단을 사용하여 상기 제2 레지스트막만을 제거하는 단계, 및

상기 제1 레지스트막을 마스크로서 사용하여 상기 금속 베이스의 표면에 배선막 재료의 전기 분해 도금을 행하여 배선막을 형성하는 단계

를 포함하는 반도체 소자 실장용 배선 기판의 제조 방법.

청구항 2.

제1항에 있어서, 상기 배선막을 형성하는 공정 후에, 상기 배선막을 커버하고 상기 배선막을 부분적으로 노출시키기 위한 개구를 형성하기 위해서 상기 금속 베이스의 상기 배선막의 측면에 절연막을 선택적으로 형성하고 상기 개구에 외부 전극을 형성하는 단계를 더 포함하는 반도체 소자 실장용 배선 기판의 제조 방법.

청구항 3.

제1항에 있어서, 상기 금속 베이스는 제1 금속층에 적층된 에칭 스톱층으로서 작용하는 제 2 금속층을 포함하는 다수의 층으로 형성되고, 상기 제1 레지스트막, 상기 제2 레지스트막, 상기 범프 또는 패드 및 상기 배선막은 상기 배선막을 형성하는 공정 후에 상기 제2 금속층의 측면에 형성되며, 상기 제1 금속층의 불필요한 부분은 상기 제2 금속층을 에칭 스톱층으로서 사용하면서 상기 제2 금속층의 측면에 대향하는 측면에서 에칭함으로써 제거되고, 그 후에 상기 제2 금속층의 불필요한 부분이 에칭에 의해서 제거됨으로써 각 배선막이 별개로 형성되는 반도체 소자 실장용 배선 기판의 제조 방법.

청구항 4.

제1항에 있어서, 상기 범프 또는 패드를 형성하는 단계 전에, 및 상기 배선막을 형성하는 단계 전에 상기 제2 레지스트막을 마스크로 사용하여 상기 금속 베이스에 에칭 스톱층을 형성하고, 상기 제1 레지스트막을 마스크로 사용하여 상기 금속 베이스에 에칭 스톱층을 형성하는 단계를 더 포함하며, 상기 배선막을 형성하는 단계후에, 상기 금속 베이스의 불필요한 부분이 상기 에칭 스톱층을 사용하면서 에칭에 의해서 제거되고, 그 후에, 상기 에칭 스톱층의 불필요한 부분이 에칭에 의해서 제거되어 상기 범프 또는 패드가 노출되는 반도체 소자 실장용 배선 기판의 제조 방법.

청구항 5.

제1항에 있어서, 상기 제1 금속층은 구리로 이루어진 반도체 소자 실장용 배선 기판의 제조 방법.

청구항 6.

제1항에 있어서, 상기 제2 금속층은 니켈로 이루어진 반도체 소자 실장용 배선 기판의 제조 방법.

청구항 7.

청구항1에 따른 반도체 소자 실장 기판의 상기 범프 또는 패드와 반도체 소자의 전극을 전기적으로 접속시키는 단계를 포함하는 반도체 장치의 제조 방법.

청구항 8.

반도체 소자를 실장하기 위한 배선 기판의 제조 방법에 있어서,

금속 베이스의 표면에, 형성될 배선 막에 대하여 네가티브 패턴을 가진 레지스트막을 형성하는 단계,

상기 레지스트막을 마스크로서 사용하여 상기 금속 베이스의 표면에 범프 또는 패드 재료의 전기 분해 도금을 행하여 범프 또는 패드를 형성하는 단계, 및

상기 레지스트막을 마스크로서 사용하여 상기 금속 베이스의 표면 상의 상기 범프 또는 패드에 대하여 배선막 재료의 전기 분해 도금을 행하여 배선막을 형성하는 단계

를 포함하는 반도체 소자 실장용 배선 기판의 제조 방법.

청구항 9.

제8항에 있어서, 상기 배선막을 형성하는 공정 후에, 상기 배선막을 커버하고 상기 배선막을 부분적으로 노출시키기 위한 개구를 형성하기 위해서 상기 금속 베이스의 상기 배선막의 측면에 절연막을 선택적으로 형성하고 상기 개구에 외부 전극을 형성하는 단계를 더 포함하는 반도체 소자 실장용 배선 기판의 제조 방법.

청구항 10.

제8항에 있어서, 상기 금속 베이스는 제1 금속층에 적층된 에칭 스톱층으로서 작용하는 제 2 금속층을 포함하는 다수의 층으로 형성되고, 상기 레지스트막, 상기 범프 또는 패드 및 상기 배선막은 상기 배선막을 형성하는 공정 후에 상기 제2 금속층의 측면에 형성되며, 상기 제1 금속층의 불필요한 부분은 상기 제2 금속층을 에칭 스톱층으로서 사용하면서 상기 제2 금속층의 측면에 대항하는 측면에서 에칭함으로써 제거되고, 그 후에 상기 제2 금속층의 불필요한 부분이 에칭에 의해서 제거됨으로써 각 배선막이 별개로 형성되고 상기 범프 또는 패드가 노출되는 반도체 소자 실장용 배선 기판의 제조 방법.

청구항 11.

제8항에 있어서, 상기 레지스트막을 마스크로서 사용하여 상기 금속 베이스에 에칭 스톱층을 형성하는 단계후에, 상기 범프 또는 패드를 형성하는 단계가 행해지며, 상기 배선막을 형성하는 단계후에, 상기 금속 베이스의 불필요한 부분이 상기 에칭 스톱층을 사용하면서 에칭에 의해서 제거되고, 그 후에 상기 에칭 스톱층의 불필요한 부분이 에칭에 의해서 제거되어 상기 범프 또는 패드가 노출되는 반도체 소자 실장용 배선 기판의 제조 방법.

청구항 12.

제10항에 있어서, 상기 제1 금속층은 구리로 이루어진 반도체 소자 실장용 배선 기판의 제조 방법.

청구항 13.

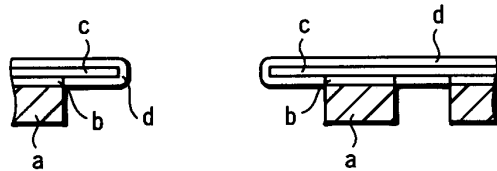
제11항에 있어서, 상기 제2 금속층은 니켈로 이루어진 반도체 소자 실장용 배선 기판의 제조 방법.

청구항 14.

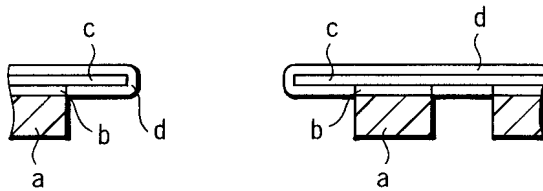
청구항8에 따른 반도체 소자 실장 기판의 상기 범프 또는 패드와 반도체 소자의 전극을 전기적으로 접속시키는 단계를 포함하는 반도체 장치의 제조 방법.

도면

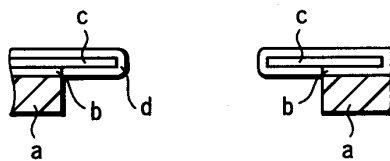
도면1a



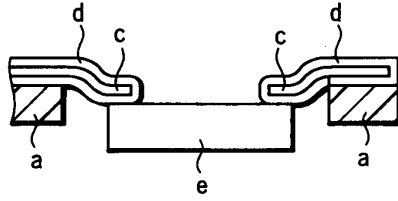
도면1b



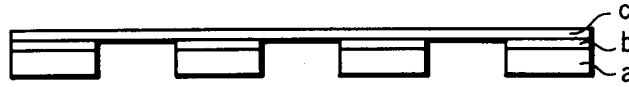
도면1c



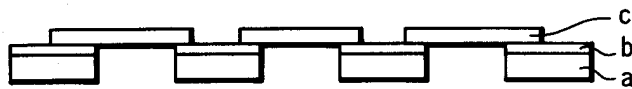
도면1d



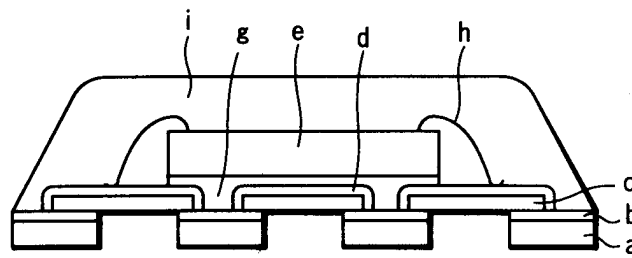
도면2a



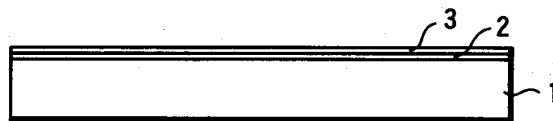
도면2b



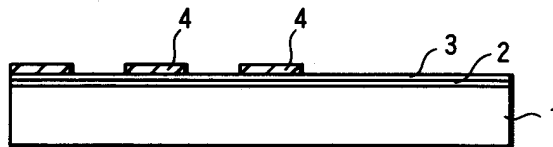
도면2c



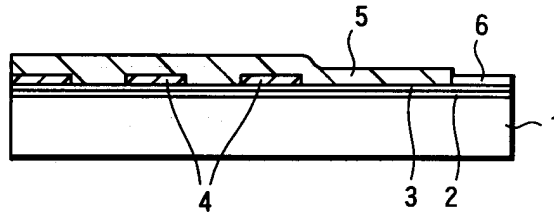
도면3a



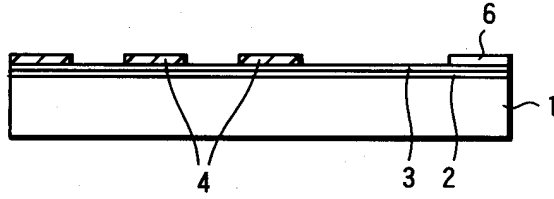
도면3b



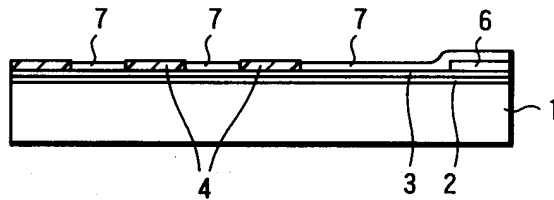
도면3c



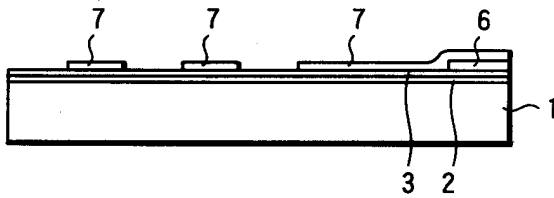
도면3d



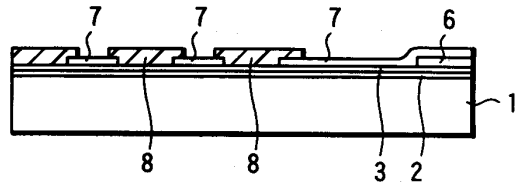
도면3e



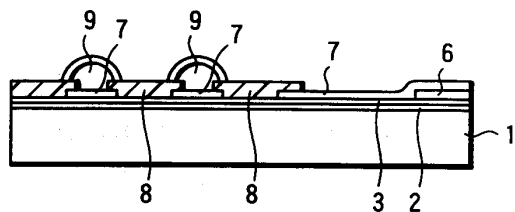
도면3f



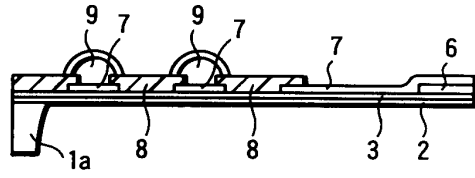
도면4g



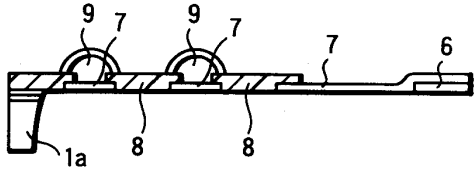
도면4h



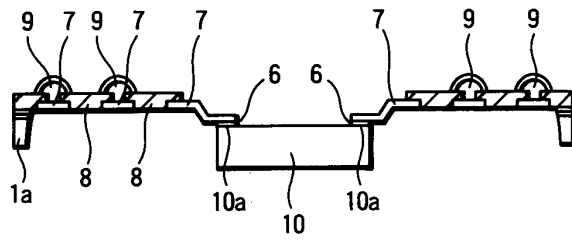
도면4i



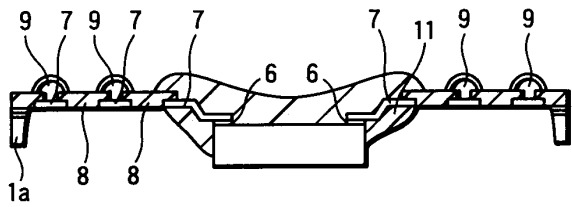
도면4j



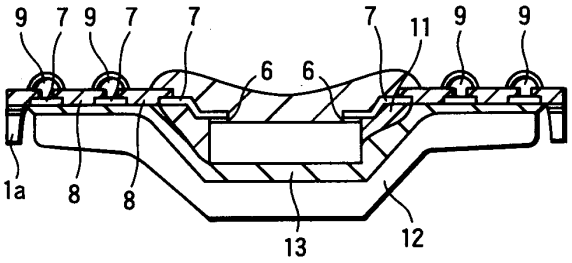
도면5a



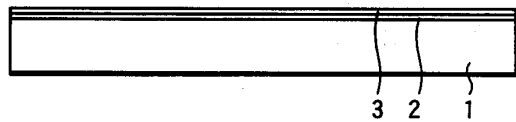
도면5b



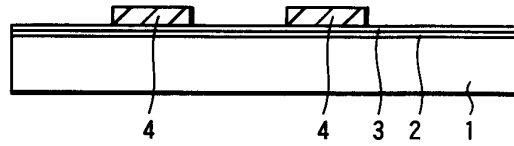
도면5c



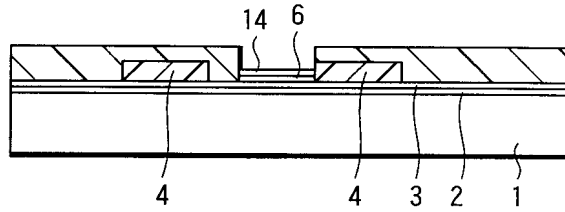
도면6a



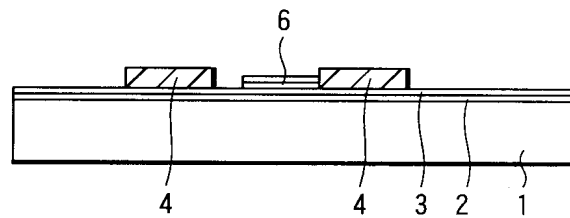
도면6b



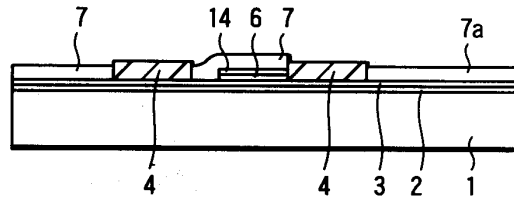
도면6c



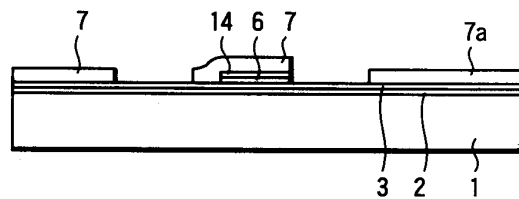
도면6d



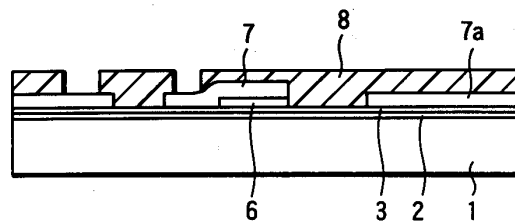
도면6e



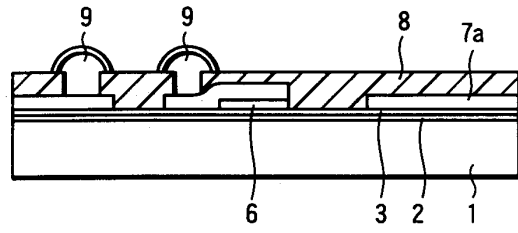
도면6f



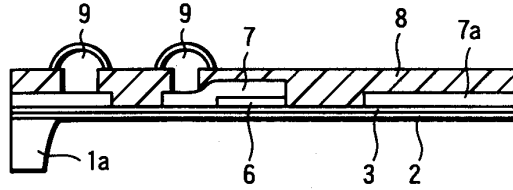
도면7g



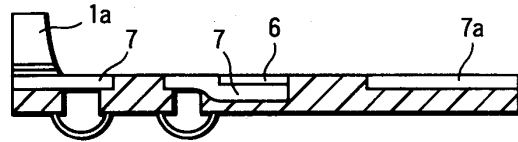
도면7h



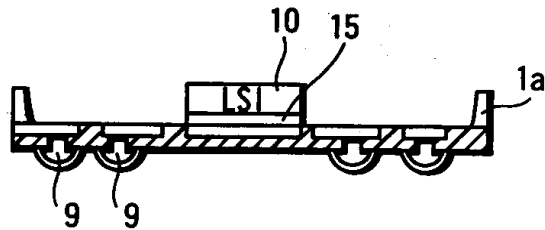
도면7i



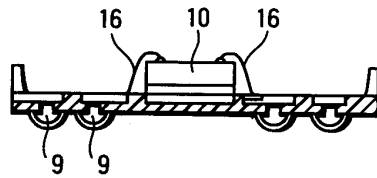
도면7j



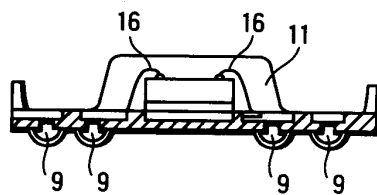
도면8a



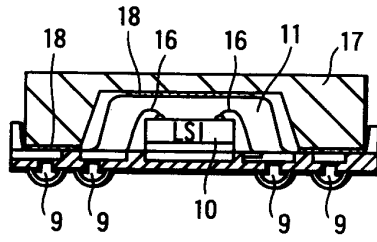
도면8b



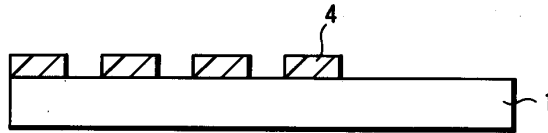
도면8c



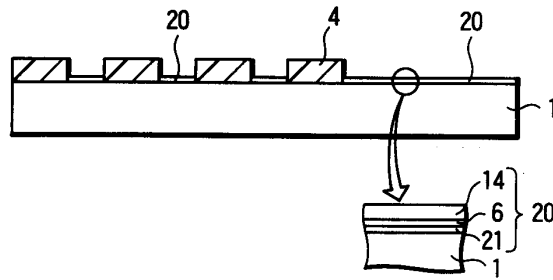
도면8d



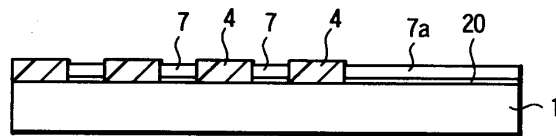
도면9a



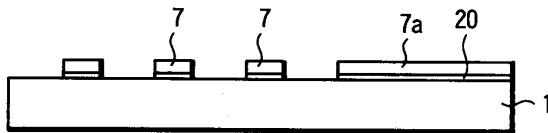
도면9b



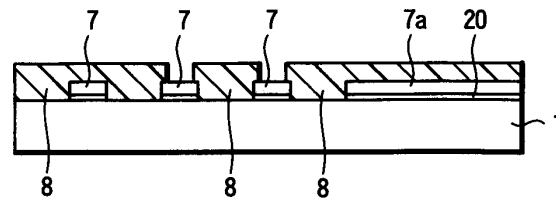
도면9c



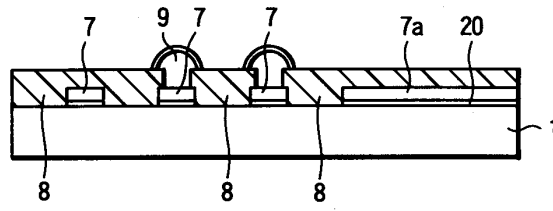
도면9d



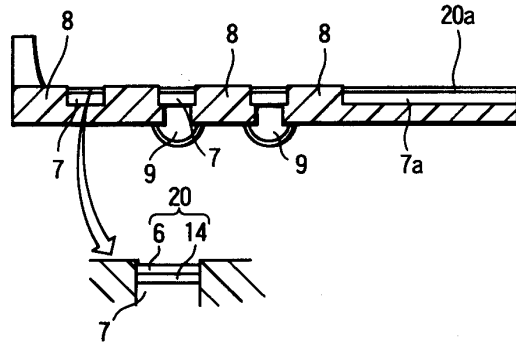
도면10e



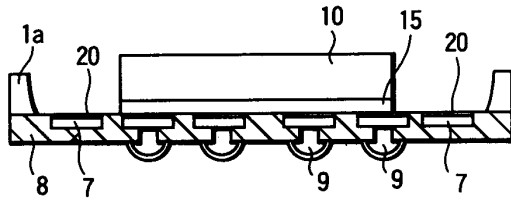
도면10f



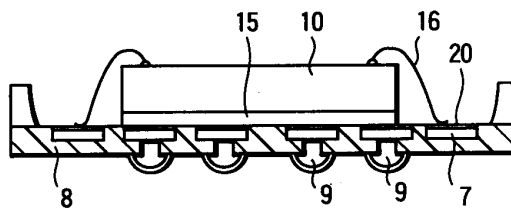
도면10g



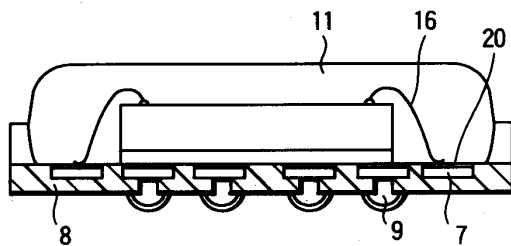
도면11a



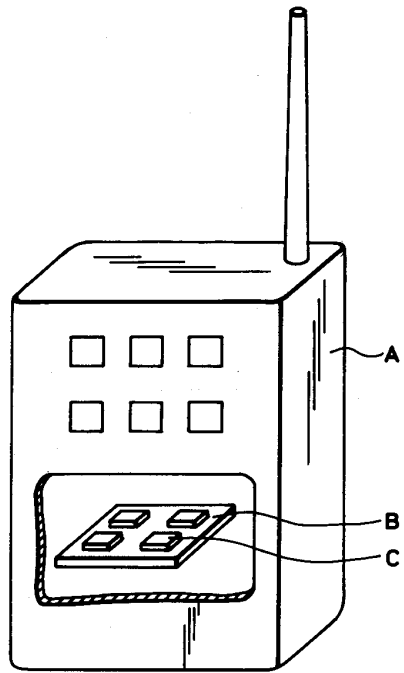
도면11b



도면11c



도면12



도면13

